



(12) 发明专利

(10) 授权公告号 CN 101636721 B

(45) 授权公告日 2011. 10. 26

(21) 申请号 200780044082. 8

(51) Int. Cl.

(22) 申请日 2007. 11. 23

G06F 13/28(2006. 01)

(30) 优先权数据

(56) 对比文件

11/563, 732 2006. 11. 28 US

EP 1111512 A2, 2001. 06. 27, 全文.

CN 1570896 A, 2005. 01. 26, 全文.

(85) PCT申请进入国家阶段日

US 6199121 B1, 2001. 03. 06, 全文.

2009. 05. 27

(86) PCT申请的申请数据

审查员 李锋

PCT/EP2007/062728 2007. 11. 23

(87) PCT申请的公布数据

W02008/065045 EN 2008. 08. 07

(73) 专利权人 LM 爱立信电话有限公司

地址 瑞典斯德哥尔摩

(72) 发明人 大卫·巴罗 克拉伦斯·V·罗伯茨

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 王波波

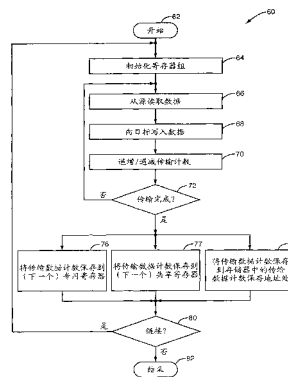
权利要求书 2 页 说明书 5 页 附图 3 页

(54) 发明名称

用于处理未知长度传输的 DMAC

(57) 摘要

DMA 控制器维持各 DMA 操作中传输的数据的计数, 并在 DMA 操作结束时保存传输数据计数。DMA 控制器然后可以开始随后的 DMA 传输操作而无需等待处理器读取该传输数据计数。传输数据计数可以被写入到存储器中在传输数据计数保存地址寄存器中指定的地址处; 可以被保存到 DMA 通道专用的传输数据计数寄存器中; 或者可以被保存到在两个或更多个 DMA 通道之间共享的传输数据计数寄存器中。处理器可以读取传输数据计数, 并且在适当的情况下, 在 DMA 控制器开始该 DMA 通道上的另一个 DMA 操作之后, 将相关的传输数据计数寄存器清零。



1. 一种借助于具有一个或更多个通道并可操作用于传输未知长度数据的直接存储器存取 (DMA) 控制器在处理器干预最小的情况下执行 DMA 操作的方法, 该方法包括针对至少一个 DMA 通道而执行以下步骤:

执行第一 DMA 传输并维持传输数据计数;

对所述传输数据计数进行存储; 以及

在所述处理器读取所存储的传输数据计数之前, 开始执行第二 DMA 传输。

2. 根据权利要求 1 所述的方法, 其中, 对所述传输数据计数进行存储的步骤包括以下步骤: 将所述计数写入到预定的存储器位置。

3. 根据权利要求 2 所述的方法, 其中, 所述预定的存储器位置是由所述处理器针对各 DMA 传输而指定的。

4. 根据权利要求 1 所述的方法, 其中, 对所述传输数据计数进行存储的步骤包括以下步骤: 将该计数保存到所述 DMA 控制器中的 DMA 传输计数寄存器。

5. 根据权利要求 4 所述的方法, 其中, 所述 DMA 传输计数寄存器与所述 DMA 通道相关联。

6. 根据权利要求 5 所述的方法, 其中, 所述 DMA 传输计数寄存器是与所述 DMA 通道相关联的多个 DMA 传输计数寄存器中的一个。

7. 根据权利要求 4 所述的方法, 其中, 所述 DMA 传输计数寄存器由两个或更多个 DMA 通道共享。

8. 根据权利要求 7 所述的方法, 其中, 所述 DMA 传输计数寄存器是由两个或更多个 DMA 通道共享的多个 DMA 传输计数寄存器中的一个。

9. 一种支持一个或更多个直接存储器存取 (DMA) 通道并可操作用于传输未知长度数据的 DMA 控制器, 该 DMA 控制器包括:

与各 DMA 通道相关联的寄存器组, 该组包括至少一个计数器, 该计数器用于维持各 DMA 操作中传输的数据的计数; 以及

控制电路, 该控制电路可操作用于在各 DMA 操作之后保存传输数据计数, 并且进一步可操作用于在处理器读取所保存的传输数据计数之前开始随后的 DMA 操作。

10. 根据权利要求 9 所述的 DMA 控制器, 其中, 各寄存器组进一步包括传输数据计数保存地址寄存器, 并且其中, 所述控制电路进一步可操作用于将所述传输数据计数写入到存储器中在所述传输数据计数保存地址寄存器中存储的地址处。

11. 根据权利要求 9 所述的 DMA 控制器, 其中, 各寄存器组进一步包括在各 DMA 操作之前没有被重写的传输数据计数寄存器, 并且其中, 所述控制电路可操作用于将所述传输数据计数保存到所述传输数据计数寄存器。

12. 根据权利要求 11 所述的 DMA 控制器, 其中, 各寄存器组进一步包括多个传输数据计数寄存器, 并且其中, 所述控制电路将多个连续 DMA 操作的所述传输数据计数保存到所述传输数据计数寄存器。

13. 根据权利要求 12 所述的 DMA 控制器, 其中, 所述控制电路另外将时间戳与各传输数据计数一起保存。

14. 根据权利要求 9 所述的 DMA 控制器, 该 DMA 控制器进一步包括在进行各 DMA 操作之前没有被重写的共享的传输数据计数寄存器, 并且其中, 所述控制电路可操作用于将来自

任意 DMA 通道的传输数据计数保存到所述共享的传输数据计数寄存器。

15. 根据权利要求 14 所述的 DMA 控制器,该 DMA 控制器进一步包括多个共享的传输数据计数寄存器,并且其中,所述控制电路将多个连续 DMA 操作的传输数据计数保存到所述共享的传输数据计数寄存器。

16. 根据权利要求 15 所述的 DMA 控制器,其中,所述控制电路另外将时间戳与各传输数据计数一起保存。

17. 一种数据处理系统,该数据处理系统包括:

处理器;

存储器;以及

支持一个或多个直接存储器存取(DMA)通道并可操作用于传输未知长度数据的 DMA 控制器;

其中所述 DMA 控制器包括:

与各 DMA 通道相关联的寄存器组,该组包括至少一个计数器,该计数器可操作用于维持各 DMA 操作中传输的数据的计数;以及

控制电路,其可操作用于在各 DMA 操作之后保存传输数据计数,并且进一步可操作用于在所述处理器读取所保存的传输数据计数之前开始随后的 DMA 操作。

18. 根据权利要求 17 所述的系统,其中,各寄存器组进一步包括传输数据计数保存地址寄存器,并且其中,所述控制电路进一步可操作用于将所述传输数据计数写入到存储器中在所述传输数据计数保存地址寄存器中存储的地址处。

19. 根据权利要求 17 所述的系统,其中,各寄存器组进一步包括在进行各 DMA 操作之前没有被重写的传输数据计数寄存器,并且其中,所述控制电路可操作用于将所述传输数据计数保存到所述传输数据计数寄存器。

20. 根据权利要求 19 所述的系统,其中,所述寄存器组进一步包括多个传输数据计数寄存器,并且其中,所述控制电路将多个连续 DMA 操作的所述传输数据计数保存到所述传输数据计数寄存器。

21. 根据权利要求 17 所述的系统,其中,所述 DMA 控制器进一步包括在进行各 DMA 操作之前没有被重写的共享的传输数据计数寄存器,并且其中,所述控制电路可操作用于将来自任意 DMA 通道的传输数据计数保存到所述共享的传输数据计数寄存器。

22. 根据权利要求 21 所述的系统,其中,所述 DMA 控制器进一步包括多个共享的传输数据计数寄存器,并且其中,所述控制电路将多个连续 DMA 操作的传输数据计数保存到所述共享的传输数据计数寄存器。

用于处理未知长度传输的 DMAC

技术领域

[0001] 本发明涉及数据处理电路,尤其涉及可操作用于维持和存储传输计数的直接存储器存取 (DMA) 控制器。

背景技术

[0002] DMA 操作是本领域中的公知技术。DMA 控制器的功能是从处理器或其他系统控制器中卸载 (offload) 常规数据传输任务。在示例性 DMA 传输操作中,处理器初始化 DMA 的源信息及目标信息、控制信息以及传输大小。DMA 控制器自行从源读取数据,并向目标写入数据,该源可以包括例如通信接口之类的外围设备或包括存储器位置,所述目标也可以包括外围设备或存储器。因此,可以从外围设备向外围设备、从外围设备向存储器、从存储器向外围设备、或者从存储器向存储器进行 DMA 传输。DMA 控制器典型将传输大小存储在计数器中,并且在写入各数据时 (例如以字节、半字等) 使传输大小递减。当传输大小递减至零时, DMA 传输操作完成,并且 DMA 控制器可以中断该处理器,在状态寄存器或控制寄存器中设定一个标志,或者以其他方式表示数据传输完成。多通道 DMA 控制器典型地通过对 DMA 传输进行时分复用来并行地执行两个或更多个 DMA 传输操作。可以将 DMA 传输操作链接起来。例如,可以将非常庞大的数据传输分割为一系列较小的传输。可以初始化 DMA 控制器的源信息、目标信息、传输大小信息以及其他控制信息,并且可以对 DMA 控制器额外提供链接地址。当 DMA 控制器完成 DMA 传输时,其从该链接地址 (以及一个新的链接地址) 读取一组新的源信息、目标信息、传输大小信息以及控制信息,并且立刻开始新的 DMA 传输操作。

[0003] 通过这种方式,可以将大量 DMA 传输操作链接或串起来,以移动大量的数据。

[0004] 在许多情况下,预先不知道 DMA 传输的长度。例如,从通信外围设备向存储器进行的 DMA 传输可以传输一个或更多个分组,而外围设备在接收前不知道分组的长度。另外,例如当外围设备超时或目的地缓存器存满 (fill) 时,名义上已知长度的 DMA 传输可以提前终止。在这两种情况的任一情况下,软件需要查明 (ascertain) 所传输的数据量以能够对数据进行处理。在常规 DMA 控制器中,在 DMA 控制器开始后续的 DMA 传输之前必须由处理器读出传输计数 (从零递增或从名义传输计数递减),这将会重写 (overwrite) DMA 传输计数寄存器或计数器。

[0005] 即使当 DMA 传输操作终止时 DMA 控制器中断了处理器,用于使处理器停止 (halt) 执行、加载中断服务例程、并读取 DMA 传输计数 (进而释放 DMA 控制器以执行后续的 DMA 传输操作) 所需的上下文切换 (context switch) 仍然需要很大的并且在许多情况下不可接受的延迟。由于计算系统的功能性和复杂性的提高,共享数据的外围设备的数量、待传输的数据量、以及系统数据速率都随之增加,从而降低了 DMA 传输操作之间的最大可接受延迟。因此,在本领域中,需要在未知大小 DMA 传输的情况下将处理器与 DMA 控制器“解耦 (decouple)”。

发明内容

[0006] 根据一个或更多实施方式, DMA 控制器维持各 DMA 操作中传输的数据的计数, 并在 DMA 操作结束时保存传输数据计数。然后, DMA 控制器可以开始随后的 DMA 传输操作而无需等待处理器读取该传输数据计数。传输数据计数可以被写入到存储器中在传输数据计数保存地址寄存器中指定的地址处; 可以被保存到 DMA 通道专用的传输数据计数寄存器中; 或者可以被保存到在两个或更多个 DMA 通道之间共享的传输数据计数寄存器中。处理器可以读取传输数据计数, 并且在适当的情况下, 在 DMA 控制器开始该 DMA 通道上的另一个 DMA 操作之后, 将相关的传输数据计数寄存器清零。

[0007] 在一个实施方式中, 本发明涉及借助于具有一个或更多个通道的 DMA 控制器使 DMA 操作与处理器解耦的方法。针对至少一个 DMA 通道, 执行第一 DMA 传输并维持所传输的数据的计数。存储所传输的数据的计数。在处理器读取所存储的传输数据的计数之前开始执行第二 DMA 传输。

[0008] 在另一个实施方式中, 本发明涉及支持一个或更多个 DMA 通道的 DMA 控制器。该 DMA 控制器包括与各 DMA 通道相关联的寄存器组, 该组包括至少一个计数器, 该计数器可操作用于维持各 DMA 操作中传输的数据的计数。该 DMA 控制器还包括控制电路, 该控制电路可操作用于在各 DMA 操作之后保存传输数据计数, 并且进一步可操作用于在处理器读取所保存的传输数据计数之前开始随后的 DMA 操作。

[0009] 在又一个实施方式中, 本发明涉及数据处理系统。该系统包括处理器、存储器、以及支持一个或更多个 DMA 通道的 DMA 控制器。该系统还包括位于 DMA 控制器中并与各 DMA 通道相关联的寄存器组, 该组包括至少一个计数器, 该计数器用于维持各 DMA 操作中传输的数据的计数。该系统进一步包括 DMA 控制器中的控制电路, 该控制电路可操作用于在各 DMA 操作之后保存传输数据计数, 并且进一步可操作用于在所述处理器读取所保存的传输数据计数之前开始随后的 DMA 操作。

附图说明

[0010] 图 1 是数据处理系统的功能框图。

[0011] 图 2 是与各 DMA 通道相关联的寄存器组的框图。

[0012] 图 3 是执行 DMA 操作的方法的流程图。

具体实施方式

[0013] 图 1 描述了总体上由标号 10 表示的代表性的数据处理系统的功能框图。系统 10 包括处理器 12 或其他控制器, 例如数字信号处理器 (DSP)、嵌入式微控制器、在 ASIC 或 FPGA 中实现的状态机等。处理器 12 连接至高速总线 14, 并通过高速总线向存储器 16 和从存储器 16 传输数据。系统 10 的与存储器 16 进行高带宽通信的其他部件 (例如图形控制器 18 和 DMA 控制器 12) 也连接至高速总线 14。在 DMA 传输操作中, 图形控制器 18 可以在例如帧缓存器与存储器 16 之间传输大量的数据。

[0014] 在外围总线 24 上设有用于在高速总线 14 与外围设备或功能之间进行数据传输的总线桥 22。外围总线 24 可以连接到多个外围设备, 例如实时时钟 (RTC) 26、通用异步接收器 / 发送器 (UART) 28 和输入 / 输出接口 30、网络接口卡 (NIC) 32 等。这些外围设备中的一些 28、30、32 可以通过 DMA 传输操作而向存储器 16 和从存储器 16 传输数据, 和 / 或与其他

外围设备 28、30、32 传输数据。通常,可以参与到 DMA 传输操作中的外围设备 28、30、32 以及部件 18 具有与 DMA 控制器 20 的边带控制信号连接。当然,图 1 中的数据处理系统 10 只是代表性的。在其他实施方式中,所有的功能块可以共享相同的总线,不一定存在所有的部件,还可以包括其他部件等。

[0015] DMA 控制器 20 包括:控制电路 21,其例如可以包括状态机;以及针对各 DMA 通道的一组寄存器 40,具体如图 2 所示。各寄存器组 40 可以包括控制寄存器 42、源寄存器 44、目标寄存器 46、传输大小寄存器或计数器 48,如果 DMA 控制器 20 支持链接的 DMA 传输操作,则各寄存器组 40 可以包括参数链接地址寄存器 50。

[0016] 控制寄存器 42 包含各种预定的位字段,这些位字段定义了 DMA 传输操作的参数,例如要传输的各数据的大小(例如字节、半字、字等)、在各数据读取或写入后是否应该递增源地址和/或目的地址、在多通道 DMA 控制器 20 中该 DMA 传输操作相对于其他并行 DMA 传输操作的优先级、和/或任何给定的实现所期望或要求的其他控制信息。

[0017] 源寄存器 44 指示了要从其读取数据的外围设备或存储器位置,目标寄存器 46 指示了要向其写入数据的外围设备或存储器位置。传输大小寄存器 48 可以包括计数器,该计数器被初始化为所希望的数据传输计数,并且在成功读取和写入各数据时进行递减。或者,对于未知大小的 DMA 传输操作,可以将传输大小寄存器/计数器 48 初始化为 0,并在传输各数据时进行递增。

[0018] 如果 DMA 控制器 20 支持链接 DMA 传输操作,则参数链接地址寄存器 50 包括起始存储器地址,在链接 DMA 传输操作完成时,DMA 控制器 20 可以从起始存储器地址获得寄存器组 42 的新值。参数链接地址寄存器 50 还可以包括有效位(未示出),该有效位用于表示链接 DMA 操作有待确定(pending)。

[0019] 在 DMA 传输操作(或链接的一系列 DMA 传输操作中的第一 DMA 传输操作)之前,通过处理器来初始化寄存器组 42。处理器还初始化参与 DMA 传输操作的任何外围设备。然后,DMA 控制器 20 分别响应于来自外围设备的控制信号(其表示这些外围设备具有可用数据或具有用于接收数据的容量)以及响应于对外围总线 24 和高速总线 14 的仲裁,自行地执行 DMA 传输操作,从外围设备读取数据或者向外围设备写入数据。根据本发明的一个或多个实施方式,当 DMA 传输操作完成时,DMA 控制器 20 保存成功传输的数据的计数,以由处理器随后进行检验,并且可以立即进行下一个 DMA 传输操作。

[0020] 在一个实施方式中,传输数据计数保存在 DMA 通道专用的传输数据计数寄存器 54 中。传输数据计数寄存器 54 可以包括计数器,在执行 DMA 传输操作前该计数器被初始化为 0,并且在成功传输各数据时进行递增。或者,传输数据计数寄存器 54 可以包括简单寄存器,当完成 DMA 传输操作时,将传输大小寄存器/计数器 48 的内容复制到该简单寄存器中。与寄存器组 40 中的寄存器 42-50 不同,在进行各 DMA 传输操作之前不对传输数据计数寄存器 54 进行重写。而是采用如下方式,即:可以由处理器 12 在读取传输数据计数时将传输数据计数寄存器 54 清零,或者可以由 DMA 控制器 20 在完成随后的 DMA 传输操作时响应于来自处理器 12 的表示已经读取了之前的传输数据计数的指示,将传输数据计数寄存器 54 重写。这种指示例如可以包括用于随后的 DMA 传输操作的在控制寄存器 42 中的一位或更多位的预定状态。

[0021] 在一个实施方式中,DMA 控制器 20 可以包括多个传输数据计数寄存器 54a、54b、

54c,各传输数据计数寄存器专用于 DMA 通道以利用该通道来保存多于一个连续 DMA 传输操作的传输数据计数。可以设置任意希望数量 n 个传输数据计数寄存器 54,使得 DMA 控制器 20 能够执行每通道多达 n 个连续 DMA 传输操作,而无需等待处理器 12 读取传输数据计数。传输数据计数寄存器 54 的数量 n 可以随各 DMA 通道而改变,并且可以基于已知或预知的 DMA 传输活动水平、处理器 12 的响应时间以及系统的 10 的延迟 (latency) 要求等而由系统设计者确定。n 个传输数据计数寄存器 54 可以形成循环队列,其中 DMA 控制器总是向下一个连续的传输数据计数寄存器 54 进行写入。或者,传输数据计数寄存器 54 可以包括时间戳字段 (未示出),DMA 控制器对各传输数据计数保存一个时间戳或者按时序递增的顺序号,使得处理器 12 能够将传输数据计数与 DMA 传输操作关联起来。

[0022] 在一个实施方式中,并非将一个或多个传输数据计数寄存器的硬件资源专用于各 DMA 通道,而是多通道 DMA 控制器 20 可以包括一个或多个共享的传输数据计数寄存器 54。在该情况下,各传输数据计数寄存器 54 可以包括 DMA 通道标识符字段 (未示出),从而处理器 12 能够明确地将各传输数据计数与相应的 DMA 通道关联起来。在一个实施方式中,各个共享的传输数据计数寄存器 54 另外包括时间戳字段 (未示出),使得处理器 12 能够查明与给定的 DMA 通道相关联的多个传输数据计数中的哪一个应用于哪个 DMA 传输操作。

[0023] 在一个实施方式中,各 DMA 通道的寄存器组 40 包括传输数据计数保存地址寄存器 52。处理器 12 利用在 DMA 传输操作之后 DMA 控制器 20 对传输数据计数进行存储的存储器 16 位置的地址来初始化 (或者,在链接的 DMA 传输操作的情况下由 DMA 控制器 20 读取) 该寄存器 52。该实施方式对在不等待处理器 12 读取传输数据计数的情况下 DMA 控制器 20 可以执行的连续 DMA 传输操作的数量提供了实质上无限制的灵活性,而无需实现可能很少或从未被利用过的昂贵的硬件寄存器。

[0024] 处理器将各传输数据计数保存地址与相应的 DMA 传输操作关联起来,而不再需要 DMA 通道标识符、时间戳或其他标识信息。

[0025] 图 3 描述了根据本发明的各种实施方式执行一个或多个 DMA 传输操作的方法,总体以 60 指示。该方法 60 从框 62 开始。对寄存器组 40 进行初始化 (框 64)。起初,处理器 12 向寄存器组 40 写入数据。在链接的 DMA 传输操作中,DMA 控制器 20 从前一个 DMA 传输操作期间在参数链接地址寄存器 50 中指定的地址读取寄存器组 40 的数据。

[0026] DMA 控制器 20 从源寄存器 44 中指定的源读取控制寄存器 42 中指定的数据 (框 66)。该源可以是外围设备 28、30、32,或者是存储器 16 中的位置。然后,DMA 控制器 20 向目标寄存器 46 中指定的目标写入数据 (框 68)。该目标也可以是外围设备 28、30、32,或者是存储器 16 中的位置。在任一情况下,DMA 控制器 20 可以从单个位置 (例如 FIFO 的输出) 读出或向其写入,或者可以递增例如在控制寄存器 42 中指定的读取 / 写入地址。

[0027] DMA 控制器 20 例如通过对传输大小寄存器 48 或其他计数器进行递增或递减来维持在 DMA 传输操作中传输的数据的计数 (框 70)。该处理一直持续到 DMA 传输完成为止 (框 72)。在以下情况下 DMA 传输操作完成,即:当已经传输了传输大小寄存器 48 所指定的数据量时;当数据源 (例如经由边带控制信号) 向 DMA 控制器 20 表明传输完成时;当数据目标 (例如经由边带控制信号) 向 DMA 控制器 20 表明不能接受更多数据时;或者当 DMA 控制器 20 识别出文件末尾 (EOF) 标志或表示分组、帧等的末尾的其他预定数据模式时 (如可以在 DMA 控制器 20 中的控制寄存器 42 或其他寄存器中指定的)。

[0028] 当 DMA 传输操作完成时, DMA 控制器 20 保存传输数据计数, 从而在开始随后的 DMA 传输操作前无需等待处理器 12 读取传输数据计数。在一个实施方式中, 将传输数据计数保存到专用于 DMA 通道的下一个可用传输数据计数寄存器 54a、54b、... 54(n-1) (框 76)。在另一实施方式中, DMA 控制器 20 将传输数据计数保存到下一个可用的共享传输数据计数寄存器 54a、54b、... 54(n-1) (框 77)。在另一实施方式中, DMA 控制器 20 将传输数据计数写入到存储器 16 中在传输数据计数保存地址寄存器 52 中指定的地址处 (框 78)。

[0029] 如果参数链接地址寄存器 50 包含表示链接 DMA 操作的有效地址 (框 80), 则 DMA 控制器 20 从存储器 16 中的指定地址处读取数据以对寄存器组 40 进行初始化 (框 64) (但如果保存到寄存器 54, 则不重写传输数据计数) 并且继续执行另一个 DMA 传输操作, 而不等待处理器 12 从之前的 DMA 传输操作读取传输数据计数。如果参数链接地址寄存器 50 不包含有效地址且 DMA 传输操作已经完成, 则方法 60 在框 82 结束。

[0030] 由于通过保存传输计数而将处理器 12 与 DMA 传输操作解耦, 因此未知大小的 DMA 传输无需使系统停止, 并且 DMA 控制器 20 无需等待处理器 12, 而是能够立刻开始随后的 DMA 传输操作。这种能力显著地提高了通过数据处理系统 10 的数据传输。

[0031] 当然, 在不脱离本发明的本质特征的情况下, 可以通过除此处所具体阐述的方式之外的其他方式来实现本发明。这些实施方式在所有方面都应当视为示例性而非限制性的, 旨在将落入所附权利要求的含义和等同范围内的所有改变都包含于此。

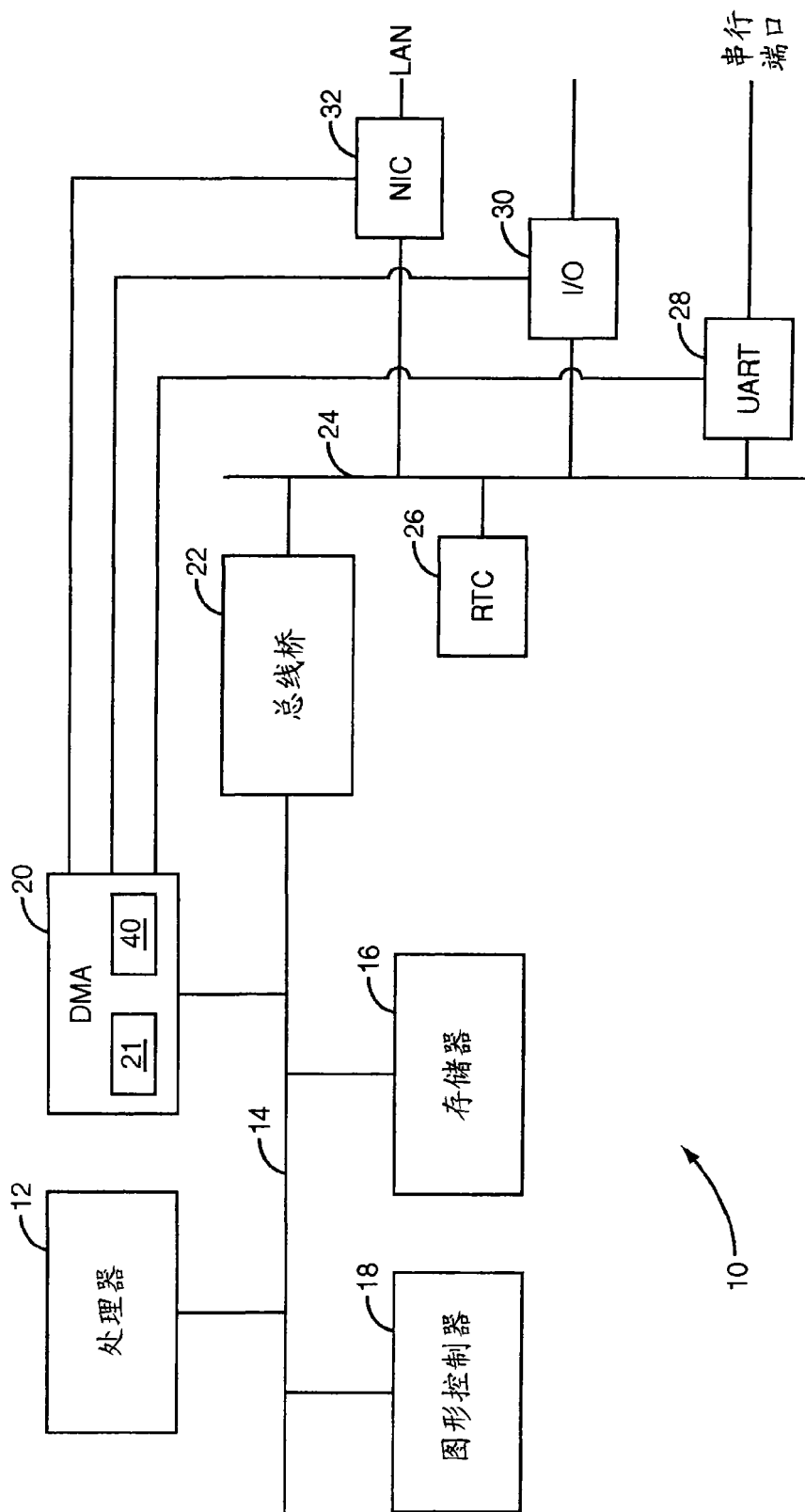


图1

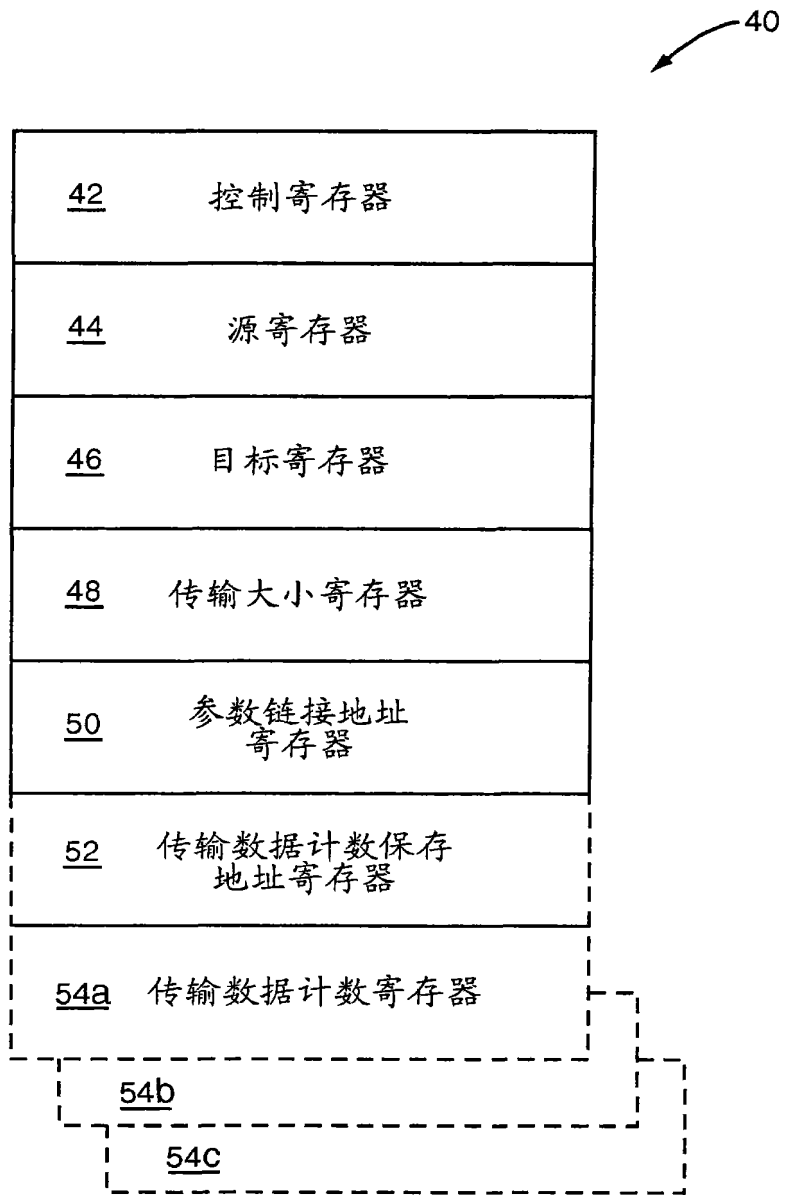


图 2

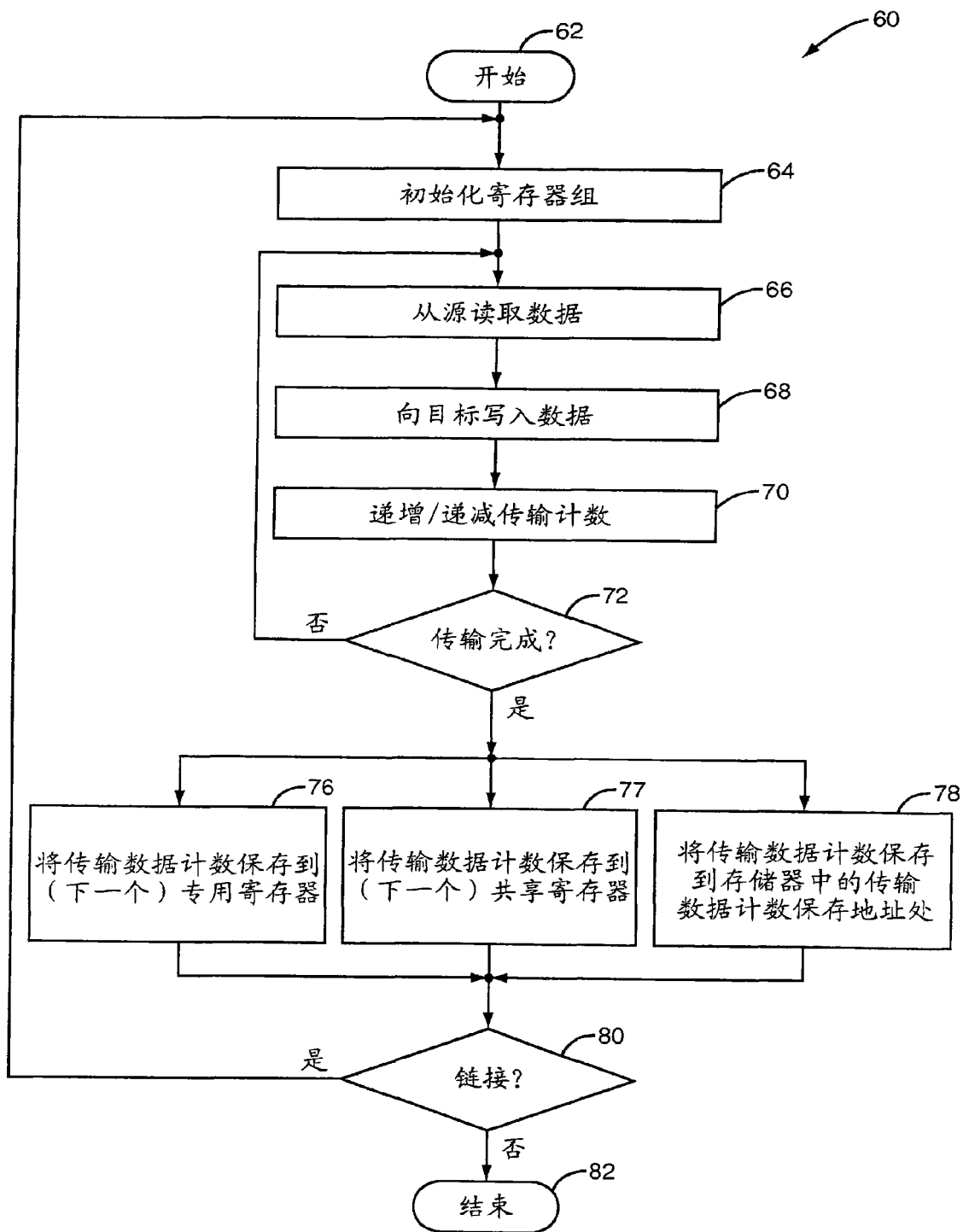


图 3