

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95100395

※ 申請日期：95.1.4

※IPC 分類：H01L

21/335, 21/00

一、發明名稱：(中文/英文)

製作一平面雙閘電晶體之方法

METHOD OF MAKING A PLANAR DOUBLE-GATED TRANSISTOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市西帕莫路7700號

7700 WEST PARMER LANE, AUSTIN, TEXAS 78729, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓名：(中文/英文)

瑪里雅司 K 歐羅斯基

ORLOWSKI, MARIUS K.

國籍：(中文/英文)

德國 GERMANY

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年01月31日；11/047,448

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一插入至頂部氮化矽層 (SiN)(20) 與一矽化鍺層 (SiGe)(14)(其又處於一厚氧化層 (BOX)(12)上方)之間的矽 (16)層經選擇性地蝕刻以存留一具有一設定閘極長度之寬度的堆疊。一側壁絕緣層 (28)形成於該 SiGe層 (14)上，從而使該 Si(16)層之側壁曝露。矽 (30、32)自該曝露之矽側壁 (16)磊晶生長以形成原位摻雜矽之源極/汲極區域 (30、32)。移除該氮化層 (20)，從而將該等源極/汲極區域 (30)作為一較高閘極位置之邊界。將該等源極/汲極區域 (30、32)塗佈一介電質 (36)。移除 SiGe層 (14)以提供一較低閘極位置 (46)。以金屬填充該較高閘極位置與該較低閘極位置 (46)以便形成電晶體 (10)之較高及較低閘極 (50)。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(13)圖。

(二)本代表圖之元件符號簡單說明：

10	半 導 體 裝 置
12	埋入氧化層 (BOX)
16	矽層
18	氧化層
22	SiGe側壁絕緣體
28	SiGe側壁絕緣體
30	汲極層
32	汲極層
34	氧化層
36	氧化層
40	電晶體位點
48	閘極介電質
50	金屬閘極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置，且更特定而言，本發明係關於一種製作一平面雙閘電晶體之方法。

【先前技術】

隨著電晶體持續變得愈來愈小，在仍能斷開電晶體之情況下保持電流驅動已成為一更大難題。若保持該電流驅動，則洩漏過高。一種改良此問題之技術已完全耗盡裝置。此可進一步藉由雙閘裝置而增強。雙閘電晶體提供更有效之電流驅動與低洩漏。在將閘極安置於矽之一鰭之側面上的FinFET(鰭式場效電晶體)配置中最容易想到此。基於FinFET之電路設計要求一全新之設計技術且FinFET在(110)/(100)介面處遭受線邊緣粗糙度，且由於FinFET之已量化之寬度增量而難以用於類似應用。平面雙閘裝置不會遭受此等問題，但歸因於閘極之一者處於通道下方而確實呈現出其它製造困難。解決方案傾向於解決與材料、閘極接觸、源極/汲極接觸之初始堆疊及形成較低閘極相關之現有製造難題。

因此，需要一種減輕及/或減少此等問題中之一者或多者的方法。

【發明內容】

一插入至頂部氮化矽層(SiN)(20)與一矽化鍺層(SiGe)(14)(其又處於一厚氧化層(BOX)(12)上方)之間的矽(16)層經選擇性地蝕刻以存留一具有一設定閘極長度之寬

度的堆疊。一側壁絕緣層(28)形成於該SiGe層(14)上，從而使該Si(16)層之側壁曝露。矽(30、32)自該曝露之矽側壁(16)磊晶生長以形成原位摻雜矽之源極/汲極區域(30、32)。移除該氮化層(20)，從而將該等源極/汲極區域(30)作為一較高閘極位置之邊界。將該等源極/汲極區域(30、32)塗佈一介電質(36)。移除SiGe層(14)以提供一較低閘極位置(46)。以金屬填充該較高閘極位置與該較低閘極位置(46)以便形成電晶體(10)之較高及較低閘極(50)。

【實施方式】

在一個態樣中，可利用以下起始組合達成一平面雙閘電晶體：一矽層位於一矽化鍺層(SiGe)上，而該矽化鍺層又位於一厚埋入氧化層(BOX)上。一可選氧化層生長於該矽層上且一氮化矽層提供於堆疊上。BOX上之矽上SiGe是一可購得之組合層且氧化層及氮化層藉由標準之半導體製程步驟形成。該組合經蝕刻以存留一寬度稍大於待完成之電晶體結構之所要閘極長度的堆疊。當曝露矽之側壁時，在SiGe上形成一側壁絕緣層。此可藉由氧化層生長及SiGe上之部分回蝕及矽側壁上之完全回蝕而達成，或藉由覆蓋SiGe側壁時曝露矽側壁之一側壁間隔製程而達成。矽自曝露之矽側壁磊晶生長以形成原位摻雜矽之源極/汲極區域。將此等源極/汲極區域製作為相對較大以便與該氮化層之側壁毗連。選擇性地移除氮化層以存留該等磊晶生長之源極/汲極區域作為矽層上方之一空穴的邊界。藉由氧化層生長或一側壁間隔製程而在空穴之側壁上形成非導電

材料。移除較低SiGe層以存留矽層下方之一空穴。在矽層之兩側上形成閘極介電質之後，均以金屬填充矽層上方之空穴與下方之空穴以達成雙閘電晶體。金屬形成自動地形成共同生長之自矽層上方與下方的延伸部分且繼續形成沈積於BOX上之金屬。因此，可獲得在堆疊之外之方便的閘極接觸點。參考圖式及以下描述進一步理解此。

圖1展示一半導體裝置10，該半導體裝置包含一厚氧化層12(可方便地稱作BOX 12)、一位於BOX 12上之矽化鍺(SiGe)層14、一位於SiGe層14上之矽層16、一位於矽層16上之氧化層18及位於氧化層18上之氮化矽層20。應瞭解，在實務上BOX 12下方存在一支撐結構(諸如，一充當基板之厚矽層)。在此實例中，BOX 12約1000埃(Angstrom)，SiGe層14較佳約含30%之矽且約500埃，矽層16為單晶體且約200埃，氧化層18約100埃，且氮化層20約600埃。此等尺寸為例示性的且可大幅度變化。如圖1所示，SiGe層14、矽層16、氧化層18及氮化層20已經蝕刻以形成一具有可用於形成一雙閘電晶體之側壁的堆疊，因此，此堆疊亦可稱作預電晶體堆疊。如圖所示之堆疊具有一約500埃之寬度，該寬度近似為一待形成於堆疊中之電晶體的通道長度。

圖2展示在SiGe層14及矽層16之曝露的側壁上生長氧化層21及25之後的半導體裝置10。SiGe層22上之氧化物生長稍快於矽層16上之氧化物生長，以致氧化層21具有一比一矽側壁絕緣體24厚約四倍的SiGe側壁絕緣體22。類似地，

氧化層 25 具有一比一矽側壁絕緣體 26 厚約四倍的 SiGe 側壁絕緣體 28。SiGe 側壁絕緣體 22 及 28 之厚度為約 250 埃。因為此是一生長氧化物之過程，所以 SiGe 層 14 及矽層 16 之部分在氧化層 21 及 25 之形成過程中被消耗。

圖 3 展示對氧化層 21 及 25 進行各向同性回蝕之後的半導體裝置 10。足夠長時間地執行此蝕刻以確保完全移除矽側壁絕緣體 24 及 26 以便曝露矽層 16 之側壁，但足夠短時間地執行此蝕刻以確保並不移除 SiGe 側壁絕緣體 22 及 28 且仍覆蓋 SiGe 層 14 之側壁。在此實例中，SiGe 層之剩餘厚度較佳約 150 埃。一替代結合如圖 2 及圖 3 所示之生長及回蝕方法以使用一側壁間隔製程形成側壁間隔，該側壁間隔導致曝露矽層 16 (或至少矽層 16 之大部分) 且覆蓋 SiGe 層 14 之側壁的一側壁絕緣體。此導致曝露 BOX 12 於蝕刻劑中一時間量，該時間量與自堆疊之頂部至最終位置蝕刻側壁間隔所需之時間等量。在使用一側壁間隔之此種情況下，氧化物生長將顯著減少。

圖 4 展示自矽層 16 之側壁磊晶生長源極/汲極區域 30 及 32 之後的半導體裝置 10。該生長持續直至源極/汲極區域完全覆蓋氮化層 20 之側壁。為確保此，磊晶生長持續直至源極/汲極區域 30 及 32 延伸至氮化層 20 上方。磊晶生長在所有方向上具有大體上相同的速率，因此源極/汲極區域側向地向外延伸比氧化層 18 與氮化層 20 之組合之厚度稍遠的距離。該源極/汲極磊晶之區域之側向範圍為約 700 埃，其足以用於接觸。該堆疊之實際側向尺寸歸因於氮化層 20 之

頂部表面上方之額外生長而甚至更大。藉由在磊晶生長過程中之原位摻雜而達成所要的摻雜位準。

圖5展示一化學機械製程步驟後的半導體裝置10，該步驟移除氮化層20上方之源極/汲極區域30及32以便達成氮化層20及源極/汲極區域30及32的一平面表面。

圖6展示移除氮化層20且在源極/汲極區域30上生長氧化層34、在源極/汲極區域32上生長氧化層36且在氧化層18之頂部表面上生長氧化層38之後的半導體裝置10。氧化層34及36較佳為約100埃，且歸因於在安置於矽層16上方的氧化層18上方生成氧化層38，而矽層16與源極/汲極區域30及32相比並未摻雜或輕微摻雜，故氧化層38稍薄。移除氮化層之區域是閘極位置中之一者(較高者)。因此，移除氮化層20具有曝露該較高閘極位置之作用。另一閘極位置在矽層下方且可視為較低閘極位置。

可作為一選擇添加至或替代圖6所述之步驟的可選步驟是使用一側壁間隔製程形成一位於較高閘極位置之開口內部的側壁間隔。在添加該側壁間隔至圖6所述之生長氧化層的此種情況下，該側壁間隔之目的是在源極/汲極區域30及32與閘極之較高部分之間提供一介電元件。此增加該較高閘極與源極/汲極區域30及32區域之間之介電質的量。

圖7展示沿圖6之7-7處剖開的截面。可將圖7之此截面視為第二截面平面，而第一截面平面是用於圖1至圖6之穿過如圖6所示之半導體10的平面。此圖7展示由SiGe層14、矽

層 16、氧化層 18 及氧化層 38 組成之堆疊無限連續地越過一半導體晶圓。雖然在圖 7 中未圖示，但源極/汲極區域 30 及 32 橫越與該堆疊相同之距離。

圖 8 繼續以第二截面平面展示移除氧化層 38 且接著移除氧化層 18 之後的半導體裝置 10。

圖 9 繼續以第二截面平面展示在選定位置處穿過該堆疊蝕刻至 BOX 12 以達成複數個電晶體位點(在此實例中，電晶體位點 40、42 及 44)之後的半導體裝置 10。圖 9 所示之電晶體位點 40、42 及 44 之每一者具有一選定寬度。圖 9 中之該等位點之寬度對應於待在此位點處形成之電晶體的通道寬度。

圖 10 展示沿圖 9 之 10-10 處剖開的截面，其返回至穿過如圖 9 所示之半導體 10 的第一截面平面。該特定截面是電晶體位點 40 之截面，但對於電晶體 42 及 44 而言亦相同。此展示氧化層 18 之所有剩餘部分是鄰接於源極/汲極層 30 及 32 的小部分且可用於確保沿源極/汲極區域 30 及 32 之側壁(尤其在矽層 16 上方之區域中)的連續性。

圖 11 現繼續以第一截面平面展示移除 SiGe 層 14 以致在矽層 16 下方存在一空穴 46 之後的半導體裝置 10。在 SiGe 與矽之間達成大於 50 比 1 之選擇率的蝕刻化學是眾所周知的。空穴 46 亦可稱作開口。導致此開口之蝕刻具有曝露較低閘極位置之作用。

圖 12 繼續以第一截面平面展示形成閘極介電質 48 之後的半導體裝置 10，此閘極介電質較佳為藉由原子層沈積

(ALD)而沈積之高k介電質，諸如金屬氧化物(例如氧化鉛)。使用ALD將導致在所有表面上形成大體上均一的厚度。在此處，期望所有表面皆為絕緣體，因此不存在問題。由於目的是形成一閘極介電質，因此出於此目的選擇材料。

圖13繼續以第一截面平面展示在矽層16上方及在空穴46內部形成金屬閘極50之後的半導體裝置10。最初地，較佳藉由ALD執行沈積，從而在絕緣體上達成所要功函數之金屬的有效沈積。在以金屬塗佈表面之後，儘管可繼續使用ALD來完成閘電極之形成，但較佳使用沈積金屬導體之另一更快方法。化學氣相沈積是較佳的，因為出於此目的其相對快且足夠吻合形狀。在執行沈積後，執行一CMP(化學機械研磨法)回蝕以便移除源極/汲極區域30及32上方靠近氮化物移除處的金屬。移除金屬後，在移除氮化物之區域上方及接近於該區域之源極/汲極區域上方及亦至閘極將延伸至之電晶體位點40之外的區域上方形成一遮罩。將該遮罩置於適當位置，接著移除曝露之金屬。以此方式存留矽層16上方及下方之金屬閘極50及圖13中未圖示之閘極延伸部分。如圖13中所示之半導體裝置10是一完成之電晶體。

圖14展示穿過圖13之半導體裝置10之轉變為第二截面平面的截面14-14，該圖14展示一具有一連接至其之閘極延伸部分52的閘極金屬50延伸至電晶體40之外以用於接觸。

具體材料作為實例加以描述，但其它材料亦有效。舉例

而言，氮化層20可為一不同材料。需要氮化層20為一相對抗氧化之層。不需要在形成層21期間沿較高電晶體位置形成一層。矽層16可為一不同之單晶半導體材料。碳化矽為一可行材料，其重要特徵在於碳化矽之氧化速率顯著較慢於其下方之層的氧化速率，例如至少慢四倍。SiGe層14亦可為另一材料，其重要特徵在於SiGe層14選擇性地蝕刻覆蓋單晶半導體層。相對蝕刻率較佳大於50比1。對於金屬閘極50而言之較佳材料是氮化鈮，但亦可使用其它金屬。例示性金屬包括氮化鈦、碳化鈮及矽化鎳。亦可使用其它材料，其應具有一相對高之回流溫度且不應與閘極介電質反應。可不需要氧化層18，其用以在移除氮化層20期間保護矽層16。若在移除氮化層20或氮化層20之一替代的過程中使用不干擾矽之蝕刻劑，則可不需要矽層16。亦可使用除氧化物之外之材料。此種材料應選擇性地蝕刻氮化層20或其之替代。矽層可具有一約200埃至700埃之厚度。SiGe層可具有一約80埃至400埃之厚度。

在前述說明書中，已參考具體實施例描述本發明。然而，一般技術者之一者將瞭解可在不脫離下述申請專利範圍中所陳述之本發明之範疇的情況下進行多種修改及改變。舉例而言，閘極介電質被描述為一高k介電質，但其可為諸如氧化物之另一閘極介電質材料。類似地，閘極被描述為一金屬，但其可為諸如摻雜半導體之某些其它導體。因此，在說明性意義上而不是限制性意義上理解說明書及圖式，且所有此等修改意欲包括於本發明之範疇內。

上文已相對於具體實施例描述利益、其它優勢及問題之解決方案。然而，該等利益、優勢、問題之解決方案及可引起任何利益、優勢或解決方案出現或變得更加顯著之任何元件並非理解為申請專利範圍之任一項或所有項之關鍵的、要求的或本質的特徵或元件。如本文中所使用之，術語"包含"或其它任何變形意欲覆蓋一非排他性包括，以致包含一系列元件之製程、方法、物件或裝置而並非僅包括此等元件，而是可包括其它並未特意列出之元件或此製程、方法、物品或裝置的固有元件。

【圖式簡單說明】

圖1為根據本發明之一實施例之製程中之一階段處沿一裝置結構的第一平面的截面；

圖2為製程中之隨後階段處沿圖1之裝置結構的第一平面的截面；

圖3為製程中之隨後階段處沿圖2之裝置結構的第一平面的截面；

圖4為製程中之隨後階段處沿圖3之裝置結構的第一平面的截面；

圖5為在製程中之隨後階段處的沿圖4之結構的第一平面的截面；及

圖6為製程中之隨後階段處沿圖5之裝置結構的第一平面的截面。

圖7為沿圖6之裝置結構的第二平面的截面；

圖8為製程中之隨後階段處沿圖7之裝置結構的第二平面

的截面；

圖 9 為製程中之隨後階段處沿圖 8 之裝置結構的第二平面的截面；

圖 10 為沿圖 9 之裝置結構的第一平面的截面；

圖 11 為製程中之隨後階段處沿圖 10 之結構的第一平面的截面；

圖 12 為製程中之隨後階段處沿圖 11 之結構的第一平面的截面；

圖 13 為製程中之隨後階段處沿圖 12 之結構的第一平面的截面；及

圖 14 為製程中之隨後階段處沿圖 13 之結構的第二平面的截面。

熟習此項技術者應瞭解諸圖中之元件是為了簡單及清楚而說明且未必按比例繪製。舉例而言，圖式中之某些元件之尺寸相對於其它元件可為誇大的以幫助提高對本發明之實施例的理解。

【主要元件符號說明】

- | | |
|----|--------------|
| 10 | 半導體裝置 |
| 12 | 埋入氧化層 (BOX) |
| 14 | 矽化鍺 (SiGe) 層 |
| 16 | 矽 (Si) 層 |
| 18 | 氧化層 |
| 20 | 氮化矽層 |
| 21 | 氧化層 |

22	SiGe側壁絕緣體
24	矽側壁絕緣體
25	氧化層
26	矽側壁絕緣體
28	SiGe側壁絕緣體
30	汲極層
32	源極層
34	氧化層
36	氧化層
38	氧化層
40	電晶體位點
42	電晶體位點
44	電晶體位點
46	空穴
48	閘極介電質
50	金屬閘極
52	閘極延伸部分

十、申請專利範圍：

1. 一種用於製作一雙閘電晶體之方法，其包含：

形成一具有堆疊側壁之經圖案化之預電晶體堆疊，其中該預電晶體堆疊安置於一絕緣層上，該預電晶體堆疊包括一覆蓋該絕緣層之第一半導體層、一覆蓋該第一半導體層之第二半導體層及一覆蓋該第二半導體層之抗氧化層；

在該等堆疊側壁之第一半導體層側壁部分及第二半導體層側壁部分上形成側壁絕緣體，其中該第一半導體層部分之該等側壁絕緣體包含一比該第二半導體層部分之該等側壁絕緣體之一厚度更厚的厚度；

移除在該第二半導體層部分上之該等側壁絕緣體，其中移除該等側壁絕緣體曝露該第二半導體層之對應側壁部分；

形成原位摻雜之磊晶源極/汲極區域，其中形成該原位摻雜之磊晶源極/汲極區域包括在該第二半導體層之該曝露之側壁部分處引起一單晶半導體材料之一磊晶生長；

移除該經圖案化之預電晶體堆疊之該抗氧化層，其中移除該抗氧化層曝露該第二半導體層之一第一閘極位置部分；

形成一絕緣襯墊，其覆蓋曝露之原位摻雜之磊晶源極/汲極區域之部分及該第二半導體層之該曝露的第一閘極位置部分；

移除覆蓋該第二半導體層之該曝露之第一閘極位置部

分之該絕緣襯墊的一部分；

沿該電晶體之一對應寬度尺寸圖案化該經圖案化之預電晶體堆疊及該原位摻雜之磊晶源極/汲極區域至一電晶體區域中且在該電晶體區域之相對末端處曝露該第一半導體層；

移除該第一半導體層以產生一開口，其中該開口曝露該第二半導體層之一第二閘極位置部分；

在該第二半導體層上形成一閘極介電質，該閘極介電質至少覆蓋該第二半導體層之該第一閘極位置部分及該第二閘極位置部分；及

在至少覆蓋該第二半導體層之該第一閘極位置部分及該第二閘極位置部分之該閘極介電質上形成一閘電極。

2. 如請求項1之方法，其中該第一半導體層包含SiGe，該第二半導體層包括Si，且該抗氧化層至少包含Si₃N₄。
3. 如請求項1之方法，其中該第一半導體層具有一相對於該第二半導體層之大於50:1的蝕刻選擇率。
4. 如請求項1之方法，其中該第一半導體層以一稍快於該第二半導體層之一氧化速率的氧化速率氧化。
5. 如請求項4之方法，另外其中該第一半導體層之該氧化速率比該第二半導體層之該氧化速率快至少四倍。
6. 如請求項1之方法，其中形成該經圖案化之預電晶體堆疊進一步將一待形成之電晶體的一通道長度界定為藉由該第二半導體層之一尺寸而確定。
7. 如請求項1之方法，其中移除該第二半導體層部分之該

等側壁絕緣體進一步包括藉由相對於該第一半導體層過度蝕刻該第二半導體層而相對於該第一半導體層底切該第二半導體層。

8. 如請求項1之方法，其中進一步保持該單晶半導體材料之該磊晶生長達一足以產生一所要之源極/汲極通道接合的第一持續時間，且隨後持續保持該相同之單晶半導體材料或一非晶形或多晶矽半導體材料之磊晶生長達一足以產生一所要之源極/汲極薄層電阻的第二持續時間。
9. 如請求項1之方法，其中持續該磊晶生長達一足以克服該預電晶體堆疊之該抗氧化層之一高度尺寸的磊晶生長量。
10. 如請求項1之方法，其進一步包含在形成該原位摻雜之磊晶源極/汲極區域之後且在移除該經圖案化之預電晶體堆疊的該抗氧化層之前，向下平面化該原位摻雜之磊晶源極/汲極區域至該經圖案化之預電晶體堆疊之該抗氧化層。
11. 如請求項1之方法，其中圖案化該經圖案化之預電晶體堆疊及該原位摻雜之磊晶源極/汲極區域進一步包括沿一個或多個電晶體之一對應寬度尺寸圖案化該經圖案化之預電晶體堆疊及該原位摻雜之磊晶源極/汲極區域至一個或多個電晶體區域中。
12. 如請求項1之方法，進一步其中該第二半導體層形成一在該等原位摻雜之磊晶源極/汲極區域之間延伸的橋。
13. 如請求項1之方法，其中形成該閘電極包括沈積一閘電

極材料或閘電極材料之一堆疊。

14. 如請求項1之方法，其中形成該閘電極包括使用原子層沈積(ALD)或化學氣相沈積(CVD)製程中之一者或多者沈積一閘電極材料或閘電極材料之一堆疊。
15. 如請求項1之方法，其進一步包含在該絕緣襯墊上形成側壁間隔。
16. 如請求項1之方法，其中該第一半導體層包含一具有一約200埃至700埃之厚度的SiGe層。
17. 如請求項1之方法，其中該第二半導體層包含一具有一約80埃至400埃之厚度的Si層。
18. 如請求項1之方法，其進一步包含：

當在該第一半導體層之該等側壁上提供較厚之絕緣時，形成使得該第二半導體之該側壁存留為曝露的第一側壁間隔；及

在該絕緣襯墊上形成第二側壁間隔。

19. 一種藉由以下方法產生之雙閘電晶體，該方法包含：

形成一具有堆疊側壁之經圖案化之預電晶體堆疊，其中該預電晶體堆疊安置於一絕緣層上，該預電晶體堆疊包括一覆蓋該絕緣層之第一半導體層、一覆蓋該第一半導體層之第二半導體層及一覆蓋該第二半導體層之抗氧化層；

在該等堆疊側壁之第一半導體層側壁部分及第二半導體層側壁部分上形成側壁絕緣體，其中該第一半導體層部分之該等側壁絕緣體包含一比該第二半導體層部分之

該等側壁絕緣體之一厚度更厚的厚度；

移除在該第二半導體層部分上之該等側壁絕緣體，其中移除該等側壁絕緣體曝露該第二半導體層之對應側壁部分；

形成原位摻雜之磊晶源極/汲極區域，其中形成該原位摻雜之磊晶源極/汲極區域包括在該第二半導體層之該曝露之側壁部分處引起一單晶半導體材料之一磊晶生長；

移除該經圖案化之預電晶體堆疊之該抗氧化層，其中移除該抗氧化層曝露該第二半導體層之一第一閘極位置部分；

形成一絕緣襯墊，其覆蓋曝露之原位摻雜之磊晶源極/汲極區域之部分及該第二半導體層之該曝露的第一閘極位置部分；

移除覆蓋該第二半導體層之該曝露之第一閘極位置部分之該絕緣襯墊的一部分；

沿該電晶體之一對應寬度尺寸圖案化該經圖案化之預電晶體堆疊及該原位摻雜之磊晶源極/汲極區域至一電晶體區域中且在該電晶體區域之相對末端處曝露該第一半導體層；

移除該第一半導體層以產生一開口，其中該開口曝露該第二半導體層之一第二閘極位置部分；

在該第二半導體層上形成一閘極介電質，該閘極介電質至少覆蓋該第二半導體層之該第一閘極位置部分及該第二閘極位置部分；及

在至少覆蓋該第二半導體層之該第一閘極位置部分及該第二閘極位置部分之該閘極介電質上形成一閘電極。

20. 如請求項19之雙閘電晶體，其中該方法進一步包含：

在高度大體上與該第一半導體層之該厚度相同之該等堆疊側壁上形成第一側壁間隔；及

在該絕緣襯墊上形成第二側壁間隔。

十一、圖式：

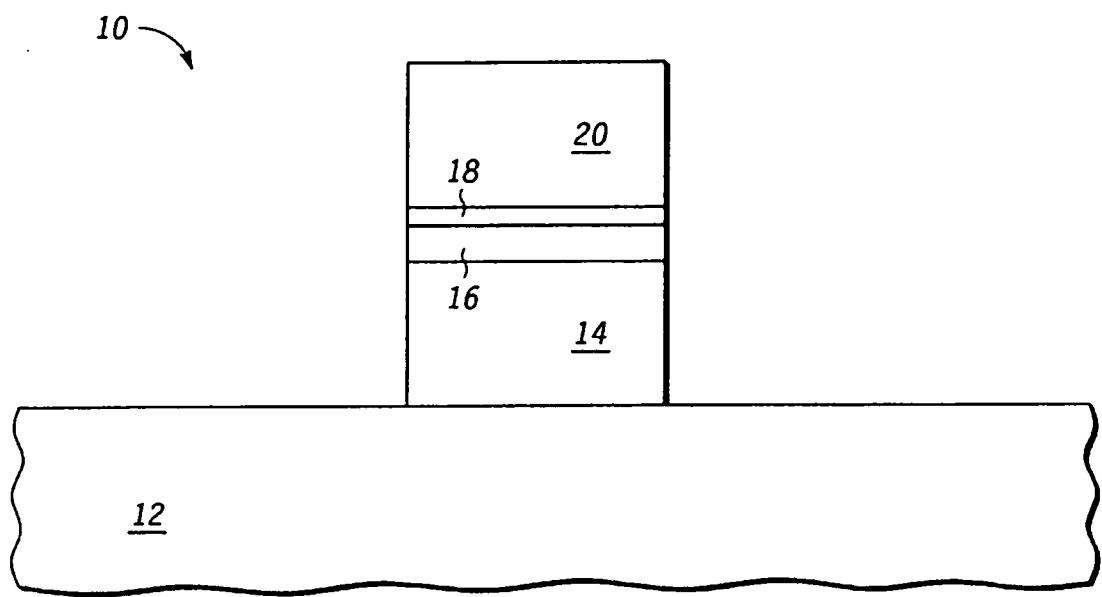


圖1

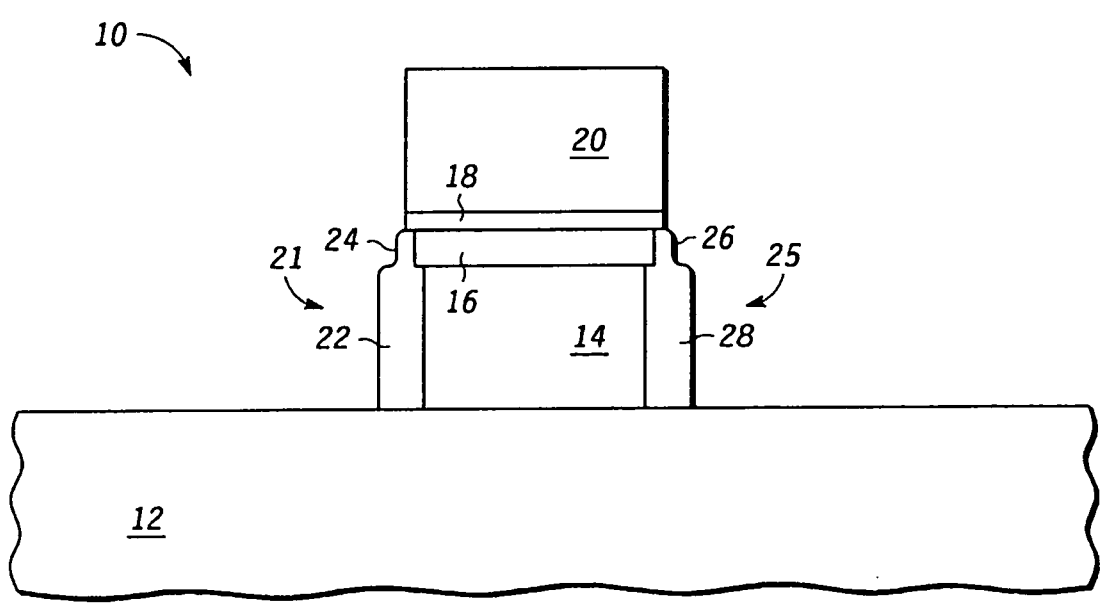


圖2

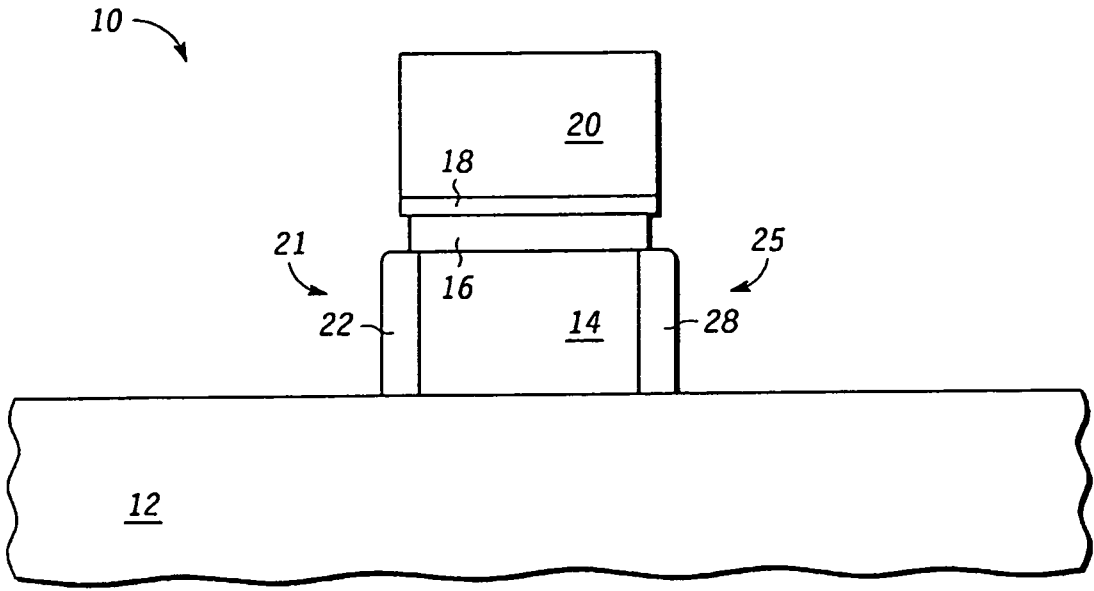


圖3

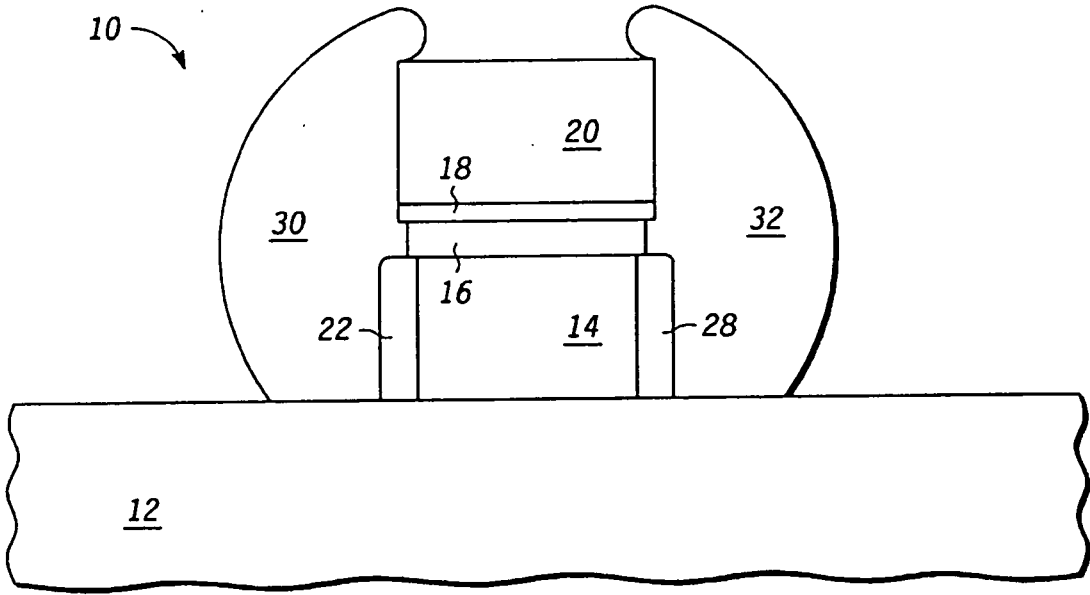


圖4

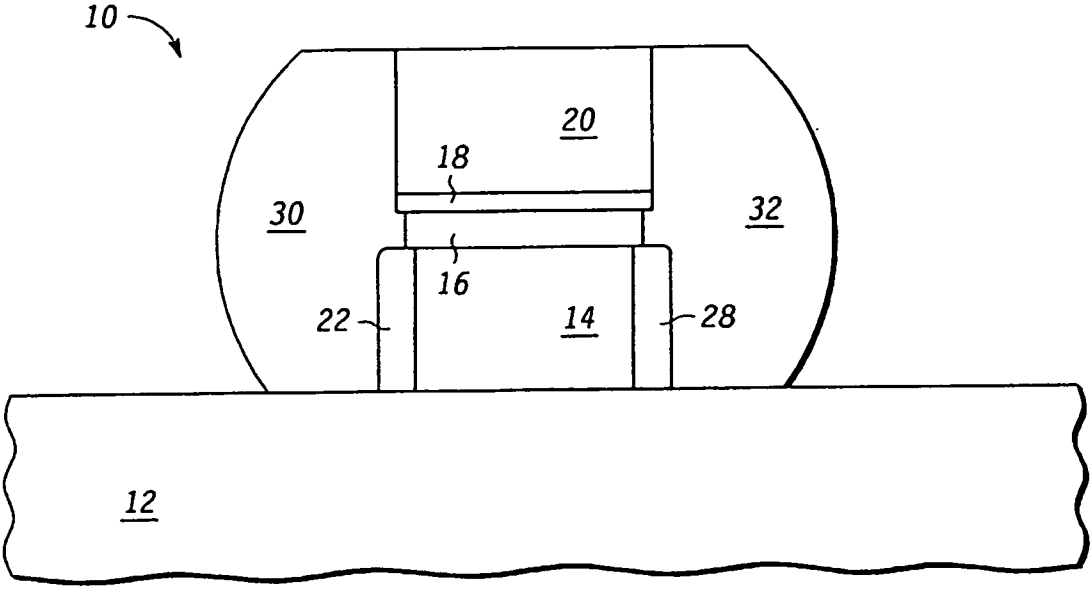


圖5

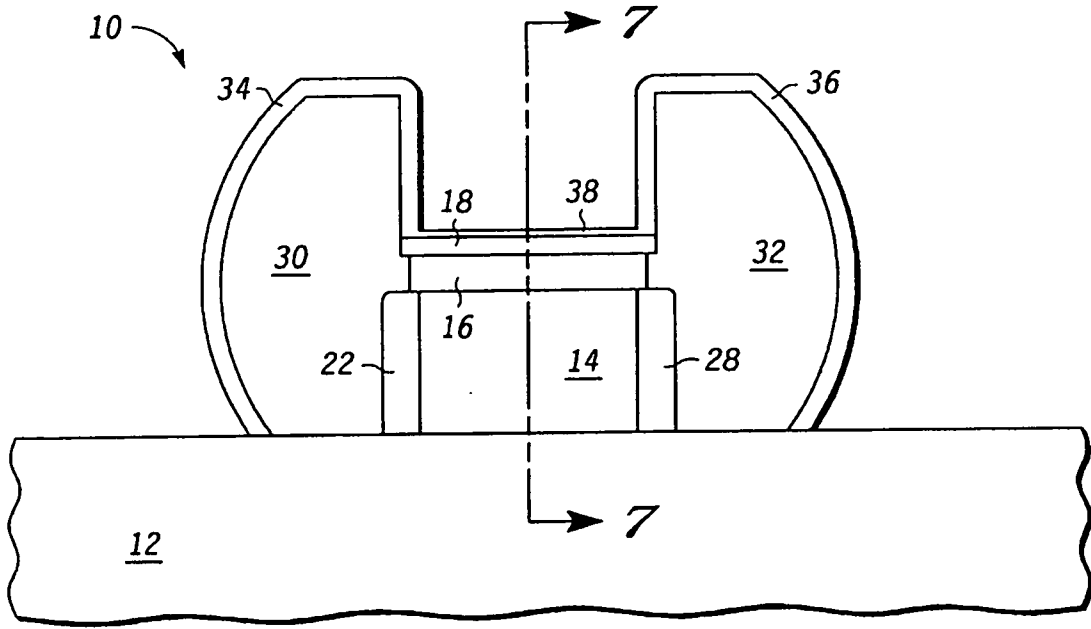


圖6

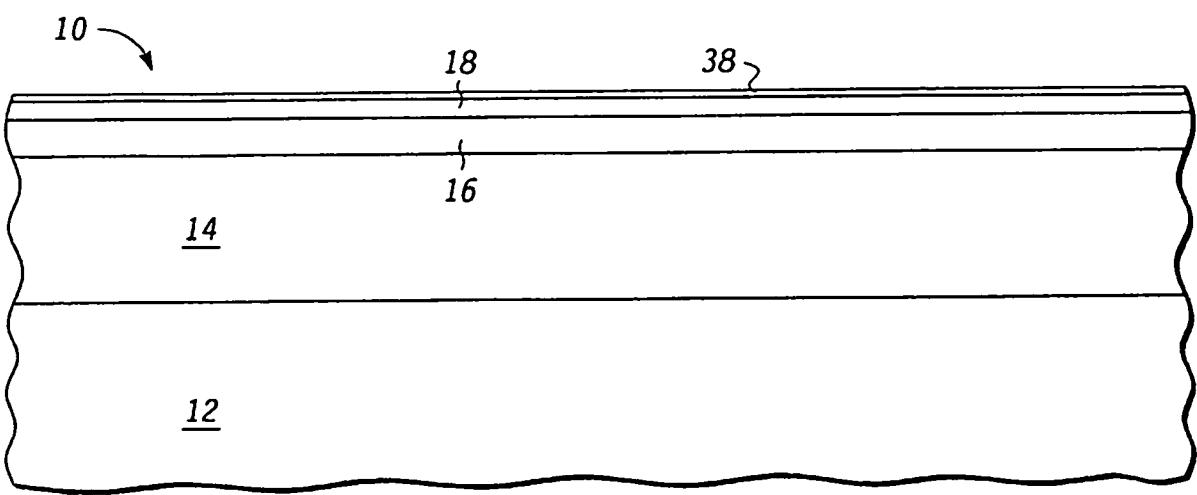


圖7

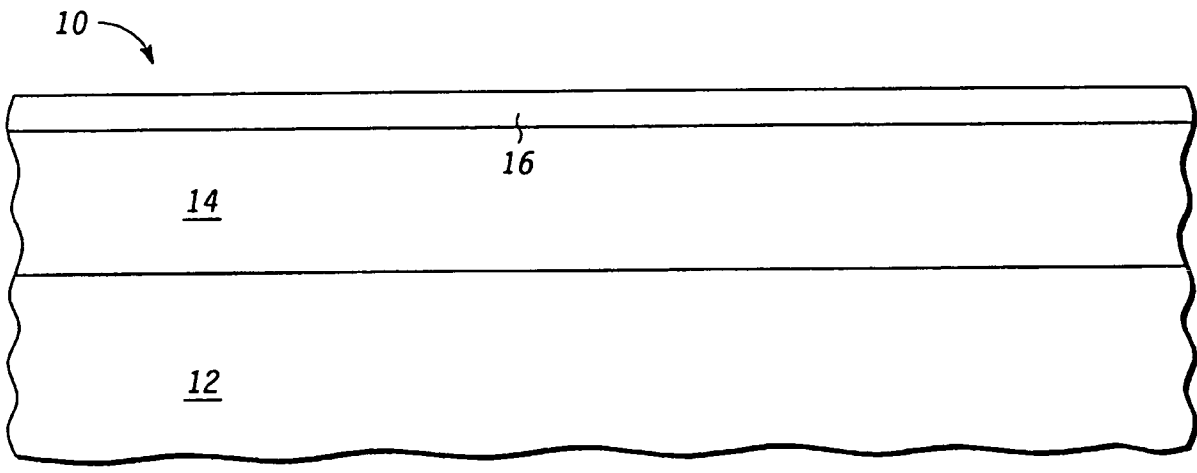


圖8

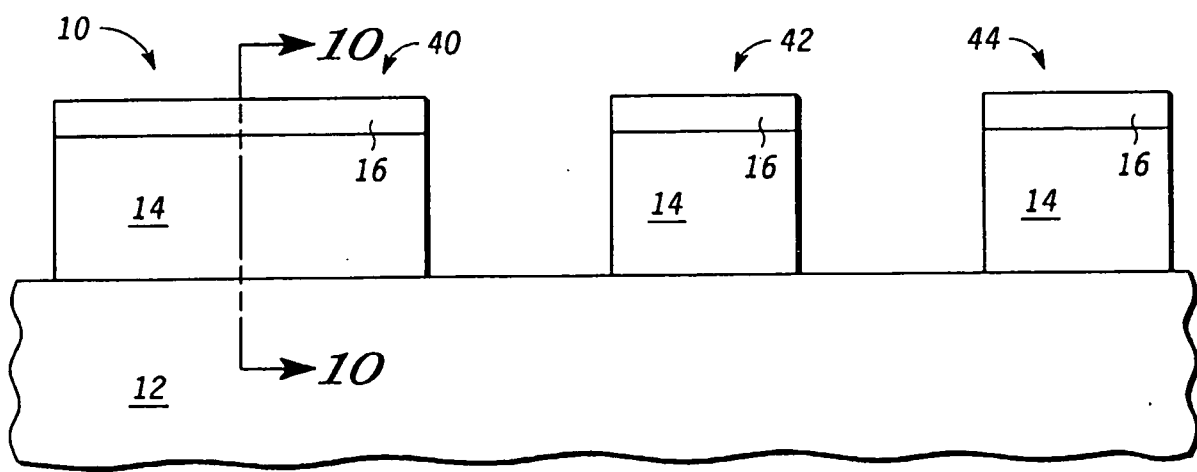


圖9

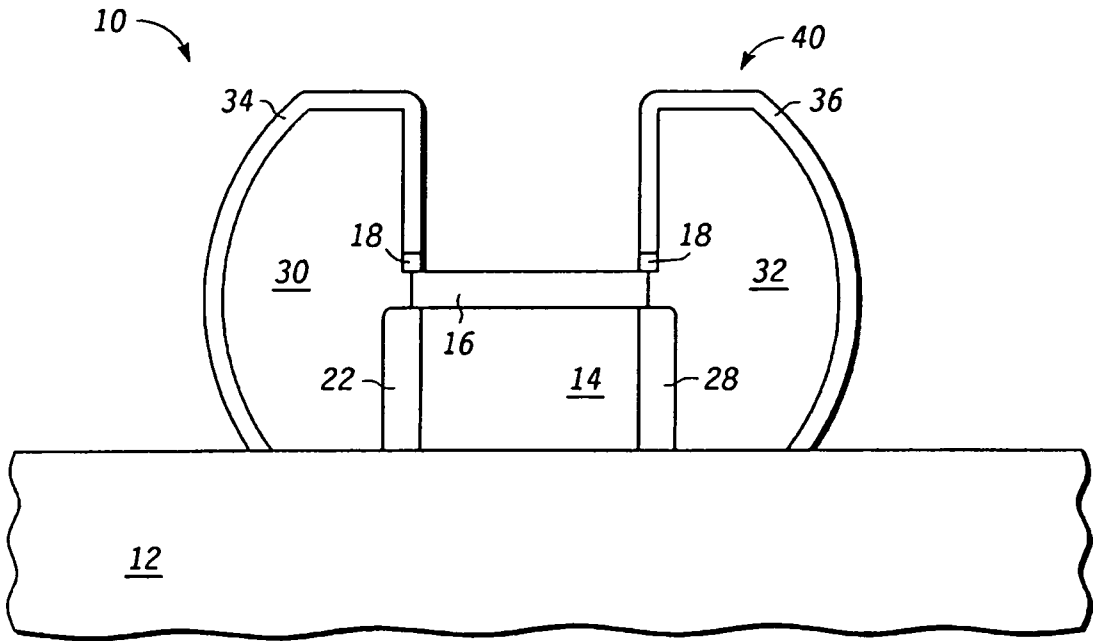


圖 10

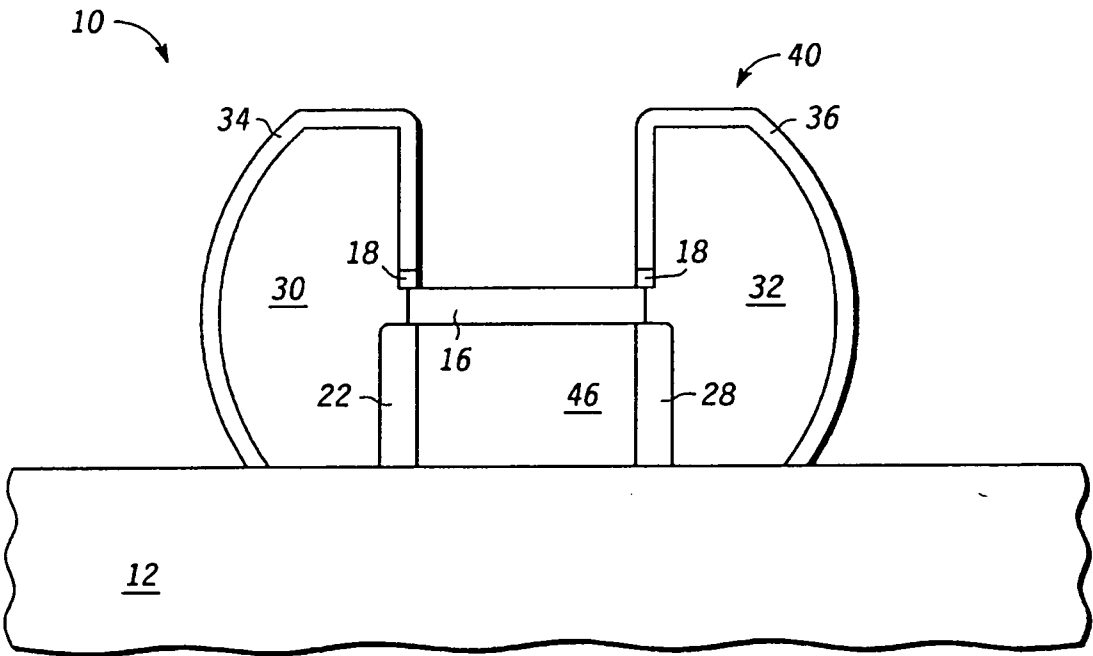


圖 11

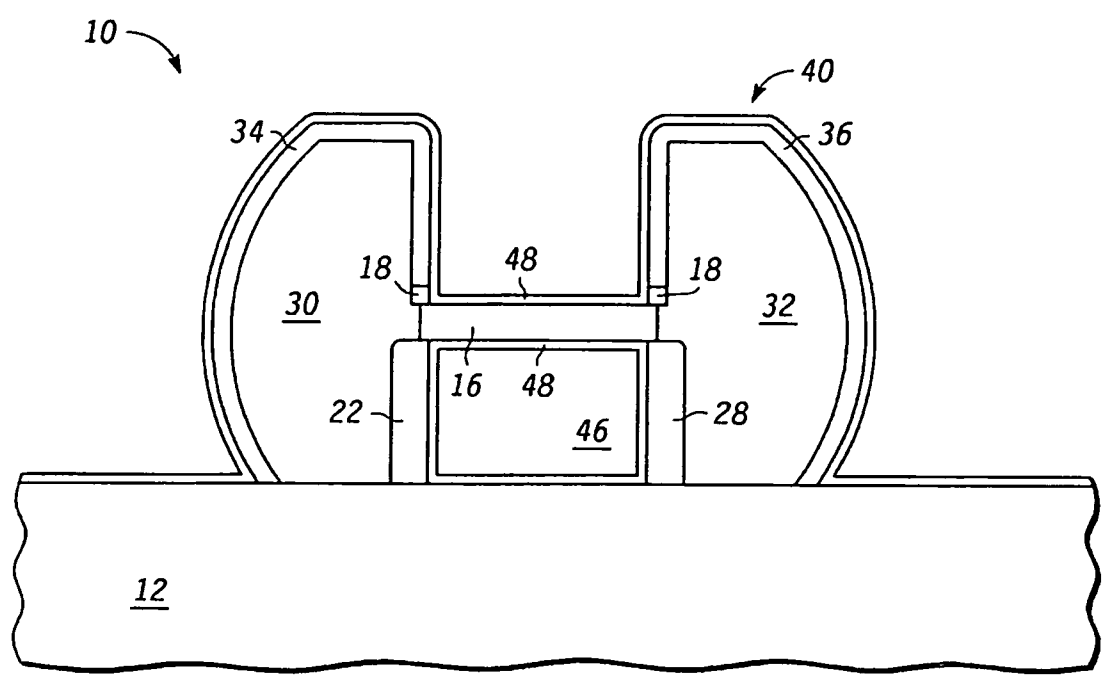


圖12

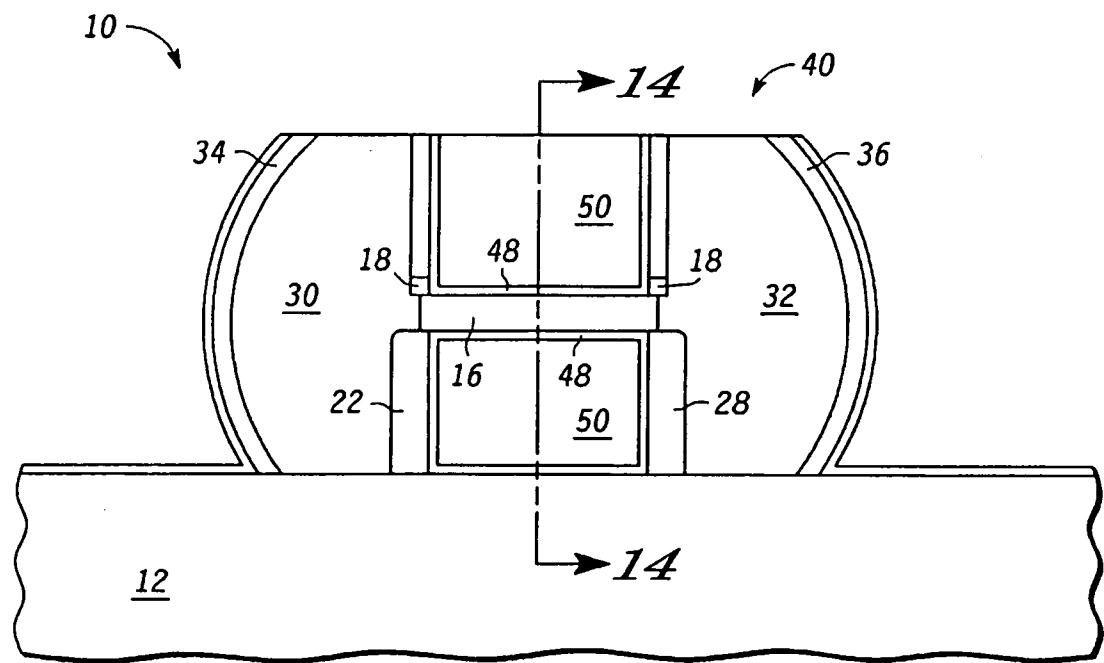


圖13

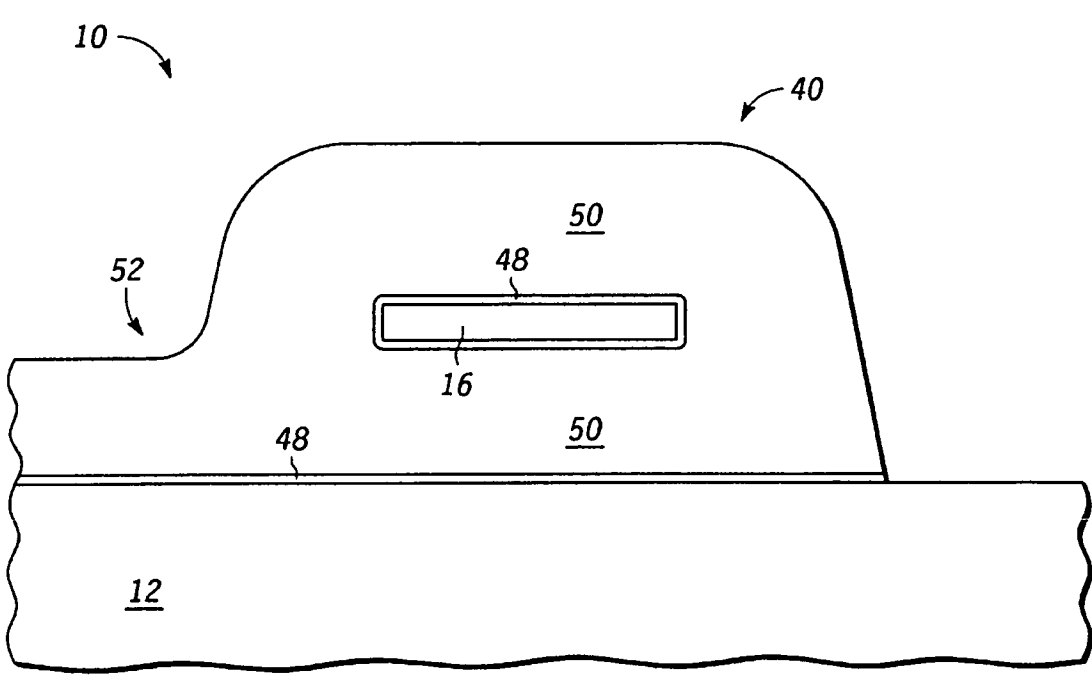


圖14