

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-92549

(P2008-92549A)

(43) 公開日 平成20年4月17日(2008.4.17)

(51) Int.Cl.		F I		テーマコード (参考)
H03K 5/00	(2006.01)	H03K 5/00	H	5J043
H03K 3/03	(2006.01)	H03K 3/03		5K022
H03K 3/0231	(2006.01)	H03K 3/023	A	5K029
H04L 25/49	(2006.01)	H04L 25/49	J	
H04J 13/00	(2006.01)	H04J 13/00	Z	

審査請求 未請求 請求項の数 17 O L (全 24 頁)

(21) 出願番号	特願2007-170080 (P2007-170080)	(71) 出願人	000002369
(22) 出願日	平成19年6月28日 (2007.6.28)		セイコーエプソン株式会社
(31) 優先権主張番号	特願2006-242418 (P2006-242418)		東京都新宿区西新宿2丁目4番1号
(32) 優先日	平成18年9月7日 (2006.9.7)	(74) 代理人	100095728
(33) 優先権主張国	日本国 (JP)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	飯田 泉
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	5J043 AA03 EE00 FF03 GG02 GG08
			LL01 MM00
			5K022 EE01 EE14 EE21
			5K029 AA11 EE11 GG03

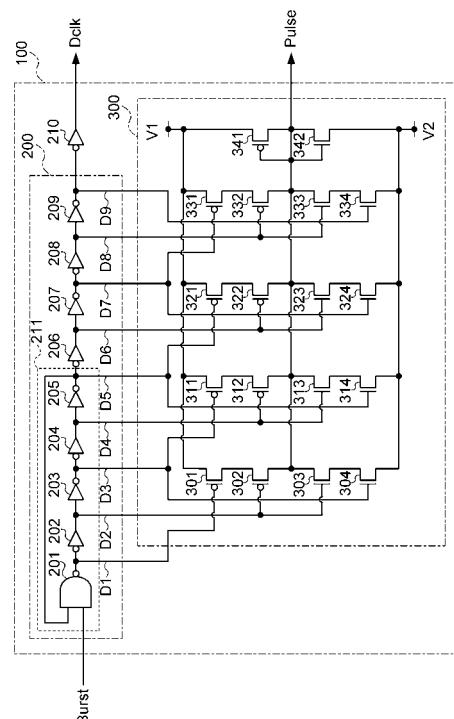
(54) 【発明の名称】 バースト制御パルス発生回路、バースト制御パルス発生回路を備えたデジタル変調回路及び電子機器

(57) 【要約】

【課題】 低消費電力で動作するバースト制御パルス発生回路。

【解決手段】 通信に用いるパルス信号を発生するバースト制御パルス発生回路100であって、バースト制御パルス発生回路100は、通信のオン/オフを制御するバースト信号Burstに基づき周期信号を発振するタイミング発生回路200と、タイミング発生回路200から出力される周期信号に基づきパルス信号Pulseを生成するパルス発生論理回路300と、を有し、バースト信号Burstがオン状態のとき1回以上のパルス信号Pulseを発生し、バースト信号Burstがオフ状態のときパルス信号Pulseの発生を停止する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

通信に用いるパルス信号を発生するバースト制御パルス発生回路であって、
前記バースト制御パルス発生回路は、
前記通信のオンとオフを制御するバースト信号に基づき周期信号を発振するリング発振回路を含み、前記周期信号に基づき複数のタイミング信号を出力するタイミング発生回路と、

前記複数のタイミング信号に基づき前記パルス信号を生成するパルス発生論理回路と、
を有し、

前記バースト信号がオン状態のとき 1 回以上の前記パルス信号を発生し、前記バースト
信号がオフ状態のとき前記パルス信号の発生を停止する、

ことを特徴とするバースト制御パルス発生回路。

【請求項 2】

請求項 1 に記載のバースト制御パルス発生回路において、

前記リング発振回路が発振する前記周期信号の発振周期は、前記パルス信号のパルス幅
よりも長い、

ことを特徴とするバースト制御パルス発生回路。

【請求項 3】

請求項 2 に記載のバースト制御パルス発生回路において、

前記リング発振回路と前記タイミング発生回路とは、各々を構成する素子の少なくとも
1 個以上を共有している、

ことを特徴とするバースト制御パルス発生回路。

【請求項 4】

請求項 2 に記載のバースト制御パルス発生回路において、

前記リング発振回路は、前記周期信号の発振周期を制御可能な論理回路を含んでいる、
ことを特徴とするバースト制御パルス発生回路。

【請求項 5】

請求項 2 に記載のバースト制御パルス発生回路において、

前記タイミング発生回路は、前記タイミング信号を制御可能な論理回路を含んでいる、
ことを特徴とするバースト制御パルス発生回路。

【請求項 6】

請求項 2 に記載のバースト制御パルス発生回路において、

前記リング発振回路は、2 入力論理回路と、前記 2 入力論理回路の出力端子に直列に接
続された n 個 (n は 2 以上の自然数) の NOT 回路と、を含み、 n 個目の前記 NOT 回路
の出力端子は前記 2 入力論理回路の一方の入力端子に接続され、前記 2 入力論理回路の他
方の入力端子に前記バースト信号が入力され、

前記タイミング発生回路は、前記リング発振回路と、 n 個目の前記 NOT 回路の出力端
子に直列に接続された m 個 (m は n 以下の自然数) の前記 NOT 回路と、を含む、

ことを特徴とするバースト制御パルス発生回路。

【請求項 7】

請求項 2 に記載のバースト制御パルス発生回路において、

前記リング発振回路は、2 入力論理回路と、前記 2 入力論理回路の出力端子に直列に接
続された n 個 (n は 2 以上の自然数) の NOT 回路と、を含み、

前記タイミング発生回路は、前記リング発振回路と、 n 個目の前記 NOT 回路の出力端
子に直列に接続された $2 \times m$ 個 (m は $n \div 2$ の自然数) の前記 NOT 回路と、を含み、

、

前記 2 入力論理回路の一方の入力端子には、 $n + (2 \times i)$ 個目 (i は $0 \leq i \leq m$ の整
数) の前記 NOT 回路の出力端子が接続されるように切り換える切換回路が接続され、前
記 2 入力論理回路の他方の入力端子には前記バースト信号が入力されている、

ことを特徴とするバースト制御パルス発生回路。

10

20

30

40

50

【請求項 8】

請求項 2 に記載のバースト制御パルス発生回路において、

前記リング発振回路は、2 入力論理回路と、前記 2 入力論理回路の出力端子に直列に接続された n 個 (n は 2 以上の自然数) の NOT 回路と、を含み、 n 個目の前記 NOT 回路の出力端子は前記 2 入力論理回路の一方の入力端子に接続され、前記 2 入力論理回路の他方の入力端子に前記バースト信号が入力され、

前記タイミング発生回路は、前記リング発振回路と、前記 2 入力論理回路の出力端子に直列に接続された $n + m$ 個 (m は n 以下の自然数) の遅延制御信号により遅延時間を制御可能な遅延制御 NOT 回路と、を含む、

ことを特徴とするバースト制御パルス発生回路。

10

【請求項 9】

請求項 2 に記載のバースト制御パルス発生回路において、

前記リング発振回路は、2 入力論理回路と、前記 2 入力論理回路の出力端子に直列に接続された n 個 (n は 2 以上の自然数) の遅延制御信号により遅延時間を制御可能な遅延制御 NOT 回路と、遅延回路と、を含み、 n 個目の前記遅延制御 NOT 回路の出力端子は前記遅延回路を介して前記 2 入力論理回路の一方の入力端子に接続され、前記 2 入力論理回路の他方の入力端子に前記バースト信号が入力され、

前記タイミング発生回路は、前記リング発振回路を含む、

ことを特徴とするバースト制御パルス発生回路。

【請求項 10】

20

請求項 2 に記載のバースト制御パルス発生回路と、パラレル/シリアル変換回路と、前記パラレル/シリアル変換回路が出力するシリアル信号が第 1 の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を遅延回路を介して出力し、前記シリアル信号が前記第 1 の電位と異なる第 2 の電位のとき前記パルス信号を出力する切換回路と、を有し、入力されたパラレル信号を PPM (Pulse Position Modulation) 変調して出力することを特徴とするデジタル変調回路。

【請求項 11】

請求項 2 に記載のバースト制御パルス発生回路と、パラレル/シリアル変換回路と、前記パラレル/シリアル変換回路が出力するシリアル信号が第 1 の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を出力し、前記シリアル信号が前記第 1 の電位と異なる第 2 の電位のとき前記パルス信号の出力を切断する切換回路と、を有し、入力されたパラレル信号を OOK (On-Off Keying) 変調して出力することを特徴とするデジタル変調回路。

30

【請求項 12】

請求項 2 に記載のバースト制御パルス発生回路と、パラレル/シリアル変換回路と、前記パラレル/シリアル変換回路が出力するシリアル信号が第 1 の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を遅延回路を介して出力し、前記シリアル信号が前記第 1 の電位と異なる第 2 の電位のとき前記パルス信号を NOT 回路を介して出力する切換回路と、を有し、入力されたパラレル信号を BPM (Bi-Phase Modulation) 変調して出力することを特徴とするデジタル変調回路。

40

【請求項 13】

請求項 2 に記載のバースト制御パルス発生回路である第 1 のバースト制御パルス発生回路及び第 2 のバースト制御パルス発生回路と、パラレル/シリアル変換回路と、前記パラレル/シリアル変換回路が出力するシリアル信号が第 1 の電位のとき前記第 1 のバースト制御パルス発生回路が発生する前記パルス信号を出力し、前記シリアル信号が前記第 1 の電位と異なる第 2 の電位のとき前記第 2 のバースト制御パルス発生回路が発生する前記パルス信号を出力する切換回路と、を有し、入力されたパラレル信号を FSK (Frequency Shift Keying) 変調して出力することを特徴とするデジタル変調回路。

【請求項 14】

通信のオンとオフを制御するバースト信号に基づき周期信号を発振するリング発振回路

50

を含み、前記周期信号に基づき複数のタイミング信号を出力するタイミング発生回路と、前記複数のタイミング信号に基づき前記通信に用いるパルス信号を生成するパルス発生論理回路と、を有し、前記バースト信号がオン状態のとき1回以上の前記パルス信号を発生し、前記バースト信号がオフ状態のとき前記パルス信号の発生を停止し、前記リング発振回路が発振する前記周期信号の発振周期が前記パルス信号のパルス幅よりも長い、バースト制御パルス発生回路と、

パラレル/シリアル変換回路と、

前記パラレル/シリアル変換回路が出力するシリアル信号が第1の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を遅延回路を介して出力し、前記シリアル信号が前記第1の電位と異なる第2の電位のとき前記パルス信号を出力する切換回路と、

10

を有し、入力されたパラレル信号をP P M (Pulse Position Modulation) 変調して出力するデジタル変調回路を有する送信装置と、

前記バースト制御パルス発生回路を有する受信装置と、

から構成されることを特徴とする電子機器。

【請求項15】

通信のオンとオフを制御するバースト信号に基づき周期信号を発振するリング発振回路を含み、前記周期信号に基づき複数のタイミング信号を出力するタイミング発生回路と、前記複数のタイミング信号に基づき前記通信に用いるパルス信号を生成するパルス発生論理回路と、を有し、前記バースト信号がオン状態のとき1回以上の前記パルス信号を発生し、前記バースト信号がオフ状態のとき前記パルス信号の発生を停止し、前記リング発振回路が発振する前記周期信号の発振周期が前記パルス信号のパルス幅よりも長い、バースト制御パルス発生回路と、

20

パラレル/シリアル変換回路と、

前記パラレル/シリアル変換回路が出力するシリアル信号が第1の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を遅延回路を介して出力し、前記シリアル信号が前記第1の電位と異なる第2の電位のとき前記パルス信号をN O T回路を介して出力する切換回路と、

を有し、入力されたパラレル信号をB P M (Bi-Phase Modulation) 変調して出力するデジタル変調回路を有する送信装置と、

30

前記バースト制御パルス発生回路を有する受信装置と、

から構成されることを特徴とする電子機器。

【請求項16】

通信のオンとオフを制御するバースト信号に基づき周期信号を発振するリング発振回路を含み、前記周期信号に基づき複数のタイミング信号を出力するタイミング発生回路と、前記複数のタイミング信号に基づき前記通信に用いるパルス信号を生成するパルス発生論理回路と、を有し、前記バースト信号がオン状態のとき1回以上の前記パルス信号を発生し、前記バースト信号がオフ状態のとき前記パルス信号の発生を停止し、前記リング発振回路が発振する前記周期信号の発振周期が前記パルス信号のパルス幅よりも長い、バースト制御パルス発生回路と、

40

パラレル/シリアル変換回路と、

前記パラレル/シリアル変換回路が出力するシリアル信号が第1の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を出力し、前記シリアル信号が前記第1の電位と異なる第2の電位のとき前記パルス信号の出力を切断する切換回路と、

を有し、入力されたパラレル信号をO O K (On-Off Keying) 変調して出力するデジタル変調回路を有する送信装置と、

受信装置と、

から構成されることを特徴とする電子機器。

【請求項17】

通信のオンとオフを制御するバースト信号に基づき周期信号を発振するリング発振回路

50

を含み、前記周期信号に基づき複数のタイミング信号を出力するタイミング発生回路と、前記複数のタイミング信号に基づき前記通信に用いるパルス信号を生成するパルス発生論理回路と、を有し、前記バースト信号がオン状態のとき1回以上の前記パルス信号を発生し、前記バースト信号がオフ状態のとき前記パルス信号の発生を停止し、前記リング発振回路が発振する前記周期信号の発振周期が前記パルス信号のパルス幅よりも長い、バースト制御パルス発生回路である第1のバースト制御パルス発生回路及び第2のバースト制御パルス発生回路と、

パラレル/シリアル変換回路と、

前記パラレル/シリアル変換回路が出力するシリアル信号が第1の電位のとき前記第1のバースト制御パルス発生回路が発生する前記パルス信号を出力し、前記シリアル信号が前記第1の電位と異なる第2の電位のとき前記第2のバースト制御パルス発生回路が発生する前記パルス信号を出力する切換回路と、

を有し、入力されたパラレル信号をFSK (Frequency Shift Keying) 変調して出力するデジタル変調回路を有する送信装置と、

前記バースト制御パルス発生回路である第1のバースト制御パルス発生回路及び第2のバースト制御パルス発生回路とを有する受信装置と、

から構成されることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、通信に用いるパルスを発生するバースト制御パルス発生回路、バースト制御パルス発生回路を備えたデジタル変調回路及び電子機器に関する。

【背景技術】

【0002】

UWB (Ultra Wide Band) 通信は非常に広い周波数帯域を利用して高速大容量のデータ通信を行う通信方式である。広帯域の信号を利用する通信方式には従来のスペクトル拡散による方法や直交周波数分割多重 (OFDM) があるが、UWBは非常に短時間のパルスを利用したさらに広帯域の通信方式であり、インパルスラジオ (IR) 方式の通信とも呼ばれている。IR方式では従来の変調によらない時間軸操作のみで変復調が可能であり回路の簡略化や低消費電力化が期待できるとされている。

【0003】

この問題を解決するために、例えば特許文献1には、UWBパルス通信において受信器の増幅器をON - OFF制御することで低消費電力を得る方法が記載されている。

【0004】

【特許文献1】特開2005 - 217899号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1では、ON - OFFスイッチング遅延に関して考慮されていない。図1 (A) に示すように通信ビットレートが遅い場合には、ON - OFFスイッチング遅延の影響は小さいが、図1 (B) に示すように通信ビットレートが速い場合には、ON - OFFスイッチング遅延に起因する余分な消費電力が全体の消費電力の中で大きなウェイトを占めるようになってしまうという課題がある。

【0006】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態または適用例として実現することが可能である。

【課題を解決するための手段】

【0007】

[適用例1]

通信に用いるパルス信号を発生するバースト制御パルス発生回路であって、前記バース

10

20

30

40

50

ト制御パルス発生回路は、前記通信のオンとオフを制御するバースト信号に基づき周期信号を発振するリング発振回路を含み、前記周期信号に基づき複数のタイミング信号を出力するタイミング発生回路と、前記複数のタイミング信号に基づき前記パルス信号を生成するパルス発生論理回路と、を有し、前記バースト信号がオン状態のとき1回以上の前記パルス信号を発生し、前記バースト信号がオフ状態のとき前記パルス信号の発生を停止すること、を特徴とするバースト制御パルス発生回路。

【0008】

この構成によれば、バースト信号がオン状態のとき1回以上のパルス信号を発生し、バースト信号がオフ状態のときパルス信号の発生を停止することができるので、ON - OFFスイッチング遅延の影響を実質的に低減し、低消費電力を実現することができる。

10

【0009】

[適用例2]

上記に記載のバースト制御パルス発生回路において、前記リング発振回路が発振する前記周期信号の発振周期は、前記パルス信号のパルス幅よりも長い、ことを特徴とするバースト制御パルス発生回路。

【0010】

この構成によれば、バースト信号がオン状態のとき1回以上のパルス信号を発生し、バースト信号がオフ状態のときパルス信号の発生を停止することができるので、ON - OFFスイッチング遅延の影響を実質的に低減し、低消費電力を実現することができる。

【0011】

20

[適用例3]

上記に記載のバースト制御パルス発生回路において、前記リング発振回路と前記タイミング発生回路とは、各々を構成する素子の少なくとも1個以上を共有している、ことを特徴とするバースト制御パルス発生回路。

【0012】

この構成によれば、パルス発生回路とリング発振回路とが共有している素子を調整することにより、パルス発生回路の周波数とリング発振回路の周期を同時に調整することができる、個別に調整する場合に比べて正確な調整ができる。また、回路規模を縮小させることもできる。

【0013】

30

[適用例4]

上記に記載のバースト制御パルス発生回路において、前記リング発振回路は、前記周期信号の発振周期を制御可能な論理回路を含んでいる、ことを特徴とするバースト制御パルス発生回路。

【0014】

この構成によれば、バースト信号がオン状態のとき1回以上のパルス信号を発生し、バースト信号がオフ状態のときパルス信号の発生を停止することができるので、ON - OFFスイッチング遅延の影響を実質的に低減し、低消費電力を実現することができる。さらに、遅延時間を制御可能な論理回路によりリング発振回路の周期幅を可変にできるので、マルチパス等の伝播路の影響や、フィルタやアンテナ等の群遅延特性の影響に応じて最適な周期幅に設定できる。

40

【0015】

[適用例5]

上記に記載のバースト制御パルス発生回路において、前記タイミング発生回路は、前記タイミング信号を制御可能な論理回路を含んでいる、ことを特徴とするバースト制御パルス発生回路。

【0016】

この構成によれば、バースト信号がオン状態のとき1回以上のパルス信号を発生し、バースト信号がオフ状態のときパルス信号の発生を停止することができるので、ON - OFFスイッチング遅延の影響を実質的に低減し、低消費電力を実現することができる。さら

50

に、遅延時間を制御可能な論理回路によりリング発振回路の周期幅を可変にできるので、マルチパス等の伝播路の影響や、フィルタやアンテナ等の群遅延特性の影響に応じて最適な周期幅に設定できる。また、リング発振回路の周期幅を固定にしたまま、出力されるパルス信号の変調周波数を遅延時間を制御可能な論理回路により連続的に変えることができる。

【 0 0 1 7 】

[適用例 6]

上記に記載のバースト制御パルス発生回路において、前記リング発振回路は、2入力論理回路と、前記2入力論理回路の出力端子に直列に接続された n 個（ n は2以上の自然数）のNOT回路と、を含み、 n 個目の前記NOT回路の出力端子は前記2入力論理回路の一方の入力端子に接続され、前記2入力論理回路の他方の入力端子に前記バースト信号が入力され、前記タイミング発生回路は、前記リング発振回路と、 n 個目の前記NOT回路の出力端子に直列に接続された m 個（ m は n 以下の自然数）の前記NOT回路と、を含む、ことを特徴とするバースト制御パルス発生回路。

10

【 0 0 1 8 】

この構成によれば、バースト信号がオン状態のとき1回以上のパルス信号を発生し、バースト信号がオフ状態のときパルス信号の発生を停止することができるので、ON - OFFスイッチング遅延の影響を実質的に低減し、低消費電力を実現することができる。

【 0 0 1 9 】

[適用例 7]

上記に記載のバースト制御パルス発生回路において、前記リング発振回路は、2入力論理回路と、前記2入力論理回路の出力端子に直列に接続された n 個（ n は2以上の自然数）のNOT回路と、を含み、前記タイミング発生回路は、前記リング発振回路と、 n 個目の前記NOT回路の出力端子に直列に接続された $2 \times m$ 個（ m は $m = n \div 2$ の自然数）の前記NOT回路と、を含み、前記2入力論理回路の一方の入力端子には、 $n + (2 \times i)$ 個目（ i は $0 \leq i < m$ の整数）の前記NOT回路の出力端子が接続されるように切り換える切換回路が接続され、前記2入力論理回路の他方の入力端子には前記バースト信号が入力されている、ことを特徴とするバースト制御パルス発生回路。

20

【 0 0 2 0 】

この構成によれば、バースト信号がオン状態のとき1回以上のパルス信号を発生し、バースト信号がオフ状態のときパルス信号の発生を停止することができるので、ON - OFFスイッチング遅延の影響を実質的に低減し、低消費電力を実現することができる。さらに、切換回路によりリング発振回路の周期幅を可変にできるので、マルチパス等の伝播路の影響や、フィルタやアンテナ等の群遅延特性の影響に応じて最適な周期幅に設定できる。

30

【 0 0 2 1 】

[適用例 8]

上記に記載のバースト制御パルス発生回路において、前記リング発振回路は、2入力論理回路と、前記2入力論理回路の出力端子に直列に接続された n 個（ n は2以上の自然数）のNOT回路と、を含み、 n 個目の前記NOT回路の出力端子は前記2入力論理回路の一方の入力端子に接続され、前記2入力論理回路の他方の入力端子に前記バースト信号が入力され、前記タイミング発生回路は、前記リング発振回路と、前記2入力論理回路の出力端子に直列に接続された $n + m$ 個（ m は n 以下の自然数）の遅延制御信号により遅延時間を制御可能な遅延制御NOT回路と、を含む、ことを特徴とするバースト制御パルス発生回路。

40

【 0 0 2 2 】

この構成によれば、バースト信号がオン状態のとき1回以上のパルス信号を発生し、バースト信号がオフ状態のときパルス信号の発生を停止することができるので、ON - OFFスイッチング遅延の影響を実質的に低減し、低消費電力を実現することができる。さらに、リング発振回路の周期幅を固定にしたまま、出力されるパルス信号の変調周波数を遅

50

延制御信号により連続的に変えることができる。

【 0 0 2 3 】

[適用例 9]

上記に記載のバースト制御パルス発生回路において、前記リング発振回路は、2入力論理回路と、前記2入力論理回路の出力端子に直列に接続された n 個(n は2以上の自然数)の遅延制御信号により遅延時間を制御可能な遅延制御NOT回路と、遅延回路と、を含み、 n 個目の前記遅延制御NOT回路の出力端子は前記遅延回路を介して前記2入力論理回路の一方の入力端子に接続され、前記2入力論理回路の他方の入力端子に前記バースト信号が入力され、前記タイミング発生回路は、前記リング発振回路を含む、ことを特徴とするバースト制御パルス発生回路。

10

【 0 0 2 4 】

この構成によれば、バースト信号がオン状態のとき1回以上のパルス信号を発生し、バースト信号がオフ状態のときパルス信号の発生を停止することができるので、ON - OFFスイッチング遅延の影響を実質的に低減し、低消費電力を実現することができる。さらに、出力されるパルス信号間の間隔を一定にしたまま、遅延制御信号によりパルス信号の周期幅を変えることができる。

【 0 0 2 5 】

[適用例 10]

上記に記載のバースト制御パルス発生回路と、パラレル/シリアル変換回路と、前記パラレル/シリアル変換回路が出力するシリアル信号が第1の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を遅延回路を介して出力し、前記シリアル信号が前記第1の電位と異なる第2の電位のとき前記パルス信号を出力する切換回路と、を有し、入力されたパラレル信号をPPM(Pulse Position Modulation)変調して出力することを特徴とするデジタル変調回路。

20

【 0 0 2 6 】

この構成によれば、バースト信号がオン状態のとき入力されたパラレル信号をPPM変調して出力し、バースト信号がオフ状態のとき停止することができるので、ON - OFFスイッチング遅延の影響を実質的に低減し、低消費電力を実現することができる。

【 0 0 2 7 】

[適用例 11]

上記に記載のバースト制御パルス発生回路と、パラレル/シリアル変換回路と、前記パラレル/シリアル変換回路が出力するシリアル信号が第1の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を出力し、前記シリアル信号が前記第1の電位と異なる第2の電位のとき前記パルス信号の出力を切断する切換回路と、を有し、入力されたパラレル信号をOOK(On-Off Keying)変調して出力することを特徴とするデジタル変調回路。

30

【 0 0 2 8 】

この構成によれば、バースト信号がオン状態のとき入力されたパラレル信号をOOK変調して出力し、バースト信号がオフ状態のとき停止することができるので、ON - OFFスイッチング遅延の影響を実質的に低減し、低消費電力を実現することができる。

40

【 0 0 2 9 】

[適用例 12]

上記に記載のバースト制御パルス発生回路と、パラレル/シリアル変換回路と、前記パラレル/シリアル変換回路が出力するシリアル信号が第1の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を遅延回路を介して出力し、前記シリアル信号が前記第1の電位と異なる第2の電位のとき前記パルス信号をNOT回路を介して出力する切換回路と、を有し、入力されたパラレル信号をBPM(Bi-Phase Modulation)変調して出力することを特徴とするデジタル変調回路。

【 0 0 3 0 】

この構成によれば、バースト信号がオン状態のとき入力されたパラレル信号をBPM変

50

調して出力し、バースト信号がオフ状態のとき停止することができるので、ON - OFF スwitching 遅延の影響を実質的に低減し、低消費電力を実現することができる。

【 0 0 3 1 】

[適用例 1 3]

上記に記載のバースト制御パルス発生回路である第 1 のバースト制御パルス発生回路及び第 2 のバースト制御パルス発生回路と、パラレル / シリアル変換回路と、前記パラレル / シリアル変換回路が出力するシリアル信号が第 1 の電位のとき前記第 1 のバースト制御パルス発生回路が発生する前記パルス信号を出力し、前記シリアル信号が前記第 1 の電位と異なる第 2 の電位のとき前記第 2 のバースト制御パルス発生回路が発生する前記パルス信号を出力する切換回路と、を有し、入力されたパラレル信号を F S K (Frequency Shift Keying) 変調して出力することを特徴とするデジタル変調回路。 10

【 0 0 3 2 】

この構成によれば、バースト信号がオン状態のとき入力されたパラレル信号を F S K 変調して出力し、バースト信号がオフ状態のとき停止することができるので、ON - OFF スwitching 遅延の影響を実質的に低減し、低消費電力を実現することができる。

【 0 0 3 3 】

[適用例 1 4]

通信のオンとオフを制御するバースト信号に基づき周期信号を発振するリング発振回路を含み、前記周期信号に基づき複数のタイミング信号を出力するタイミング発生回路と、前記複数のタイミング信号に基づき前記通信に用いるパルス信号を生成するパルス発生論理回路と、を有し、前記バースト信号がオン状態のとき 1 回以上の前記パルス信号を発生し、前記バースト信号がオフ状態のとき前記パルス信号の発生を停止し、前記リング発振回路が発振する前記周期信号の発振周期が前記パルス信号のパルス幅よりも長い、バースト制御パルス発生回路と、パラレル / シリアル変換回路と、前記パラレル / シリアル変換回路が出力するシリアル信号が第 1 の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を遅延回路を介して出力し、前記シリアル信号が前記第 1 の電位と異なる第 2 の電位のとき前記パルス信号を出力する切換回路と、を有し、入力されたパラレル信号を P P M (Pulse Position Modulation) 変調して出力するデジタル変調回路を有する送信装置と、前記バースト制御パルス発生回路を有する受信装置と、から構成されることを特徴とする電子機器。 20 30

【 0 0 3 4 】

この構成によれば、バースト信号がオン状態のとき入力されたパラレル信号を P P M 変調して出力し、バースト信号がオフ状態のとき停止することができるので、ON - OFF スwitching 遅延の影響を実質的に低減し、低消費電力を実現することができる。

【 0 0 3 5 】

[適用例 1 5]

通信のオンとオフを制御するバースト信号に基づき周期信号を発振するリング発振回路を含み、前記周期信号に基づき複数のタイミング信号を出力するタイミング発生回路と、前記複数のタイミング信号に基づき前記通信に用いるパルス信号を生成するパルス発生論理回路と、を有し、前記バースト信号がオン状態のとき 1 回以上の前記パルス信号を発生し、前記バースト信号がオフ状態のとき前記パルス信号の発生を停止し、前記リング発振回路が発振する前記周期信号の発振周期が前記パルス信号のパルス幅よりも長い、バースト制御パルス発生回路と、パラレル / シリアル変換回路と、前記パラレル / シリアル変換回路が出力するシリアル信号が第 1 の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を遅延回路を介して出力し、前記シリアル信号が前記第 1 の電位と異なる第 2 の電位のとき前記パルス信号を N O T 回路を介して出力する切換回路と、を有し、入力されたパラレル信号を B P M (Bi-Phase Modulation) 変調して出力するデジタル変調回路を有する送信装置と、前記バースト制御パルス発生回路を有する受信装置と、から構成されることを特徴とする電子機器。 40 50

【 0 0 3 6 】

この構成によれば、バースト信号がオン状態のとき入力されたパラレル信号をBPM変調して出力し、バースト信号がオフ状態のとき停止することができるので、ON-OFFスイッチング遅延の影響を実質的に低減し、低消費電力を実現することができる。

【0037】

[適用例16]

通信のオンとオフを制御するバースト信号に基づき周期信号を発振するリング発振回路を含み、前記周期信号に基づき複数のタイミング信号を出力するタイミング発生回路と、前記複数のタイミング信号に基づき前記通信に用いるパルス信号を生成するパルス発生論理回路と、を有し、前記バースト信号がオン状態のとき1回以上の前記パルス信号を発生し、前記バースト信号がオフ状態のとき前記パルス信号の発生を停止し、前記リング発振回路が発振する前記周期信号の発振周期が前記パルス信号のパルス幅よりも長い、バースト制御パルス発生回路と、パラレル/シリアル変換回路と、前記パラレル/シリアル変換回路が出力するシリアル信号が第1の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を出力し、前記シリアル信号が前記第1の電位と異なる第2の電位のとき前記パルス信号の出力を切断する切換回路と、を有し、入力されたパラレル信号をOOK(On-Off Keying)変調して出力するデジタル変調回路を有する送信装置と、受信装置と、から構成されることを特徴とする電子機器。

10

【0038】

この構成によれば、バースト信号がオン状態のとき入力されたパラレル信号をOOK変調して出力し、バースト信号がオフ状態のとき停止することができるので、ON-OFFスイッチング遅延の影響を実質的に低減し、低消費電力を実現することができる。

20

【0039】

[適用例17]

通信のオンとオフを制御するバースト信号に基づき周期信号を発振するリング発振回路を含み、前記周期信号に基づき複数のタイミング信号を出力するタイミング発生回路と、前記複数のタイミング信号に基づき前記通信に用いるパルス信号を生成するパルス発生論理回路と、を有し、前記バースト信号がオン状態のとき1回以上の前記パルス信号を発生し、前記バースト信号がオフ状態のとき前記パルス信号の発生を停止し、前記リング発振回路が発振する前記周期信号の発振周期が前記パルス信号のパルス幅よりも長い、バースト制御パルス発生回路である第1のバースト制御パルス発生回路及び第2のバースト制御パルス発生回路と、パラレル/シリアル変換回路と、前記パラレル/シリアル変換回路が出力するシリアル信号が第1の電位のとき前記第1のバースト制御パルス発生回路が発生する前記パルス信号を出力し、前記シリアル信号が前記第1の電位と異なる第2の電位のとき前記第2のバースト制御パルス発生回路が発生する前記パルス信号を出力する切換回路と、を有し、入力されたパラレル信号をFSK(Frequency Shift Keying)変調して出力するデジタル変調回路を有する送信装置と、前記バースト制御パルス発生回路である第1のバースト制御パルス発生回路及び第2のバースト制御パルス発生回路とを有する受信装置と、から構成されることを特徴とする電子機器。

30

【0040】

この構成によれば、バースト信号がオン状態のとき入力されたパラレル信号をFSK変調して出力し、バースト信号がオフ状態のとき停止することができるので、ON-OFFスイッチング遅延の影響を実質的に低減し、低消費電力を実現することができる。

40

【発明を実施するための最良の形態】

【0041】

以下、バースト制御パルス発生回路の実施形態について図面に従って説明する。

【0042】

(第1実施形態)

<バースト制御パルス発生回路の構成>

先ず、第1実施形態に係るバースト制御パルス発生回路の構成について、図2及び図3を参照して説明する。図2は、第1実施形態に係るバースト制御パルス発生回路の構成を

50

示す回路図である。図 3 は、第 1 実施形態に係るバースト制御パルス発生回路の動作を説明するタイミングチャートである。

【 0 0 4 3 】

図 2 に示すように、バースト制御パルス発生回路 1 0 0 は、タイミング発生回路 2 0 0 とパルス発生論理回路 3 0 0 とから構成されている。なお、本第 1 実施形態では、 $n = 4$ かつ $m = 4$ の場合について説明するが、この数に限定するものではない。

【 0 0 4 4 】

タイミング発生回路 2 0 0 は、2 入力論理回路である 2 入力 N A N D 2 0 1 と、N O T 回路であるインバータ 2 0 2 ~ 2 0 9 とから構成されている。2 入力 N A N D 2 0 1 の出力端子には、4 個 ($n = 4$) のインバータ 2 0 2 ~ 2 0 5 が直列に接続され、4 個目のインバータ 2 0 5 の出力端子と 2 入力 N A N D 2 0 1 の一方の入力端子が接続され、2 入力 N A N D 2 0 1 の他方の入力端子には、バースト信号 B u r s t が入力されている。タイミング発生回路 2 0 0 に含まれる 2 入力 N A N D 2 0 1 とインバータ 2 0 2 ~ 2 0 5 とが、リング発振回路 2 1 1 を構成している。

【 0 0 4 5 】

さらに 4 個目のインバータ 2 0 5 の出力端子には、4 個 ($m = 4$) のインバータ 2 0 6 ~ 2 0 9 が直列に接続されている。また、インバータ 2 0 9 の出力端子には、インバータ 2 1 0 が接続され、インバータ 2 1 0 の出力端子からクロック信号 D c l k が出力される。

【 0 0 4 6 】

ここで、2 入力 N A N D 2 0 1 の出力信号を D 1、インバータ 2 0 2 ~ 2 0 9 の出力信号をそれぞれ D 2 ~ D 9、とする。

【 0 0 4 7 】

次に、パルス発生論理回路 3 0 0 は、高電位側の電位 V 1 と、低電位側の電位 V 2 の間に、P c h トランジスタ 3 0 1、3 0 2 と、N c h トランジスタ 3 0 3、3 0 4 が直列に接続され、P c h トランジスタ 3 0 1 のゲートには出力信号 D 1 が、P c h トランジスタ 3 0 2 のゲートと N c h トランジスタ 3 0 3 のゲートには出力信号 D 2 が、N c h トランジスタ 3 0 4 のゲートには出力信号 D 3 が、それぞれ入力され、P c h トランジスタ 3 0 2 のドレインと N c h トランジスタ 3 0 3 のドレインの接続点からは、パルス信号 P u l s e が出力される。

【 0 0 4 8 】

また、パルス発生論理回路 3 0 0 は、高電位側の電位 V 1 と、低電位側の電位 V 2 の間に、P c h トランジスタ 3 1 1、3 1 2 と、N c h トランジスタ 3 1 3、3 1 4 が直列に接続され、P c h トランジスタ 3 1 1 のゲートには出力信号 D 3 が、P c h トランジスタ 3 1 2 のゲートと N c h トランジスタ 3 1 3 のゲートには出力信号 D 4 が、N c h トランジスタ 3 1 4 のゲートには出力信号 D 5 が、それぞれ入力され、P c h トランジスタ 3 1 2 のドレインと N c h トランジスタ 3 1 3 のドレインの接続点からは、パルス信号 P u l s e が出力される。

【 0 0 4 9 】

また、パルス発生論理回路 3 0 0 は、高電位側の電位 V 1 と、低電位側の電位 V 2 の間に、P c h トランジスタ 3 2 1、3 2 2 と、N c h トランジスタ 3 2 3、3 2 4 が直列に接続され、P c h トランジスタ 3 2 1 のゲートには出力信号 D 5 が、P c h トランジスタ 3 2 2 のゲートと N c h トランジスタ 3 2 3 のゲートには出力信号 D 6 が、N c h トランジスタ 3 2 4 のゲートには出力信号 D 7 が、それぞれ入力され、P c h トランジスタ 3 2 2 のドレインと N c h トランジスタ 3 2 3 のドレインの接続点からは、パルス信号 P u l s e が出力される。

【 0 0 5 0 】

また、パルス発生論理回路 3 0 0 は、高電位側の電位 V 1 と、低電位側の電位 V 2 の間に、P c h トランジスタ 3 3 1、3 3 2 と、N c h トランジスタ 3 3 3、3 3 4 が直列に接続され、P c h トランジスタ 3 3 1 のゲートには出力信号 D 7 が、P c h トランジスタ

3 3 2 のゲートと N c h トランジスタ 3 3 3 のゲートには出力信号 D 8 が、N c h トランジスタ 3 3 4 のゲートには出力信号 D 9 が、それぞれ入力され、P c h トランジスタ 3 3 2 のドレインと N c h トランジスタ 3 3 3 のドレインの接続点からは、パルス信号 P u l s e が出力される。

【 0 0 5 1 】

さらに、パルス発生論理回路 3 0 0 は、高電位側の電位 V 1 と、低電位側の電位 V 2 の間に、P c h トランジスタ 3 4 1 と、N c h トランジスタ 3 4 2 が直列に接続され、P c h トランジスタ 3 4 1 のゲートと N c h トランジスタ 3 4 2 のゲート、及び、P c h トランジスタ 3 4 1 のドレインと N c h トランジスタ 3 4 2 のドレインの接続点からは、パルス信号 P u l s e が出力される。

10

【 0 0 5 2 】

< バースト制御パルス発生回路の動作 >

次に、図 3 を参照してバースト制御パルス発生回路 1 0 0 の動作を説明する。なお、2 入力 N A N D 2 0 1 及びインバータ 2 0 2 ~ 2 1 0 は、同じ遅延時間 T d を有するものとする。また、バースト信号 B u r s t は、図示しない制御回路により制御されているものとする。

【 0 0 5 3 】

図 3 に示すように、バースト信号 B u r s t が L レベル（オフ状態）を保っている時点 t 0 までの期間では、2 入力 N A N D 2 0 1 の出力信号 D 1 は、H レベルに保たれるので、出力信号 D 2 , D 4 , D 6 , D 8 は、それぞれ L レベルを保ち、出力信号 D 3 , D 5 , D 7 , D 9 は、それぞれ H レベルを保つ。また、パルス発生論理回路 3 0 0 は、P c h トランジスタ 3 0 1 , 3 1 1 , 3 2 1 , 3 3 1 のゲートがそれぞれ H レベルでオフ状態あり、N c h トランジスタ 3 0 3 , 3 1 3 , 3 2 3 , 3 3 3 のゲートがそれぞれ L レベルでオフ状態であるので、パルス信号 P u l s e の電位は、電位 V 1 と V 2 の中間の電位となる。

20

【 0 0 5 4 】

次に、時点 t 0 でバースト信号 B u r s t が L レベルから H レベル（オン状態）に遷移すると、遅延時間 T d 後の時点 t 1 で 2 入力 N A N D 2 0 1 の出力信号 D 1 が H レベルから L レベルに遷移する。この時点 t 1 で、パルス発生論理回路 3 0 0 は、P c h トランジスタ 3 0 1 , 3 0 2 のゲートが共に L レベルでオン状態となるので、パルス信号 P u l s e の電位は、電位 V 1 となる。

30

【 0 0 5 5 】

次に、時点 t 1 から遅延時間 T d 後の時点 t 2 で出力信号 D 2 が L レベルから H レベルに遷移する。この時点 t 2 で、パルス発生論理回路 3 0 0 は、P c h トランジスタ 3 0 2 のゲートが H レベルでオフ状態となり、さらに N c h トランジスタ 3 0 3 , 3 0 4 のゲートが共に H レベルでオン状態となるので、パルス信号 P u l s e の電位は、電位 V 2 となる。

【 0 0 5 6 】

次に、時点 t 2 から遅延時間 T d 後の時点 t 3 で出力信号 D 3 が H レベルから L レベルに遷移する。この時点 t 3 で、パルス発生論理回路 3 0 0 は、P c h トランジスタ 3 1 1 , 3 1 2 のゲートが共に L レベルでオン状態となるので、パルス信号 P u l s e の電位は、電位 V 1 となる。

40

【 0 0 5 7 】

次に、時点 t 3 から遅延時間 T d 後の時点 t 4 で出力信号 D 4 が L レベルから H レベルに遷移する。この時点 t 4 で、パルス発生論理回路 3 0 0 は、P c h トランジスタ 3 1 2 のゲートが H レベルでオフ状態となり、さらに N c h トランジスタ 3 1 3 , 3 1 4 のゲートが共に H レベルでオン状態となるので、パルス信号 P u l s e の電位は、電位 V 2 となる。

【 0 0 5 8 】

次に、時点 t 4 から遅延時間 T d 後の時点 t 5 で出力信号 D 5 が H レベルから L レベル

50

に遷移する。この時点 t_5 で、パルス発生論理回路 300 は、Pch トランジスタ 321、322 のゲートが共に L レベルでオン状態となるので、パルス信号 Pulse の電位は、電位 V_1 となる。

【0059】

次に、時点 t_5 から遅延時間 T_d 後の時点 t_6 で出力信号 D_6 が L レベルから H レベルに遷移する。この時点 t_6 で、パルス発生論理回路 300 は、Pch トランジスタ 322 のゲートが H レベルでオフ状態となり、さらに Nch トランジスタ 323、324 のゲートが共に H レベルでオン状態となるので、パルス信号 Pulse の電位は、電位 V_2 となる。さらに、時点 t_5 で出力信号 D_5 が L レベルとなったので、時点 t_6 で 2 入力 NAND 201 の出力信号 D_1 は、H レベルとなる。

10

【0060】

次に、時点 t_6 から遅延時間 T_d 後の時点 t_7 で出力信号 D_7 が H レベルから L レベルに遷移する。この時点 t_7 で、パルス発生論理回路 300 は、Pch トランジスタ 331、332 のゲートが共に L レベルでオン状態となるので、パルス信号 Pulse の電位は、電位 V_1 となる。さらに、時点 t_6 で出力信号 D_1 が H レベルとなったので、時点 t_7 で出力信号 D_2 は、L レベルとなる。

【0061】

次に、時点 t_7 から遅延時間 T_d 後の時点 t_8 で出力信号 D_8 が L レベルから H レベルに遷移する。この時点 t_8 で、パルス発生論理回路 300 は、Pch トランジスタ 332 のゲートが H レベルでオフ状態となり、さらに Nch トランジスタ 333、334 のゲートが共に H レベルでオン状態となるので、パルス信号 Pulse の電位は、電位 V_2 となる。さらに、時点 t_7 で出力信号 D_2 が L レベルとなったので、時点 t_8 で出力信号 D_3 は、H レベルとなる。

20

【0062】

次に、時点 t_8 から遅延時間 T_d 後の時点 t_9 で出力信号 D_9 が H レベルから L レベルに遷移する。この時点 t_9 で、パルス発生論理回路 300 は、Pch トランジスタ 332 のゲートが H レベルでオフ状態であり、さらに Nch トランジスタ 334 のゲートが L レベルでオフ状態となるので、パルス信号 Pulse の電位は、電位 V_1 と V_2 の中間の電位となる。さらに、時点 t_8 で出力信号 D_3 が H レベルとなったので、時点 t_9 で出力信号 D_4 は、L レベルとなる。

30

【0063】

次に、時点 t_9 から遅延時間 T_d 後の時点 t_a でクロック信号 D_{clk} が L レベルから H レベルに遷移する。さらに、時点 t_9 で出力信号 D_4 が H レベルとなったので、時点 t_a で出力信号 D_5 は、H レベルとなる。

【0064】

時点 t_a で出力信号 D_5 が H レベルとなったので、次の時点 t_b で出力信号 D_1 が L レベルとなり、以降、バースト信号 Burst が H レベルの間、時点 $t_1 \sim t_b$ の動作が繰り返される。

【0065】

つまり、図 3 に示すように、バースト制御パルス発生回路 100 は、バースト信号 Burst が H レベルの期間に、時点 $t_1 \sim t_9$ の期間の 4 つのパルスからなる変調パルス (幅 $T_p = T_d \times 8$) を時点 $t_9 \sim t_b$ の期間の中間電位からなるパルス間隔 (幅 $T_g = T_d \times 2$) を設けてパルス信号 Pulse として繰り返し発生する。また、バースト信号 Burst が L レベルの間、パルス信号 Pulse は、電位 V_1 と V_2 の中間の電位となる。図 3 では、バースト信号 Burst が H レベルの期間 (時点 $t_0 \sim t_d$) に、変調パルスを 3 回発生させている。

40

【0066】

以降、上述した時点 $t_0 \sim t_d$ までの動作が、時点 $t_e \sim t_f$ までの期間も同様に繰り返される。

【0067】

50

< デジタル変調回路の構成 >

次に、バースト制御パルス発生回路を使ったデジタル変調回路の構成について、図 4 及び図 5 を参照して説明する。図 4 は、バースト制御パルス発生回路を使ったデジタル変調回路の構成を示す回路図である。図 5 は、バースト制御パルス発生回路を使ったデジタル変調回路の動作を説明するタイミングチャートである。

【 0 0 6 8 】

まず、図 4 (A) は、入力されたパラレル信号を P P M (Pulse Position Modulation) 変調して出力する P P M 変調回路 5 1 0 である。P P M 変調回路 5 1 0 は、バースト制御パルス発生回路 1 0 0 と、パラレル / シリアル変換回路 4 0 0 と、遅延回路 5 1 2 と、切換回路 5 1 6 と、から構成されている。

10

【 0 0 6 9 】

バースト制御パルス発生回路 1 0 0 は、図示しない制御回路からのバースト信号 B u r s t を入力し、パルス信号 P u l s e とクロック信号 D c l k を出力する。パラレル / シリアル変換回路 4 0 0 は、パラレル信号 T x D a t a [1] ~ [n] とクロック信号 D c l k を入力し、シリアル信号 S e r T x とクロック信号 S c l k を出力する。切換回路 5 1 6 は、シリアル信号 S e r T x により制御され、シリアル信号 S e r T x が H レベル (第 1 の電位) の時は、遅延回路 5 1 2 を介してパルス信号 P u l s e を出力端子 R f T x から出力し、シリアル信号 S e r T x が L レベル (第 2 の電位) の時は、パルス信号 P u l s e を出力端子 R f T x から出力する。

【 0 0 7 0 】

20

図 5 (A) は、P P M 変調回路 5 1 0 の動作を説明するタイミングチャートである。P P M 変調回路 5 1 0 は、シリアル信号 S e r T x が H レベルの時、遅延回路 5 1 2 の遅延時間 D e l a y 分遅くパルス信号 P u l s e を出力端子 R f T x から出力し、シリアル信号 S e r T x が L レベルの時、パルス信号 P u l s e を出力端子 R f T x から出力する。

【 0 0 7 1 】

次に、図 4 (B) は、入力されたパラレル信号を O O K (On-Off Keying) 変調して出力する O O K 変調回路 5 2 0 である。O O K 変調回路 5 2 0 は、バースト制御パルス発生回路 1 0 0 と、パラレル / シリアル変換回路 4 0 0 と、切換回路 5 2 6 と、から構成されている。

【 0 0 7 2 】

30

切換回路 5 2 6 は、シリアル信号 S e r T x により制御され、シリアル信号 S e r T x が H レベル (第 1 の電位) の時は、パルス信号 P u l s e を出力端子 R f T x から出力し、シリアル信号 S e r T x が L レベル (第 2 の電位) の時は、パルス信号 P u l s e と出力端子 R f T x を切り離す。

【 0 0 7 3 】

図 5 (B) は、O O K 変調回路 5 2 0 の動作を説明するタイミングチャートである。O O K 変調回路 5 2 0 は、シリアル信号 S e r T x が H レベル (第 1 の電位) の時、パルス信号 P u l s e を出力端子 R f T x から出力し、シリアル信号 S e r T x が L レベル (第 2 の電位) の時、出力端子 R f T x からの出力は、ハイ・インピーダンスとなる。

【 0 0 7 4 】

40

次に、図 4 (C) は、入力されたパラレル信号を B P M (Bi-Phase Modulation) 変調して出力する B P M 変調回路 5 3 0 である。B P M 変調回路 5 3 0 は、バースト制御パルス発生回路 1 0 0 と、パラレル / シリアル変換回路 4 0 0 と、遅延回路 5 3 2 と、インバータ 5 3 4 と、切換回路 5 3 6 と、から構成されている。

【 0 0 7 5 】

切換回路 5 3 6 は、シリアル信号 S e r T x により制御され、シリアル信号 S e r T x が H レベルの時は、遅延回路 5 3 2 を介してパルス信号 P u l s e を出力端子 R f T x から出力し、シリアル信号 S e r T x が L レベルの時は、インバータ 5 3 4 を介してパルス信号 P u l s e を出力端子 R f T x から出力する。

【 0 0 7 6 】

50

図 5 (C) は、B P M 変調回路 5 3 0 の動作を説明するタイミングチャートである。B P M 変調回路 5 3 0 は、シリアル信号 S e r T x が H レベルの時、遅延回路 5 1 2 の遅延時間 D e l a y 分遅くパルス信号 P u l s e を出力端子 R f T x から出力し、シリアル信号 S e r T x が L レベルの時、パルス信号 P u l s e を反転させインバータ 5 3 4 の遅延時間 I n v 分遅く出力端子 R f T x から出力する。

【 0 0 7 7 】

< 送受信回路の構成 >

次に、デジタル変調回路を使った送受信回路の構成例を、図 1 2 及び図 1 3 を参照して説明する。図 1 2 は、P P M 変調回路または B P M 変調回路を使った送受信回路の構成を示す回路図である。図 1 3 は、O O K 変調回路を使った送受信回路の構成を示す回路図である。

10

【 0 0 7 8 】

図 1 2 に示すように、送信回路 6 0 0 には、P P M 変調回路 5 1 0 または B P M 変調回路 5 3 0 が使われ、受信回路 7 0 0 には、バースト制御パルス発生回路 1 0 0 が使われている。図 5 (A) に示すように、P P M 変調の “ 1 ” と “ 0 ” が、同じパルスの変調周波数の半周期 (D e l a y) だけずれている場合には、P P M 変調と B P M 変調は、同じ受信回路構成で検波することができる。

【 0 0 7 9 】

また、図 1 3 に示すように、送信回路 6 0 2 は、O O K 変調回路 5 2 0 が使われるが、受信回路 7 0 2 には、バースト制御パルス発生回路 1 0 0 は使われない。O O K 変調回路 5 2 0 を使った場合、自乗検波を用いて電力検出をできる。

20

【 0 0 8 0 】

以上に述べた前記実施形態によれば、以下の効果が得られる。

【 0 0 8 1 】

本実施形態では、バースト信号 B u r s t がオン状態のとき 1 回以上のパルス信号を発生し、バースト信号がオフ状態のときパルス信号の発生を停止することができるので、O N - O F F スwitching 遅延の影響を実質的に低減し、低消費電力を実現することができる。なお、n 及び m の数を増やすことにより、発生する 1 つのパルス信号 P u l s e の波数が増えるので帯域幅が狭くなりビットレートは落ちるが干渉に強いパルス信号 P u l s e を発生することができる。

30

【 0 0 8 2 】

(第 2 実施形態)

次に、バースト制御パルス発生回路の第 2 実施形態について説明する。第 1 実施形態においては、バースト制御パルス発生回路 1 0 0 は、マルチパスなどの伝搬路の影響や、フィルタやアンテナなどの群遅延特性の影響などで受信パルスの収束が遅くなることで、パルス同士の時間間隔が短い場合には、符号間干渉を引き起こす場合がある。第 2 実施形態では、受信状態によりパルス間隔 T g を調整することができるバースト制御パルス発生回路 1 1 0 を提案する。なお、本第 2 実施形態では、n = 4 かつ m = 4 の場合について説明するが、この数に限定するものではない。

【 0 0 8 3 】

40

第 2 実施形態に係るバースト制御パルス発生回路の構成について、図 6 及び図 7 を参照して説明する。図 6 は、第 2 実施形態に係るバースト制御パルス発生回路の構成を示す回路図である。図 7 は、第 2 実施形態に係るバースト制御パルス発生回路の動作を説明するタイミングチャートである。

【 0 0 8 4 】

図 6 に示すように、バースト制御パルス発生回路 1 1 0 は、リング発振周期を切り換え可能なタイミング発生回路 2 2 0 とパルス発生論理回路 3 0 0 とから構成されている。

【 0 0 8 5 】

タイミング発生回路 2 2 0 は、2 入力論理回路である 2 入力 N A N D 2 0 1 と、N O T 回路であるインバータ 2 0 2 ~ 2 0 9 と、切換回路 2 2 1 と、から構成されている。2 入

50

力NAND201出力端子には、4個($n = 4$)のインバータ202~205が直列に接続され、さらに4個目のインバータ205の出力端子には、4個($m = 4$)のインバータ206~209が直列に接続されている。

【0086】

切換回路221は、出力端子outと、入力端子s1, s2, s3とから構成され、出力端子outと入力端子s1、または、出力端子outと入力端子s2、または、出力端子outと入力端子s3、を接続するように切り換えられるようになっている。出力端子outは、2入力NAND201の一方の入力端子に接続され、さらに、クロック信号Dclkとして外部に出力されるようになっている。

【0087】

入力端子s1は、インバータ205の出力端子と接続され、入力端子s2は、インバータ207の出力端子と接続され、入力端子s3は、インバータ209の出力端子と接続されている。切換回路221の出力端子outと入力端子s1が接続されると、2入力NAND201と4個のインバータ202~205によるリング発振が行われる。また、切換回路221の出力端子outと入力端子s2が接続されると、2入力NAND201と6個のインバータ202~207によるリング発振が行われる。また、切換回路221の出力端子outと入力端子s3が接続されると、2入力NAND201と8個のインバータ202~209によるリング発振が行われる。

【0088】

図7(A)は、切換回路221の出力端子outと入力端子s1が接続された状態でのタイミング発生回路220の動作を説明するタイミングチャートであり、図7(B)は、切換回路221の出力端子outと入力端子s3が接続された状態でのタイミング発生回路220の動作を説明するタイミングチャートである。

【0089】

図7(A)に示すように、切換回路221の出力端子outと入力端子s1が接続された状態では、変調パルス幅 $T_p = T_d \times 8$ 、パルス間隔幅 $T_g = T_d \times 2$ である。また、図7(B)に示すように、切換回路221の出力端子outと入力端子s3が接続された状態では、変調パルス幅 $T_p = T_d \times 8$ 、パルス間隔 $T_{g3} = T_d \times 10$ である。

【0090】

以上に述べた第2実施形態のバースト制御パルス発生回路110によれば、変調パルス幅を一定のまま、パルス間隔を切換回路221によって切り換えることができるので、符号間干渉の影響を低減しながら電源ON時間を最低限に抑えることができ、符号間干渉の影響を予め考慮して大きな固定パルス間隔に設定した場合に比べ、消費電力を低減することができる。

【0091】

(第3実施形態)

次に、バースト制御パルス発生回路の第3実施形態について説明する。第3実施形態では、変調パルス幅を可変としながら一定のビット送信速度を保つことができるバースト制御パルス発生回路120を提案する。なお、本第3実施形態では、 $n = 4$ かつ $m = 4$ の場合について説明するが、この数に限定するものではない。

【0092】

第3実施形態に係るバースト制御パルス発生回路の構成について、図8及び図9を参照して説明する。図8は、第3実施形態に係るバースト制御パルス発生回路の構成を示す回路図である。図9は、第3実施形態に係るバースト制御パルス発生回路の動作を説明するタイミングチャートである。

【0093】

図8に示すように、バースト制御パルス発生回路120は、変調パルス幅を可変としながら一定のビット送信速度を保つタイミング発生回路230とパルス発生論理回路300とから構成されている。

【0094】

10

20

30

40

50

タイミング発生回路 230 は、2 入力論理回路である 2 入力 N A N D 201 と、N O T 回路であるインバータ 202 ~ 205 と、遅延制御信号 D c t r l により遅延時間を制御可能な遅延制御 N O T 回路である遅延制御インバータ 231 ~ 238 と、から構成されている。2 入力 N A N D 201 出力端子には、4 個 ($n = 4$) のインバータ 202 ~ 205 が直列に接続され、4 個目のインバータ 205 の出力端子と 2 入力 N A N D 201 の一方の入力端子が接続され、2 入力 N A N D 201 の他方の入力端子には、バースト信号 B u r s t が入力されている。また、インバータ 205 の出力端子からクロック信号 D c l k が出力される。

【0095】

2 入力 N A N D 201 の出力端子には、遅延制御インバータ 231 ~ 238 が直列に接続され、遅延制御信号 D c t r l により遅延時間が制御される。図 9 のタイミングチャートに示すように、遅延制御信号 D c t r l が L レベルの時は、遅延制御インバータ 231 ~ 238 の遅延時間はそれぞれ T d となり、遅延制御信号 D c t r l が H レベルの時は、遅延制御インバータ 231 ~ 238 の遅延時間はそれぞれ T d x 2 となるように設定されているものとする。

【0096】

タイミング発生回路 230 は、バースト信号 B u r s t がオン状態の期間中、遅延制御信号 D c t r l を切り換えることにより、変調パルス幅 (変調周波数) を連続的に変えることができる。つまり、パルスの変調周波数を変化させる F S K (Frequency Shift Keying) 変調を実現できる。

【0097】

< F S K 変調回路の構成 >

次に、バースト制御パルス発生回路を使った F S K 変調回路の構成について、図 14 を参照して説明する。図 14 は、バースト制御パルス発生回路を使った F S K 変調回路の構成を示す回路図である。

【0098】

図 14 に示すように、F S K 変調回路 540 は、2 つのバースト制御パルス発生回路 120 a、120 b と、パラレル / シリアル変換回路 400 と、切換回路 546 と、から構成されている。

【0099】

2 つのバースト制御パルス発生回路 120 a、120 b は、それぞれ異なる遅延制御信号 D c t r l である V a と V b で制御される。切換回路 546 は、シリアル信号 S e r T x により制御され、シリアル信号 S e r T x が H レベル (第 1 の電位) の時は、バースト制御パルス発生回路 120 a のパルス信号 P u l s e を出力端子 R f T x から出力し、シリアル信号 S e r T x が L レベル (第 2 の電位) の時は、バースト制御パルス発生回路 120 b のパルス信号 P u l s e を出力端子 R f T x から出力する。

【0100】

図 9 では、ビット毎にパルスの変調周波数を調整する例を示したが、遅延制御の応答速度が間に合わない場合には、予め遅延制御信号 D c t r l に V a もしくは V b を設定したバースト制御パルス発生回路 120 a、120 b を用意して、ビットデータに応じて切換回路 546 で切り換えている。この例では、2 つのバースト制御パルス発生回路 120 a、120 b を用いているが、より多くのバースト制御パルス発生回路 120 を組み合わせてもよい。

【0101】

< F S K 変調回路を使った送受信回路の構成 >

次に、F S K 変調回路を使った送受信回路の構成例を、図 15 を参照して説明する。図 15 は、F S K 変調回路を使った送受信回路の構成を示す回路図である。

【0102】

図 15 に示すように、送信回路 604 には、F S K 変調回路 540 が使われ、受信回路 704 には、予め遅延制御信号 D c t r l に V a もしくは V b を設定した 2 つのバースト

10

20

30

40

50

制御パルス発生回路 120a, 120b を基準信号源として用意し、受信信号との相関を算出することでビット判定を行っている。

【0103】

以上に述べた第3実施形態のバースト制御パルス発生回路 120 によれば、リング発振周期を一定にしたままなので、受信側ではパルスの変調周波数に関わらず一定のビット間隔で受信できる。従って、回路構成が複雑にならないという利点がある。さらに、他システムからの干渉や他システムへの干渉を低減する目的で周波数を可変にする周波数分割多重通信を実現することで、同時通信可能な通信数を増やしたり、通信速度を向上させたりすることができる。

【0104】

(第4実施形態)

次に、バースト制御パルス発生回路の第4実施形態について説明する。第4実施形態では、パルス間隔を一定に保ちながら変調パルス幅を変えることができるバースト制御パルス発生回路 130 を提案する。

【0105】

第4実施形態に係るバースト制御パルス発生回路の構成について、図10及び図11を参照して説明する。図10は、第4実施形態に係るバースト制御パルス発生回路の構成を示す回路図である。図11は、第4実施形態に係るバースト制御パルス発生回路の動作を説明するタイミングチャートである。

【0106】

図10に示すように、バースト制御パルス発生回路 130 は、パルス間隔を一定に保ちながら変調パルス幅を変えるタイミング発生回路 240 とパルス発生論理回路 350 とから構成されている。

【0107】

タイミング発生回路 240 は、2入力論理回路である2入力NAND 201 と、インバータ 202, 203 と、遅延制御信号 Dctrl により遅延時間を制御可能な遅延制御 NOT 回路である遅延制御インバータ 231 ~ 238 と、から構成されている。2入力NAND 201 出力端子には、遅延制御インバータ 231 ~ 238 が直列に接続され、遅延制御信号 Dctrl により遅延時間が制御される。遅延制御インバータ 238 の出力端子は、2つのインバータ 202, 203 を介して2入力NAND 201 の一方の入力端子に接続され、2入力NAND 201 の他方の入力端子には、バースト信号 Burst が入力されている。また、インバータ 203 の出力端子からクロック信号 Dclk が出力される。

【0108】

図11のタイミングチャートに示すように、遅延制御信号 Dctrl がHレベルの時は、遅延制御インバータ 231 ~ 238 の遅延時間はそれぞれTd、遅延制御信号 Dctrl がLレベルの時は、遅延制御インバータ 231 ~ 238 の遅延時間はそれぞれ $Td \div 2$ となるように設定されているものとする。

【0109】

タイミング発生回路 240 は、バースト信号 Burst がオン状態の期間中、遅延制御信号 Dctrl を切り換えることにより、変調パルス幅(変調周波数)を連続的に変えることができるが、パルス間隔 Tg を一定に保つことができる。

【0110】

以上に述べた第4実施形態のバースト制御パルス発生回路 130 によれば、パルス間隔 Tg を一定に保ちながら変調パルス幅を変えることができるので、符号間干渉の課題がある場合に、パルスの変調周波数に関わらず符号間干渉の影響を抑制できる。

【0111】

以上、バースト制御パルス発生回路の実施形態を説明したが、こうした実施の形態に何ら限定されるものではなく、趣旨を逸脱しない範囲内において様々な形態で実施し得ることができる。

【0112】

10

20

30

40

50

(変形例 1) バースト制御パルス発生回路の変形例 1 について説明する。図 16 は、変形例 1 に係るバースト制御パルス発生回路の構成を示す回路図である。前記第 3 実施形態では、図 8 に示すようなタイミング発生回路 230 で説明したが、図 16 に示すようなタイミング発生回路 250 にしてもよい。図 8 の 2 入力 NAND 201 の替わりに図 16 では遅延制御 2 入力 NAND 1601 が使われ、図 8 のインバータ 202 ~ 205 の替わりに図 16 では遅延制御インバータ 1602 ~ 1605 が使われている。逆に、図 8 の遅延制御インバータ 231 ~ 238 の替わりに図 16 ではインバータ 202 ~ 209 が使われている。なお、インバータ 202 ~ 209 を遅延制御インバータ 231 ~ 238 に置き換え、タイミング発生回路 250 のすべての回路を遅延制御の論理回路にしてもよい。本変形例 1 によれば、パルスの変調周波数を一定に保ったまま、パルスの発生間隔を変えることができるため、符号間干渉の影響を状況に応じて低減することができる。

10

【0113】

(変形例 2) バースト制御パルス発生回路の変形例 2 について説明する。図 17 は、変形例 2 に係るバースト制御パルス発生回路の構成を示す回路図である。前記第 1 実施形態では、図 2 に示すようなタイミング発生回路 200 で説明したが、図 17 に示すようなタイミング発生回路 260 にしてもよい。図 2 のインバータ 202 ~ 209 の替わりに図 17 では差動インバータ 1702 ~ 1709 が使われている。また、図 2 の 2 入力 NAND 201 の替わりに図 17 では 2 つの 2 入力 NAND 1700, 1701 が使われている。本変形例 2 によれば、タイミング発生回路 260 で発生させる周期信号の周期の自由度を高めることができ、差動動作なためタイミング発生回路 260 が発生するノイズや外部から受けるノイズの影響を低減できる。

20

【0114】

(変形例 3) バースト制御パルス発生回路を使った電子機器の例について説明する。図 18 は、変形例 3 に係る電子機器である携帯電話 1800 の構成を示す概略図である。携帯電話 1800 は、操作ボタンなどを備えた本体部 1810 と、液晶パネルなどを備えた表示部 1820 とが、ヒンジ部 1830 によって折りたたみ可能なように接続されている。本体部 1810 には、図 12 に示す送信回路 600 が内蔵され、表示部 1820 には、図 12 に示す受信回路 700 が内蔵され、無線通信により本体部 1810 から表示部 1820 に動画や静止画や音声などのデータが送受信される。送信回路 600 及び受信回路 700 で携帯電話 1800 を構成することにより、本体部 1810 から表示部 1820 に高速に動画や静止画や音声などのデータを転送することができる。

30

【図面の簡単な説明】

【0115】

【図 1】従来の ON - OFF スwitching 遅延を説明するタイミングチャート。

【図 2】第 1 実施形態に係るバースト制御パルス発生回路の構成を示す回路図。

【図 3】第 1 実施形態に係るバースト制御パルス発生回路の動作を説明するタイミングチャート。

【図 4】バースト制御パルス発生回路を使ったデジタル変調回路の構成を示す回路図。

【図 5】バースト制御パルス発生回路を使ったデジタル変調回路の動作を説明するタイミングチャート。

40

【図 6】第 2 実施形態に係るバースト制御パルス発生回路の構成を示す回路図。

【図 7】第 2 実施形態に係るバースト制御パルス発生回路の動作を説明するタイミングチャート。

【図 8】第 3 実施形態に係るバースト制御パルス発生回路の構成を示す回路図。

【図 9】第 3 実施形態に係るバースト制御パルス発生回路の動作を説明するタイミングチャート。

【図 10】第 4 実施形態に係るバースト制御パルス発生回路の構成を示す回路図。

【図 11】第 4 実施形態に係るバースト制御パルス発生回路の動作を説明するタイミングチャート。

【図 12】PPM 変調回路または BPPM 変調回路を使った送受信回路の構成を示す回路図

50

。

【図 1 3】OOK変調回路を使った送受信回路の構成を示す回路図。

【図 1 4】バースト制御パルス発生回路を使ったFSK変調回路の構成を示す回路図。

【図 1 5】FSK変調回路を使った送受信回路の構成を示す回路図。

【図 1 6】変形例 1 に係るバースト制御パルス発生回路の構成を示す回路図。

【図 1 7】変形例 2 に係るバースト制御パルス発生回路の構成を示す回路図。

【図 1 8】変形例 3 に係る電子機器である携帯電話の構成を示す概略図。

【符号の説明】

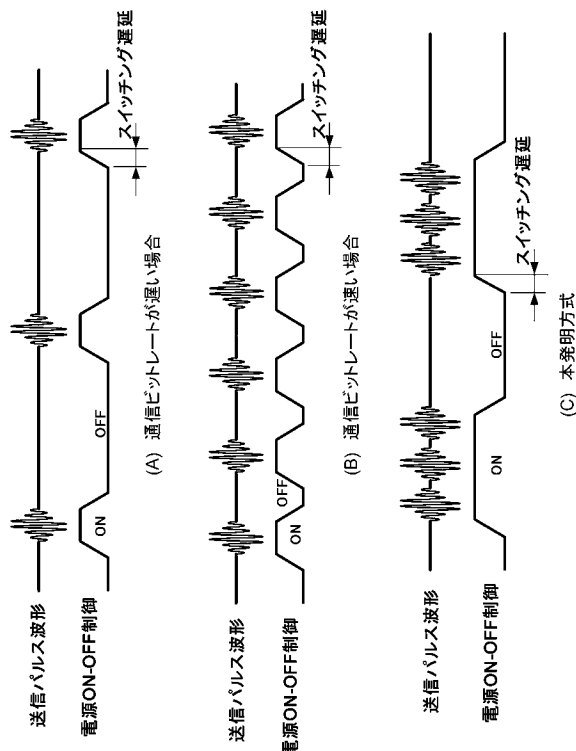
【0 1 1 6】

1 0 0 ... バースト制御パルス発生回路、 1 1 0 ... バースト制御パルス発生回路、 1 2 0 ... バースト制御パルス発生回路、 1 2 0 a ... バースト制御パルス発生回路、 1 2 0 b ... バースト制御パルス発生回路、 1 3 0 ... バースト制御パルス発生回路、 2 0 0 ... タイミング発生回路、 2 0 1 ... 2 入力NAND、 2 0 2 ~ 2 1 0 ... インバータ、 2 2 0 ... タイミング発生回路、 2 2 1 ... 切換回路、 2 3 0 ... タイミング発生回路、 2 3 1 ~ 2 3 8 ... 遅延制御インバータ、 2 4 0 ... タイミング発生回路、 3 0 0 ... パルス発生論理回路、 4 0 0 ... パラレル/シリアル変換回路、 5 1 0 ... PPM変調回路、 5 1 2 ... 遅延回路、 5 1 6 ... 切換回路、 5 2 0 ... OOK変調回路、 5 2 6 ... 切換回路、 5 3 0 ... BPM変調回路、 5 3 2 ... 遅延回路、 5 3 4 ... インバータ、 5 3 6 ... 切換回路、 5 4 0 ... FSK変調回路、 5 4 6 ... 切換回路、 6 0 0 ... 送信回路、 6 0 2 ... 送信回路、 6 0 4 ... 送信回路、 7 0 0 ... 受信回路、 7 0 2 ... 受信回路、 7 0 4 ... 受信回路。

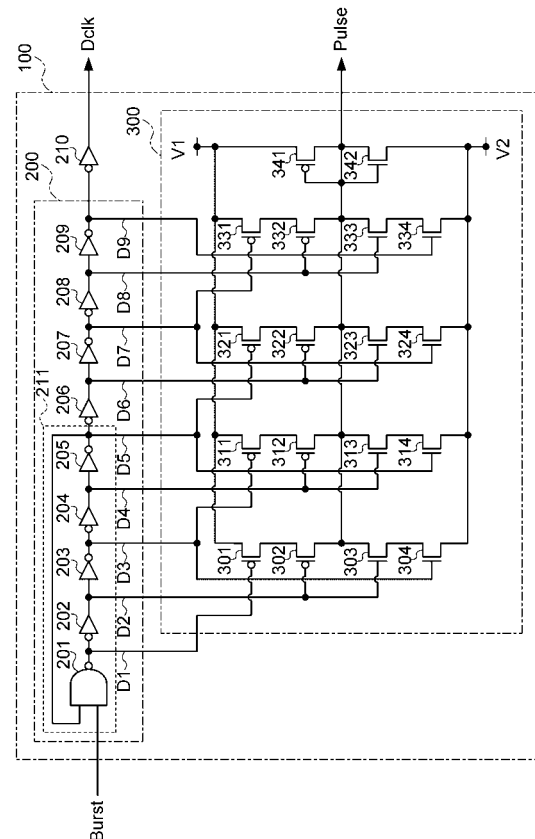
10

20

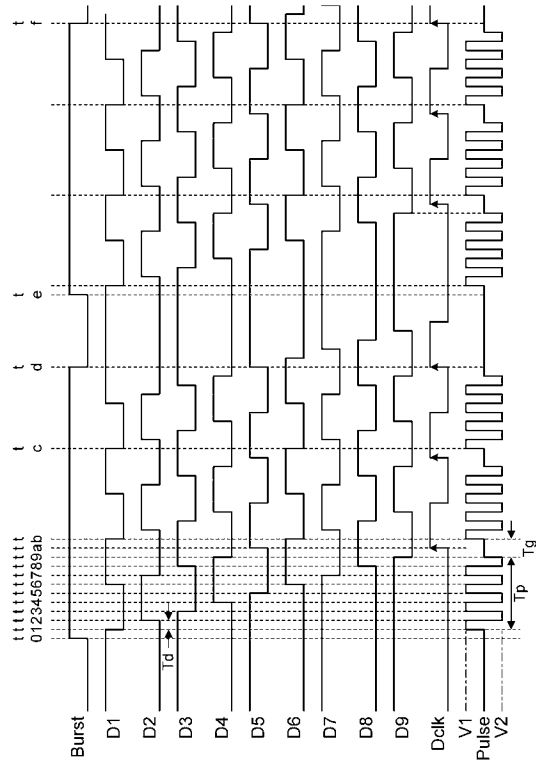
【図 1】



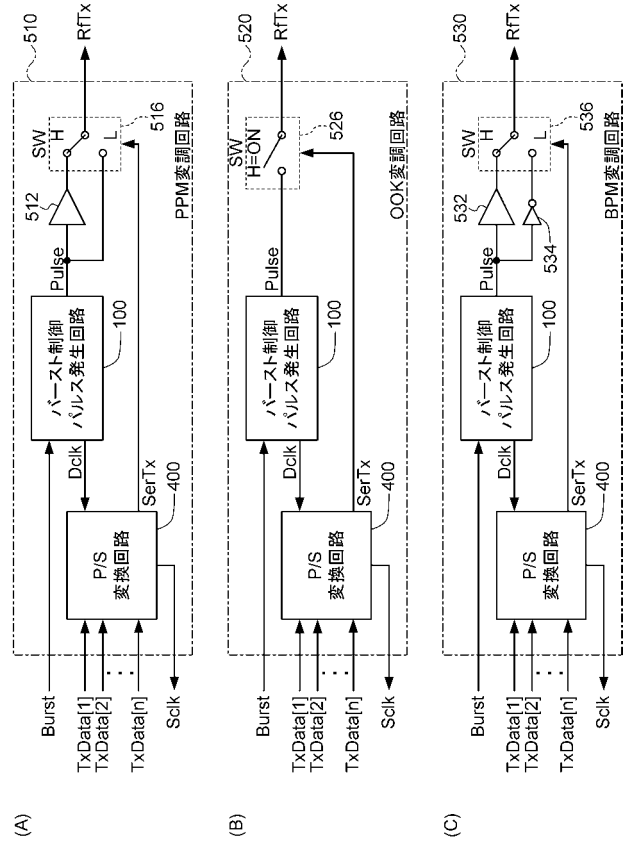
【図 2】



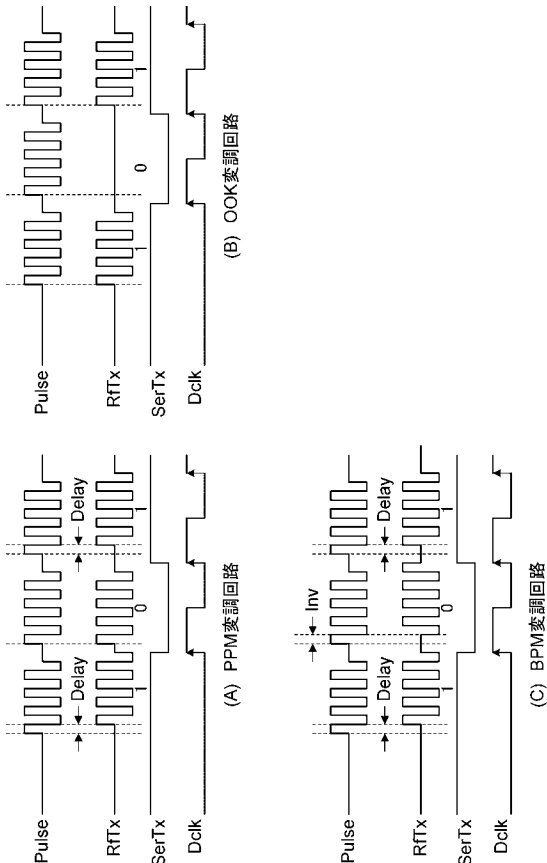
【図 3】



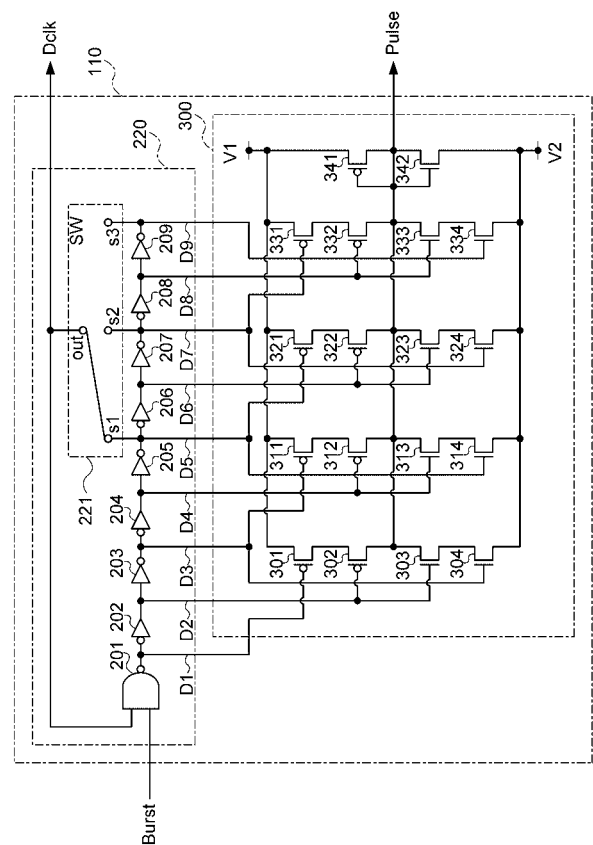
【図 4】



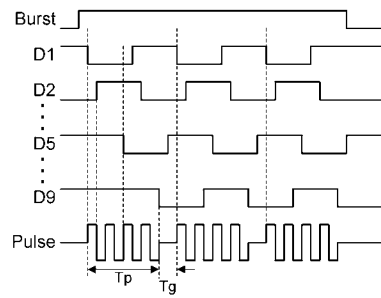
【図 5】



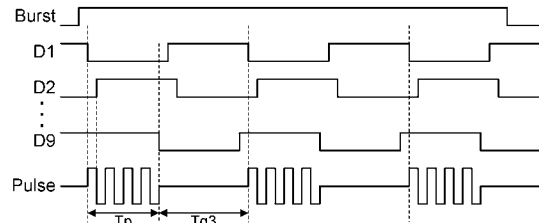
【図 6】



【図 7】

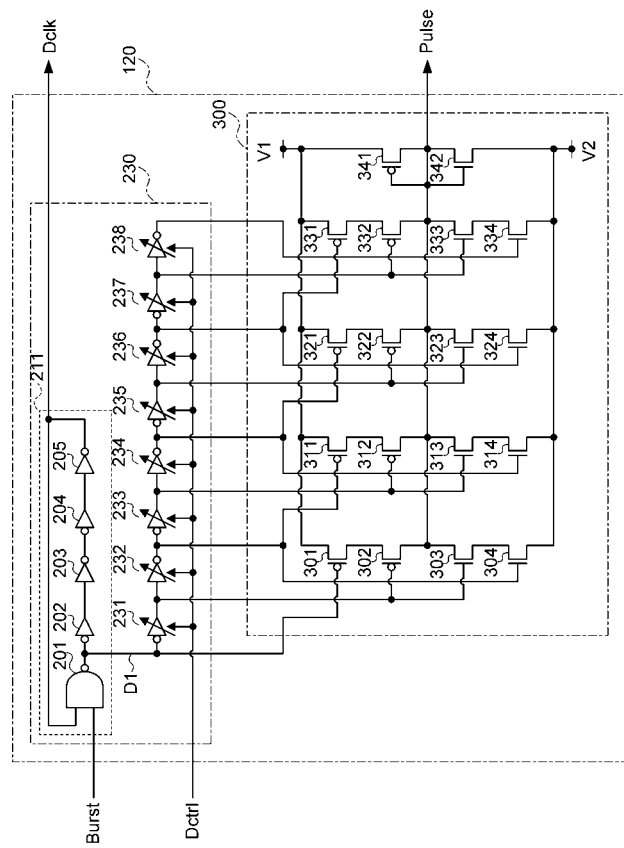


(A) out=s1

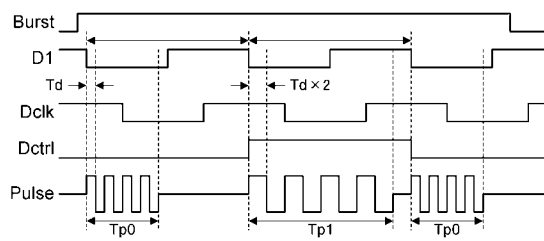


(B) out=s3

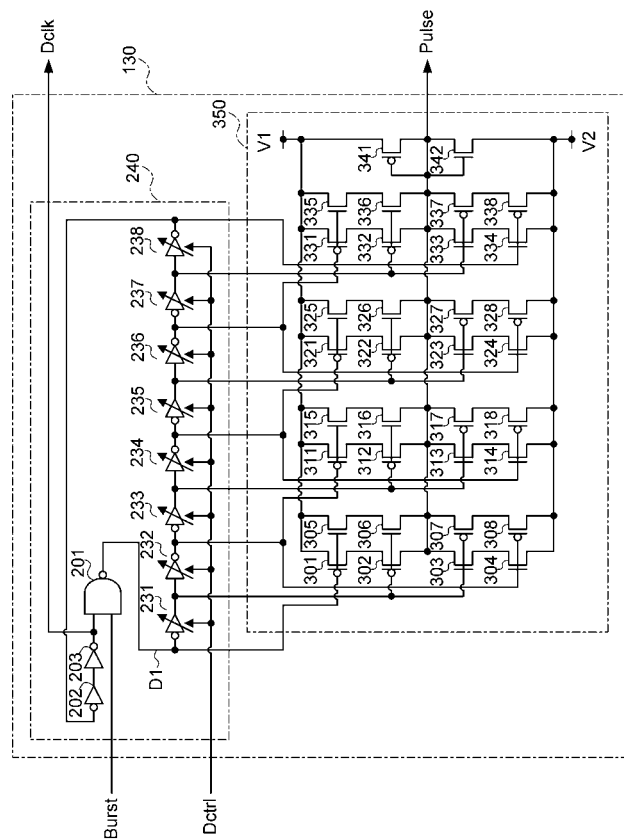
【図 8】



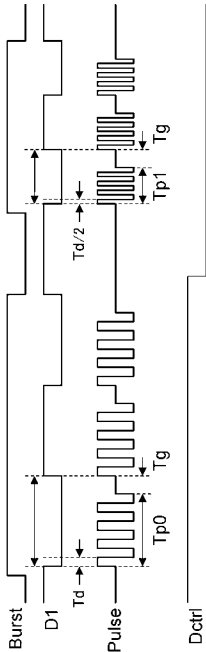
【図 9】



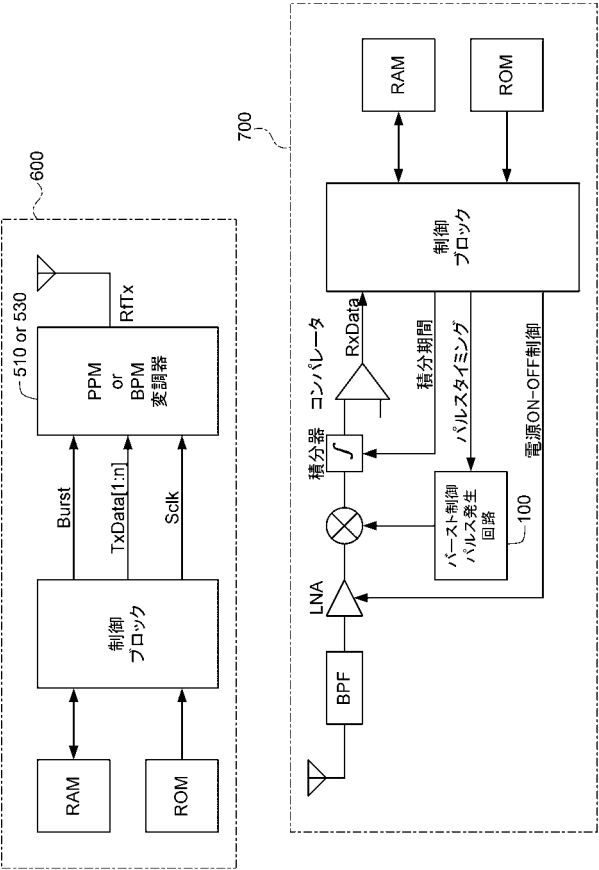
【図 10】



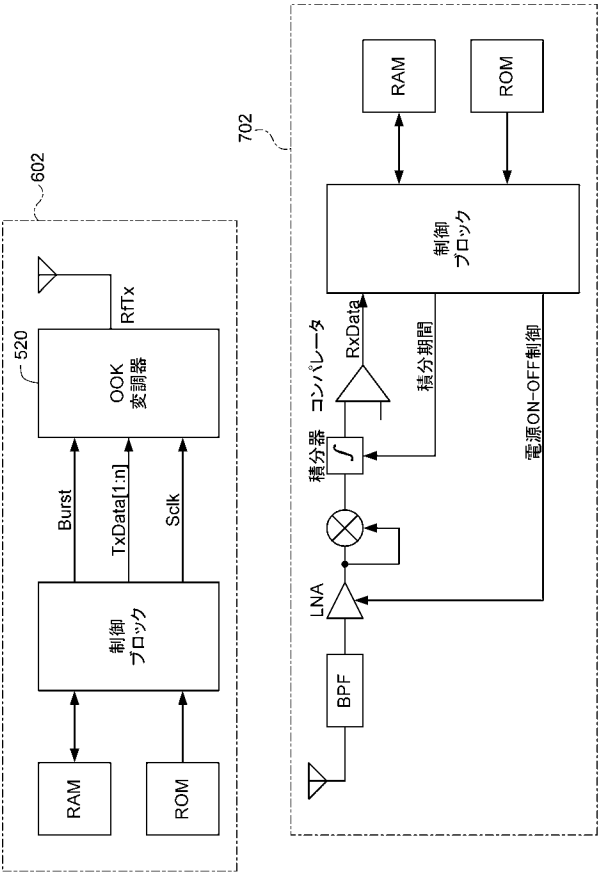
【図 1 1】



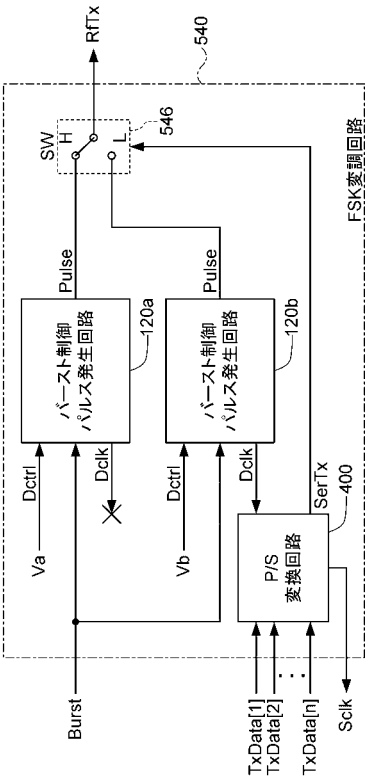
【図 1 2】



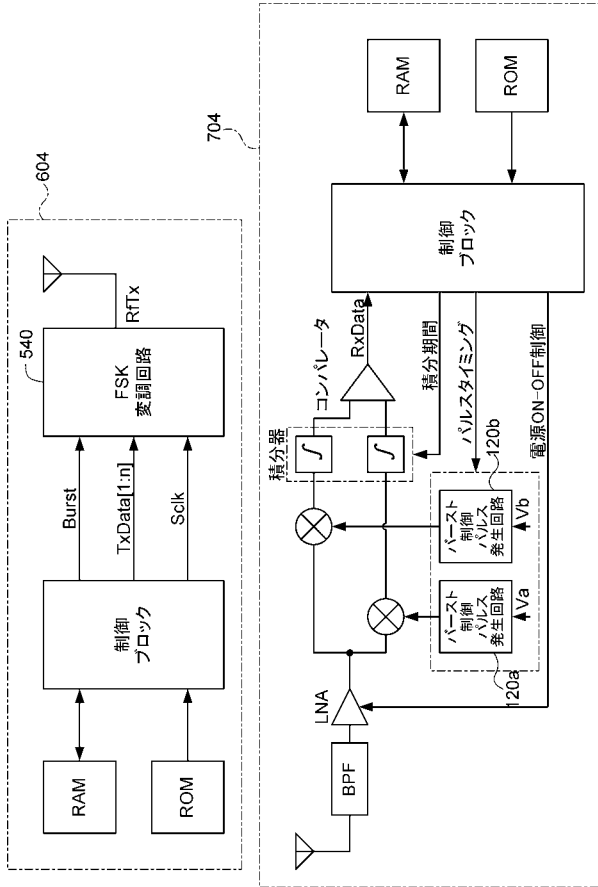
【図 1 3】



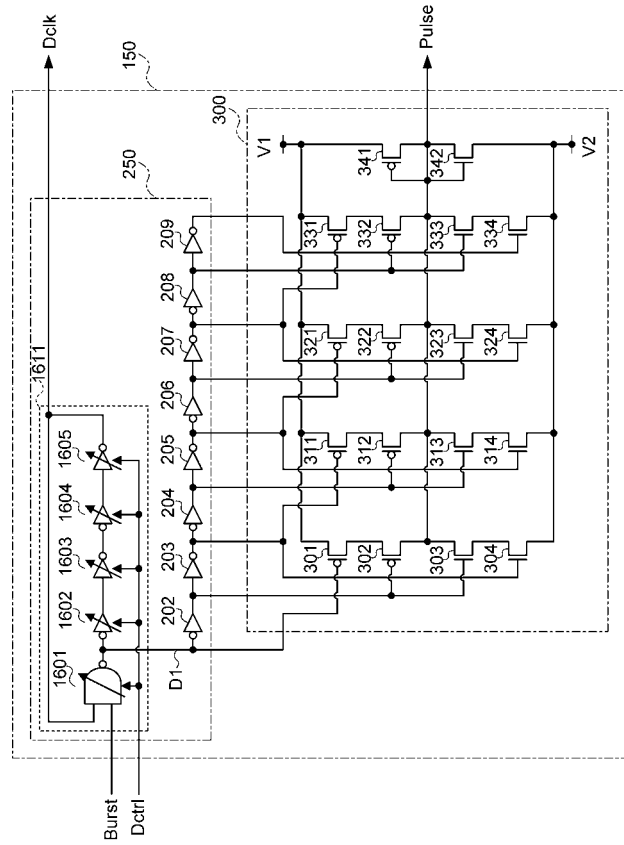
【図 1 4】



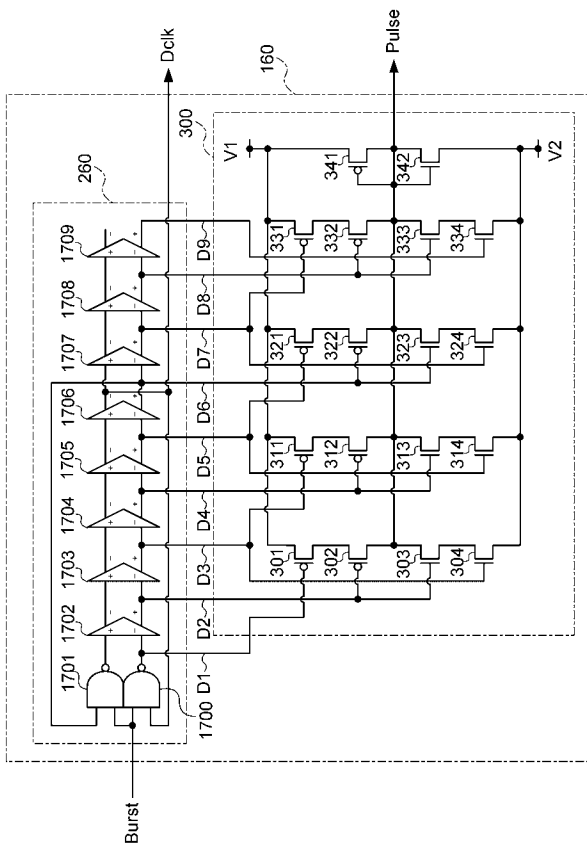
【図 15】



【図 16】



【図 17】



【図 18】

