(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年3月27日(27.03.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/062889 A1

(51) 国際特許分類:
H04N 25/60 (2023.01)

(21) 国際出願番号： PCT/JP2024/028977

(22) 国際出願日： 2024年8月14日(14.08.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-153944 2023年9月20日(20.09.2023) JP

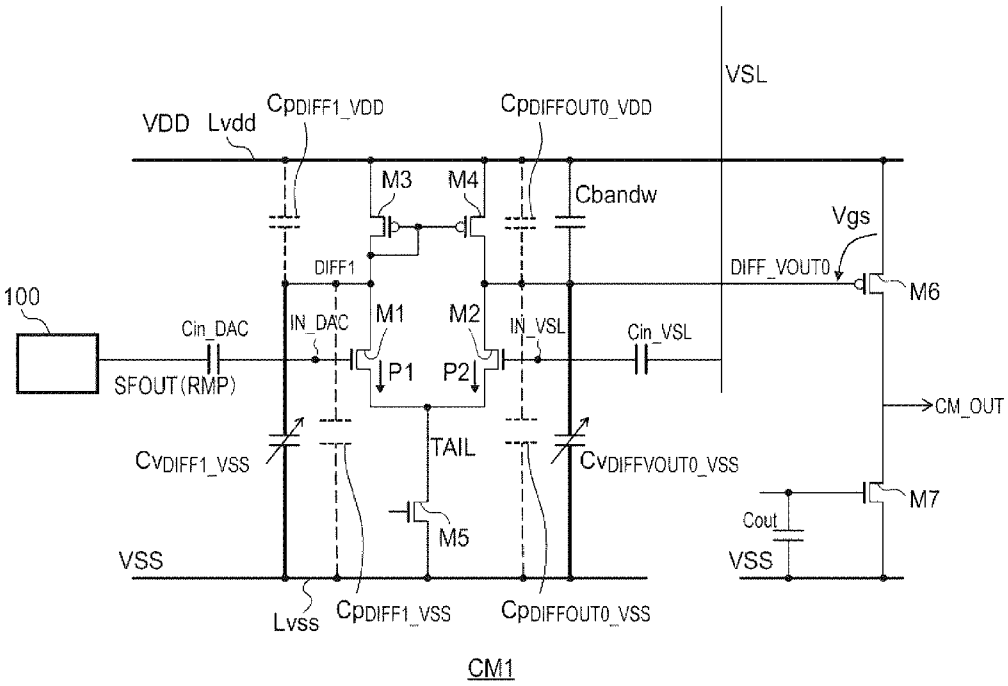
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 井上 文裕(**INOUE Fumihiro**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 工藤 涼太(**KUDO Ryota**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 宮嶋 学 (**MIYAJIMA Manabu**); 〒1000005 東京都千代田区丸の内１丁目６番６号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(54) **Title:** IMAGING DEVICE

(54) 発明の名称： 撮像装置



CM1

(57) **Abstract:** [Problem] To provide an imaging device that suppresses high-frequency noise from a comparator. [Solution] This imaging device comprises: a first power line; a second power line; a first input unit that inputs a reference signal; a second input unit that inputs a pixel signal; a comparison circuit that includes first and second paths which are in a voltage state corresponding to a magnitude relationship between a voltage of the first input unit and a voltage of the second input unit, and an output unit which is connected to the second path, and that logically inverts a signal from the

WO 2025/062889 A1

［続葉有］

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

output unit on the basis of the voltage of the first input unit and the voltage of the second input unit; at least one of a first capacitance element provided between the first power line and the first input unit or the first path or between the second power line and the first input unit or the first path, or a second capacitance element provided between the first power line and the second input unit or the second path or between the second power supply line and the second input unit or the second path; and at least one of a first adjustment unit that can adjust the capacitance of the first capacitance element or a second adjustment unit that can adjust the capacitance of the second capacitance element.

(57) 要約: [課題] コンパレータの高周波ノイズを抑制する撮像装置を提供する。 [解決手段] 撮像装置は、第１電源線と、第２電源線と、参照信号を入力する第１入力部と、画素信号を入力する第２入力部と、第１入力部の電圧と第２入力部の電圧との大小関係に応じた電圧状態となる第１および第２経路、および、第２経路に接続された出力部を含み、第１入力部の電圧と第２入力部の電圧とに基づいて出力部の信号を論理反転させる比較回路と、第１電源線と第１入力部あるいは第１経路との間、または、第２電源線と第１入力部あるいは第１経路との間に設けられた第１容量素子、および、第１電源線と第２入力部あるいは第２経路との間、または、第２電源線と第２入力部あるいは第２経路との間に設けられた第２容量素子の少なくとも一方と、第１容量素子の容量を調整可能な第１調整部、および、第２容量素子の容量を調整可能な第２調整部の少なくとも一方と、を備える。

明　細　書

発明の名称 ： 撮像装置

技術分野

[0001]　本開示は、撮像装置に関する。

背景技術

[0002]　ＣＩＳ（CMOS（Complementary Metal Oxide Semiconductor）Image Sensor）等の撮像装置において、電源電圧の揺れは、ノイズとなり横縞として画像に現れる。このようなＰＳＲＲ（Power Supply Rejection Ratio）の対策として電源ノイズを低減することが望まれている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０２１－０９３６９７号公報

発明の概要

発明が解決しようとする課題

[0004]　しかし、撮像装置の微細化に伴い、隣接する配線間の間隔が狭くなり、ＰＳＲＲの原因となる寄生容量が増大する。また、隣接する配線間の間隔が狭くなると、隣接する配線間にシールド配線を配置することも困難となる。従って、従来のノイズキャンセル装置（特許文献１）では、コンパレータで発生する高周波ノイズによるＰＳＳＲを抑制することが困難であった。

[0005]　そこで、本開示では、コンパレータにおける高周波ノイズを抑制することができる撮像装置を提供する。

課題を解決するための手段

[0006]　本開示の一側面の撮像装置は、第１電源電圧を伝達する第１電源線と、第１電源電圧と異なる第２電源電圧を伝達する第２電源線と、光を画素信号に光電変換する画素からの画素信号と比較される参照信号を入力する第１入力部と、画素信号を入力する第２入力部と、第１入力部の電圧と第２入力部の電圧との大小関係に応じた電圧状態となる第１および第２経路、および、第

２経路に接続された出力部を含み、第１入力部の電圧と第２入力部の電圧とに基づいて出力部からの出力信号を論理反転させる比較回路と、第１電源線と第１入力部あるいは第１経路との間、または、第２電源線と第１入力部あるいは第１経路との間に設けられた第１容量素子、および、第１電源線と第２入力部あるいは第２経路との間、または、第２電源線と第２入力部あるいは第２経路との間に設けられた第２容量素子の少なくとも一方と、第１容量素子の容量を調整可能な第１調整部、および、第２容量素子の容量を調整可能な第２調整部の少なくとも一方と、を備える。

[0007] 第１容量素子の容量と第２容量素子の容量はほぼ等しくてもよい。

[0008] 撮像装置は、第１電源線と出力部との間に設けられた第３容量素子をさらに備えてもよい。

[0009] 第１容量素子は、複数の第１部分容量素子で構成され、複数の第１部分容量素子の第１電極は第１入力部または第１経路のいずれか一方に共通に接続されており、複数の第１部分容量素子の第２電極は、第１調整部を介してそれぞれ第１または第２電源線に選択的に接続されていてもよい。

[0010] 第２容量素子は、複数の第２部分容量素子で構成され、複数の第２部分容量素子の第３電極は第２入力部または第２経路のいずれか一方に共通に接続されており、複数の第２部分容量素子の第４電極は、第２調整部を介してそれぞれ第１または第２電源線に選択的に接続されていてもよい。

[0011] 第１調整部は、第１容量素子と第１および第２電源線との間に接続され、第１容量素子を第１または第２電源線のいずれか一方に選択的に接続する第１スイッチを含んでもよい。

[0012] 第２調整部は、第２容量素子と第１および第２電源線との間に接続され、第２容量素子を第１または第２電源線のいずれか一方に選択的に接続する第２スイッチを含んでもよい。

[0013] 第１調整部は、複数の第１部分容量素子の第２電極と第１および第２電源線との間に接続され、複数の第１部分容量素子の第２電極をそれぞれ第１または第２電源線のいずれか一方に選択的に接続する複数の第１スイッチを含

んでもよい。

[0014] 第２調整部は、複数の第２部分容量素子の第４電極と第１および第２電源線との間に接続され、複数の第２部分容量素子の第４電極をそれぞれ第１または第２電源線のいずれか一方に選択的に接続する複数の第２スイッチを含んでもよい。

[0015] 撮像装置は、第１スイッチを制御する制御信号を記憶するレジスタをさらに備えてもよい。

[0016] 撮像装置は、第２スイッチを制御する制御信号を記憶するレジスタをさらに備えてもよい。

[0017] 第１スイッチは、ＣＭＯＳ（Complementary MOS）インバータ、ＮＡＮＤゲート、ＮＯＲゲートのいずれかの論理回路でもよい。

[0018] 第２スイッチは、ＣＭＯＳインバータ、ＮＡＮＤゲート、ＮＯＲゲートのいずれかの論理回路でもよい。

[0019] 第１調整部は、第１容量素子と第１経路との間、並びに、第１容量素子と第１電源線との間に接続され、第１容量素子を第１経路または第１電源線のいずれか一方に選択的に接続する第３スイッチを含み、第２調整部は、第２容量素子と出力部との間、並びに、第２容量素子と第１電源線との間に接続され、第２容量素子を出力部または第１電源線のいずれか一方に選択的に接続する第４スイッチを含んでもよい。

[0020] 第１調整部は、第１容量素子と第１経路との間、並びに、第１容量素子と第２電源線との間に接続され、第１容量素子を第１経路または第２電源線のいずれか一方に選択的に接続する第３スイッチを含み、第２調整部は、第２容量素子と出力部との間、並びに、第２容量素子と第２電源線との間に接続され、第２容量素子を出力部または第２電源線のいずれか一方に選択的に接続する第４スイッチを含んでもよい。

[0021] 第１調整部は、複数の第１部分容量素子と第１経路との間、並びに、複数の第１部分容量素子と第１電源線との間に接続され、複数の第１部分容量素子をそれぞれ第１経路または第１電源線のいずれか一方に選択的に接続する

複数の第３スイッチを含んでもよい。

[0022] 第２調整部は、複数の第２部分容量素子と出力部との間、並びに、複数の第２部分容量素子と第１電源線との間に接続され、複数の第２部分容量素子をそれぞれ出力部または第１電源線のいずれか一方に選択的に接続する複数の第２スイッチを含んでもよい。

[0023] 第１調整部は、複数の第１部分容量素子と第１経路との間、並びに、複数の第１部分容量素子と第２電源線との間に接続され、複数の第１部分容量素子をそれぞれ第１経路または第２電源線のいずれか一方に選択的に接続する複数の第３スイッチを含んでもよい。

[0024] 第２調整部は、複数の第２部分容量素子と出力部との間、並びに、複数の第２部分容量素子と第２電源線との間に接続され、複数の第２部分容量素子をそれぞれ出力部または第２電源線のいずれか一方に選択的に接続する複数の第２スイッチを含んでもよい。

[0025] 本開示の一側面の撮像装置は、第１電源電圧を伝達する第１電源線と、第１電源電圧と異なる第２電源電圧を伝達する第２電源線と、光を画素信号に光電変換する画素からの画素信号と比較される参照信号を入力する第１入力部と、画素信号を入力する第２入力部と、第１入力部の電圧と第２入力部の電圧との大小関係に応じた電圧状態となる第１経路、および、第１経路に接続された出力部を含み、第１入力部の電圧と第２入力部の電圧とに基づいて出力部からの出力信号を論理反転させる比較回路と、第１電源線と第１入力部との間、または、第２電源線と第１入力部との間に設けられた第１容量素子、および、第１電源線と第２入力部との間、または、第２電源線と第２入力部との間に設けられた第２容量素子の少なくとも一方と、第１容量素子の容量を調整可能な第１調整部、および、第２容量素子の容量を調整可能な第２調整部の少なくとも一方と、を備える。

[0026] 本開示の一側面の撮像装置は、第１電源電圧を伝達する第１電源線と、第１電源電圧と異なる第２電源電圧を伝達する第２電源線と、光を画素信号に光電変換する画素からの画素信号と比較される参照信号と画素信号との差分

電圧に応じた信号を入力する入力部と、入力部の電圧に応じた電圧状態となる第１経路、および、第１経路に接続された出力部を含み、入力部の電圧に基づいて出力部からの出力信号を論理反転させる比較回路と、第１電源線と入力部との間、または、第２電源線と入力部との間に設けられた第１容量素子と、第１容量素子の容量を調整可能な第１調整部と、を備える。

図面の簡単な説明

[0027] [図1]第１実施形態による撮像装置の概略構成例を示すブロック図。

[図2]画素領域の半導体チップと周辺回路部の半導体チップとを積層した撮像装置の例を示す概念図。

[図3]撮像装置のより詳細な構成例を示す図。

[図4]第１実施形態によるコンパレータの構成例を示す回路図。

[図5]容量素子の調整部の構成例を示す図。

[図6]第２実施形態による容量素子の調整部の構成例を示す図。

[図7]第３実施形態による容量素子の調整部の構成例を示す図。

[図8]第４実施形態による容量素子の調整部の構成例を示す図。

[図9]第５実施形態による容量素子の調整部の構成例を示す図。

[図10]第６実施形態による容量素子の調整部の構成例を示す図。

[図11]第７実施形態によるコンパレータの構成例を示す回路図。

[図12]第８実施形態によるコンパレータの構成例を示す回路図。

[図13]容量素子の調整部の構成例を示す図。

[図14]第９実施形態による容量素子の調整部の構成例を示す図。

[図15]第１０実施形態による容量素子の調整部の構成例を示す図。

[図16]第１１実施形態による容量素子の調整部の構成例を示す図。

[図17]第１２実施形態による容量素子の調整部の構成例を示す図。

[図18]第１３実施形態による容量素子の調整部の構成例を示す図。

[図19]第１４実施形態によるコンパレータの構成例を示す回路図。

[図20]第１５実施形態による容量素子の構成例を示す回路図。

[図21]第１６実施形態による容量素子の構成例を示す回路図。

[図22]車両制御システムの概略的な構成の一例を示すブロック図。

[図23]車外情報検出部及び撮像部の設置位置の一例を示す説明図。

[図24]第１７実施形態による容量素子の構成例を示す回路図。

[図25]第１８実施形態による容量素子の構成例を示す回路図。

[図26]第１９実施形態による容量素子の構成例を示す回路図。

[図27]第２０実施形態による容量素子の構成例を示す回路図。

[図28]第２１実施形態による容量素子の構成例を示す回路図。

[図29]第２２実施形態による容量素子の構成例を示す回路図。

[図30]第２３実施形態による容量素子の構成例を示す回路図。

[図31]第２４実施形態による容量素子の構成例を示す回路図。

[図32]第２５実施形態による容量素子の構成例を示す回路図。

[図33]第２６実施形態による容量素子の構成例を示す回路図。

[図34]第２７実施形態による容量素子の構成例を示す回路図。

[図35]第２８実施形態による容量素子の構成例を示す回路図。

[図36]第２９実施形態による容量素子の構成例を示す回路図。

[図37]第３０実施形態による容量素子の構成例を示す回路図。

[図38]第３１実施形態による容量素子の構成例を示す回路図。

発明を実施するための形態

[0028] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。図面は模式的または概念的なものであり、各部分の比率などは、必ずしも現実のものと同一とは限らない。明細書と図面において、既出の図面に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

[0029] （第１実施形態）

図１は、第１実施形態による撮像装置の概略構成例を示すブロック図である。撮像装置１は、例えば、車載用の測距装置等のＣＩＳに用いられ得る。

[0030] 撮像装置１は、図示しない半導体基板上に設けられた画素領域２１と、同じ半導体基板上に設けられた周辺回路部とを有する。周辺回路部は、例えば

、垂直駆動部２２、カラム処理部２３、水平駆動部２４、およびシステム制御部２５、信号処理部２６およびデータ格納部２７等から構成されている。

[0031] 画素領域２１は、行方向および列方向の行列状に２次元配置された複数の画素１０を有する。画素１０は、受光した光量に応じた電荷を生成し、その電荷に応じた信号を出力する。すなわち、画素１０は、入射した光を光電変換し、その結果得られた電荷に応じた信号（画素信号）を出力する。尚、行方向は、図１において横方向であり、列方向は縦方向である。

[0032] 画素領域２１においては、行列状の画素配列に対して、画素行ごとに画素駆動線２８が行方向に沿って配線されるとともに、各画素列に２つの垂直信号線ＶＳＬが列方向に沿って配線されている。例えば、画素駆動線２８は、画素１０から信号を読み出す際の駆動を行うための駆動信号を伝送する。なお、図１では、画素駆動線２８について１本の配線として示しているが、１本に限られるものではない。画素駆動線２８の一端は、垂直駆動部２２の各行に対応した出力端に接続されている。

[0033] 垂直駆動部２２は、シフトレジスタ、アドレスデコーダ等によって構成され、画素領域２１の各画素１０を全画素同時あるいは行単位等で駆動する。すなわち、垂直駆動部２２は、垂直駆動部２２を制御するシステム制御部２５とともに、画素領域２１の各画素１０の動作を制御する駆動部を構成している。

[0034] 垂直駆動部２２による駆動制御に応じて画素行の各画素１０から出力される検出信号は、垂直信号線ＶＳＬを通してカラム処理部２３に入力される。カラム処理部２３は、各画素１０から垂直信号線ＶＳＬを通して出力される検出信号に対して所定の信号処理を行うとともに、信号処理後の検出信号を一時的に保持する。具体的には、カラム処理部２３は、信号処理としてノイズ除去処理やＡＤ（Analog-to-Digital）変換処理等を行う。

[0035] 水平駆動部２４は、シフトレジスタ、アドレスデコーダ等によって構成され、カラム処理部２３の画素列に対応する単位回路を順番に選択する。水平駆動部２４による選択走査により、カラム処理部２３において単位回路ごと

に信号処理された検出信号が順番に出力される。

[0036] システム制御部２５は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、そのタイミングジェネレータで生成された各種のタイミング信号を基に、垂直駆動部２２、カラム処理部２３、および水平駆動部２４などの駆動制御を行う。

[0037] 信号処理部２６は、演算処理機能を有し、カラム処理部２３から出力される検出信号に基づいて演算処理等の種々の信号処理を行う。例えば、信号処理部２６は、データ格納部２７は、信号処理部２６での信号処理に必要なデータを一時的に格納する。

[0038] 尚、周辺回路部の全部または一部は、画素領域２１とは別の基板上に設けてもよい。この場合、周辺回路部の全部または一部の基板と画素領域２１の基板とは配線接合（Ｃｕ－Ｃｕ接合）のために貼合されてもよい。

[0039] 例えば、図２は、画素領域２１の半導体チップ５１１と周辺回路部の半導体チップ５１２とを積層した撮像装置１の例を示す概念図である。このように、撮像装置１は、積層される２枚の半導体チップ５１１および５１２で構成されてもよい。

[0040] 半導体チップ５１１の画素領域２１と半導体チップ５１２の周辺回路部は、例えば、ビア領域５１３およびビア領域５１４に設けられたＴＳＶ（Through Silicon Via）のような貫通電極等を用いて電気的に接続してもよい。また、画素領域２１の半導体チップ５１１の配線と周辺回路部の半導体チップ５１１の配線とを接触させるように、両方の半導体チップを貼り合わせてもよい（Ｃｕ－Ｃｕ接合）。さらに、画素領域２１および周辺回路部の一部を１つの半導体チップとして構成し、その他の構成を他の半導体チップとして構成してもよい。半導体チップの積層数は、３層以上であってもよい。

[0041] 図３は、撮像装置のより詳細な構成例を示す図である。撮像装置１は、ノイズキャンセル装置１１と、電源部１２と、画素１０と、ＤＡＣ回路１００と、キャパシタＣ３、Ｃ４と、コンパレータＣＭ１と、定電流源Ｖ２とを備える。なお、画素１０は、２次元に配列された複数の画素１０のうちの１つ

の画素である。また、ノイズキャンセル装置１１、電源部１２、ＤＡＣ回路１００、キャパシタＣ３、Ｃ４、コンパレータＣＭ１、および、定電流源Ｖ２は、信号処理部２６に含まれる構成要素である。

[0042] ノイズキャンセル装置１１は、電源部１２の電圧をサンプリングおよびホールド（以下、Ｓ／Ｈと称する）して得たＤＣ成分を電流変換してゲイン調整後、ＤＡＣ回路１００が出力するランプ信号ＲＭＰに重畳してコンパレータＣＭ１に入力することで、電源揺れに起因するノイズ（以下、電源ノイズともいう）を除去（キャンセル）する。

[0043] 電源部１２は、電源線１２ａを介して画素１０へ電力を供給する電源である。電源部１２は、画素１０への供給電力をノイズキャンセル装置１１にも供給する。

[0044] 画素１０は、ＭＯＳＦＥＴである（Metal Oxide Semiconductor Field Effect Transistor）トランジスタｔ１～ｔ５と、キャパシタＣ１、Ｃ２とを備える。なお、トランジスタｔ１～ｔ５のうち、トランジスタｔ１～ｔ３は、Ｐ型ＭＯＳＦＥＴであり、トランジスタｔ４、ｔ５は、Ｎ型ＭＯＳＦＥＴである。トランジスタｔ１～ｔ３はＮ型ＭＯＳＦＥＴであってもよい。

[0045] トランジスタｔ１のソースは、電源部１２の電源線１２ａに接続され、トランジスタｔ１のドレインは、トランジスタｔ２のソース、キャパシタＣ１および定電流源Ｖ１の接続ノードに接続される。トランジスタｔ２のドレインは、トランジスタｔ３のドレイン、トランジスタｔ４のゲートおよびキャパシタＣ２の接続ノードに接続される。トランジスタｔ３のソースは、電源線１２ａに接続される。トランジスタｔ４のドレインは、電源線に接続され、トランジスタｔ４のソースは、トランジスタｔ５のドレインに接続される。トランジスタｔ５のソースは、キャパシタＣ３および定電流源Ｖ２に接続される。

[0046] ＤＡＣ回路１００は、ランプ信号ＲＭＰをコンパレータＣＭ１の反転入力端子に入力する。このランプ信号ＲＭＰは、画素１０から出力された画素信号をＡ／Ｄ（Analog to Digital）変換するための参照信号として用いられる

。ＤＡＣ回路１００は、例えば、ＢＧＲ（Band Gap Reference）等の定電圧源Ｖ３と、トランジスタｔ１００～ｔ１０６と、抵抗Ｒ１００、Ｒ１０１と、増幅器ＡＭＰ１とを備える。トランジスタｔ１００～ｔ１０５のうち、トランジスタｔ１００、ｔ１０１，ｔ１０４、ｔ１０５は、Ｐ型ＭＯＳＦＥＴであり、トランジスタｔ１０２、ｔ１０３、ｔ１０６は、Ｎ型ＭＯＳＦＥＴである。

[0047] トランジスタｔ１００のソースは、所定の電源線に接続され、トランジスタｔ１００のドレインは、トランジスタｔ１０６のドレインに接続される。増幅器ＡＭＰ１は、非反転入力端子に定電圧源Ｖ３が接続され、反転入力端子に抵抗Ｒ１００の一端とトランジスタｔ１０６のソースが接続される。また、トランジスタｔ１０１のソースは、所定の電源線に接続される。トランジスタｔ１０１のドレインは、トランジスタｔ１０２のドレインに接続されるとともに、自己のゲートおよびトランジスタｔ１０３のゲートとの間に接続される。トランジスタｔ１０２のソースは、グランド線に接続される。トランジスタｔ１０３のソースは、グランド線に接続される。トランジスタｔ１０３のドレインは、トランジスタｔ１０４のドレインに接続されるとともに、トランジスタｔ１０４のゲートおよびトランジスタｔ１０５のゲートの間に接続される。トランジスタｔ１０４のソースは、所定の電源線に接続される。トランジスタｔ１０５のソースは、所定の電源線に接続され、トランジスタｔ１０５のドレインは、コンパレータＣＭ１および抵抗Ｒ１０１の間に接続される。

[0048] コンパレータＣＭ１は、画素１０から画素信号が入力される非反転入力端子（以下、プラス端子ともいう）と、ＤＡＣ回路１００のランプ信号ＲＭＰにノイズキャンセル装置１のノイズキャンセル信号を重畳させた信号が入力される非反転入力端子（以下、マイナス端子ともいう）とを有する。

[0049] すなわち、コンパレータＣＭ１のプラス端子には、電源ノイズが含まれた画素信号が入力され、マイナス端子には、ノイズキャンセル装置１で生成した電源ノイズと同じ信号が重畳したランプ信号ＲＭＰが入力される。これに

より、コンパレータＣＭにおいて、画素信号に含まれる電源ノイズが同相キャンセルされる。

[0050] しかし、配線間の寄生容量により高周波の電源ノイズが、コンパレータＣＭ１内に混入する。ノイズキャンセル装置１１だけではコンパレータＣＭ１内の高周波電源ノイズを除去できない。

[0051] そこで、本実施形態による撮像装置１は、図４のようなコンパレータＣＭ１を備える。

[0052] 図４は、第１実施形態によるコンパレータの構成例を示す回路図である。コンパレータＣＭ１は、第１電源線Ｌｖｄｄと、第２電源線Ｌｖｓｓと、第１入力部ＩＮ＿ＤＡＣと、第２入力部ＩＮ＿ＶＳＬと、トランジスタＭ１～Ｍ７と、容量素子Ｃｉｎ＿ＤＡＣ、Ｃｉｎ＿ＶＳＬ、Ｃｂａｎｄｗ、Cv_{DIFF1_VSS}、$Cv_{DIFFOUT0_VSS}$、Ｃｏｕｔと、出力部ＤＩＦＦ＿ＶＯＵＴ０とを備えている。尚、Cp_{DIFF1_VDD}、Cp_{DIFF1_VSS}、$Cp_{DIFFOUT0_VDD}$、$Cp_{DIFFOUT0_VSS}$は、寄生容量であり、仮想的に図示している。

[0053] 第１電源線Ｌｖｄｄは、高レベル電圧ＶＤＤを伝達する電源線である。第２電源線Ｌｖｓｓは、低レベル電圧（例えば、接地電圧）ＶＳＳを伝達する電源線である。コンパレータＣＭ１は、第１電源線Ｌｖｄｄと第２電源線Ｌｖｓｓとの間に接続され電力供給を受ける。

[0054] 第１入力部ＩＮ＿ＤＡＣは、容量素子Ｃｉｎ＿ＤＡＣを介してＤＡＣ回路１００の出力ＳＦＯＵＴに接続されている。第１入力部ＩＮ＿ＤＡＣは、画素信号と比較される参照信号としてのランプ信号ＲＭＰをＤＡＣ回路１００から受ける。ランプ信号ＲＭＰは、時間の経過に従ってほぼ一定の勾配で降下または上昇するスロープ電圧を有する信号である。

[0055] 第２入力部ＩＮ＿ＶＳＬは、容量素子Ｃｉｎ＿ＶＳＬを介して垂直信号線ＶＳＬに接続されている。第２入力部ＩＮ＿ＶＳＬは、画素１０からの画素信号を受ける。画素信号は、リセット状態の画素１０の電気信号、または、入射光の光量に応じた電気信号であり、１度の検出時においてはほぼ一定の電圧である。

[0056] トランジスタＭ１、Ｍ２、Ｍ５、Ｍ７は、例えば、Ｎ型ＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）である。トランジスタＭ３，Ｍ４、Ｍ６は、例えば、Ｐ型ＭＯＳＦＥＴである。

[0057] トランジスタＭ１のドレインは、トランジスタＭ３のドレイン、ゲートおよび容量素子Cv_{DIFF1_VSS}の一方の電極に接続されている。トランジスタＭ１のソースは、トランジスタＭ５のドレインおよびトランジスタＭ２のソースに接続されている。トランジスタＭ１のゲートは、第１入力部ＩＮ＿ＤＡＣに接続されている。

[0058] トランジスタＭ２のドレインは、トランジスタＭ４のドレインおよび出力部ＤＩＦＦ＿ＶＯＵＴ０に接続されている。トランジスタＭ２のソースは、トランジスタＭ１のソースとともにトランジスタＭ５のドレインに接続されている。トランジスタＭ２のゲートは、第２入力部ＩＮ＿ＶＳＬに接続されている。

[0059] トランジスタＭ３のドレインは、自身のゲート、トランジスタＭ１のドレインおよび容量素子Cv_{DIFF1_VSS}の一方の電極に接続されている。トランジスタＭ３のソースは、第１電源線Ｌｖｄｄに接続されている。トランジスタＭ３のゲートは、自身のドレインおよびトランジスタＭ４のゲートに接続されている。

[0060] トランジスタＭ４のドレインは、トランジスタＭ２のドレインおよび出力部ＤＩＦＦ＿ＶＯＵＴ０に接続されている。トランジスタＭ４のソースは、第１電源線Ｌｖｄｄに接続されている。トランジスタＭ４のゲートは、トランジスタＭ３のゲートおよびドレインに接続されている。トランジスタＭ３、Ｍ４は、カレントミラー回路を構成する。

[0061] トランジスタＭ５のドレインは、トランジスタＭ１、Ｍ２のソースに接続されている。トランジスタＭ５のソースは、第２電源線Ｌｖｓｓに接続されている。トランジスタＭ５のゲートは、システム制御部２５に接続され、定電流を流すように電圧設定される。トランジスタＭ１～Ｍ５は、差動回路を構成する。以下、トランジスタＭ１～Ｍ５全体を“差動回路”とも呼ぶ。

[0062] トランジスタＭ６のドレインは、トランジスタＭ７のドレインに接続されている。トランジスタＭ６のソースは、第１電源線Ｌｖｄｄに接続されている。トランジスタＭ６のゲートは、トランジスタＭ２、Ｍ４のドレイン、容量素子Ｃｂａｎｄｗの一方の電極、および、容量素子$Cv_{DIFFOUT0_VSS}$の一方の電極に接続されている。トランジスタＭ６のゲートは、差動回路の出力部ＤＩＦＦ＿ＶＯＵＴ０に接続されている。トランジスタＭ６は、差動回路の出力部ＤＩＦＦ＿ＶＯＵＴ０の電圧によって導通状態（オン）または非導通状態（オフ）に制御される。

[0063] トランジスタＭ７のドレインは、トランジスタＭ６のドレインに接続されている。トランジスタＭ７のソースは、第２電源線Ｌｖｓｓに接続されている。トランジスタＭ７のゲートは、容量素子Ｃｏｕｔの一方の電極に接続されており、所定電圧がサンプルホールドされる。トランジスタＭ７は、定電流源として機能する。

[0064] トランジスタＭ１～Ｍ５は、差動回路を構成している。トランジスタＭ３、Ｍ４は、カレントミラー回路を構成しており、トランジスタＭ１、Ｍ２のそれぞれに等しい電流を流す。トランジスタＭ１、Ｍ３は、第１経路Ｐ１を構成し、第１電源線Ｌｖｄｄからトランジスタ Ｍ５を介して第２電源線Ｌｖｓｓへ電流を流す。第１経路Ｐ１は、ランプ信号ＲＭＰの電圧Ｖｒｍｐによる第１入力部ＩＮ＿ＤＡＣの電圧と垂直信号線ＶＳＬの電圧（画素信号の電圧）Ｖｖｓｌによる第２入力部ＩＮ＿ＶＳＬの電圧との大小関係に応じた電圧状態になる。トランジスタＭ２、Ｍ４は、第２経路Ｐ２を構成し、第１電源線Ｌｖｄｄからトランジスタ Ｍ５を介して第２電源線Ｌｖｓｓへ電流を流す。第２経路Ｐ２は、第１入力部ＩＮ＿ＤＡＣの電圧と第２入力部ＩＮ＿ＶＳＬの電圧との大小関係に応じた電圧状態になる。これにより、ランプ信号ＲＭＰの電圧Ｖｒｍｐによる第１入力部ＩＮ＿ＤＡＣの電圧が垂直信号線ＶＳＬの電圧Ｖｖｓｌによる第２入力部ＩＮ＿ＶＳＬの電圧よりも高い場合に、出力部ＤＩＦＦ＿ＶＯＵＴ０は、高レベル電圧となり、トランジスタＭ６が非導通状態となる。これにより、トランジスタＭ６のドレイン電圧（コン

パレータＣＭ１の出力電圧）が低レベル電圧になる。第１入力部ＩＮ＿ＤＡＣの電圧が第２入力部ＩＮ＿ＶＳＬの電圧よりも低い場合に、出力部ＤＩＦＦ＿ＶＯＵＴ０は、低レベル電圧となり、トランジスタＭ６が導通状態となる。これにより、トランジスタＭ６のドレイン電圧（コンパレータＣＭ１の出力電圧）が高レベル電圧になる。即ち、第１入力部ＩＮ＿ＤＡＣ電圧が第２入力部ＩＮ＿ＶＳＬ電圧よりも高電圧から低電圧へ交差したときに、差動回路Ｍ１～Ｍ５は、出力部ＤＩＦＦ＿ＶＯＵＴ０の出力信号を高レベル電圧から低レベル電圧へ論理反転させる。これにより、コンパレータＣＭ１の出力電圧は、低レベル電圧から高レベル電圧へ論理反転する。

[0065] 容量素子Ｃｂａｎｄｗの一方の電極は、トランジスタＭ２、Ｍ４のドレイン、トランジスタＭ６のゲートおよび容量素子$Cv_{DIFFOUT0_VSS}$の一方の電極に接続されている。容量素子Ｃｂａｎｄｗの他方の電極は、第１電源線Ｌｖｄｄに接続されている。つまり、容量素子Ｃｂａｎｄｗは、第１電源線Ｌｖｄｄと出力部ＤＩＦＦ＿ＶＯＵＴ０との間に接続されている。容量素子Ｃｂａｎｄｗは、帯域制限容量であり、第１電源線Ｌｖｄｄの電源電圧ＶＤＤに混入するノイズをトランジスタＭ６のゲートに伝達する。電源電圧ＶＤＤのノイズは、トランジスタＭ６のソースにも伝達される。従って、理想的には、トランジスタＭ６のソース－ゲート間の電圧差Ｖｇｓにおいて、電源電圧ＶＤＤのノイズがキャンセルされる。この場合、トランジスタＭ６は、電源電圧ＶＤＤのノイズに依存せず、差動回路Ｍ１～Ｍ５の出力部ＤＩＦＦ＿ＶＯＵＴ０の電圧によって動作することができる。

[0066] しかし、垂直信号線ＶＳＬ等の隣接するカラム配線間の間隔が狭くなり、ＰＳＲＲの原因となる寄生容量がコンパレータＣＭ１内において増大している。例えば、寄生容量Cp_{DIFF1_VDD}は、第１電源線ＬｖｄｄとトランジスタＭ３およびトランジスタＭ１の接続ノードＤＩＦＦ１との間に発生する寄生容量である。寄生容量Cp_{DIFF1_VSS}は、第２電源線Ｌｖｓｓとノードの間に発生する寄生容量である。寄生容量$Cp_{DIFFOUT0_VDD}$は、第１電源線Ｌｖｄｄと出力部ＤＩＦＦ＿ＶＯＵＴ０との間に発生する寄生

容量である。寄生容量$Cp_{DIFFOUT0_VSS}$は、第２電源線Ｌｖｓｓと出力部ＤＩＦＦ＿ＶＯＵＴ０との間に発生する寄生容量である。

[0067] 寄生容量$Cp_{DIFFOUT0_VDD}$は、容量素子Ｃｂａｎｄｗよりも小さく、同じ接続であるため、帯域制限容量とみなして無視できる。もし、容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFOUT0_VSS}$が設けられていない場合、寄生容量$Cp_{DIFFOUT0_VDD}$、Cp_{DIFF1_VSS}および$Cp_{DIFFOUT0_VSS}$が無視できない。これらの寄生容量$Cp_{DIFFOUT0_VDD}$、Cp_{DIFF1_VSS}および$Cp_{DIFFOUT0_VSS}$は、電源電圧ＶＤＤのノイズ成分（特に、高周波成分）をノードＤＩＦＦ１および出力部ＤＩＦＦ＿ＶＯＵＴ０へ混入させてしまう。このようなノイズの高周波成分は、ノイズキャンセル装置１１および容量素子Ｃｂａｎｄｗでは除去することはできない。

[0068] そこで、本実施形態では、容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFOUT0_VSS}$が設けられている。容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFOUT0_VSS}$は、ＭＯＭ（Metal Oxide Metal）、ＭＩＭ（Metal Insulator Metal）、ＰＩＰ（Poly-Si Insulator Poly-Si）、ＭＯＳＦＥＴ等に代表される容量素子でよい。また、容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFOUT0_VSS}$は、素子－配線間の寄生容量、配線－配線間の寄生容量、素子－ウェル間の寄生容量、配線－ウェル間の寄生容量、ウェル－ウェル間の寄生容量（拡散容量）、抵抗素子－ウェル間の寄生容量等でもよい。

[0069] 容量素子Cv_{DIFF1_VSS}の一方の電極は、トランジスタＭ１、Ｍ３のドレイン（ノードＤＩＦＦ１）に接続されている。容量素子Cv_{DIFF1_VSS}の他方の電極は、第２電源線Ｌｖｓｓに接続されている。つまり、容量素子Cv_{DIFF1_VSS}は、第１経路Ｐ１のノードＤＩＦＦ１と第２電源線Ｌｖｓｓとの間に接続されている。寄生容量Cp_{DIFF1_VSS}は、容量素子Cv_{DIFF1_VSS}と同等以下の大きさであり、同じ接続であるため、まとめて容量素子Cv_{DIFF1_VSS}と表示する。

[0070] 容量素子$Cv_{DIFFOUT0_VSS}$の一方の電極は、トランジスタＭ２、Ｍ４のドレインおよびトランジスタＭ６のゲート（出力部ＤＩＦＦ＿ＶＯＵＴ０）

に接続されている。容量素子$Cv_{DIFFOUT0_VSS}$の他方の電極は、第２電源線Ｌｖｓｓに接続されている。つまり、容量素子$Cv_{DIFFOUT0_VSS}$は、第２経路Ｐ２と第２電源線Ｌｖｓｓとの間に接続されている。寄生容量$Cp_{DIFFOUT0_VSS}$は、容量素子$Cv_{DIFFOUT0_VSS}$と同等以下の大きさであり、同じ接続であるため、まとめて容量素子$Cv_{DIFFOUT0_VSS}$と表示する。

[0071] 容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFOUT0_VSS}$は、可変容量である。容量素子Cv_{DIFF1_VSS}は、寄生容量Cp_{DIFF1_VDD}との間で電源電圧ＶＤＤを分圧し、ノードＤＩＦＦ１に混入させるノイズを調整する。容量素子$Cv_{DIFFOUT0_VSS}$は、容量素子Ｃｂａｎｄｗとの間で電源電圧ＶＤＤを分圧し、出力部ＤＩＦＦ＿ＶＯＵＴ０に混入させるノイズを調整する。容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFOUT0_VSS}$のそれぞれの容量を調整することによって、ノードＤＩＦＦ１および出力部ＤＩＦＦ＿ＶＯＵＴ０に混入させるノイズが調整される。ノードＤＩＦＦ１および出力部ＤＩＦＦ＿ＶＯＵＴ０に混入させるノイズを調整することによって、トランジスタＭ６のソース－ゲート間の電圧差Ｖｇｓのノイズをキャンセルすることができる。即ち、本実施形態では、容量素子Cv_{DIFF1_VSS}をノードＤＩＦＦ１と第２電源線Ｌｖｓｓとの間に敢えて設け、容量素子$Cv_{DIFFOUT0_VSS}$を出力部ＤＩＦＦ＿ＶＯＵＴ０と第２電源線Ｌｖｓｓとの間に敢えて設けることによって、電源ノイズをノードＤＩＦＦ１および出力部ＤＩＦＦ＿ＶＯＵＴ０に混入させることによって、トランジスタＭ６における電源電圧ＶＤＤのノイズをキャンセルしている。電源電圧ＶＤＤのノイズの高周波成分も除去することができる。

[0072] 例えば、電源電圧ＶＤＤのノイズ（変動）ΔＶＤＤとすると、出力部ＤＩＦＦ＿ＶＯＵＴ０の振幅は、ΔＶＤＤ×（Ｃｂａｎｄｗ）／（Ｃｂａｎｄｗ＋$Cv_{DIFFVOUT0_VSS}$）となる。トランジスタＭ６のソース－ゲート間の電圧差Ｖｇｓの変動は、ΔＶＤＤ×（$Cv_{DIFFVOUT0_VSS}$）／（Ｃｂａｎｄｗ＋$Cv_{DIFFVOUT0_VSS}$）となる。トランジスタＭ６の電圧差Ｖｇｓの変動をほぼゼロにするように、容量素子Cv_{DIFF1_VSS}が第１経路に高周波ノイズ

電流を流す。即ち、容量素子$Cv_{DIFFVOUT0_VSS}$に流れる高周波電流と同等の電流を容量素子Cv_{DIFF1_VSS}に流し、カレントミラー回路Ｍ３、Ｍ４が、電流をコピーして容量素子$Cv_{DIFFVOUT0_VSS}$に供給する。これにより、差動回路の動作に影響を与えることなく、ノイズ成分がキャンセルされて、トランジスタＭ６の電圧差Ｖｇｓの変動をほぼゼロにすることができる。

[0073] 容量素子Cv_{DIFF1_VSS}および容量素子$Cv_{DIFFVOUT0_VSS}$は基本的にほぼ等しくてよい。しかし、他の寄生容量によるノイズ混入もあり、実際には、容量素子Cv_{DIFF1_VSS}および容量素子$Cv_{DIFFVOUT0_VSS}$の調整が必要となる。例えば、第１入力部ＩＮ＿ＤＡＣ側の周波数特性（周波数－ゲイン特性）および第２入力部ＩＮ＿ＶＳＬ側の周波数特性が等しくなるように容量素子Cv_{DIFF1_VSS}および容量素子$Cv_{DIFFVOUT0_VSS}$を調整する。これにより、ＰＳＲＲが抑制される。

[0074] 容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFVOUT0_VSS}$は、撮像装置１の製品出荷前の試験工程で設定してもよい。これにより、プロセスばらつきにも対応した設定が可能である。また、容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFVOUT0_VSS}$は、撮像装置１の種類によってほぼ一定の容量値に設定できる場合もある。この場合、容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFVOUT0_VSS}$は、撮像装置１の種類ごとに設定してもよい。製品出荷前に設定する場合、容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFVOUT0_VSS}$の容量は、調整後、固定してもよい。さらに、容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFVOUT0_VSS}$は、製品出荷後の調整時に設定してもよい。この場合、容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFVOUT0_VSS}$の容量は、出荷後であっても変更可能にする。

[0075] 図５は、容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFVOUT0_VSS}$の調整部の構成例を示す図である。コンパレータＣＭ１は、スイッチＳＷ１と、スイッチＳＷ２と、レジスタＲＧとをさらに備えている。スイッチＳＷ１およびレジスタＲＧは、第１調整部の一例である。スイッチＳＷ２およびレジスタＲＧは、第２調整部の一例である。

[0076] スイッチＳＷ１は、容量素子Cv_{DIFF1_VSS}の他方の電極と電源線Ｌｖｄ

ｄ、Ｌｖｓｓとの間に接続されている。スイッチＳＷ１は、容量素子Cv_{DIFF1_VSS}の他方の電極を、第１電源線Ｌｖｄｄおよび第２電源線Ｌｖｓｓのいずれか一方に選択的に接続する。スイッチＳＷ１が容量素子Cv_{DIFF1_VSS}の他方の電極を第２電源線Ｌｖｓｓに接続すると、容量素子Cv_{DIFF1_VSS}は、図４に示す状態になり、ノイズキャンセルに用いられる。一方、スイッチＳＷ１が容量素子Cv_{DIFF1_VSS}の他方の電極を第１電源線Ｌｖｄｄに接続すると、容量素子Cv_{DIFF1_VSS}は、電源電圧ＶＤＤに接続される。この場合、容量素子Cv_{DIFF1_VSS}は、ノイズキャンセルに用いられない。

[0077] スイッチＳＷ２は、容量素子$Cv_{DIFFVOUT0_VSS}$の他方の電極と電源線Ｌｖｄｄ、Ｌｖｓｓとの間に接続されている。スイッチＳＷ２は、容量素子$Cv_{DIFFVOUT0_VSS}$の他方の電極を、第１電源線Ｌｖｄｄおよび第２電源線Ｌｖｓｓのいずれか一方に選択的に接続する。スイッチＳＷ２が容量素子$Cv_{DIFFVOUT0_VSS}$の他方の電極を第２電源線Ｌｖｓｓに接続すると、容量素子$Cv_{DIFFVOUT0_VSS}$は、図４に示す状態になり、ノイズキャンセルに用いられる。一方、スイッチＳＷ２が容量素子$Cv_{DIFFVOUT0_VSS}$の他方の電極を第１電源線Ｌｖｄｄに接続すると、容量素子$Cv_{DIFFVOUT0_VSS}$は、電源電圧ＶＤＤに接続される。この場合、容量素子$Cv_{DIFFVOUT0_VSS}$は、ノイズキャンセルに用いられない。

[0078] このように、スイッチＳＷ１、ＳＷ２は、容量素子Cv_{DIFF1_VSS}、$Cv_{DIFFVOUT0_VSS}$をノイズキャンセルのためにノードＤＩＦＦ１または出力部ＤＩＦＦ＿ＶＯＵＴ０に実質的に接続または切断することができる。

[0079] スイッチＳＷ１、ＳＷ２は、例えば、ＣＭＯＳ（Complementary MOS）インバータ、ＮＡＮＤゲート、ＮＯＲゲート等の論理回路でよい。

[0080] レジスタＲＧは、スイッチＳＷ１、ＳＷ２をそれぞれ個別に切り替える制御信号を記憶する。例えば、レジスタＲＧは、スイッチの個数と同じビット数のデジタル値を制御信号として記憶する。スイッチＳＷ１、ＳＷ２の２つのスイッチが設けられている場合、レジスタＲＧは、スイッチＳＷ１、ＳＷ２のそれぞれに対応する２ビットのデジタル値を制御信号として格納すれば

よい。例えば、デジタル値が“００”である場合には、スイッチＳＷ１、ＳＷ２は、容量素子Cv_{DIFF1_VSS}、$Cv_{DIFFVOUT0_VSS}$を第１電源線Ｌｖｄｄに接続する。デジタル値が“１１”である場合には、スイッチＳＷ１，ＳＷ２は、容量素子Cv_{DIFF1_VSS}、$Cv_{DIFFVOUT0_VSS}$を第２電源線Ｌｖｓｓに接続する。デジタル値が“１０”または “０１”である場合には、スイッチＳＷ１，ＳＷ２は、容量素子Cv_{DIFF1_VSS}、$Cv_{DIFFVOUT0_VSS}$のいずれか一方を第１電源線Ｌｖｄｄに接続し、他方を第２電源線Ｌｖｓｓに接続する。

[0081] これにより、容量素子Cv_{DIFF1_VSS}、$Cv_{DIFFVOUT0_VSS}$は、ノイズキャンセルのためにノードＤＩＦＦ１または出力部ＤＩＦＦ＿ＶＯＵＴ０に実質的に接続され、あるいは、切断される。

[0082]（第２実施形態）

図６は、第２実施形態による容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFVOUT0_VSS}$の調整部の構成例を示す図である。図６の例では、容量素子Cv_{DIFF1_VSS}は、複数の部分容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFF1_VSS_n}$（ｎは２以上の整数）を備える。

[0083] 複数の部分容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFF1_VSS_n}$の一方の電極は、ノードＤＩＦＦ１に共通に接続されている。複数の部分容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFF1_VSS_n}$の他方の電極は、それぞれに対応する複数のスイッチＳＷ１＿１～ＳＷ１＿ｎを介して第１電源線Ｌｖｄｄまたは第２電源線Ｌｖｓｓに接続されている。

[0084] 第１調整部としての複数のスイッチＳＷ１＿１～ＳＷ１＿ｎは、それぞれ複数の部分容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFF1_VSS_n}$の他方の電極と第１および第２電源線Ｌｖｄｄ、Ｌｖｓｓとの間にそれぞれ接続されている。複数のスイッチＳＷ１＿１～ＳＷ１＿ｎは、部分容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFF1_VSS_n}$の他方の電極をそれぞれ第１電源線Ｌｖｄｄまたは第２電源線Ｌｖｓｓのいずれか一方に選択的に接続する。複数のスイッチＳＷ１＿１～ＳＷ１＿ｎは、レジスタＲＧからの制御信号によってそれぞれ個別に

オンまたはオフに制御される。これにより、スイッチＳＷ１＿１～ＳＷ１＿ｎは、ノードＤＩＦＦ１と第２電源線Ｌｖｓｓとの間に接続される部分容量素子の数を変更し、容量素子Cv_{DIFF1_VSS}の容量を調整することができる。

[0085] また、容量素子$Cv_{DIFFVOUT0_VSS}$は、複数の部分容量素子$Cv_{DIFFVOUT0_VSS_1}$～$Cv_{DIFFVOUT0_VSS_n}$を備える。

[0086] 複数の部分容量素子$Cv_{DIFFVOUT0_VSS_1}$～$Cv_{DIFFVOUT0_VSS_n}$の一方の電極は、出力部ＤＩＦＦ＿ＶＯＵＴ０に共通に接続されている。複数の部分容量素子$Cv_{DIFFVOUT0_VSS_1}$～$Cv_{DIFFVOUT0_VSS_n}$の他方の電極は、それぞれに対応する複数のスイッチＳＷ２＿１～ＳＷ２＿ｎを介して第１電源線Ｌｖｄｄまたは第２電源線Ｌｖｓｓに接続されている。

[0087] 第２調整部としての複数のスイッチＳＷ２＿１～ＳＷ２＿ｎは、それぞれ複数の部分容量素子$Cv_{DIFFVOUT0_VSS_1}$～$Cv_{DIFFVOUT0_VSS_n}$の他方の電極と第１および第２電源線Ｌｖｄｄ、Ｌｖｓｓとの間にそれぞれ接続されている。複数のスイッチＳＷ２＿１～ＳＷ２＿ｎは、部分容量素子$Cv_{DIFFVOUT0_VSS_1}$～$Cv_{DIFFVOUT0_VSS_n}$の他方の電極をそれぞれ第１電源線Ｌｖｄｄまたは第２電源線Ｌｖｓｓのいずれか一方に選択的に接続する。複数のスイッチＳＷ２＿１～ＳＷ２＿ｎは、レジスタＲＧからの制御信号によってそれぞれ個別にオンまたはオフに制御される。これにより、スイッチＳＷ２＿１～ＳＷ２＿ｎは、出力部ＤＩＦＦ＿ＶＯＵＴ０と第２電源線Ｌｖｓｓとの間に部分容量素子を選択的に接続し、その接続される部分容量素子の数を変更することによって、容量素子$Cv_{DIFFVOUT0_VSS}$の容量を調整することができる。

[0088] スイッチＳＷ１＿１～ＳＷ１＿ｎ、ＳＷ２＿１～ＳＷ２＿ｎは、例えば、ＣＭＯＳインバータ、ＮＡＮＤゲート、ＮＯＲゲート等の論理回路でよい。

[0089] レジスタＲＧは、スイッチＳＷ１＿１～ＳＷ１＿ｎ、ＳＷ２＿１～ＳＷ２＿ｎを切り替える制御信号を記憶する。例えば、レジスタＲＧは、スイッチの個数と同じビット数のデジタル値を制御信号として記憶する。よって、レ

ジスタＲＧは、２×ｎビットのデジタル値を格納すればよい。これにより、容量素子Cv_{DIFF1_VSS}、$Cv_{DIFFVOUT0_VSS}$は、部分容量素子の単位で変更可能な可変容量素子となる。

[0090] 容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFOUT0_VSS}$のそれぞれの容量を調整することによって、ノードＤＩＦＦ１および出力部ＤＩＦＦ＿ＶＯＵＴ０に混入させるノイズが調整される。ノードＤＩＦＦ１および出力部ＤＩＦＦ＿ＶＯＵＴ０に混入させるノイズを調整することによって、トランジスタＭ６のソース－ゲート間の電圧差Ｖｇｓのノイズをキャンセルすることができる。

[0091] 第２実施形態のその他の構成は、第１実施形態と同じである。従って、第２実施形態は、第１実施形態と同様の効果も得ることができる。

[0092]（第３実施形態）

図７は、第３実施形態による容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFVOUT0_VSS}$の調整部の構成例を示す図である。図７の例では、容量素子Cv_{DIFF1_VSS}の両側にそれぞれスイッチＳＷ１、ＳＷ１１が設けられている。容量素子$Cv_{DIFFVOUT0_VSS}$の両側にスイッチＳＷ２、ＳＷ１２がそれぞれ設けられている。

[0093] スイッチＳＷ１、ＳＷ２は、図５のそれらの構成と同様でよい。

[0094] スイッチＳＷ１１は、容量素子Cv_{DIFF1_VSS}の一方の電極とノードＤＩＦＦ１との間、並びに、容量素子Cv_{DIFF1_VSS}の一方の電極と第１電源線Ｌｖｄｄとの間に接続されている。スイッチＳＷ１１は、容量素子Cv_{DIFF1_VSS}の一方の電極をノードＤＩＦＦ１または第１電源線Ｌｖｄｄのいずれか一方に選択的に切り替える。スイッチＳＷ１１は、レジスタＲＧからの制御信号によってオンまたはオフに制御される。

[0095] スイッチＳＷ１、ＳＷ１１は、同期して制御される。スイッチＳＷ１が、容量素子Cv_{DIFF1_VSS}の他方の電極を第１電源線Ｌｖｄｄに接続しているときには、スイッチＳＷ１１は、容量素子Cv_{DIFF1_VSS}の一方の電極を第１電源線Ｌｖｄｄに接続する。これにより、容量素子Cv_{DIFF1_VSS}は、ノ

ードＤＩＦＦ１に接続されず、ノイズキャンセルに使用されない。

[0096] 一方、スイッチＳＷ１が、容量素子Cv_{DIFF1_VSS}の他方の電極を第２電源線Ｌｖｓｓに接続しているときには、スイッチＳＷ１１は、容量素子Cv_{DIFF1_VSS}の一方の電極をノードＤＩＦＦ１に接続する。これにより、容量素子Cv_{DIFF1_VSS}は、ノードＤＩＦＦ１と第２電源線Ｌｖｓｓとの間に接続され、ノイズキャンセルに使用される。

[0097] スイッチＳＷ１２は、容量素子$Cv_{DIFFVOUT0_VSS}$の一方の電極と出力部ＤＩＦＦ＿ＶＯＵＴ０との間、並びに、容量素子$Cv_{DIFFVOUT0_VSS}$の一方の電極と第１電源線Ｌｖｄｄとの間に接続されている。スイッチＳＷ１２は、容量素子$Cv_{DIFFVOUT0_VSS}$の一方の電極を出力部ＤＩＦＦ＿ＶＯＵＴ０または第１電源線Ｌｖｄｄのいずれか一方に選択的に切り替える。スイッチＳＷ１２は、レジスタＲＧからの制御信号によってオンまたはオフに制御される。

[0098] スイッチＳＷ２、ＳＷ１２は、同期して制御される。スイッチＳＷ２が、容量素子$Cv_{DIFFVOUT0_VSS}$の他方の電極を第１電源線Ｌｖｄｄに接続しているときには、スイッチＳＷ１２は、容量素子$Cv_{DIFFVOUT0_VSS}$の一方の電極を第１電源線Ｌｖｄｄに接続する。これにより、容量素子$Cv_{DIFFVOUT0_VSS}$は、出力部ＤＩＦＦ＿ＶＯＵＴ０に接続されず、ノイズキャンセルに使用されない。

[0099] 一方、スイッチＳＷ２が、容量素子$Cv_{DIFFVOUT0_VSS}$の他方の電極を第２電源線Ｌｖｓｓに接続しているときには、スイッチＳＷ１２は、容量素子$Cv_{DIFFVOUT0_VSS}$の一方の電極を出力部ＤＩＦＦ＿ＶＯＵＴ０に接続する。これにより、容量素子$Cv_{DIFFVOUT0_VSS}$は、出力部ＤＩＦＦ＿ＶＯＵＴ０と第２電源線Ｌｖｓｓとの間に接続され、ノイズキャンセルに使用される。

[0100] スイッチＳＷ１１、ＳＷ１２は、例えば、ＣＭＯＳインバータなどの論理回路、ＮＭＯＳスイッチ、ＰＭＯＳスイッチ、ＣＭＯＳスイッチを適用してよい。

[0101] レジスタＲＧは、スイッチＳＷ１、ＳＷ２、ＳＷ１１、ＳＷ１２を切り替える制御信号を記憶する。この場合、制御信号は、４ビットのデジタル値でよい。

[0102] これにより、容量素子Cv_{DIFF1_VSS}、$Cv_{DIFFVOUT0_VSS}$は、ノイズキャンセルのためにノードＤＩＦＦ１または出力部ＤＩＦＦ＿ＶＯＵＴ０に実質的に接続され、あるいは、切断される。

[0103] 図７の例は、図５の例に比べて、容量素子Cv_{DIFF1_VSS}、$Cv_{DIFFVOUT0_VSS}$をノイズキャンセルに使用しない場合、容量素子Cv_{DIFF1_VSS}、$Cv_{DIFFVOUT0_VSS}$をＤＩＦＦ１、ＤＩＦＦ＿ＶＯＵＴ０から切り離すことができる。これにより、容量負荷が軽減され、コンパレータＣＭ１の反転遅延を低減する効果がある。容量素子Cv_{DIFF1_VSS}、$Cv_{DIFFVOUT0_VSS}$をノイズキャンセルに使用しない場合、容量素子Cv_{DIFF1_VSS}、$Cv_{DIFFVOUT0_VSS}$の両電極を第１電源線Ｌｖｄｄに接続することにより、容量素子Cp_{DIFF1_VSS}、$Cp_{DIFFVOUT0_VSS}$の発生を抑制することができ、図４の構成に適しているという特徴がある。図７の例では、スイッチＳＷ１、ＳＷ２を省略して、容量素子$Cv_{DIFFVOUT0_VSS}$の他方の電極および容量素子Cv_{DIFF1_VSS}の他方の電極を第１電源線Ｌｖｄｄに直接接続してもよい。

[0104] 第３実施形態のその他の構成は、第１実施形態と同じである。従って、第３実施形態は、第１実施形態と同様の効果も得ることができる。

[0105] （第４実施形態）

図８は、第４実施形態による容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFVOUT0_VSS}$の調整部の構成例を示す図である。図８の例では、容量素子Cv_{DIFF1_VSS}の両側にそれぞれスイッチＳＷ１、ＳＷ１１が設けられている。容量素子$Cv_{DIFFVOUT0_VSS}$の両側にスイッチＳＷ２、ＳＷ１２がそれぞれ設けられている。これらの点で図７の例と同様である。

[0106] しかし、図８の例では、スイッチＳＷ１１は、容量素子Cv_{DIFF1_VSS}の一方の電極と第２電源線Ｌｖｓｓとの間に接続されている。スイッチＳＷ１１は、容量素子Cv_{DIFF1_VSS}の一方の電極をノードＤＩＦＦ１または第２

電源線Ｌｖｓｓのいずれか一方に選択的に切り替える。

[0107] 容量素子Cv_{DIFF1_VSS}をノイズキャンセルに使用しない場合、スイッチＳＷ１は、容量素子Cv_{DIFF1_VSS}の他方の電極を第２電源線Ｌｖｓｓに接続し、スイッチＳＷ１１は、容量素子Cv_{DIFF1_VSS}の一方の電極を第２電源線Ｌｖｓｓに接続する。

[0108] 一方、容量素子Cv_{DIFF1_VSS}をノイズキャンセルに使用する場合、スイッチＳＷ１が、容量素子Cv_{DIFF1_VSS}の他方の電極を第２電源線Ｌｖｓｓに接続したまま、スイッチＳＷ１１は、容量素子Cv_{DIFF1_VSS}の一方の電極をノードＤＩＦＦ１に接続する。これにより、容量素子Cv_{DIFF1_VSS}は、ノードＤＩＦＦ１と第２電源線Ｌｖｓｓとの間に接続され、ノイズキャンセルに使用される。

[0109] スイッチＳＷ１２は、容量素子$Cv_{DIFFVOUT0_VSS}$の一方の電極と第２電源線Ｌｖｓｓとの間に接続されている。スイッチＳＷ１２は、容量素子$Cv_{DIFFVOUT0_VSS}$の一方の電極を出力部ＤＩＦＦ＿ＶＯＵＴ０または第２電源線Ｌｖｓｓのいずれか一方に選択的に切り替える。

[0110] 容量素子$Cv_{DIFFVOUT0_VSS}$をノイズキャンセルに使用しない場合、スイッチＳＷ２は、容量素子$Cv_{DIFFVOUT0_VSS}$の他方の電極を第２電源線Ｌｖｓｓに接続し、スイッチＳＷ１２は、容量素子$Cv_{DIFFVOUT0_VSS}$の一方の電極を第２電源線Ｌｖｓｓに接続する。

[0111] 一方、容量素子$Cv_{DIFFVOUT0_VSS}$をノイズキャンセルに使用する場合、スイッチＳＷ２が、容量素子$Cv_{DIFFVOUT0_VSS}$の他方の電極を第２電源線Ｌｖｓｓに接続したまま、スイッチＳＷ１２は、容量素子$Cv_{DIFFVOUT0_VSS}$の一方の電極を出力部ＤＩＦＦ＿ＶＯＵＴ０に接続する。これにより、容量素子$Cv_{DIFFVOUT0_VSS}$は、出力部ＤＩＦＦ＿ＶＯＵＴ０と第２電源線Ｌｖｓｓとの間に接続され、ノイズキャンセルに使用される。

[0112] 図８の例では、スイッチＳＷ１、ＳＷ２を省略して、容量素子$Cv_{DIFFVOUT0_VSS}$の他方の電極および容量素子Cv_{DIFF1_VSS}の他方の電極を第２電源線Ｌｖｓｓに直接接続してもよい。

[0113] 図８の例のその他の構成は、図７の例の構成と同じでよい。

[0114] 第３および第４実施形態は、第２実施形態と組み合わせてもよい。

[0115] （第５実施形態）

図９は、第５実施形態による容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFVOUT0_VSS}$の調整部の構成例を示す図である。第５実施形態は、第２および第３実施形態と組み合わせである。

[0116] 容量素子Cv_{DIFF1_VSS}は、複数の部分容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFF1_VSS_n}$を備え、容量素子$Cv_{DIFFVOUT0_VSS}$は、複数の部分容量素子$Cv_{DIFFVOUT0_VSS_1}$～$Cv_{DIFFVOUT0_VSS_n}$を備える。

[0117] この場合、部分容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFF1_VSS_n}$に対応して、複数のスイッチＳＷ１＿１～ＳＷ１＿ｎ、並びに、複数のスイッチＳＷ１１＿１～ＳＷ１１＿ｎを設ける。

[0118] 複数のスイッチＳＷ１＿１～ＳＷ１＿ｎの構成は、第２実施形態のそれらの構成と同じでよい。

[0119] 複数のスイッチＳＷ１１＿１～ＳＷ１１＿ｎは、それぞれ部分容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFF1_VSS_n}$の一方の電極とノードＤＩＦＦ１との間、並びに、容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFF1_VSS_n}$の一方の電極と第１電源線Ｌｖｄｄとの間に接続される。複数のスイッチＳＷ１１＿１～ＳＷ１１＿ｎは、部分容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFF1_VSS_n}$の一方の電極をそれぞれノードＤＩＦＦ１または第１電源線Ｌｖｄｄのいずれか一方に選択的に接続する。複数のスイッチＳＷ１１＿１～ＳＷ１１＿ｎは、レジスタＲＧからの制御信号によってそれぞれ個別にオンまたはオフに制御される。スイッチＳＷ１１＿１～ＳＷ１１＿ｎは、それぞれスイッチＳＷ１＿１～ＳＷ１＿ｎと同期して制御される。これにより、スイッチＳＷ１＿１～ＳＷ１＿ｎおよびスイッチＳＷ１１＿１～ＳＷ１１＿ｎは、ノードＤＩＦＦ１と第２電源線Ｌｖｓｓとの間に接続される部分容量素子の数を変更し、容量素子Cv_{DIFF1_VSS}の容量を調整することができる。

[0120] 部分容量素子$Cv_{DIFF1_VSS_k}$（ｋ＝１～ｎ）をノイズキャンセルに使用

しない場合、スイッチＳＷ１＿＿ｋは、部分容量素子$Ｃｖ_{ＤＩＦＦ１_ＶＳＳ_ｋ}$の他方の電極を第１電源線Ｌｖｄｄに接続し、スイッチＳＷ１１＿＿ｋは、部分容量素子$Ｃｖ_{ＤＩＦＦ１_ＶＳＳ_ｋ}$の一方の電極を第１電源線Ｌｖｄｄに接続する。これにより、部分容量素子$Ｃｖ_{ＤＩＦＦ１_ＶＳＳ_ｋ}$は、ノードＤＩＦＦ１に接続されず、ノイズキャンセルに使用されない。

[0121] 一方、部分容量素子$Ｃｖ_{ＤＩＦＦ１_ＶＳＳ_ｋ}$をノイズキャンセルに使用する場合、スイッチＳＷ１＿＿ｋは、部分容量素子$Ｃｖ_{ＤＩＦＦ１_ＶＳＳ_ｋ}$の他方の電極を第２電源線Ｌｖｓｓに接続し、スイッチＳＷ１１＿＿ｋは、部分容量素子$Ｃｖ_{ＤＩＦＦ１_ＶＳＳ_ｋ}$の一方の電極をノードＤＩＦＦ１に接続する。これにより、部分容量素子$Ｃｖ_{ＤＩＦＦ１_ＶＳＳ_ｋ}$は、ノードＤＩＦＦ１と第２電源線Ｌｖｓｓとの間に接続され、ノイズキャンセルに使用される。

[0122] また、部分容量素子$Ｃｖ_{ＤＩＦＦＶＯＵＴ０_１}$～$Ｃｖ_{ＤＩＦＦＶＯＵＴ０_ｎ}$に対応して、複数のスイッチＳＷ２＿＿１～ＳＷ２＿＿ｎ、並びに、複数のスイッチＳＷ１２＿＿１～ＳＷ１２＿＿ｎを設ける。

[0123] 複数のスイッチＳＷ２＿＿１～ＳＷ２＿＿ｎの構成は、第２実施形態のそれらの構成と同じでよい。

[0124] 複数のスイッチＳＷ１２＿＿１～ＳＷ１２＿＿ｎは、それぞれ部分容量素子$Ｃｖ_{ＤＩＦＦＶＯＵＴ０_ＶＳＳ_１}$～$Ｃｖ_{ＤＩＦＦＶＯＵＴ０_ＶＳＳ_ｎ}$の一方の電極と出力部ＤＩＦＦ＿＿ＶＯＵＴ０との間、並びに、容量素子$Ｃｖ_{ＤＩＦＦＶＯＵＴ０_ＶＳＳ_ｎ}$の一方の電極と第１電源線Ｌｖｄｄとの間にそれぞれ接続される。複数のスイッチＳＷ１２＿＿１～ＳＷ１２＿＿ｎは、部分容量素子$Ｃｖ_{ＤＩＦＦＶＯＵＴ０_ＶＳＳ_１}$～$Ｃｖ_{ＤＩＦＦＶＯＵＴ０_ＶＳＳ_ｎ}$の一方の電極をそれぞれ出力部ＤＩＦＦ＿＿ＶＯＵＴ０または第１電源線Ｌｖｄｄのいずれか一方に選択的に接続する。複数のスイッチＳＷ１２＿＿１～ＳＷ１２＿＿ｎは、レジスタＲＧからの制御信号によってそれぞれ個別にオンまたはオフに制御される。スイッチＳＷ１２＿＿１～ＳＷ１２＿＿ｎは、それぞれスイッチＳＷ２＿＿１～ＳＷ２＿＿ｎと同期して制御される。これにより、スイッチＳＷ２＿＿１～ＳＷ２＿＿ｎおよびスイッチＳＷ１２＿＿１～ＳＷ１２＿＿ｎは、出力部ＤＩＦＦ＿＿ＶＯＵＴ０と第２電源線Ｌｖｓｓとの間

に接続される部分容量素子の数を変更し、容量素子$Cv_{DIFFVOUT0_VSS}$の容量を調整することができる。

[0125] 部分容量素子$Cv_{DIFFVOUT0_VSS_k}$（ｋは１～ｎのいずれか）をノイズキャンセルに使用しない場合、スイッチＳＷ２＿ｋは、部分容量素子$Cv_{DIFFVOUT0_VSS_k}$の他方の電極を第１電源線Ｌｖｄｄに接続し、スイッチＳＷ１２＿ｋは、部分容量素子$Cv_{DIFFVOUT0_VSS_k}$の一方の電極を第１電源線Ｌｖｄｄに接続する。

[0126] 一方、部分容量素子$Cv_{DIFFVOUT0_VSS_k}$をノイズキャンセルに使用する場合、スイッチＳＷ２＿ｋは、部分容量素子$Cv_{DIFFVOUT0_VSS_k}$の他方の電極を第２電源線Ｌｖｓｓに接続し、スイッチＳＷ１２＿ｋは、部分容量素子$Cv_{DIFFVOUT0_VSS_k}$の一方の電極を出力部ＤＩＦＦ＿ＶＯＵＴ０に接続する。これにより、部分容量素子$Cv_{DIFFVOUT0_VSS_k}$は、出力部ＤＩＦＦ＿ＶＯＵＴ０と第２電源線Ｌｖｓｓとの間に接続され、ノイズキャンセルに使用される。

[0127] 第５実施形態は、第２および第３実施形態の効果を得ることができる。

[0128] （第６実施形態）

図１０は、第６実施形態による容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFVOUT0_VSS}$の調整部の構成例を示す図である。第６実施形態は、第２および第４実施形態と組み合わせである。

[0129] 図１０の例では、スイッチＳＷ１１＿１～ＳＷ１１＿ｎは、それぞれ容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFF1_VSS_n}$の一方の電極と第２電源線Ｌｖｓｓとの間に接続されている。スイッチＳＷ１１＿１～ＳＷ１１＿ｎは、容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFF1_VSS_n}$の一方の電極をノードＤＩＦＦ１または第２電源線Ｌｖｓｓのいずれか一方に選択的に切り替える。

[0130] 容量素子$Cv_{DIFF1_VSS_k}$をノイズキャンセルに使用しない場合、スイッチＳＷ１＿ｋは、容量素子$Cv_{DIFF1_VSS_k}$の他方の電極を第２電源線Ｌｖｓｓに接続し、スイッチＳＷ１１＿ｋは、容量素子$Cv_{DIFF1_VSS_k}$の一方の電極を第２電源線Ｌｖｓｓに接続する。

[0131] 一方、容量素子$Cv_{DIFF1_VSS_k}$をノイズキャンセルに使用する場合、スイッチＳＷ１＿ｋが、容量素子$Cv_{DIFF1_VSS_k}$の他方の電極を第２電源線Ｌｖｓｓに接続したまま、スイッチＳＷ１１＿ｋは、容量素子$Cv_{DIFF1_VSS_k}$の一方の電極をノードＤＩＦＦ１に接続する。これにより、容量素子$Cv_{DIFF1_VSS_k}$は、ノードＤＩＦＦ１と第２電源線Ｌｖｓｓとの間に接続され、ノイズキャンセルに使用される。

[0132] スイッチＳＷ１２＿ｋは、容量素子$Cv_{DIFFVOUT0_VSS_k}$の一方の電極と第２電源線Ｌｖｓｓとの間に接続されている。スイッチＳＷ１２＿ｋは、容量素子$Cv_{DIFFVOUT0_VSS_k}$の一方の電極を出力部ＤＩＦＦ＿ＶＯＵＴ０または第２電源線Ｌｖｓｓのいずれか一方に選択的に切り替える。

[0133] 容量素子$Cv_{DIFFVOUT0_VSS_k}$をノイズキャンセルに使用しない場合、スイッチＳＷ２＿ｋは、容量素子$Cv_{DIFFVOUT0_VSS_k}$の他方の電極を第２電源線Ｌｖｓｓに接続し、スイッチＳＷ１２＿ｋは、容量素子$Cv_{DIFFVOUT0_VSS_k}$の一方の電極を第２電源線Ｌｖｓｓに接続する。

[0134] 一方、容量素子$Cv_{DIFFVOUT0_VSS_k}$をノイズキャンセルに使用する場合、スイッチＳＷ２＿ｋが、容量素子$Cv_{DIFFVOUT0_VSS_k}$の他方の電極を第２電源線Ｌｖｓｓに接続したまま、スイッチＳＷ１２＿ｋは、容量素子$Cv_{DIFFVOUT0_VSS_k}$の一方の電極を出力部ＤＩＦＦ＿ＶＯＵＴ０に接続する。これにより、容量素子$Cv_{DIFFVOUT0_VSS_k}$は、出力部ＤＩＦＦ＿ＶＯＵＴ０と第２電源線Ｌｖｓｓとの間に接続され、ノイズキャンセルに使用される。

[0135] 図１０の例では、スイッチＳＷ１＿１～ＳＷ１＿ｎ、ＳＷ２＿１～ＳＷ２＿ｎを省略して、容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFFVOUT0_VSS_n}$の他方の電極および容量素子$Cv_{DIFF1_VSS_1}$～$Cv_{DIFF1_VSS_n}$の他方の電極を第２電源線Ｌｖｓｓに直接接続してもよい。

[0136] 図１０の例のその他の構成は、図９の例の構成と同じでよい。

[0137] （第７実施形態）

図１１は、第７実施形態によるコンパレータの構成例を示す回路図である

。第７実施形態では、定電流源として機能するトランジスタＭ５が第１電源線Ｌｖｄｄとトランジスタ Ｍ１、Ｍ２のソースとの間に接続されている。カレントミラーとして機能するトランジスタＭ３、Ｍ４が第２電源線Ｌｖｓｓとトランジスタ Ｍ１、Ｍ２のドレインとの間に接続されている。容量素子Ｃｏｕｔおよびトランジスタ Ｍ７も第１電源線Ｌｖｄｄ側に設けられている。

[0138] これに伴い、トランジスタＭ１～Ｍ７の導電型が第１実施形態のそれらの導電型と逆になっている。トランジスタＭ１、Ｍ２、Ｍ５およびＭ７は、Ｐ型ＭＯＳＦＥＴであり、トランジスタＭ３、Ｍ４およびＭ６は、Ｎ型ＭＯＳＦＥＴである。

[0139] また、容量素子Cv_{DIFF1_VSS}は、ノードＤＩＦＦ１と第１電源線Ｌｖｄｄとの間に接続され、$Cv_{DIFFVOUT0_VSS}$は、出力部ＤＩＦＦ＿ＶＯＵＴ０と第１電源線Ｌｖｄｄとの間に接続される。容量素子Ｃｂａｎｄｗは、出力部ＤＩＦＦ＿ＶＯＵＴ０と第２電源線Ｌｖｓｓとの間に接続される。

[0140] 第７実施形態の他の構成は、第１実施形態の構成と同じでよい。

[0141] このような構成では、電源ノイズを第１電源線Ｌｖｄｄから混入するが、本技術の効果は失われない。

[0142] 容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFOUT0_VSS}$のそれぞれの容量を調整することによって、ノードＤＩＦＦ１および出力部ＤＩＦＦ＿ＶＯＵＴ０に混入させるノイズが調整される。ノードＤＩＦＦ１および出力部ＤＩＦＦ＿ＶＯＵＴ０に混入させるノイズを調整することによって、トランジスタＭ６のソース－ゲート間の電圧差Ｖｇｓのノイズをキャンセルすることができる。

[0143] トランジスタＭ６の電圧差Ｖｇｓの変動をほぼゼロにするように、容量素子Cv_{DIFF1_VSS}が第１経路に高周波ノイズ電流を流す。即ち、容量素子$Cv_{DIFFVOUT0_VSS}$に流れる高周波電流と同等の電流を容量素子Cv_{DIFF1_VSS}に流し、カレントミラー回路Ｍ３、Ｍ４が電流をコピーして容量素子$Cv_{DIFFVOUT0_VSS}$に供給する。これにより、差動回路の動作に影響を与えることなく、ノイズ成分がキャンセルされて、トランジスタＭ６の電圧差Ｖｇ

ｓの変動をほぼゼロにすることができる。

[0144] 容量素子Cv_{DIFF1_VSS}および容量素子$Cv_{DIFFVOUT0_VSS}$は基本的にほぼ等しくてよい。しかし、他の寄生容量によるノイズ混入もあり、実際には、容量素子Cv_{DIFF1_VSS}および容量素子$Cv_{DIFFVOUT0_VSS}$の調整が必要となる。例えば、第１入力部ＩＮ＿ＤＡＣ側の周波数特性（周波数－ゲイン特性）および第２入力部ＩＮ＿ＶＳＬ側の周波数特性が等しくなるように容量素子Cv_{DIFF1_VSS}および容量素子$Cv_{DIFFVOUT0_VSS}$を調整する。これにより、ＰＳＲＲが抑制される。

[0145] 容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFOUT0_VSS}$、容量調整部としてのスイッチおよびレジスタの構成は、図５～図１０のいずれの構成であってもよい。ただし、第１電源線Ｌｖｄｄと第２電源線Ｌｖｓｓとは入れ替える必要がある。

[0146] （第８実施形態）

図１２は、第８実施形態によるコンパレータの構成例を示す回路図である。第８実施形態では、容量素子Cv_{DIFF1_VSS}および$Cv_{DIFFOUT0_VSS}$に代えて、容量素子Cv_{SFOUT_VDD}およびCv_{VSL_VDD}が設けられている。

[0147] 容量素子Cv_{SFOUT_VDD}の一方の電極は、容量素子Ｃｉｎ＿ＤＡＣを介してトランジスタＭ１のゲートに接続されている。容量素子Cv_{SFOUT_VDD}の他方の電極は、第１電源線Ｌｖｄｄに接続されている。即ち、容量素子Cv_{SFOUT_VDD}は、差動回路Ｍ１～Ｍ５の入力部ＩＮ＿ＤＡＣ（ランプ信号ＲＭＰの入力）と第１電源線Ｌｖｄｄとの間に接続されている。

[0148] 容量素子Cv_{VSL_VDD}の一方の電極は、容量素子Ｃｉｎ＿ＶＳＬを介して、トランジスタＭ２のゲートに接続されている。容量素子Cv_{VSL_VDD}の他方の電極は、第１電源線Ｌｖｄｄに接続されている。即ち、容量素子Cv_{VSL_VDD}は、差動回路Ｍ１～Ｍ５の入力部ＩＮ＿ＶＳＬ（画素信号の入力）と第１電源線Ｌｖｄｄとの間に接続されている。

[0149] 容量素子Cv_{SFOUT_VDD}およびCv_{VSL_VDD}は、可変容量である。容量素子v_{SFOUT_VDD}は、寄生容量Cp_{SFOUT_VSS}との間で電源電圧ＶＤＤを分圧

し、入力部ＩＮ＿ＤＡＣに混入させるノイズを調整する。寄生容量Cp_{SFOUT_VSS}は、入力部ＩＮ＿ＤＡＣと第２電源線Ｌｖｓｓとの間の寄生容量である。容量素子Cv_{VSL_VDD}は、寄生容量Cp_{VSL_VSS}はとの間で電源電圧ＶＤＤを分圧し、入力部ＩＮ＿ＶＳＬに混入させるノイズを調整する。容量素子Cv_{SFOUT_VDD}およびCv_{VSL_VDD}のそれぞれの容量を調整することによって、入力部ＩＮ＿ＤＡＣ、ＩＮ＿ＶＳＬに混入させるノイズが調整される。入力部ＩＮ＿ＤＡＣ、ＩＮ＿ＶＳＬに混入させるノイズを調整することによって、トランジスタＭ６のソース－ゲート間の電圧差Ｖｇｓのノイズをキャンセルすることができる。

[0150] 例えば、電源電圧ＶＤＤのノイズ（変動）ΔＶＤＤとすると、入力部ＩＮ＿ＤＡＣの振幅は、ΔＶＤＤ×＊（Cv_{SFOUT_VDD}）／（Cv_{SFOUT_VDD}＋Cp_{SFOUT_VSS}）となる。入力部ＩＮ＿ＶＳＬの振幅は、ΔＶＤＤ×（Cp_{VSL_VDD}）／（Cp_{VSL_VDD}＋Cp_{VSL_VSS}）となる。

[0151] 電源電圧変動による入力部ＩＮ＿ＤＡＣとＩＮ＿ＶＳＬの振幅差は、差動対Ｍ１、Ｍ２において差電流に変換され、カレントミラー回路Ｍ３、Ｍ４は、差動対Ｍ１、Ｍ２による差電流を出力部ＤＩＦＦ＿ＶＯＵＴ０に出力する。出力された差電流は、差動回路の出力抵抗と帯域制限容量Ｃｂａｎｄｗにより電圧に変換され、トランジスタＭ６の電圧差Ｖｇｓ変動を発生させる。トランジスタＭ６の電圧差Ｖｇｓの変動をほぼゼロにするように、容量素子Cv_{SFOUT_VDD}およびCv_{VSL_VDD}の大きさを調整し、入力部ＩＮ＿ＤＡＣ、ＩＮ＿ＶＳＬに高周波ノイズ電流を流す。これにより、差動回路の動作に影響を与えることなく、ノイズ成分がキャンセルされて、トランジスタＭ６の電圧差Ｖｇｓの変動をほぼゼロにすることができる。

[0152] 容量素子Cv_{SFOUT_VDD}および容量素子Cv_{VSL_VDD}は基本的にほぼ等しくてよい。しかし、他の寄生容量によるノイズ混入もあり、実際には、容量素子Cv_{SFOUT_VDD}および容量素子Cv_{VSL_VDD}の調整が必要となる。例えば、第１入力部ＩＮ＿ＤＡＣ側の周波数特性（周波数－ゲイン特性）および第２入力部ＩＮ＿ＶＳＬ側の周波数特性が等しくなるように容量素子Cv_{SFO}

$_{UT_VDD}$および容量素子Ｃｖ$_{VSL_VDD}$を調整する。これにより、ＰＳＲＲが抑制される。尚、容量素子Ｃｖ$_{SFOUT_VDD}$を第１入力部ＩＮ＿ＤＡＣに、容量素子ＣｖＶＳＬ＿ＶＤＤを第２入力部ＩＮ＿ＶＳＬに接続した例を示したが、容量素子ＣｖＳＦＯＵＴ＿ＶＤＤをトランジスタＭ１のゲートに、容量素子ＣｖＶＳＬ＿ＶＤＤをトランジスタＭ２のゲートに接続しても同様の効果が得られる。

[0153] 第８実施形態のその他の構成は、第１実施形態と同じでよい。これにより、第８実施形態は、第１実施形態と同じ効果を得ることができる。

[0154] 図１３は、容量素子Ｃｖ$_{SFOUT_VDD}$およびＣｖ$_{VSL_VDD}$の調整部の構成例を示す図である。スイッチＳＷ１およびレジスタＲＧは、第１調整部の一例である。スイッチＳＷ２およびレジスタＲＧは、第２調整部の一例である。スイッチＳＷ１、ＳＷ２およびレジスタＲＧの構成は、第１実施形態のそれらと同じでよい。ただし、スイッチＳＷ１、ＳＷ２の動作が第1実施形態のそれらとは逆になる。

[0155] スイッチＳＷ１は、容量素子Ｃｖ$_{SFOUT_VDD}$の他方の電極と電源線Ｌｖｄｄ、Ｌｖｓｓとの間に接続されている。スイッチＳＷ１は、容量素子Ｃｖ$_{SFOUT_VDD}$の他方の電極を、第１電源線Ｌｖｄｄおよび第２電源線Ｌｖｓｓのいずれか一方に選択的に接続する。スイッチＳＷ１が容量素子Ｃｖ$_{SFOUT_VDD}$の他方の電極を第１電源線Ｌｖｄｄに接続すると、容量素子Ｃｖ$_{SFOUT_VDD}$は、図１２に示す状態になり、ノイズキャンセルに用いられる。一方、スイッチＳＷ１が容量素子Ｃｖ$_{SFOUT_VDD}$の他方の電極を第２電源線Ｌｖｓｓに接続すると、容量素子Ｃｖ$_{SFOUT_VDD}$は、接地電圧ＶＳＳに接続される。この場合、容量素子Ｃｖ$_{SFOUT_VDD}$は、ノイズキャンセルに用いられない。

[0156] スイッチＳＷ２は、容量素子Ｃｖ$_{VSL_VDD}$の他方の電極と電源線Ｌｖｄｄ、Ｌｖｓｓとの間に接続されている。スイッチＳＷ２は、容量素子Ｃｖ$_{VSL_VDD}$の他方の電極を、第１電源線Ｌｖｄｄおよび第２電源線Ｌｖｓｓのいずれか一方に選択的に接続する。スイッチＳＷ２が容量素子Ｃｖ$_{VSL_VDD}$の他方の電極を第１電源線Ｌｖｄｄに接続すると、容量素子Ｃｖ$_{VSL_VDD}$は、図１

２に示す状態になり、ノイズキャンセルに用いられる。一方、スイッチＳＷ２が容量素子Cv_{VSL_VDD}の他方の電極を第２電源線Ｌｖｓｓに接続すると、容量素子Cv_{VSL_VDD}は、接地電圧ＶＳＳに接続される。この場合、容量素子Cv_{VSL_VDD}は、ノイズキャンセルに用いられない。

[0157] このように、スイッチＳＷ１、ＳＷ２は、容量素子Cv_{SFOUT_VDD}、Cv_{VSL_VDD}をノイズキャンセルのために入力部ＩＮ＿ＤＡＣまたはＩＮ＿ＶＳＬに実質的に接続または切断することができる。

[0158] レジスタＲＧは、スイッチＳＷ１、ＳＷ２をそれぞれ個別に切り替える制御信号を記憶する。例えば、レジスタＲＧは、スイッチの個数と同じビット数のデジタル値を制御信号として記憶する。スイッチＳＷ１、ＳＷ２の２つのスイッチが設けられている場合、レジスタＲＧは、スイッチＳＷ１、ＳＷ２のそれぞれに対応する２ビットのデジタル値を制御信号として格納すればよい。例えば、デジタル値が“００”である場合には、スイッチＳＷ１、ＳＷ２は、容量素子Cv_{SFOUT_VDD}、Cv_{VSL_VDD}を第２電源線Ｌｖｓｓに接続する。デジタル値が“１１”である場合には、スイッチＳＷ１，ＳＷ２は、容量素子Cv_{SFOUT_VDD}、Cv_{VSL_VDD}を第１電源線Ｌｖｄｄに接続する。デジタル値が“１０”または “０１”である場合には、スイッチＳＷ１、ＳＷ２は、容量素子Cv_{SFOUT_VDD}、Cv_{VSL_VDD}のいずれか一方を第２電源線Ｌｖｓｓに接続し、他方を第１電源線Ｌｖｄｄに接続する。

[0159] これにより、容量素子Cv_{SFOUT_VDD}、Cv_{VSL_VDD}は、ノイズキャンセルのために入力部ＩＮ＿ＤＡＣまたはＩＮ＿ＶＳＬに実質的に接続され、あるいは、切断される。

[0160] 同様に、図６～図１０の調整部を第８実施形態のコンパレータＣＭ１に適用してもよい。

[0161] （第９実施形態）

図１４は、第９実施形態による容量素子Cv_{SFOUT_VDD}およびCv_{VSL_VDD}の調整部の構成例を示す図である。容量素子Cv_{SFOUT_VDD}は、複数の部分容量素子$Cv_{SFOUT_VDD_1}$～$Cv_{SFOUT_VDD_n}$を備える。

[0162] 複数の部分容量素子$Cv_{SFOUT_VD_1}$～$Cv_{SFOUT_VD_n}$の一方の電極は、入力部ＩＮ＿ＤＡＣに共通に接続されている。複数の部分容量素子$Cv_{SFOUT_VD_1}$～$Cv_{SFOUT_VD_n}$の他方の電極は、それぞれに対応する複数のスイッチＳＷ１＿１～ＳＷ１＿ｎを介して第１電源線Ｌｖｄｄまたは第２電源線Ｌｖｓｓに接続されている。

[0163] 複数のスイッチＳＷ１＿１～ＳＷ１＿ｎの構成は、第２実施形態のそれらの構成と同じでよい。これにより、スイッチＳＷ１＿１～ＳＷ１＿ｎは、入力部ＩＮ＿ＤＡＣと第１電源線Ｌｖｄｄとの間に接続される部分容量素子の数を変更し、容量素子Cv_{SFOUT_VD}の容量を調整することができる。

[0164] また、容量素子Cv_{VSL_VDD}は、複数の部分容量素子$Cv_{VSL_VDD_1}$～$Cv_{VSL_VDD_n}$を備える。

[0165] 複数の部分容量素子$Cv_{VSL_VDD_1}$～$Cv_{VSL_VDD_n}$の一方の電極は、入力部ＩＮ＿ＶＳＬに共通に接続されている。複数の部分容量素子$Cv_{VSL_VDD_1}$～$Cv_{VSL_VDD_n}$の他方の電極は、それぞれに対応する複数のスイッチＳＷ２＿１～ＳＷ２＿ｎを介して第１電源線Ｌｖｄｄまたは第２電源線Ｌｖｓｓに接続されている。

[0166] 複数のスイッチＳＷ２＿１～ＳＷ２＿ｎの構成は、第２実施形態のそれらの構成と同じでよい。これにより、スイッチＳＷ２＿１～ＳＷ２＿ｎは、入力部ＩＮ＿ＶＳＬと第１電源線Ｌｖｄｄとの間に部分容量素子を選択的に接続し、その接続される部分容量素子の数を変更することによって、容量素子$Cv_{VSL_VDD_1}$～$Cv_{VSL_VDD_n}$の容量を調整することができる。

[0167] レジスタＲＧの構成も第２実施形態と同じでよい。ただし、部分容量素子$Cv_{SFOUT_VD_1}$～$Cv_{SFOUT_VD_n}$および部分容量素子$Cv_{VSL_VDD_1}$～$Cv_{VSL_VDD_n}$は、第１電源線Ｌｖｄｄに接続されることによってノイズキャンセルに用いられ、第２電源線Ｌｖｓｓに接続されることによってノイズキャンセルに使用されない。

[0168] 第９実施形態のその他の構成は、第２実施形態と同じである。従って、第９実施形態は、第２実施形態と同様の効果を得ることができる。

[0169] （第１０実施形態）

図１５は、第１０実施形態による容量素子Ｃｖ$_{SFOUT_VDD}$およびＣｖ$_{VSL_VDD}$の調整部の構成例を示す図である。図１５の例では、容量素子Ｃｖ$_{SFOUT_VDD}$の両側にそれぞれスイッチＳＷ１、ＳＷ１１が設けられている。容量素子Ｃｖ$_{VSL_VDD}$の両側にスイッチＳＷ２、ＳＷ１２がそれぞれ設けられている。

[0170] スイッチＳＷ１、ＳＷ１１、ＳＷ２、ＳＷ１２は、図７のそれらの構成と同様でよい。

[0171] スイッチＳＷ１が、容量素子Ｃｖ$_{SFOUT_VDD}$の他方の電極を第１電源線Ｌｖｄｄに接続し、スイッチＳＷ１１が、容量素子Ｃｖ$_{SFOUT_VDD}$の一方の電極を第１電源線Ｌｖｄｄに接続しているときには、容量素子Ｃｖ$_{SFOUT_VDD}$は、ノイズキャンセルに使用されない。

[0172] 一方、スイッチＳＷ１が、容量素子Ｃｖ$_{SFOUT_VDD}$の他方の電極を第１電源線Ｌｖｄｄに接続したまま、スイッチＳＷ１１が、容量素子Ｃｖ$_{SFOUT_VDD}$の一方の電極を入力部ＩＮ＿ＤＡＣに接続すると、容量素子Ｃｖ$_{SFOUT_VDD}$は、入力部ＩＮ＿ＤＡＣと第１電源線Ｌｖｄｄとの間に接続され、ノイズキャンセルに使用される。

[0173] スイッチＳＷ２が、容量素子Ｃｖ$_{VSL_VDD}$の他方の電極を第１電源線Ｌｖｄｄに接続し、スイッチＳＷ１２が、容量素子Ｃｖ$_{VSL_VDD}$の一方の電極を第１電源線Ｌｖｄｄに接続しているときには、容量素子Ｃｖ$_{VSL_VDD}$は、ノイズキャンセルに使用されない。

[0174] 一方、スイッチＳＷ２が、容量素子Ｃｖ$_{VSL_VDD}$の他方の電極を第１電源線に接続したまま、スイッチＳＷ１２が、容量素子Ｃｖ$_{VSL_VDD}$の一方の電極を入力部ＩＮ＿ＶＳＬに接続すると、容量素子Ｃｖ$_{VSL_VDD}$は、入力部ＩＮ＿ＶＳＬと第１電源線Ｌｖｄｄとの間に接続され、ノイズキャンセルに使用される。

[0175] 第１０実施形態のその他の構成は、第３実施形態と同じである。従って、第１０実施形態は、第３実施形態と同様の効果を得ることができる。尚、ス

イッチＳＷ１、ＳＷ２を省略して、容量素子Cv_{SFOUT_VDD}の他方の電極および容量素子Cv_{VSL_VDD}の他方の電極を第１電源線Ｌｖｄｄに直接接続しても良い。

[0176]（第１１実施形態）

図１６は、第１１実施形態による容量素子Cv_{SFOUT_VDD}およびCv_{VSL_VDD}の調整部の構成例を示す図である。図１６の例では、容量素子Cv_{SFOUT_VDD}の両側にそれぞれスイッチＳＷ１、ＳＷ１１が設けられている。容量素子Cv_{VSL_VDD}の両側にスイッチＳＷ２、ＳＷ１２がそれぞれ設けられている。

[0177] スイッチＳＷ１１は、容量素子Cv_{SFOUT_VDD}の一方の電極と第２電源線Ｌｖｓｓとの間に接続されている。スイッチＳＷ１１は、容量素子Cv_{SFOUT_VDD}の一方の電極を入力部ＩＮ＿ＤＡＣまたは第２電源線Ｌｖｓｓのいずれか一方に選択的に切り替える。

[0178] 容量素子Cv_{SFOUT_VDD}をノイズキャンセルに使用しない場合、スイッチＳＷ１は、容量素子Cv_{SFOUT_VDD}の他方の電極を第２電源線Ｌｖｓｓに接続し、スイッチＳＷ１１は、容量素子Cv_{SFOUT_VDD}の一方の電極を第２電源線Ｌｖｓｓに接続する。

[0179] 一方、容量素子Cv_{SFOUT_VDD}をノイズキャンセルに使用する場合、スイッチＳＷ１は、容量素子Cv_{SFOUT_VDD}の他方の電極を第１電源線Ｌｖｄｄに接続し、スイッチＳＷ１１は、容量素子Cv_{SFOUT_VDD}の一方の電極を入力部ＩＮ＿ＤＡＣに接続する。これにより、容量素子Cv_{SFOUT_VDD}は、入力部ＩＮ＿ＤＡＣと第１電源線Ｌｖｄｄとの間に接続され、ノイズキャンセルに使用される。

[0180] スイッチＳＷ１２は、容量素子Cv_{VSL_VDD}の一方の電極と第２電源線Ｌｖｓｓとの間に接続されている。スイッチＳＷ１２は、容量素子Cv_{VSL_VDD}の一方の電極を入力部ＩＮ＿ＶＳＬまたは第２電源線Ｌｖｓｓのいずれか一方に選択的に切り替える。

[0181] 容量素子Cv_{VSL_VDD}をノイズキャンセルに使用しない場合、スイッチＳ

Ｗ２は、容量素子Ｃｖ$_{VSL_VDD}$の他方の電極を第２電源線Ｌｖｓｓに接続し、スイッチＳＷ１２は、容量素子Ｃｖ$_{VSL_VDDS}$の一方の電極を第２電源線Ｌｖｓｓに接続する。

[0182] 一方、容量素子Ｃｖ$_{VSL_VDD}$をノイズキャンセルに使用する場合、スイッチＳＷ２は、容量素子Ｃｖ$_{VSL_VDD}$の他方の電極を第１電源線Ｌｖｄｄに接続し、スイッチＳＷ１２は、容量素子Ｃｖ$_{VSL_VDD}$の一方の電極を入力部ＩＮ＿ＶＳＬに接続する。これにより、容量素子Ｃｖ$_{VSL_VDD}$は、入力部ＩＮ＿ＶＳＬと第１電源線Ｌｖｄｄとの間に接続され、ノイズキャンセルに使用される。

[0183] 第１１実施形態のその他の構成は、第４実施形態と同じである。従って、第１１実施形態は、第４実施形態と同様の効果を得ることができる。

[0184] （第１２実施形態）

図１７は、第１２実施形態による容量素子Ｃｖ$_{SFOUT_VDD}$およびＣｖ$_{VSL_VDD}$の調整部の構成例を示す図である。

[0185] 容量素子Ｃｖ$_{SFOUT_VDD}$は、複数の部分容量素子Ｃｖ$_{SFOUT_VDD_1}$～Ｃｖ$_{SFOUT_VDD_n}$を備え、容量素子Ｃｖ$_{VSL_VDD}$は、複数の部分容量素子Ｃｖ$_{VSL_VDD_1}$～Ｃｖ$_{VSL_VDD_n}$を備える。

[0186] 複数のスイッチＳＷ１＿１～ＳＷ１＿ｎ、ＳＷ２＿１～ＳＷ２＿ｎ、ＳＷ１１＿１～ＳＷ１１＿ｎ、ＳＷ１２＿１～ＳＷ１２＿ｎの構成は、第５実施形態のそれらの構成と同じでよい。

[0187] スイッチＳＷ１＿１～ＳＷ１＿ｎおよびスイッチＳＷ１１＿１～ＳＷ１１＿ｎは、入力部ＩＮ＿ＤＡＣと第１電源線Ｌｖｄｄとの間に接続される部分容量素子の数を変更し、容量素子Ｃ$_{SFOUT_VDD}$の容量を調整することができる。

[0188] 部分容量素子Ｃｖ$_{SFOUT_VDD_k}$をノイズキャンセルに使用しない場合、スイッチＳＷ１＿ｋは、部分容量素子Ｃｖ$_{SFOUT_VDD_k}$の他方の電極を第１電源線Ｌｖｄｄに接続し、スイッチＳＷ１１＿ｋは、部分容量素子Ｃｖ$_{SFOUT_VDD_k}$の一方の電極を第１電源線Ｌｖｄｄに接続する。これにより、部分容量

素子$Cv_{SFOUT_VDD_k}$は、ノイズキャンセルに使用されない。

[0189] 一方、部分容量素子$Cv_{SFOUT_VDD_k}$をノイズキャンセルに使用する場合、スイッチＳＷ１＿ｋは、部分容量素子$Cv_{SFOUT_VDD_k}$の他方の電極を第１電源線Ｌｖｄｄに接続したまま、スイッチＳＷ１１＿ｋは、部分容量素子$Cv_{SFOUT_VDD_k}$の一方の電極を入力部ＩＮ＿ＤＡＣに接続する。これにより、部分容量素子$Cv_{SFOUT_VDD_k}$は、ノイズキャンセルに使用される。

[0190] スイッチＳＷ２＿１～ＳＷ２＿ｎおよびスイッチＳＷ１２＿１～ＳＷ１２＿ｎは、入力部ＩＮ＿ＶＳＬと第１電源線Ｌｖｄｄとの間に接続される部分容量素子の数を変更し、容量素子Cv_{VSL_VDD}の容量を調整することができる。

[0191] 部分容量素子$Cv_{VSL_VDD_k}$をノイズキャンセルに使用しない場合、スイッチＳＷ２＿ｋは、部分容量素子$Cv_{VSL_VDD_k}$の他方の電極を第１電源線Ｌｖｄｄに接続し、スイッチＳＷ１２＿ｋは、部分容量素子$Cv_{VSL_VDD_k}$の一方の電極を第１電源線Ｌｖｄｄに接続する。

[0192] 一方、部分容量素子$Cv_{VSL_VDD_k}$をノイズキャンセルに使用する場合、スイッチＳＷ２＿ｋは、部分容量素子$Cv_{VSL_VDD_k}$の他方の電極を第１電源線Ｌｖｄｄに接続したまま、スイッチＳＷ１２＿ｋは、部分容量素子$Cv_{VSL_VDD_k}$の一方の電極を入力部ＩＮ＿ＶＳＬ
に接続する。これにより、部分容量素子$Cv_{VSL_VDD_k}$は、ノイズキャンセルに使用される。

[0193] 第１２実施形態のその他の構成は、第５実施形態と同じである。従って、第１２実施形態は、第５実施形態と同様の効果を得ることができる。

[0194]（第１３実施形態）

図１８は、第１３実施形態による容量素子Cv_{SFOUT_VDD}およびCv_{VSL_VDD}の調整部の構成例を示す図である。

[0195] 図１８の例では、スイッチＳＷ１１＿１～ＳＷ１１＿ｎは、それぞれ容量素子$Cv_{SFOUT_VDD_1}$～$Cv_{SFOUT_VDD_n}$の一方の電極と第２電源線Ｌｖｓｓとの間に接続されている。スイッチＳＷ１１＿１～ＳＷ１１＿ｎは、容量

素子$Cv_{VSL_VDD_1}$～$Cv_{VSL_VDD_n}$の一方の電極を入力部ＩＮ＿＿ＤＡＣまたは第２電源線Ｌｖｓｓのいずれか一方に選択的に切り替える。

[0196] 容量素子$Cv_{SFOUT_VDD_k}$をノイズキャンセルに使用しない場合、スイッチＳＷ１＿＿ｋは、容量素子$Cv_{SFOUT_VDD_k}$の他方の電極を第２電源線Ｌｖｓｓに接続し、スイッチＳＷ１１＿＿ｋは、容量素子$Cv_{SFOUT_VDD_k}$の一方の電極を第２電源線Ｌｖｓｓに接続する。

[0197] 一方、容量素子$Cv_{SFOUT_VDD_k}$をノイズキャンセルに使用する場合、スイッチＳＷ１＿＿ｋは、容量素子$Cv_{SFOUT_VDD_k}$の他方の電極を第１電源線Ｌｖｄｄに接続し、スイッチＳＷ１１＿＿ｋは、容量素子$Cv_{SFOUT_VDD_k}$の一方の電極を入力部ＩＮ＿＿ＤＡＣに接続する。これにより、容量素子$Cv_{SFOUT_VDD_k}$は、ノイズキャンセルに使用される。

[0198] スイッチＳＷ１２＿＿ｋは、容量素子$Cv_{VSL_VDD_k}$の一方の電極と第２電源線Ｌｖｓｓとの間に接続されている。スイッチＳＷ１２＿＿ｋは、容量素子$Cv_{VSL_VDD_k}$の一方の電極を入力部ＩＮ＿＿ＶＳＬまたは第２電源線Ｌｖｓｓのいずれか一方に選択的に切り替える。

[0199] 容量素子$Cv_{VSL_VDD_k}$をノイズキャンセルに使用しない場合、スイッチＳＷ２＿＿ｋは、容量素子$Cv_{VSL_VDD_k}$の他方の電極を第２電源線Ｌｖｓｓに接続し、スイッチＳＷ１２＿＿ｋは、容量素子$Cv_{VSL_VDD_k}$の一方の電極を第２電源線Ｌｖｓｓに接続する。

[0200] 一方、容量素子$Cv_{VSL_VDD_k}$をノイズキャンセルに使用する場合、スイッチＳＷ２＿＿ｋが、容量素子$Cv_{VSL_VDD_k}$の他方の電極を第１電源線Ｌｖｄｄに接続し、スイッチＳＷ１２＿＿ｋは、容量素子$Cv_{VSL_VDD_k}$の一方の電極を入力部ＩＮ＿＿ＶＳＬに接続する。これにより、容量素子$Cv_{VSL_VDD_k}$は、ノイズキャンセルに使用される。

[0201] 第１３実施形態のその他の構成は、第６実施形態と同じである。従って、第１３実施形態は、第６実施形態と同様の効果を得ることができる。

[0202] （第１４実施形態）

図１９は、第１４実施形態によるコンパレータの構成例を示す回路図であ

る。

[0203] 第１４実施形態は、第７実施形態の差動回路に、第８実施形態の容量素子Cv_{SFOUT_VDD}およびCv_{VSL_VDD}を適用した例である。差動回路Ｍ１～Ｍ５およびトランジスタＭ６，Ｍ７の構成および動作は、第７実施形態のそれらと同じでよい。容量素子Cv_{SFOUT_VDD}およびCv_{VSL_VDD}の構成および動作は、第８実施形態のそれらと同じでよい。

[0204] また、容量素子Cv_{SFOUT_VDD}およびCv_{VSL_VDD}の構成は、図１３～図１８のいずれの構成であってもよい。

[0205] 第１４実施形態のその他の構成は、第７または第８実施形態の構成と同じでよい。従って、第１４実施形態は、第７または第８実施形態の効果を得ることができる。

[0206]（第１５実施形態）

図２０は、第１５実施形態による容量素子の構成例を示す回路図である。

[0207] 容量素子Ｃｂａｎｄｗは、複数の部分容量素子Ｃｂａｎｄｗ０、Ｃｂａｎｄｗ１と、トランジスタＭ１１～Ｍ１４とを含む。

[0208] 部分容量素子Ｃｂａｎｄｗ０の一端は、第１電源線Ｌｖｄｄに接続されている。部分容量素子Ｃｂａｎｄｗ０の他端は、トランジスタＭ１１を介して第１電源線Ｌｖｄｄに接続され、トランジスタＭ１２を介して出力部ＤＩＦＦ＿ＶＯＵＴ０に接続されている。

[0209] 部分容量素子Ｃｂａｎｄｗ１の一端は、第１電源線Ｌｖｄｄに接続されている。部分容量素子Ｃｂａｎｄｗ１の他端は、トランジスタＭ１３を介して第１電源線Ｌｖｄｄに接続され、トランジスタＭ１４を介して出力部ＤＩＦＦ＿ＶＯＵＴ０に接続されている。

[0210] トランジスタＭ１１は、第１電源線Ｌｖｄｄと部分容量素子Ｃｂａｎｄｗ０の他端に接続されている。トランジスタＭ１２は、出力部ＤＩＦＦ＿ＶＯＵＴ０と部分容量素子Ｃｂａｎｄｗ０の他端に接続されている。トランジスタＭ１３は、第１電源線Ｌｖｄｄと部分容量素子Ｃｂａｎｄｗ１の他端に接続されている。トランジスタＭ１４は、出力部ＤＩＦＦ＿ＶＯＵＴ０と部分

容量素子Ｃｂａｎｄｗ１の他端に接続されている。トランジスタＭ１１、Ｍ１２は、逆論理の制御信号ＳＷ１、ＸＳＷ１をゲートで受けて互いに相補的にオン／オフ制御される。トランジスタＭ１３、Ｍ１４は、逆論理の制御信号ＳＷ２、ＸＳＷ２をゲートで受けて互いに相補的にオン／オフ制御される。トランジスタＭ１１～Ｍ１４は、例えば、Ｐ型ＭＯＳＦＥＴで構成されている。

[0211] 制御信号ＳＷ１、ＸＳＷ１がそれぞれ論理ハイ、論理ロウであるとき、部分容量素子Ｃｂａｎｄｗ０が第１電源線Ｌｖｄｄと出力部ＤＩＦＦ＿ＶＯＵＴ０との間に接続され、容量素子Ｃｂａｎｄｗの容量が増大する。

[0212] 制御信号ＳＷ１、ＸＳＷ１がそれぞれ論理ロウ、論理ハイであるとき、部分容量素子Ｃｂａｎｄｗ０の両端が第１電源線Ｌｖｄｄに接続される。よって、部分容量素子Ｃｂａｎｄｗ０は容量素子Ｃｂａｎｄｗに付加されない。

[0213] 制御信号ＳＷ２、ＸＳＷ２がそれぞれ論理ハイ、論理ロウであるとき、部分容量素子Ｃｂａｎｄｗ１が第１電源線Ｌｖｄｄと出力部ＤＩＦＦ＿ＶＯＵＴ０との間に接続され、容量素子Ｃｂａｎｄｗの容量が増大する。

[0214] 制御信号ＳＷ２、ＸＳＷ２がそれぞれ論理ロウ、論理ハイであるとき、部分容量素子Ｃｂａｎｄｗ１の両端が第１電源線Ｌｖｄｄに接続される。よって、部分容量素子Ｃｂａｎｄｗ１は容量素子Ｃｂａｎｄｗに付加されない。

[0215] このように、容量素子Ｃｂａｎｄｗを可変容量として調整することができる。尚、容量素子Ｃｂａｎｄｗに含まれる部分容量素子の数は限定せず、３以上であってもよい。

[0216] （第１６実施形態）

図２１は、第１６実施形態による容量素子の構成例を示す回路図である。

[0217] 第１５実施形態において、トランジスタＭ１２、Ｍ１４がともにオンになると、部分容量素子Ｃｂａｎｄｗ０、Ｃｂａｎｄｗ１が容量素子Ｃｂａｎｄｗに付加される。この場合、トランジスタＭ１２、Ｍ１４のゲートは第２電源線Ｌｖｓｓに接続されるので、図４の容量素子$Cv_{DIFFOUT0_VSS}$が大きくなったように見える。

[0218] このように、容量素子Ｃｂａｎｄｗの可変化によって、容量素子$Cv_{DIFFOUT0_VSS}$が見かけ上変化することを抑制するために、第１６実施形態では、ノードＤＩＦＦ１にトランジスタＭ１５、Ｍ１６を接続する。

[0219] トランジスタＭ１５、Ｍ１６は、トランジスタＭ１２、Ｍ１４と同じサイズのＰ型ＭＯＳＦＥＴである。トランジスタＭ１５、Ｍ１６のソースおよびドレインは、ノードＤＩＦＦ１に接続されている。トランジスタＭ１５、Ｍ１６のゲートは、それぞれトランジスタＭ１２，Ｍ１４のゲートと同様に、制御信号ＸＳＷ１、ＸＳＷ２をそれぞれ受ける。

[0220] これにより、トランジスタＭ１２、Ｍ１４がオンになることによって、出力部ＤＩＦＦ＿ＶＯＵＴ０に付加される容量成分を、トランジスタＭ１５、Ｍ１６がノードＤＩＦＦ１にも付加することができる。その結果、トランジスタＭ１２、Ｍ１４のオン／オフによる容量素子$Cv_{DIFFOUT0_VSS}$の見かけ上の容量の変化を抑制することができる。

[0221] （移動体への応用例）

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0222] 図２２は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0223] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図２２に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（Interface）１２

０５３が図示されている。

[0224] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0225] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0226] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0227] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0228] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0229] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0230] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0231] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０３０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0232] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少

なくとも一方の出力信号を送信する。図２２の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0233] 図２３は、撮像部１２０３１の設置位置の例を示す図である。

[0234] 図２３では、撮像部１２０３１として、撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５を有する。

[0235] 撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２、１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0236] なお、図２３には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0237] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得

する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0238] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0239] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0240] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか

否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0241] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部１２０３１等）に適用され得る。

[0242] （第１７実施形態）

図２４は、第１７実施形態による容量素子の構成例を示す回路図である。第１７実施形態は、容量素子Cv_{SFOUT_VDD}が第１電源線Ｌｖｄｄと第１入力部ＩＮ＿ＤＡＣ（トランジスタＭ１のゲート）との間に接続されており、容量素子Cv_{VSL_VDD}が第１電源線Ｌｖｄｄと第２入力部ＩＮ＿ＶＳＬ（トランジスタＭ２のゲート）との間に接続されている。第１７実施形態のその他の構成は、第８実施形態の構成と同じでよい。

[0243] このように、第１電源線Ｌｖｄｄと第１入力部ＩＮ＿ＤＡＣとの間の容量、および／または、第１電源線Ｌｖｄｄと第２入力部ＩＮ＿ＶＳＬとの間の容量を調整しても、ノイズをキャンセルすることができる。従って、第１７実施形態は、第８実施形態と同様の効果を得ることができる。

[0244] （第１８実施形態）

図２５は、第１８実施形態による容量素子の構成例を示す回路図である。第１８実施形態は、容量素子Cv_{SFOUT_VDD}が第１電源線Ｌｖｄｄと第１入力部ＩＮ＿ＤＡＣ（トランジスタＭ１のゲート）との間に接続されており、

容量素子Cv_{VSL_VDD}が第１電源線Ｌｖｄｄと第２入力部ＩＮ＿ＶＳＬ（トランジスタＭ２のゲート）との間に接続されている。第１８実施形態のその他の構成は、第１４実施形態の構成と同じでよい。

[0245] このように、第１電源線Ｌｖｄｄと第１入力部ＩＮ＿ＤＡＣとの間の容量、および／または、第１電源線Ｌｖｄｄと第２入力部ＩＮ＿ＶＳＬとの間の容量を調整しても、ノイズをキャンセルすることができる。従って、第１８実施形態は、第１４実施形態と同様の効果を得ることができる。

[0246]（第１９実施形態）

図２６は、第１９実施形態による容量素子の構成例を示す回路図である。第１９実施形態は、容量素子Cv_{SFOUT_VSS}が第２電源線Ｌｖｓｓと第１入力部ＩＮ＿ＤＡＣ（ランプ信号ＲＭＰの入力）との間に接続されており、容量素子Cv_{VSL_VSS}が第２電源線Ｌｖｓｓと第２入力部ＩＮ＿ＶＳＬ（画素信号の入力）との間に接続されている。第１９実施形態のその他の構成は、第８実施形態の構成と同じでよい。

[0247] このように、第２電源線Ｌｖｓｓと入力部ＩＮ＿ＤＡＣとの間の容量、および／または、第２電源線Ｌｖｓｓと第２入力部ＩＮ＿ＶＳＬとの間の容量を調整しても、ノイズをキャンセルすることができる。従って、第１９実施形態は、第８実施形態と同様の効果を得ることができる。

[0248]（第２０実施形態）

図２７は、第２０実施形態による容量素子の構成例を示す回路図である。第２０実施形態は、容量素子Cv_{SFOUT_VSS}が第２電源線Ｌｖｓｓと第１入力部ＩＮ＿ＤＡＣ（トランジスタＭ１のゲート）との間に接続されており、容量素子Cv_{VSL_VSS}が第２電源線Ｌｖｓｓと第２入力部ＩＮ＿ＶＳＬ（トランジスタＭ２のゲート）との間に接続されている。第２０実施形態のその他の構成は、第８実施形態の構成と同じでよい。

[0249] このように、第２電源線Ｌｖｓｓと入力部ＩＮ＿ＤＡＣとの間の容量、および／または、第２電源線Ｌｖｓｓと第２入力部ＩＮ＿ＶＳＬとの間の容量を調整しても、ノイズをキャンセルすることができる。従って、第２０実施

形態は、第８実施形態と同様の効果を得ることができる。

[0250]（第２１実施形態）

図２８は、第２１実施形態による容量素子の構成例を示す回路図である。第２１実施形態は、容量素子Cv_{SFOUT_VSS}が第２電源線Ｌｖｓｓと第１入力部ＩＮ＿ＤＡＣ（ランプ信号ＲＭＰの入力）との間に接続されており、容量素子Cv_{VSL_VSS}が第２電源線Ｌｖｓｓと第２入力部ＩＮ＿ＶＳＬ（画素信号の入力）との間に接続されている。第２１実施形態のその他の構成は、第１４実施形態の構成と同じでよい。

[0251] このように、第２電源線Ｌｖｓｓと入力部ＩＮ＿ＤＡＣとの間の容量、および／または、第２電源線Ｌｖｓｓと第２入力部ＩＮ＿ＶＳＬとの間の容量を調整しても、ノイズをキャンセルすることができる。従って、第２１実施形態は、第１４実施形態と同様の効果を得ることができる。

[0252]（第２２実施形態）

図２９は、第２２実施形態による容量素子の構成例を示す回路図である。第２２実施形態は、容量素子Cv_{SFOUT_VSS}が第２電源線Ｌｖｓｓと第１入力部ＩＮ＿ＤＡＣ（トランジスタＭ１のゲート）との間に接続されており、容量素子Cv_{VSL_VSS}が第２電源線Ｌｖｓｓと第２入力部ＩＮ＿ＶＳＬ（トランジスタＭ２のゲート）との間に接続されている。第２２実施形態のその他の構成は、第１４実施形態の構成と同じでよい。

[0253] このように、第２電源線Ｌｖｓｓと入力部ＩＮ＿ＤＡＣとの間の容量、および／または、第２電源線Ｌｖｓｓと第２入力部ＩＮ＿ＶＳＬとの間の容量を調整しても、ノイズをキャンセルすることができる。従って、第２２実施形態は、第１４実施形態と同様の効果を得ることができる。

[0254]（第２３実施形態）

図３０は、第２３実施形態による容量素子の構成例を示す回路図である。第２３実施形態は、入力部ＤＩＦＦ＿ＤＡＣ（トランジスタＭ１のゲート）にランプ信号ＲＭＰと垂直信号線ＶＳＬからの画素信号との差分電圧に応じた差分信号を入力する。第２入力部ＩＮ＿ＲＥＦには参照電圧ＶＲＥＦに応

じた参照信号が入力される。差動回路Ｍ１～Ｍ５は、差分信号を参照信号と比較する。差動回路Ｍ１～Ｍ５は、差分信号が参照信号と交差したときに出力ＤＩＦＦ＿ＶＯＵＴ０の論理を反転させる。

[0255] 容量素子Ｃｉｎ＿ＶＳＬは、垂直信号線ＶＳＬとトランジスタＭ１のゲートとの間に接続されている。画素信号は、入力部ＩＮ＿ＶＳＬに入力され、容量素子Ｃｉｎ＿ＶＳＬを介してトランジスタＭ１のゲートに入力される。このとき、ランプ信号ＲＭＰは、入力部ＩＮ＿ＤＡＣに入力され、容量素子Ｃｉｎ＿ＤＡＣを介してトランジスタＭ１のゲートに入力される。これにより、ランプ信号ＲＭＰと画素信号との差分電圧に応じた差分信号が入力部ＤＩＦＦ＿ＤＡＣへ入力される。

[0256] 容量素子Ｃｉｎ＿ＲＥＦは、システム制御部２５とトランジスタＭ２のゲートとの間に接続されている。参照電圧ＶＲＥＦは、容量素子Ｃｉｎ＿ＲＥＦを介して第２入力部ＩＮ＿ＲＥＦへ入力される。

[0257] 差動回路Ｍ１～Ｍ５は、例えば、差分信号が参照信号よりも小さくなったときに出力ＤＩＦＦ＿ＶＯＵＴ０の論理を反転させる。参照信号をゼロに近づけることによって、差分信号がゼロに近くなったときに、差動回路Ｍ１～Ｍ５は、出力ＤＩＦＦ＿ＶＯＵＴ０の論理を反転させることができる。

[0258] 第２３実施形態のその他の構成は、第７実施形態と同様でよい。よって、第２３実施形態は、第７実施形態と同様の効果を得ることができる。

[0259] （第２４実施形態）

図３１は、第２４実施形態による容量素子の構成例を示す回路図である。第２４実施形態は、第２３実施形態の差動回路に、２つの容量素子Cv_{SFOUT_VDD}および１つの容量素子Cv_{VSL_VDD}を適用した例である。一方の容量素子Cv_{SFOUT_VDD}は、第１電源線Ｌｖｄｄと入力部ＩＮ＿ＤＡＣ（ランプ信号ＲＭＰの入力）との間に接続されている。他方の容量素子Cv_{SFOUT_VDD}は、第１電源線Ｌｖｄｄと画素信号の入力部ＩＮ＿ＶＳＬ（垂直信号線ＶＳＬと容量素子Ｃｉｎ＿ＶＳＬとの間のノード）との間に接続されている。入力部ＩＮ＿ＤＡＣ＿ＶＳＬには、ランプ信号ＲＭＰと画素信号との差分電圧

に応じた差分信号が入力される。従って、ノイズをキャンセルするために、ＤＡＣ回路１００側の入力部ＩＮ＿ＤＡＣに接続された容量素子Cv_{SFOUT_VDD}および垂直信号線ＶＳＬ側の入力部ＩＮ＿ＶＳＬに接続された容量素子Cv_{SFOUT_VDD}のそれぞれを調整してもよい。

[0260] 容量素子Cv_{REF_VDD}は、第１電源線Ｌｖｄｄと参照電圧ＶＲＥＦの入力部との間に接続されている。

[0261] 第２４実施形態のその他の構成は、第２３実施形態の構成と同じでよい。従って、第２４実施形態は、第２３実施形態と同様の効果を得ることができる。

[0262] （第２５実施形態）

図３２は、第２５実施形態による容量素子の構成例を示す回路図である。第２５実施形態では、容量素子Cv_{SFOUT_VDD}が１つであり、第１電源線Ｌｖｄｄとトランジスタ Ｍ１のゲートとの間に接続に接続されている。また、容量素子Cv_{REF_VDD}が第１電源線Ｌｖｄｄとトランジスタ Ｍ２のゲートとの間に接続されている。第２５実施形態のその他の構成は、第２３実施形態の構成と同じでよい。第２５実施形態は、このような構成であっても、第２３実施形態と同様の効果を得ることができる。

[0263] （第２６実施形態）

図３３は、第２６実施形態による容量素子の構成例を示す回路図である。第２６実施形態は、第２５実施形態の容量素子Cv_{SFOUT_VDD}、Cv_{REF_VDD}に代えて、第２電源線Ｌｖｓｓに接続された容量素子Cv_{SFOUT_VSS}およびCv_{REF_VSS}を適用した例である。容量素子Cv_{SFOUT_VSS}は、第２電源線Ｌｖｓｓとトランジスタ Ｍ１のゲートとの間に接続に接続されている。容量素子Cv_{REF_VSS}は、第２電源線Ｌｖｓｓとトランジスタ Ｍ２のゲートとの間に接続に接続されている。第２６実施形態のその他の構成は、第２５実施形態の構成と同じでよい。従って、第２６実施形態は、このような構成であっても、第２５実施形態と同様の効果を得ることができる。

[0264] （第２７実施形態）

図３４は、第２７実施形態による容量素子の構成例を示す回路図である。第２７実施形態は、第２４実施形態の２つの容量素子Cv_{SFOUT_VDD}および１つの容量素子Cv_{REF_VDD}に代えて、２つの容量素子Cv_{SFOUT_VSS}および１つの容量素子Cv_{REF_VSS}を適用した例である。一方の容量素子Cv_{SFOUT_VSS}は、第２電源線Ｌｖｓｓとランプ信号ＲＭＰの入力部ＩＮ＿ＤＡＣとの間に接続されている。他方の容量素子Cv_{SFOUT_VDD}は、第２電源線Ｌｖｓｓと画素信号の入力部ＩＮ＿ＶＳＬとの間に接続されている。入力部ＤＩＦＦ＿ＤＡＣには、ランプ信号ＲＭＰと画素信号との差分電圧に応じた差分信号が入力される。従って、ノイズをキャンセルするために、ＤＡＣ回路１００側の入力部ＩＮ＿ＤＡＣに接続された容量素子Cv_{SFOUT_VSS}および垂直信号線ＶＳＬ側の入力部ＩＮ＿ＶＳＬに接続された容量素子Cv_{REF_VSS}のそれぞれを調整してもよい。

[0265] 容量素子Cv_{REF_VSS}は、第２電源線Ｌｖｓｓと参照電圧ＶＲＥＦの入力部との間に接続されている。

[0266] 第２７実施形態のその他の構成は、第２４実施形態の構成と同じでよい。第２４実施形態は、このような構成であっても、第２４実施形態と同様の効果を得ることができる。

[0267]（変形例）

図４、図１１、図１２、図１９、図２４～図３４において、容量素子Ｃｉｎ＿ＤＡＣは省略可能である。この場合、ノイズをキャンセルするための容量素子Cv_{SFOUT_VDD}またはCv_{SFOUT_VSS}の容量値の設定は変わる。しかし、容量素子Cv_{SFOUT_VDD}またはCv_{SFOUT_VSS}の容量値を適切に設定すれば、本開示の効果は得ることができる。

[0268]（第２８実施形態）

図３５は、第２８実施形態による容量素子の構成例を示す回路図である。第２８実施形態は、シングル型アンプであり、トランジスタＭ１、Ｍ５の１つの第１経路Ｐ１で構成されている。トランジスタＭ２～Ｍ４、即ち、第２経路Ｐ２は省略されている。

[0269] 入力部ＤＩＦＦ＿ＤＡＣ側の構成は、図３３または図３４の構成と同じでよい。即ち、容量素子Ｃｉｎ＿ＤＡＣがトランジスタＭ１のゲートと入力部ＩＮ＿ＤＡＣとの間に接続されている。容量素子Ｃｉｎ＿ＶＳＬがトランジスタＭ１のゲートと入力部ＩＮ＿ＶＳＬとの間に接続されている。これにより、第１入力部ＤＩＦＦ＿ＤＡＣ（トランジスタＭ１のゲート）にランプ信号ＲＭＰと垂直信号線ＶＳＬからの画素信号との差分電圧に応じた差分信号が入力される。

[0270] 容量素子Cv_{SFOUT_VSS1}は、トランジスタＭ１のゲートと第２電源線Ｌｖｓｓとの間に接続されている。２つの容量素子Cv_{SFOUT_VSS2}の一方は、入力部ＩＮ＿ＤＡＣと第２電源線Ｌｖｓｓとの間に接続されている。２つの容量素子Cv_{SFOUT_VSS2}の他方は、入力部ＩＮ＿ＶＳＬと第２電源線Ｌｖｓｓとの間に接続されている。容量素子Cv_{SFOUT_VSS1}および２つの容量素子Cv_{SFOUT_VSS2}は、両方設けられていてもよいが、容量素子Cv_{SFOUT_VSS1}または２つの容量素子Cv_{SFOUT_VSS2}のいずれか一方のみ設けられてもよい。容量素子Cv_{SFOUT_VSS1}が設けられた場合、入力部ＤＩＦＦ＿ＤＡＣ側の構成は、図３３と同様の構成となる。容量素子Cv_{SFOUT_VSS2}が設けられた場合、入力部ＤＩＦＦ＿ＤＡＣ側の構成は、図３４と同様の構成となる。

[0271] 一方、出力部ＤＩＦＦ＿ＶＯＵＴ０は、トランジスタＭ１とトランジスタＭ５との間の第１経路Ｐ１に接続されている。また、出力部ＤＩＦＦ＿ＶＯＵＴ０は、トランジスタＭ６のゲートに接続されている。トランジスタＭ６、Ｍ７および容量素子Ｃｏｕｔの構成は、他の実施形態のそれらと同じでよい。これにより、出力部ＤＩＦＦ＿ＶＯＵＴ０の電圧は、差分信号に基づいた増幅信号となり、トランジスタＭ６を介してその増幅信号に応じた出力信号ＣＭｏｕｔとして出力される。

[0272] 容量素子Ｃｂａｎｄｗは、出力部ＤＩＦＦ＿ＶＯＵＴ０と第２電源線Ｌｖｓｓとの間に接続されている。

[0273] 容量素子$Cv_{DIFFOUT0_VDD}$は、第１電源線Ｌｖｄｄとトランジスタ Ｍ６のゲートとの間に接続されている。

[0274] 第２８実施形態では、容量素子Cv_{SFOUT_VSS1}、Cv_{SFOUT_VSS2}および／または$Cv_{DIFFOUT0_VDD}$の調整により、電源ノイズをキャンセルすることができる。

[0275] （第２９実施形態）

図３６は、第２９実施形態による容量素子の構成例を示す回路図である。第２９実施形態は、入力側の容量素子Cv_{SFOUT_VSS1}、Cv_{SFOUT_VSS2}に代えて、第１電源線Ｌｖｄｄに接続された容量素子Cv_{SFOUT_VDD1}、Cv_{SFOUT_VDD2}が設けられている。容量素子Cv_{SFOUT_VDD1}は、トランジスタＭ１のゲートと第１電源線Ｌｖｄｄとの間に接続されている。２つの容量素子Cv_{SFOUT_VDD2}の一方は、入力部ＩＮ＿ＤＡＣと第１電源線Ｌｖｄｄとの間に接続されている。２つの容量素子Cv_{SFOUT_VDD2}の他方は、入力部ＩＮ＿ＶＳＬと第１電源線Ｌｖｄｄとの間に接続されている。容量素子Cv_{SFOUT_VDD1}および２つの容量素子Cv_{SFOUT_VDD2}は、両方設けられていてもよいが、容量素子Cv_{SFOUT_VDD1}または２つの容量素子Cv_{SFOUT_VDD2}のいずれか一方のみ設けられてもよい。容量素子Cv_{SFOUT_VDD1}が設けられた場合、入力側の構成は、図３２と同様の構成となる。２つの容量素子Cv_{SFOUT_VSS2}が設けられた場合、入力側の構成は、図３１と同様の構成となる。

[0276] 一方、出力側の構成は、第２８実施形態と同じでよい。

[0277] 第２９実施形態では、容量素子Cv_{SFOUT_VDD1}、Cv_{SFOUT_VDD2}および／または$Cv_{DIFFOUT0_VDD}$の調整により、電源ノイズをキャンセルすることができる。

[0278] （第３０実施形態）

図３７は、第３０実施形態による容量素子の構成例を示す回路図である。第３０実施形態は、シングル型アンプであるが、トランジスタＭ１、Ｍ５の位置関係および導電型が第２８実施形態と異なる。トランジスタＭ６、Ｍ７の位置関係および導電型も第２８実施形態と異なる。トランジスタＭ１は、第１電源線Ｌｖｄｄとトランジスタ Ｍ５のドレインとの間に接続されている。トランジスタＭ１は、Ｐ型ＭＯＳＦＥＴである。トランジスタＭ５は、第

２電源線Ｌｖｓｓとトランジスタ Ｍ１のドレインとの間に接続されている。トランジスタＭ５は、Ｎ型ＭＯＳＦＥＴである。トランジスタＭ６は、第１電源線Ｌｖｄｄとトランジスタ Ｍ７のドレインとの間に接続されている。トランジスタＭ６は、Ｐ型ＭＯＳＦＥＴである。トランジスタＭ７は、第２電源線ＬｖｓｓとトランジスタＭ６のドレインとの間に接続されている。トランジスタＭ７は、Ｎ型ＭＯＳＦＥＴである。

[0279] 入力部ＤＩＦＦ＿ＤＡＣ側の構成は、図３６の構成と同じでよい。即ち、容量素子Cv_{SFOUT_VDD1}は、トランジスタＭ１のゲートと第１電源線Ｌｖｄｄとの間に接続されている。２つの容量素子Cv_{SFOUT_VDD2}の一方は、入力部ＩＮ＿ＤＡＣと第１電源線Ｌｖｄｄとの間に接続されている。２つの容量素子Cv_{SFOUT_VDD2}の他方は、入力部ＩＮ＿ＶＳＬと第１電源線Ｌｖｄｄとの間に接続されている。容量素子Cv_{SFOUT_VDD1}および２つの容量素子Cv_{SFOUT_VDD2}は、両方設けられていてもよいが、容量素子Cv_{SFOUT_VDD1}または２つの容量素子Cv_{SFOUT_VDD2}のいずれか一方のみ設けられてもよい。

[0280] 一方、出力部ＤＩＦＦ＿ＶＯＵＴ０側において、容量素子Ｃｂａｎｄｗは、出力部ＤＩＦＦ＿ＶＯＵＴ０と第１電源線Ｌｖｄｄとの間に接続されている。

[0281] 容量素子$Cv_{DIFFOUT0_VSS}$は、第２電源線Ｌｖｓｓとトランジスタ Ｍ６のゲートとの間に接続されている。

[0282] 第３０実施形態では、容量素子Cv_{SFOUT_VDD1}、Cv_{SFOUT_VDD2}および／または$Cv_{DIFFOUT0_VSS}$の調整により、電源ノイズをキャンセルすることができる。

[0283] （第３１実施形態）

図３８は、第３１実施形態による容量素子の構成例を示す回路図である。第３１実施形態は、入力側の容量素子Cv_{SFOUT_VDD1}、Cv_{SFOUT_VDD2}に代えて、第２電源線Ｌｖｄｄに接続された容量素子Cv_{SFOUT_VSS1}、Cv_{SFOUT_VSS2}が設けられている。容量素子Cv_{SFOUT_VSS1}は、トランジスタＭ１のゲートと第２電源線Ｌｖｓｓとの間に接続されている。２つの容量素

子Cv_{SFOUT_VSS2}の一方は、入力部ＩＮ＿ＤＡＣと第２電源線Ｌｖｓｓとの間に接続されている。２つの容量素子Cv_{SFOUT_VSS2}の他方は、入力部ＩＮ＿ＶＳＬと第２電源線Ｌｖｓｓとの間に接続されている。容量素子Cv_{SFOUT_VSS1}および２つの容量素子Cv_{SFOUT_VSS2}は、両方設けられていてもよいが、容量素子Cv_{SFOUT_VSS1}または２つの容量素子Cv_{SFOUT_VSS2}のいずれか一方のみ設けられてもよい。

[0284] 一方、出力側の構成は、第３０実施形態と同じでよい。

[0285] 第３１実施形態では、容量素子Cv_{SFOUT_VSS1}、Cv_{SFOUT_VSS2}および／または$Cv_{DIFFOUT0_VSS}$の調整により、電源ノイズをキャンセルすることができる。

[0286] なお、本技術は、以下のような構成をとることができる。

[0287] （１）

第１電源電圧を伝達する第１電源線と、

前記第１電源電圧と異なる第２電源電圧を伝達する第２電源線と、

光を画素信号に光電変換する画素からの前記画素信号と比較される参照信号を入力する第１入力部と、

前記画素信号を入力する第２入力部と、

前記第１入力部の電圧と前記第２入力部の電圧との大小関係に応じた電圧状態となる第１および第２経路、および、前記第２経路に接続された出力部を含み、前記第１入力部の電圧と前記第２入力部の電圧とに基づいて前記出力部からの出力信号を論理反転させる比較回路と、

前記第１電源線と前記第１入力部あるいは前記第１経路との間、または、前記第２電源線と前記第１入力部あるいは前記第１経路との間に設けられた第１容量素子、および、前記第１電源線と前記第２入力部あるいは前記第２経路との間、または、前記第２電源線と前記第２入力部あるいは前記第２経路との間に設けられた第２容量素子の少なくとも一方と、

前記第１容量素子の容量を調整可能な第１調整部、および、前記第２容量素子の容量を調整可能な第２調整部の少なくとも一方と、を備える撮像装置

。

[0288] （２）

前記第１容量素子の容量と前記第２容量素子の容量はほぼ等しい、（１）に記載の撮像装置。

[0289] （３）

前記第１電源線と前記出力部との間に設けられた第３容量素子をさらに備える、（１）または（２）に記載の撮像装置。

[0290] （４）

前記第１容量素子は、複数の第１部分容量素子で構成され、

前記複数の第１部分容量素子の第１電極は前記第１入力部または前記第１経路のいずれか一方に共通に接続されており、

前記複数の第１部分容量素子の第２電極は、前記第１調整部を介してそれぞれ前記第１または第２電源線に選択的に接続されている、（１）から（３）のいずれか一項に記載の撮像装置。

[0291] （５）

前記第２容量素子は、複数の第２部分容量素子で構成され、

前記複数の第２部分容量素子の第３電極は前記第２入力部または前記第２経路のいずれか一方に共通に接続されており、

前記複数の第２部分容量素子の第４電極は、前記第２調整部を介してそれぞれ前記第１または第２電源線に選択的に接続されている、（１）から（４）のいずれか一項に記載の撮像装置。

[0292] （６）

前記第１調整部は、前記第１容量素子と前記第１および第２電源線との間に接続され、前記第１容量素子を前記第１または第２電源線のいずれか一方に選択的に接続する第１スイッチを含む、（１）から（５）のいずれか一項に記載の撮像装置。

[0293] （７）

前記第２調整部は、前記第２容量素子と前記第１および第２電源線との間

に接続され、前記第２容量素子を前記第１または第２電源線のいずれか一方に選択的に接続する第２スイッチを含む、（１）から（６）のいずれか一項に記載の撮像装置。

[0294] （８）

前記第１調整部は、前記複数の第１部分容量素子の第２電極と前記第１および第２電源線との間に接続され、前記複数の第１部分容量素子の第２電極をそれぞれ前記第１または第２電源線のいずれか一方に選択的に接続する複数の第１スイッチを含む、（４）に記載の撮像装置。

[0295] （９）

前記第２調整部は、前記複数の第２部分容量素子の第４電極と前記第１および第２電源線との間に接続され、前記複数の第２部分容量素子の第４電極をそれぞれ前記第１または第２電源線のいずれか一方に選択的に接続する複数の第２スイッチを含む、（５）に記載の撮像装置。

[0296] （１０）

前記第１スイッチを制御する制御信号を記憶するレジスタをさらに備える、（６）または（８）に記載の撮像装置。

[0297] （１１）

前記第２スイッチを制御する制御信号を記憶するレジスタをさらに備える、（７）または（９）に記載の撮像装置。

[0298] （１２）

前記第１スイッチは、ＣＭＯＳインバータ、ＮＡＮＤゲート、ＮＯＲゲートのいずれかの論理回路である、（６）、（８）または（１０）のいずれか一項に記載の撮像装置。

[0299] （１３）

前記第２スイッチは、ＣＭＯＳインバータ、ＮＡＮＤゲート、ＮＯＲゲートのいずれかの論理回路である、（７）、（９）または（１１）のいずれか一項に記載の撮像装置。

[0300] （１４）

前記第１調整部は、前記第１容量素子と前記第１経路との間、並びに、前記第１容量素子と前記第１電源線との間に接続され、前記第１容量素子を前記第１経路または前記第１電源線のいずれか一方に選択的に接続する第３スイッチを含み、

前記第２調整部は、前記第２容量素子と前記出力部との間、並びに、前記第２容量素子と前記第１電源線との間に接続され、前記第２容量素子を前記出力部または前記第１電源線のいずれか一方に選択的に接続する第４スイッチを含む、（１）に記載の撮像装置。

[0301] （１５）

前記第１調整部は、前記第１容量素子と前記第１経路との間、並びに、前記第１容量素子と前記第２電源線との間に接続され、前記第１容量素子を前記第１経路または前記第２電源線のいずれか一方に選択的に接続する第３スイッチを含み、

前記第２調整部は、前記第２容量素子と前記出力部との間、並びに、前記第２容量素子と前記第２電源線との間に接続され、前記第２容量素子を前記出力部または前記第２電源線のいずれか一方に選択的に接続する第４スイッチを含む、（１）に記載の撮像装置。

[0302] （１６）

前記第１調整部は、前記複数の第１部分容量素子と前記第１経路との間、並びに、前記複数の第１部分容量素子と前記第１電源線との間に接続され、前記複数の第１部分容量素子をそれぞれ前記第１経路または前記第１電源線のいずれか一方に選択的に接続する複数の第３スイッチを含む、（８）に記載の撮像装置。

[0303] （１７）

前記第２調整部は、前記複数の第２部分容量素子と前記出力部との間、並びに、前記複数の第２部分容量素子と前記第１電源線との間に接続され、前記複数の第２部分容量素子をそれぞれ前記出力部または前記第１電源線のいずれか一方に選択的に接続する複数の第２スイッチを含む、（９）に記載の

撮像装置。

[0304] （１８）

前記第１調整部は、前記複数の第１部分容量素子と前記第１経路との間、並びに、前記複数の第１部分容量素子と前記第２電源線との間に接続され、前記複数の第１部分容量素子をそれぞれ前記第１経路または前記第２電源線のいずれか一方に選択的に接続する複数の第３スイッチを含む、（８）に記載の撮像装置。

[0305] （１９）

前記第２調整部は、前記複数の第２部分容量素子と前記出力部との間、並びに、前記複数の第２部分容量素子と前記第２電源線との間に接続され、前記複数の第２部分容量素子をそれぞれ前記出力部または前記第２電源線のいずれか一方に選択的に接続する複数の第２スイッチを含む、（９）に記載の撮像装置。

[0306] （２０）

第１電源電圧を伝達する第１電源線と、

前記第１電源電圧と異なる第２電源電圧を伝達する第２電源線と、

光を画素信号に光電変換する画素からの前記画素信号と比較される参照信号を入力する第１入力部と、

前記画素信号を入力する第２入力部と、

前記第１入力部の電圧と前記第２入力部の電圧との大小関係に応じた電圧状態となる第１経路、および、前記第１経路に接続された出力部を含み、前記第１入力部の電圧と前記第２入力部の電圧とに基づいて前記出力部からの出力信号を論理反転させる比較回路と、

前記第１電源線と前記第１入力部との間、または、前記第２電源線と前記第１入力部との間に設けられた第１容量素子、および、前記第１電源線と前記第２入力部との間、または、前記第２電源線と前記第２入力部との間に設けられた第２容量素子の少なくとも一方と、

前記第１容量素子の容量を調整可能な第１調整部、および、前記第２容量

素子の容量を調整可能な第２調整部の少なくとも一方と、を備える撮像装置。

[0307] （２１）

第１電源電圧を伝達する第１電源線と、

前記第１電源電圧と異なる第２電源電圧を伝達する第２電源線と、

光を画素信号に光電変換する画素からの前記画素信号と比較される参照信号と前記画素信号との差分電圧に応じた信号を入力する入力部と、

前記入力部の電圧に応じた電圧状態となる第１経路、および、前記第１経路に接続された出力部を含み、前記入力部の電圧に基づいて前記出力部からの出力信号を論理反転させる比較回路と、

前記第１電源線と前記入力部との間、または、前記第２電源線と前記入力部との間に設けられた第１容量素子と、

前記第１容量素子の容量を調整可能な第１調整部と、を備える撮像装置。

[0308] 尚、本開示は、上述した実施形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、本明細書に記載された効果はあくまで例示であって限定されるものでは無く、他の効果があってもよい。

符号の説明

[0309] ２１　画素領域

２２　垂直駆動部

２３　カラム処理部

２４　水平駆動部

２５　システム制御部

２６　信号処理部

２７　データ格納部

１　撮像装置

１０　画素

１１　ノイズキャンセル装置

１２　電源部

１００　ＤＡＣ回路

Ｃ３，Ｃ４　キャパシタ

ＣＭ１　コンパレータ

Ｖ２　定電流源

Ｌｖｄｄ　第１電源線

Ｌｖｓｓ　第２電源線

ＩＮ＿ＤＡＣ　第１入力部

ＩＮ＿ＶＳＬ　第２入力部

Ｍ１～Ｍ７　トランジスタ

Ｃｉｎ＿ＤＡＣ，Ｃｉｎ＿ＶＳＬ，Ｃｂａｎｄｗ，Cv_{DIFF1_VSS}，$Cv_{DIFFOUT0_VSS}$，Ｃｏｕｔ　容量素子

ＤＩＦＦ＿ＶＯＵＴ０　出力部

請求の範囲

[請求項1] 第１電源電圧を伝達する第１電源線と、

前記第１電源電圧と異なる第２電源電圧を伝達する第２電源線と、

光を画素信号に光電変換する画素からの前記画素信号と比較される参照信号を入力する第１入力部と、

前記画素信号を入力する第２入力部と、

前記第１入力部の電圧と前記第２入力部の電圧との大小関係に応じた電圧状態となる第１および第２経路、および、前記第２経路に接続された出力部を含み、前記第１入力部の電圧と前記第２入力部の電圧とに基づいて前記出力部からの出力信号を論理反転させる比較回路と、

前記第１電源線と前記第１入力部あるいは前記第１経路との間、または、前記第２電源線と前記第１入力部あるいは前記第１経路との間に設けられた第１容量素子、および、前記第１電源線と前記第２入力部あるいは前記第２経路との間、または、前記第２電源線と前記第２入力部あるいは前記第２経路との間に設けられた第２容量素子の少なくとも一方と、

前記第１容量素子の容量を調整可能な第１調整部、および、前記第２容量素子の容量を調整可能な第２調整部の少なくとも一方と、を備える撮像装置。

[請求項2] 前記第１容量素子の容量と前記第２容量素子の容量はほぼ等しい、請求項１に記載の撮像装置。

[請求項3] 前記第１電源線と前記出力部との間に設けられた第３容量素子をさらに備える、請求項１に記載の撮像装置。

[請求項4] 前記第１容量素子は、複数の第１部分容量素子で構成され、

前記複数の第１部分容量素子の第１電極は前記第１入力部または前記第１経路のいずれか一方に共通に接続されており、

前記複数の第１部分容量素子の第２電極は、前記第１調整部を介し

てそれぞれ前記第１または第２電源線に選択的に接続されている、請求項１に記載の撮像装置。

[請求項5] 前記第２容量素子は、複数の第２部分容量素子で構成され、

前記複数の第２部分容量素子の第３電極は前記第２入力部または前記第２経路のいずれか一方に共通に接続されており、

前記複数の第２部分容量素子の第４電極は、前記第２調整部を介してそれぞれ前記第１または第２電源線に選択的に接続されている、請求項１に記載の撮像装置。

[請求項6] 前記第１調整部は、前記第１容量素子と前記第１および第２電源線との間に接続され、前記第１容量素子を前記第１または第２電源線のいずれか一方に選択的に接続する第１スイッチを含む、請求項１に記載の撮像装置。

[請求項7] 前記第２調整部は、前記第２容量素子と前記第１および第２電源線との間に接続され、前記第２容量素子を前記第１または第２電源線のいずれか一方に選択的に接続する第２スイッチを含む、請求項１に記載の撮像装置。

[請求項8] 前記第１調整部は、前記複数の第１部分容量素子の第２電極と前記第１および第２電源線との間に接続され、前記複数の第１部分容量素子の第２電極をそれぞれ前記第１または第２電源線のいずれか一方に選択的に接続する複数の第１スイッチを含む、請求項４に記載の撮像装置。

[請求項9] 前記第２調整部は、前記複数の第２部分容量素子の第４電極と前記第１および第２電源線との間に接続され、前記複数の第２部分容量素子の第４電極をそれぞれ前記第１または第２電源線のいずれか一方に選択的に接続する複数の第２スイッチを含む、請求項５に記載の撮像装置。

[請求項10] 前記第１スイッチを制御する制御信号を記憶するレジスタをさらに備える、請求項６に記載の撮像装置。

[請求項11] 前記第２スイッチを制御する制御信号を記憶するレジスタをさらに備える、請求項７に記載の撮像装置。

[請求項12] 前記第１スイッチは、ＣＭＯＳ（Complementary Metal Oxide Semiconductor）インバータ、ＮＡＮＤゲート、ＮＯＲゲートのいずれかの論理回路である、請求項６に記載の撮像装置。

[請求項13] 前記第２スイッチは、ＣＭＯＳインバータ、ＮＡＮＤゲート、ＮＯＲゲートのいずれかの論理回路である、請求項７に記載の撮像装置。

[請求項14] 前記第１調整部は、前記第１容量素子と前記第１経路との間、並びに、前記第１容量素子と前記第１電源線との間に接続され、前記第１容量素子を前記第１経路または前記第１電源線のいずれか一方に選択的に接続する第３スイッチを含み、

前記第２調整部は、前記第２容量素子と前記出力部との間、並びに、前記第２容量素子と前記第１電源線との間に接続され、前記第２容量素子を前記出力部または前記第１電源線のいずれか一方に選択的に接続する第４スイッチを含む、請求項１に記載の撮像装置。

[請求項15] 前記第１調整部は、前記第１容量素子と前記第１経路との間、並びに、前記第１容量素子と前記第２電源線との間に接続され、前記第１容量素子を前記第１経路または前記第２電源線のいずれか一方に選択的に接続する第３スイッチを含み、

前記第２調整部は、前記第２容量素子と前記出力部との間、並びに、前記第２容量素子と前記第２電源線との間に接続され、前記第２容量素子を前記出力部または前記第２電源線のいずれか一方に選択的に接続する第４スイッチを含む、請求項１に記載の撮像装置。

[請求項16] 前記第１調整部は、前記複数の第１部分容量素子と前記第１経路との間、並びに、前記複数の第１部分容量素子と前記第１電源線との間に接続され、前記複数の第１部分容量素子をそれぞれ前記第１経路または前記第１電源線のいずれか一方に選択的に接続する複数の第３スイッチを含む、請求項８に記載の撮像装置。

[請求項17] 前記第２調整部は、前記複数の第２部分容量素子と前記出力部との間、並びに、前記複数の第２部分容量素子と前記第１電源線との間に接続され、前記複数の第２部分容量素子をそれぞれ前記出力部または前記第１電源線のいずれか一方に選択的に接続する複数の第２スイッチを含む、請求項９に記載の撮像装置。

[請求項18] 前記第１調整部は、前記複数の第１部分容量素子と前記第１経路との間、並びに、前記複数の第１部分容量素子と前記第２電源線との間に接続され、前記複数の第１部分容量素子をそれぞれ前記第１経路または前記第２電源線のいずれか一方に選択的に接続する複数の第３スイッチを含む、請求項８に記載の撮像装置。

[請求項19] 前記第２調整部は、前記複数の第２部分容量素子と前記出力部との間、並びに、前記複数の第２部分容量素子と前記第２電源線との間に接続され、前記複数の第２部分容量素子をそれぞれ前記出力部または前記第２電源線のいずれか一方に選択的に接続する複数の第２スイッチを含む、請求項９に記載の撮像装置。

[請求項20] 第１電源電圧を伝達する第１電源線と、

前記第１電源電圧と異なる第２電源電圧を伝達する第２電源線と、

光を画素信号に光電変換する画素からの前記画素信号と比較される参照信号を入力する第１入力部と、

前記画素信号を入力する第２入力部と、

前記第１入力部の電圧と前記第２入力部の電圧との大小関係に応じた電圧状態となる第１経路、および、前記第１経路に接続された出力部を含み、前記第１入力部の電圧と前記第２入力部の電圧とに基づいて前記出力部からの出力信号を論理反転させる比較回路と、

前記第１電源線と前記第１入力部との間、または、前記第２電源線と前記第１入力部との間に設けられた第１容量素子、および、前記第１電源線と前記第２入力部との間、または、前記第２電源線と前記第２入力部との間に設けられた第２容量素子の少なくとも一方と、

前記第１容量素子の容量を調整可能な第１調整部、および、前記第２容量素子の容量を調整可能な第２調整部の少なくとも一方と、を備える撮像装置。

[請求項21] 第１電源電圧を伝達する第１電源線と、

前記第１電源電圧と異なる第２電源電圧を伝達する第２電源線と、

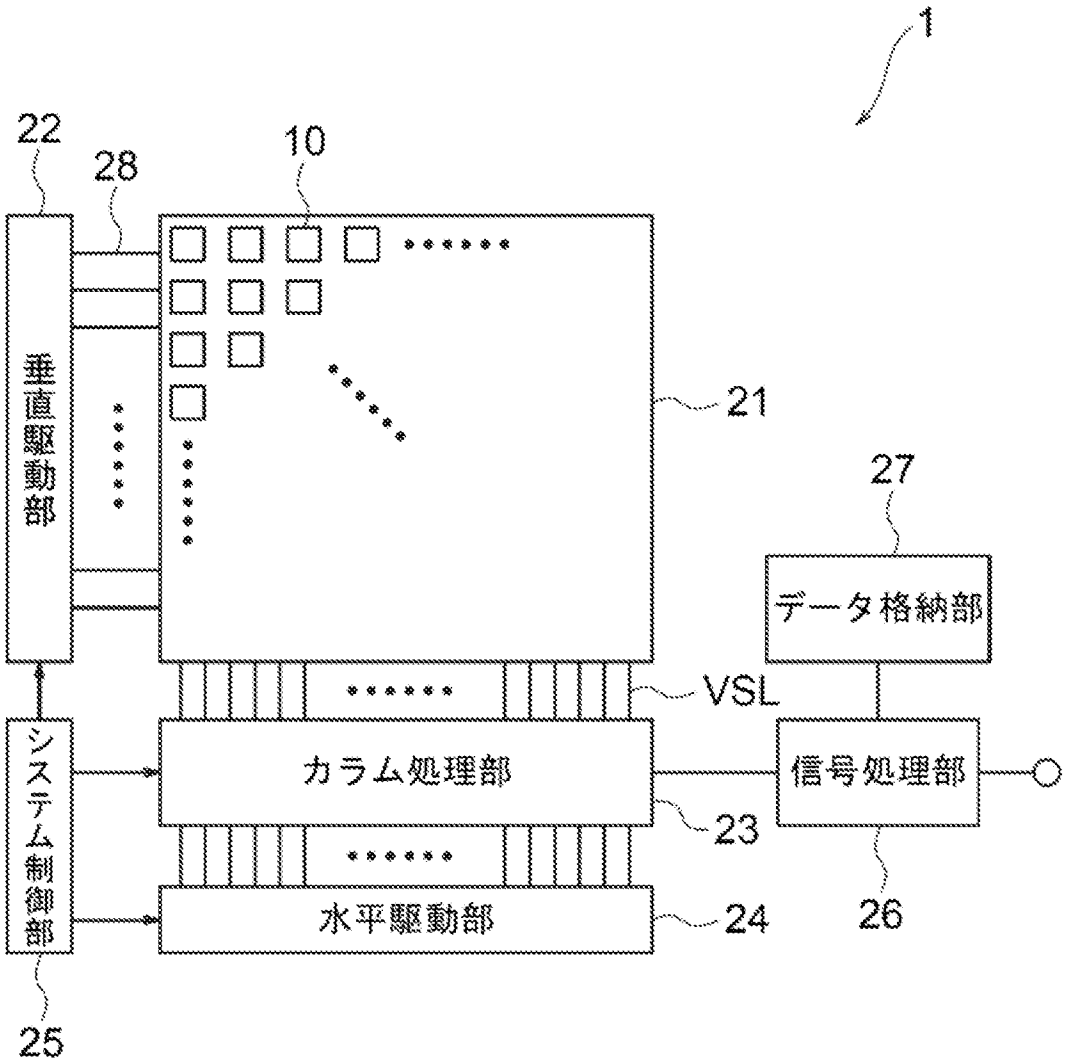
光を画素信号に光電変換する画素からの前記画素信号と比較される参照信号と前記画素信号との差分電圧に応じた信号を入力する入力部と、

前記入力部の電圧に応じた電圧状態となる第１経路、および、前記第１経路に接続された出力部を含み、前記入力部の電圧に基づいて前記出力部からの出力信号を論理反転させる比較回路と、

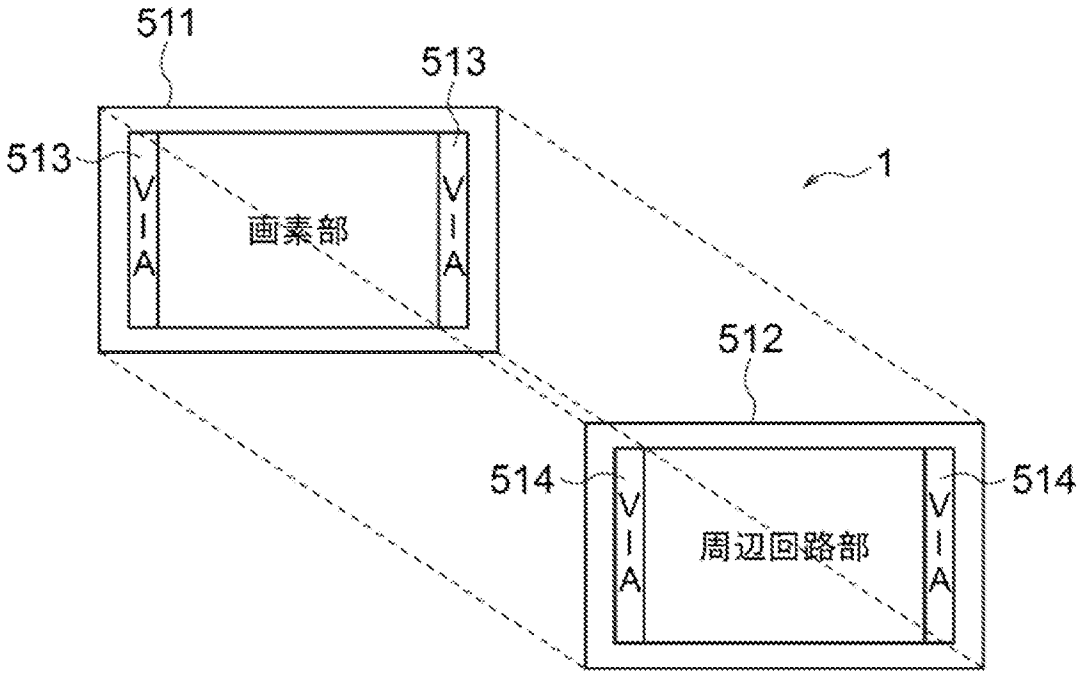
前記第１電源線と前記入力部との間、または、前記第２電源線と前記入力部との間に設けられた第１容量素子と、

前記第１容量素子の容量を調整可能な第１調整部と、を備える撮像装置。

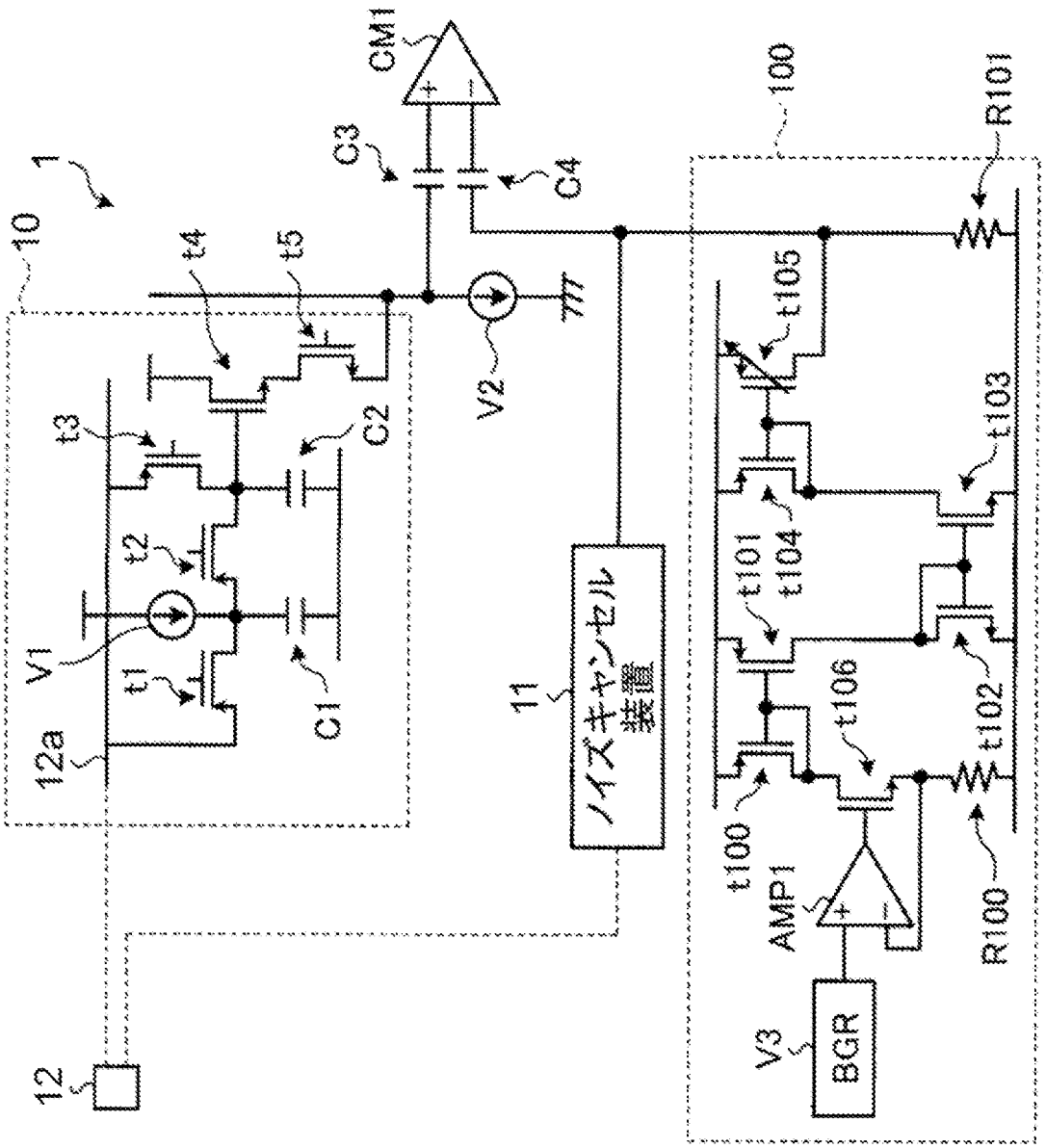
[図1]


1
22
28
10
垂直駆動部
21
27
データ格納部
VSL
システム制御部
カラム処理部
信号処理部
23
水平駆動部
24
26
25

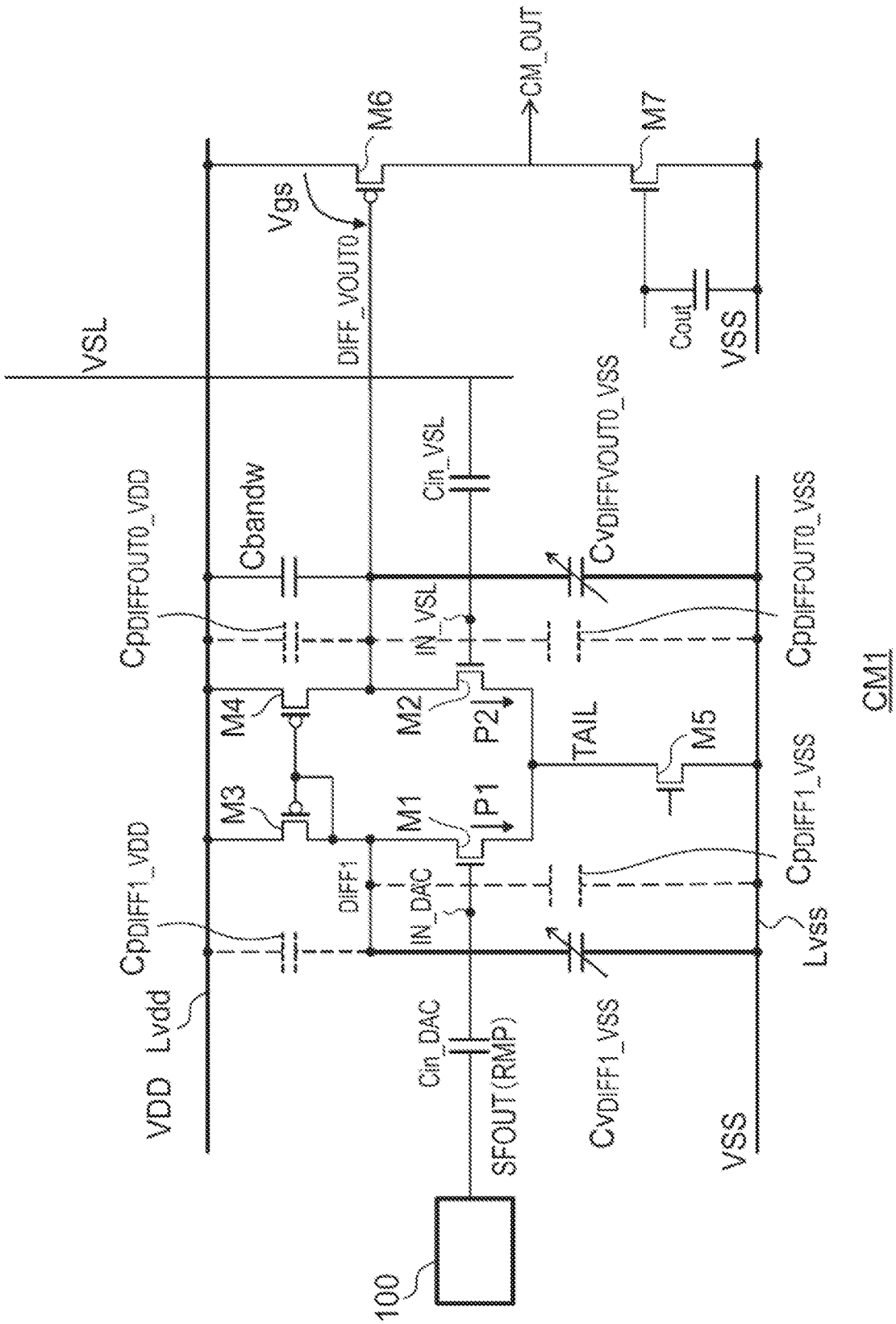
[図2]



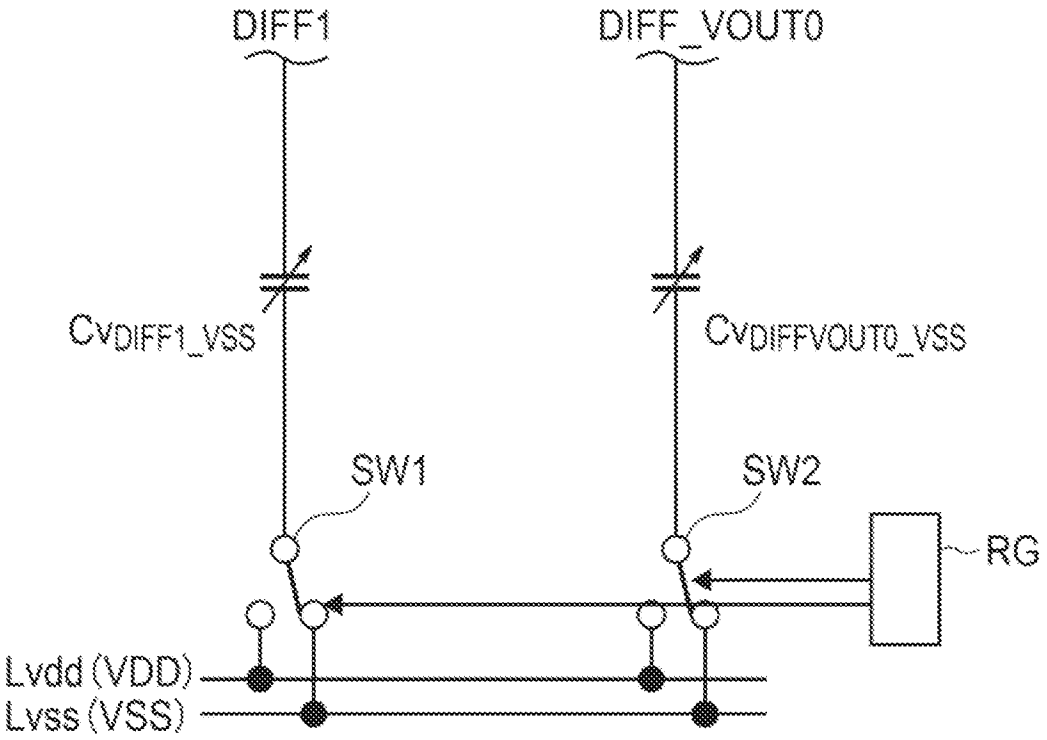
[図3]


CM1
C3
C4
1
10
100
R101
t4
t5
t105
V2
777
t3
C2
t103
t2
t101
t104
V1
t1
C1
11
ノイズキャンセル装置
12a
t106
t102
t100
AMP1
R100
V3
BGR
12

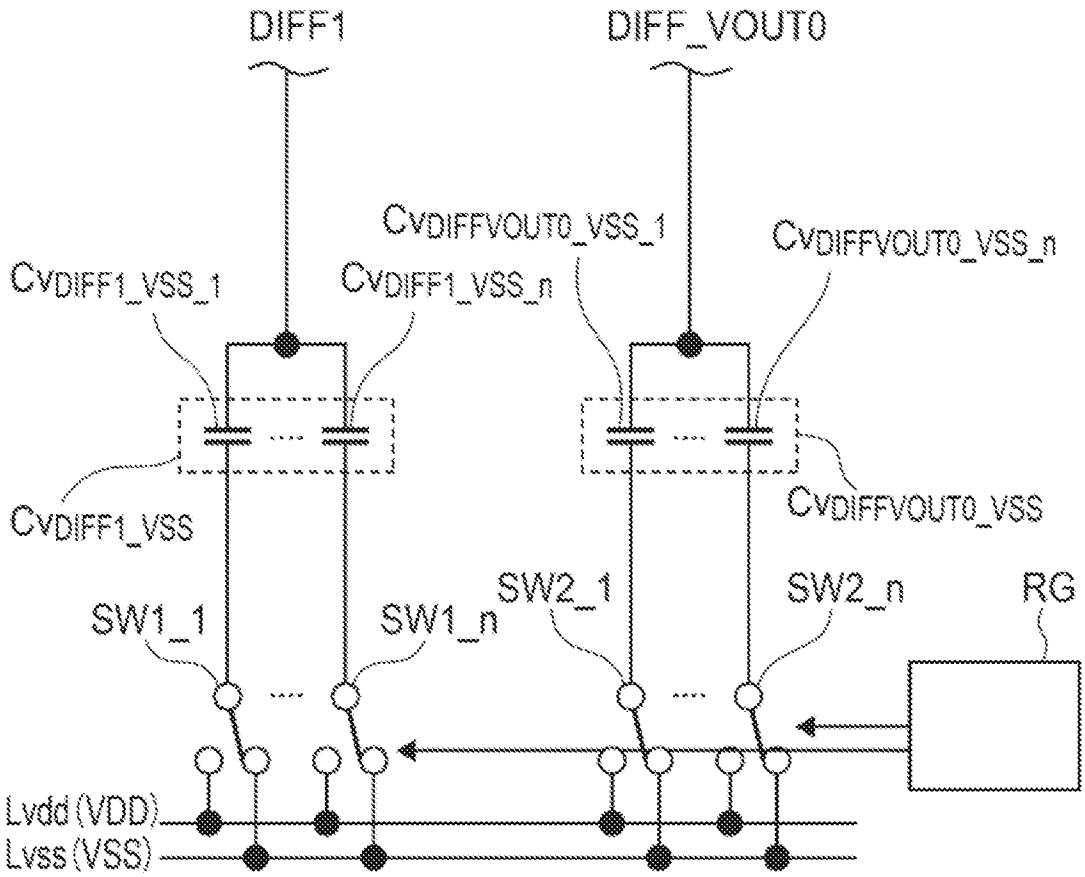
[図4]


CM_OUT
M6
M7
Vgs
DIFF_VOUT0
VSL
Cout
VSS
Cin_VSL
CVDIFFVOUT0_VSS
CPDIFFOUT0_VDD
Cbandw
IN_VSL
CPDIFFOUT0_VSS
M4
M2
P2
TAIL
M5
M3
M1
P1
CPDIFF1_VDD
DIFF1
IN_DAC
CPDIFF1_VSS
Lvss
Lvdd
VDD
Cin_DAC
SFOUT(RMP)
CVDIFF1_VSS
VSS
100
CM1

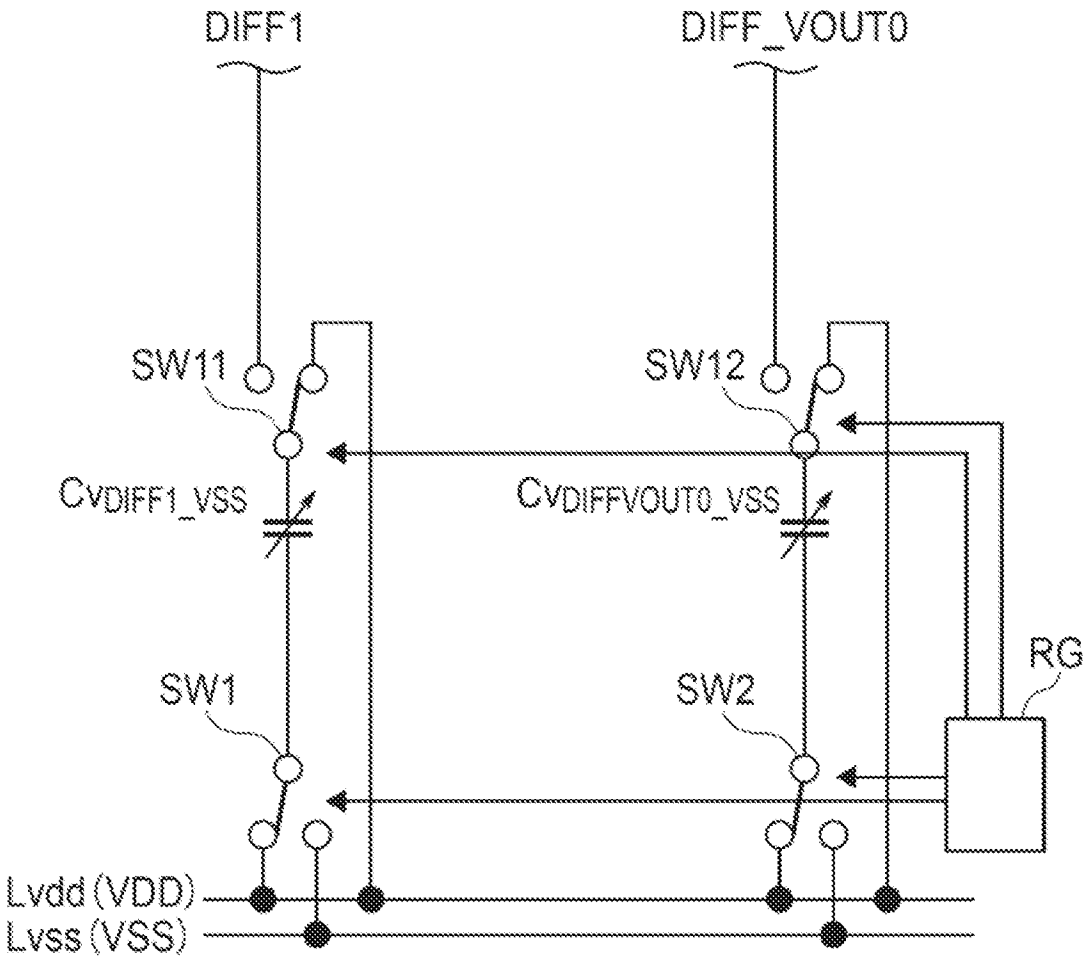
[図5]


DIFF1
DIFF_VOUT0
CVDIFF1_VSS
CVDIFFVOUT0_VSS
SW1
SW2
RG
Lvdd (VDD)
Lvss (VSS)

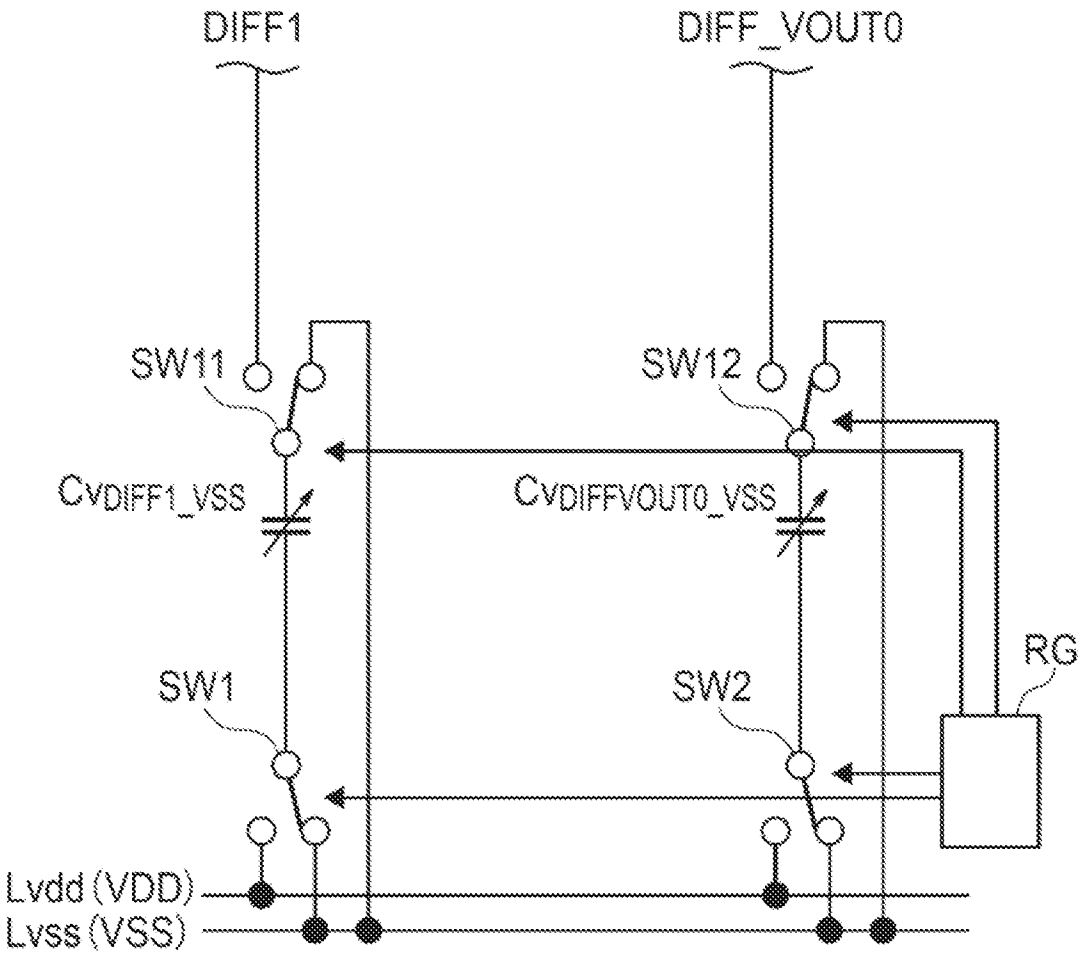
[図6]


DIFF1
DIFF_VOUT0
CVDIFF1_VSS_1
CVDIFF1_VSS_n
CVDIFFVOUT0_VSS_1
CVDIFFVOUT0_VSS_n
CVDIFF1_VSS
CVDIFFVOUT0_VSS
SW1_1
SW1_n
SW2_1
SW2_n
RG
Lvdd (VDD)
Lvss (VSS)

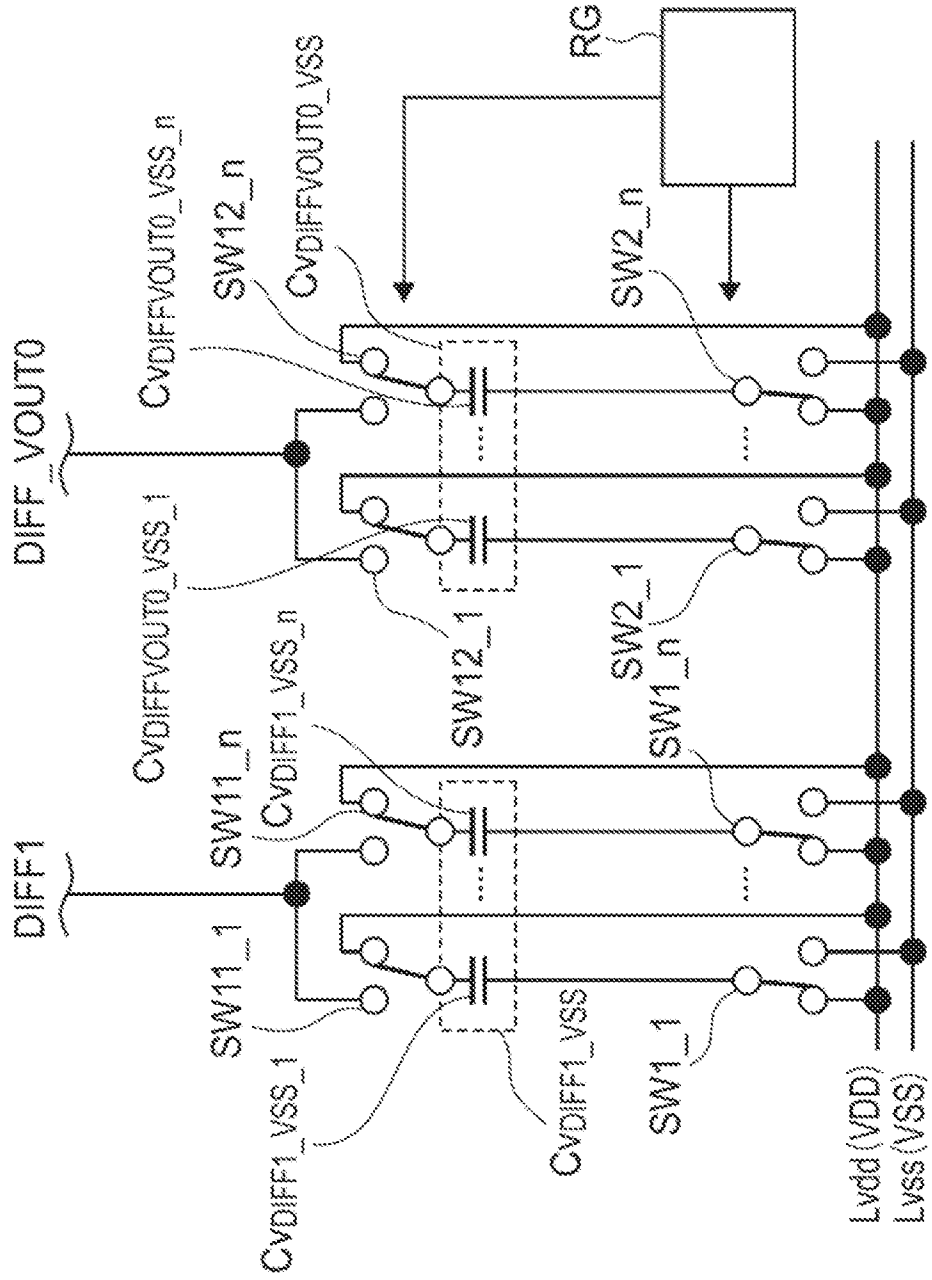
[図7]


DIFF1
DIFF_VOUT0
SW11
SW12
CVDIFF1_VSS
CVDIFFVOUT0_VSS
SW1
SW2
RG
Lvdd (VDD)
Lvss (VSS)

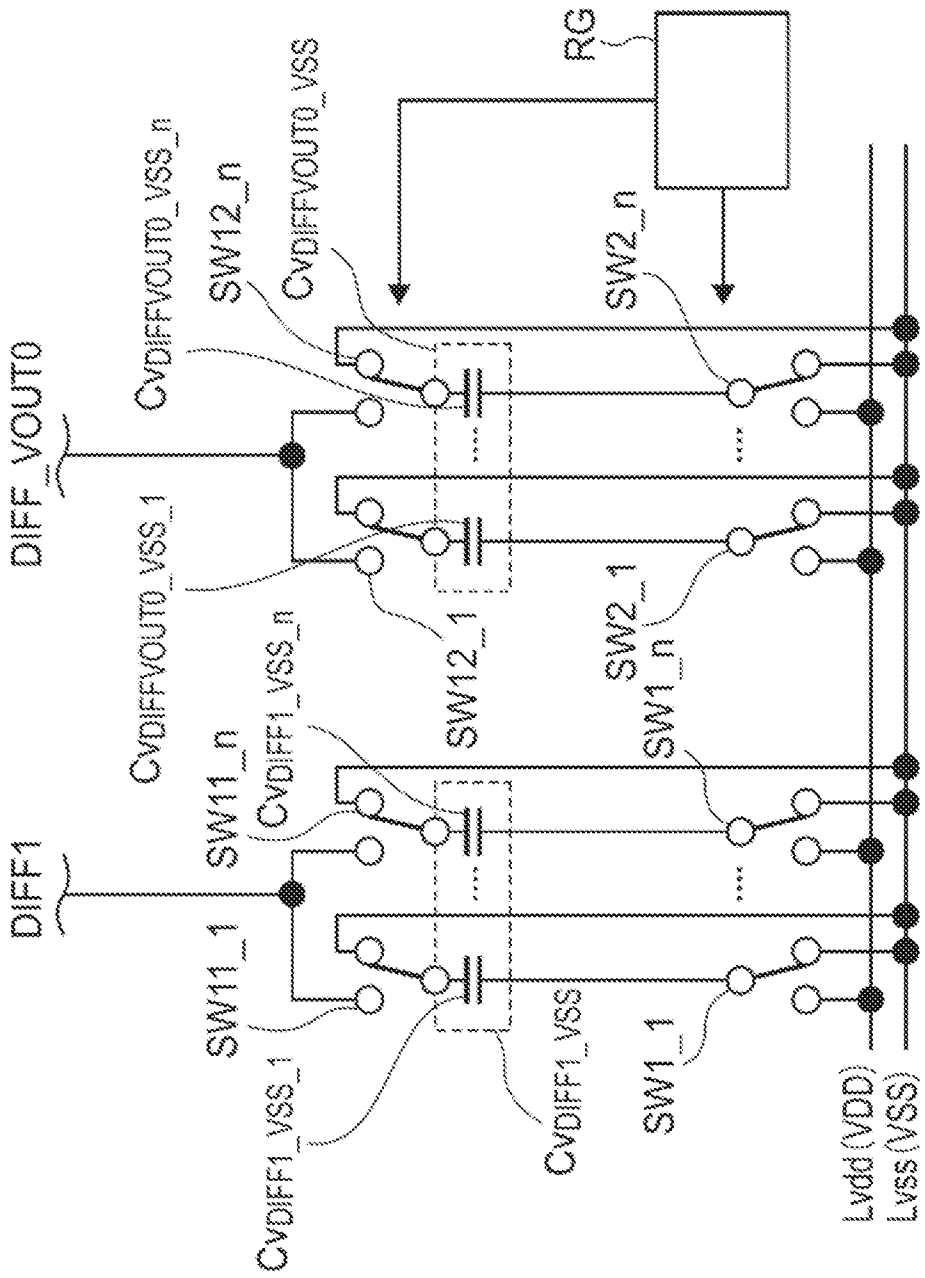
[図8]


DIFF1
DIFF_VOUT0
SW11
SW12
CVDIFF1_VSS
CVDIFFVOUT0_VSS
RG
SW1
SW2
Lvdd (VDD)
Lvss (VSS)

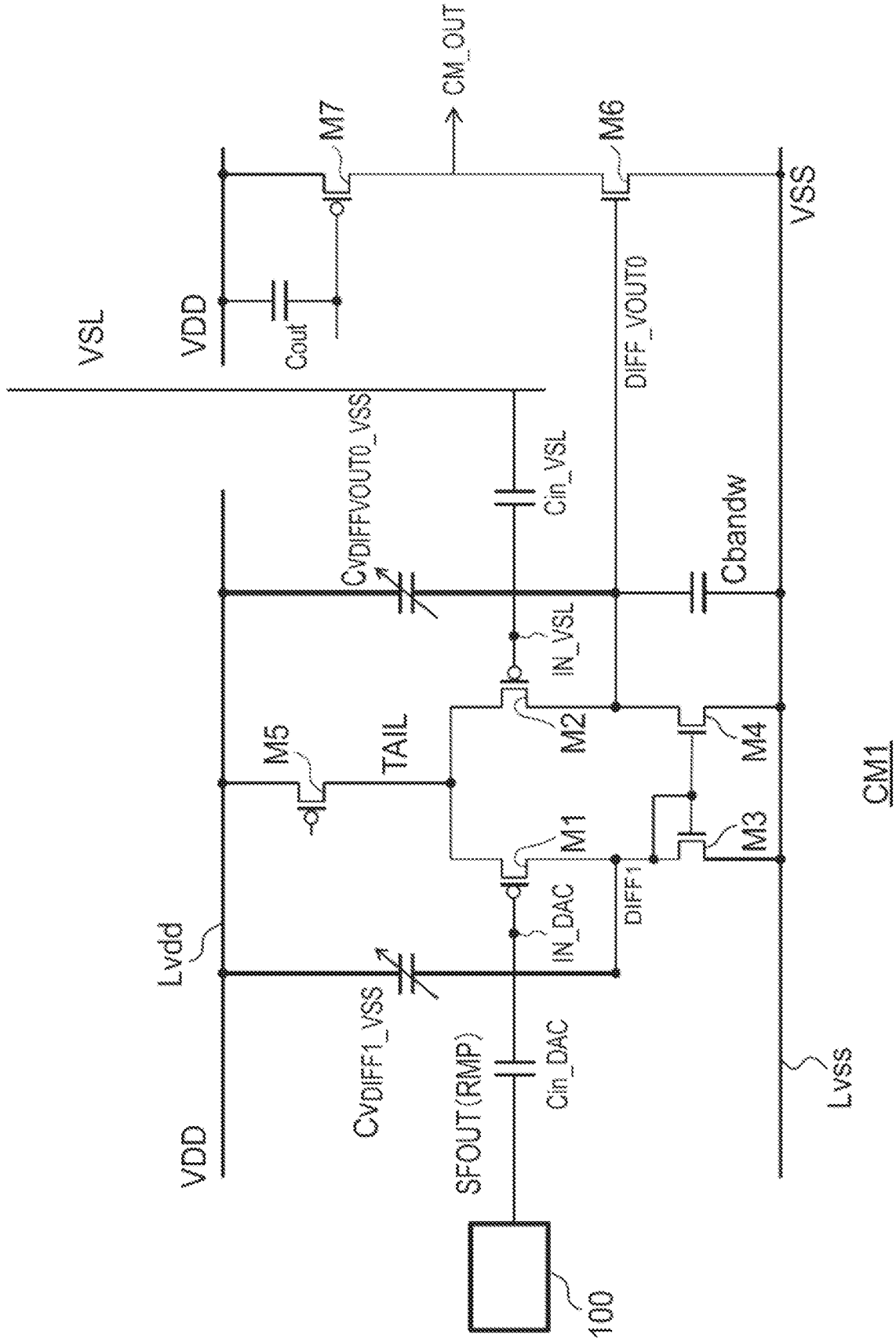
[図9]


RG
DIFF_VOUT0
DIFF1
CVDIFFVOUT0_VSS_n
CVDIFFVOUT0_VSS_1
CVDIFF1_VSS_n
CVDIFF1_VSS_1
CVDIFFVOUT0_VSS
CVDIFF1_VSS
SW12_n
SW12_1
SW11_n
SW11_1
SW2_n
SW2_1
SW1_n
SW1_1
Lvdd (VDD)
Lvss (VSS)

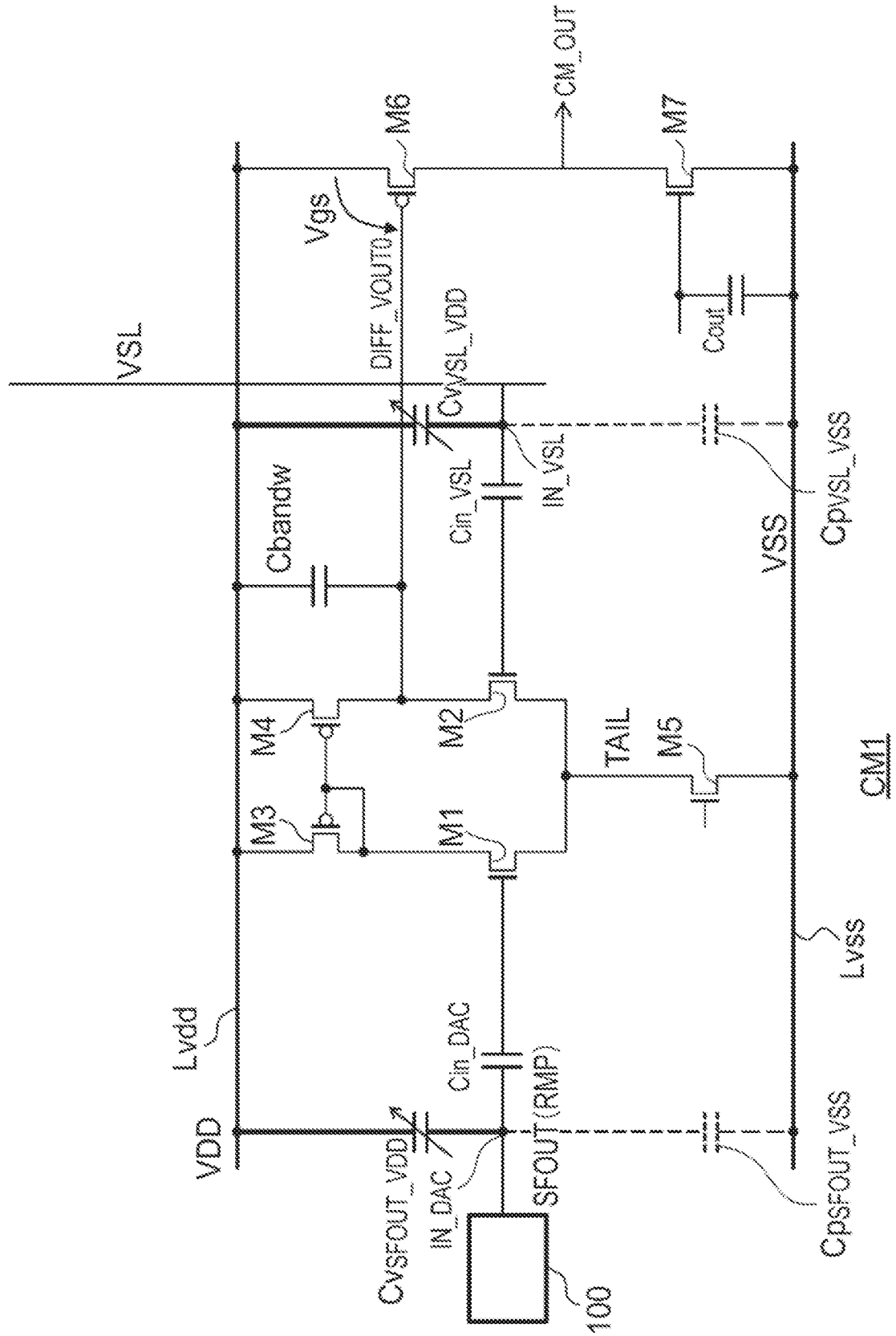
[図10]


RG
SW2_n
SW12_n
CVDIFFVOUT0_VSS
CVDIFFVOUT0_VSS_n
DIFF_VOUT0
CVDIFFVOUT0_VSS_1
SW12_1
SW2_1
SW1_n
SW11_n
CVDIFF1_VSS_n
DIFF1
SW11_1
CVDIFF1_VSS_1
CVDIFF1_VSS
SW1_1
Lvdd (VDD)
Lvss (VSS)

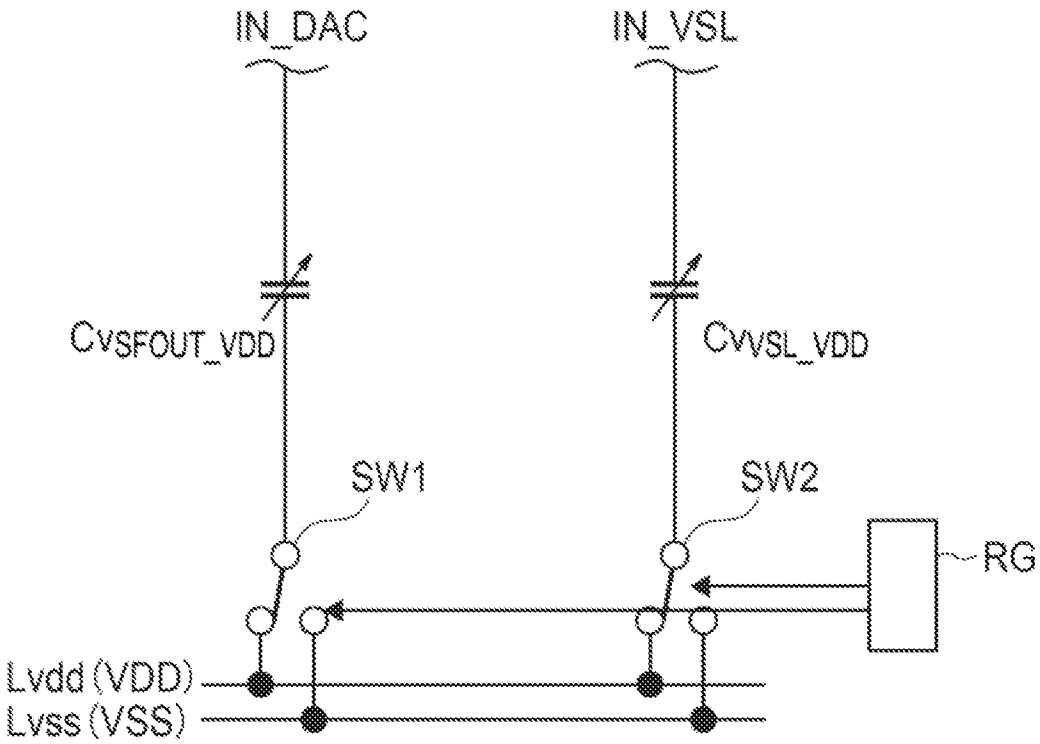
[図11]


CM_OUT
M7
M6
VSS
VSL
VDD
Cout
DIFF_VOUT0
CVDIFFVOUT0_VSS
Cin_VSL
Cbandw
IN_VSL
M5
TAIL
M2
M4
M1
M3
DIFF1
IN_DAC
Lvdd
CVDIFF1_VSS
Cin_DAC
SFOUT(RMP)
Lvss
VDD
100
CM1

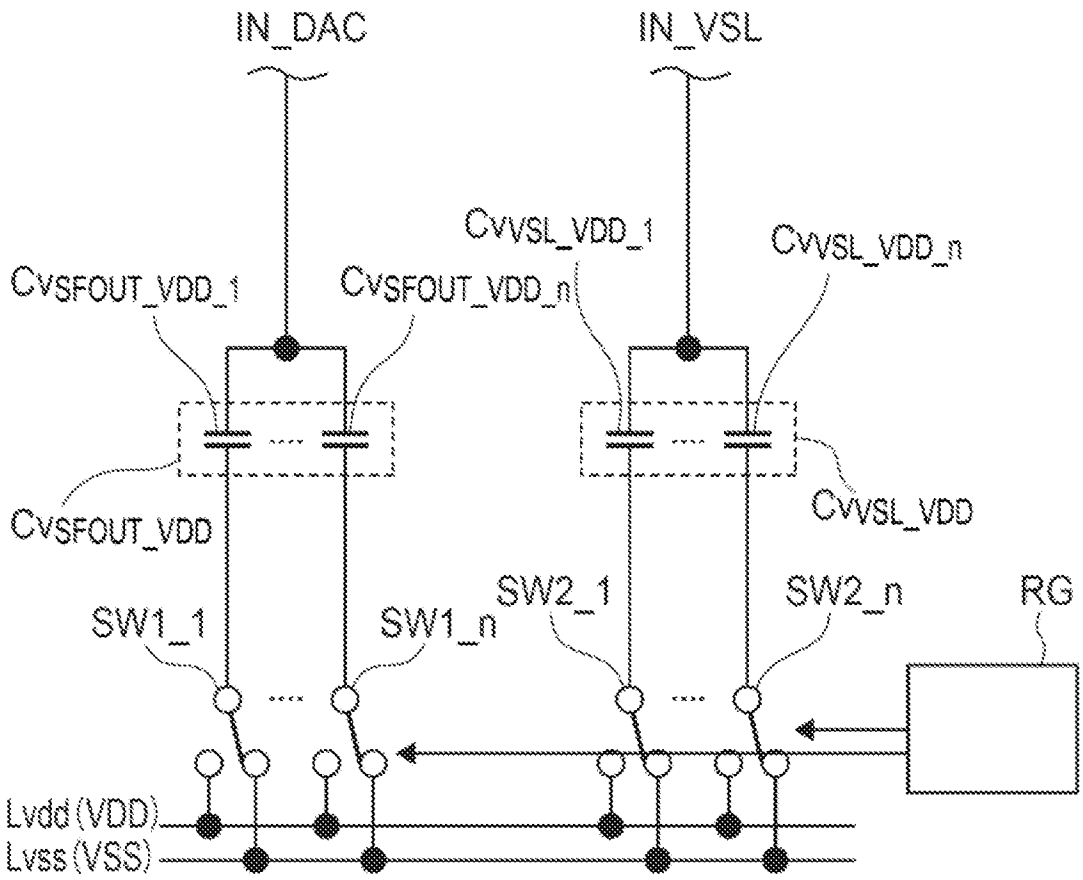
[図12]


CM_OUT
M6
M7
Vgs
DIFF_VOUT
VSL
CvVSL_VDD
Cout
Cbandw
Cin_VSL
IN_VSL
CpVSL_VSS
VSS
M4
M2
TAIL
M5
CM1
M3
M1
Lvdd
Cin_DAC
Lvss
VDD
CvSFOUT_VDD
IN_DAC
SFOUT(RMP)
CpSFOUT_VSS
100

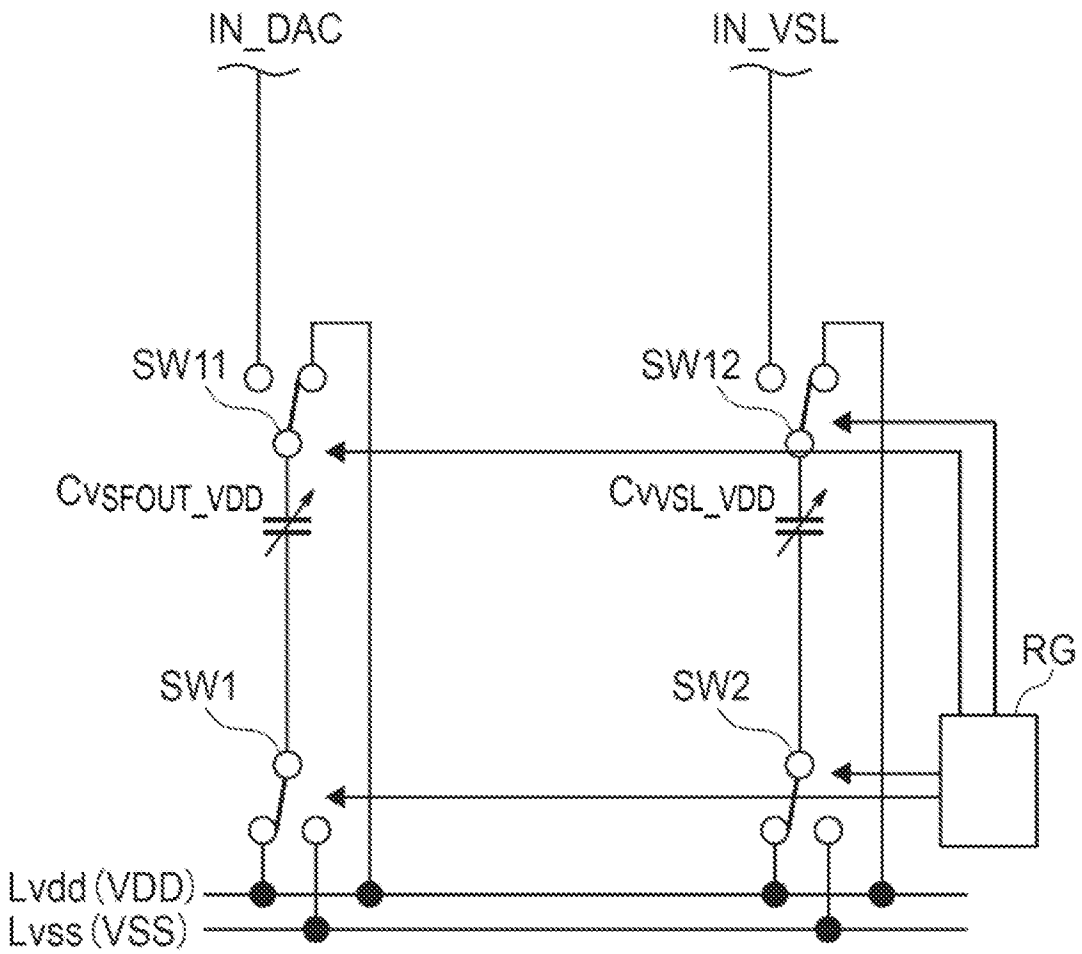
[図13]


IN_DAC
IN_VSL
CVSFOUT_VDD
CVVSL_VDD
SW1
SW2
RG
Lvdd (VDD)
Lvss (VSS)

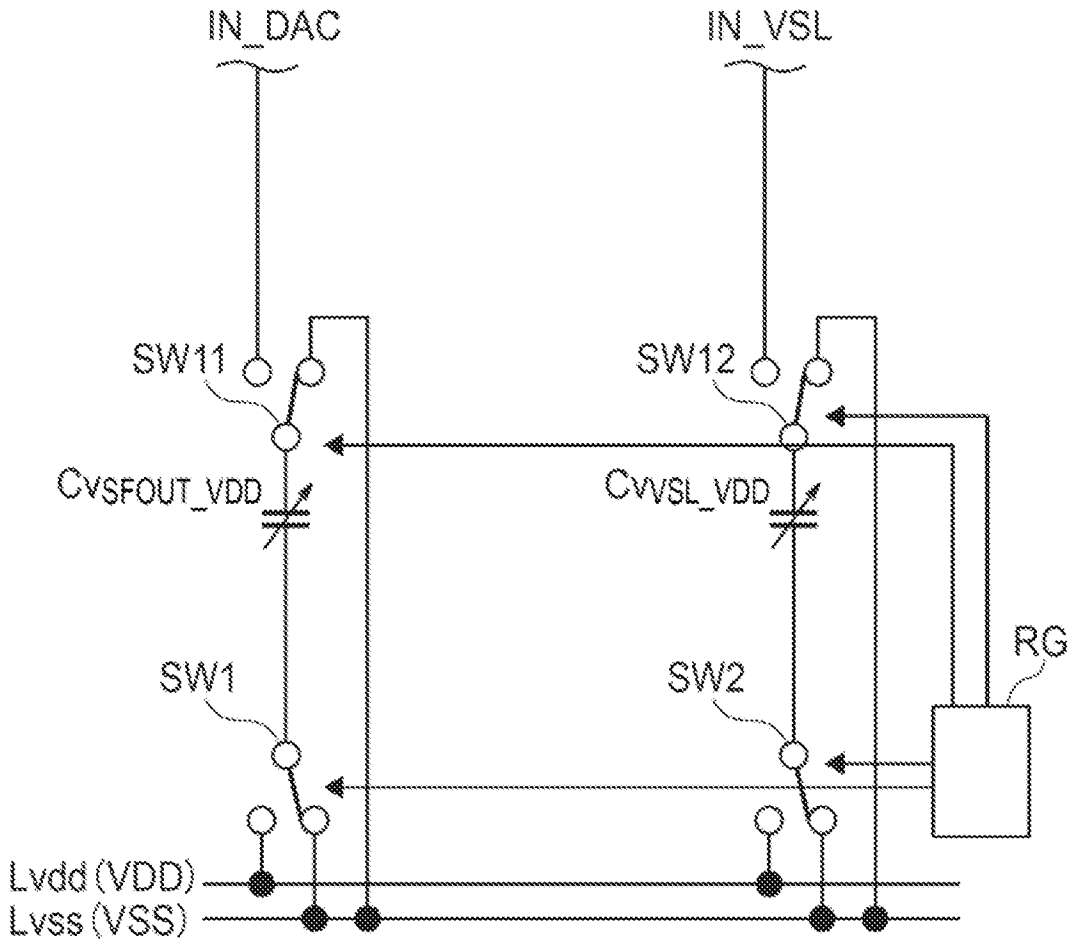
[図14]


IN_DAC
IN_VSL
CVSFOUT_VDD_1
CVSFOUT_VDD_n
CVVSL_VDD_1
CVVSL_VDD_n
CVSFOUT_VDD
CVVSL_VDD
SW1_1
SW1_n
SW2_1
SW2_n
RG
Lvdd (VDD)
Lvss (VSS)

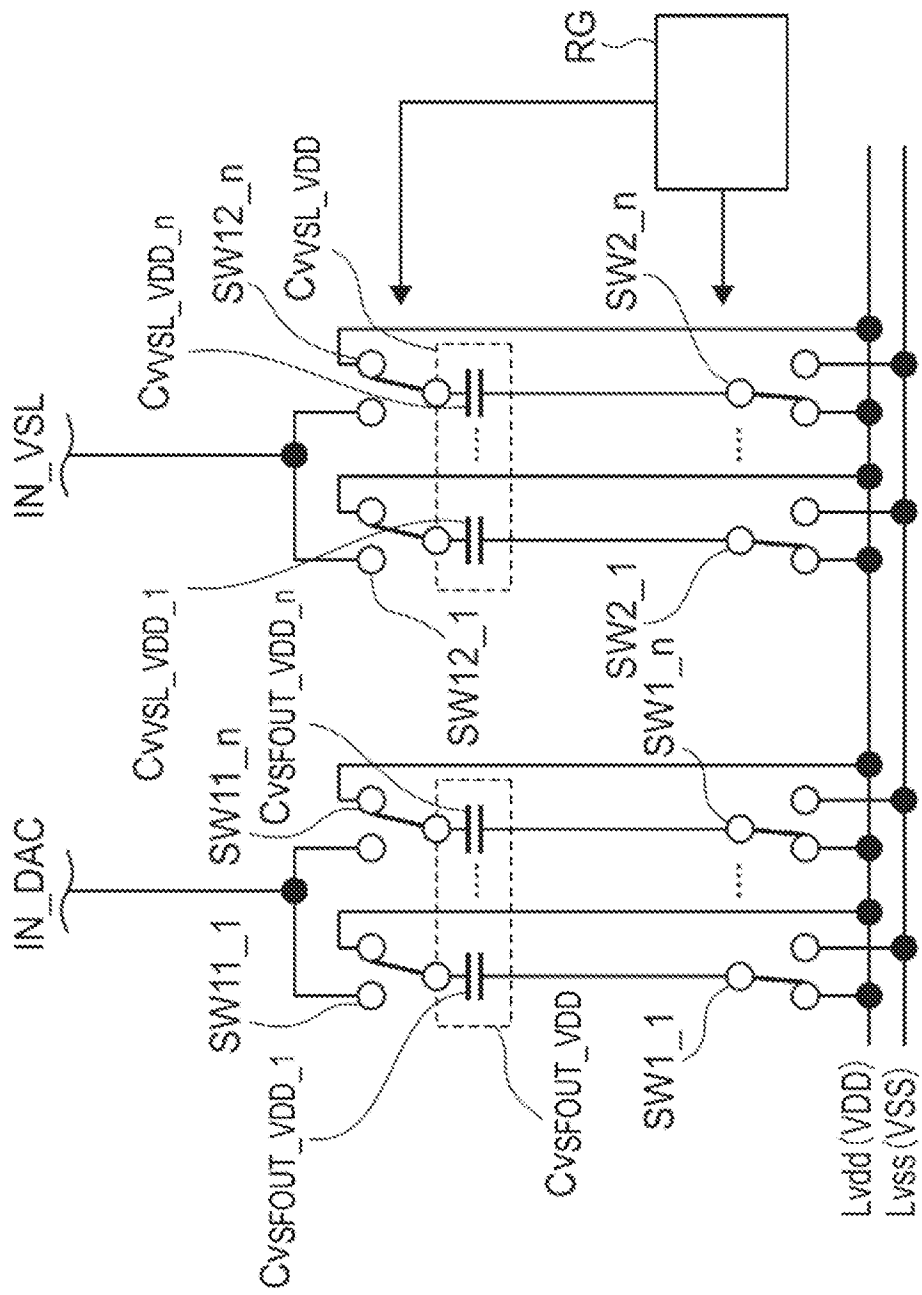
[図15]


IN_DAC
IN_VSL
SW11
SW12
CVSFOUT_VDD
CVVSL_VDD
RG
SW1
SW2
Lvdd (VDD)
Lvss (VSS)

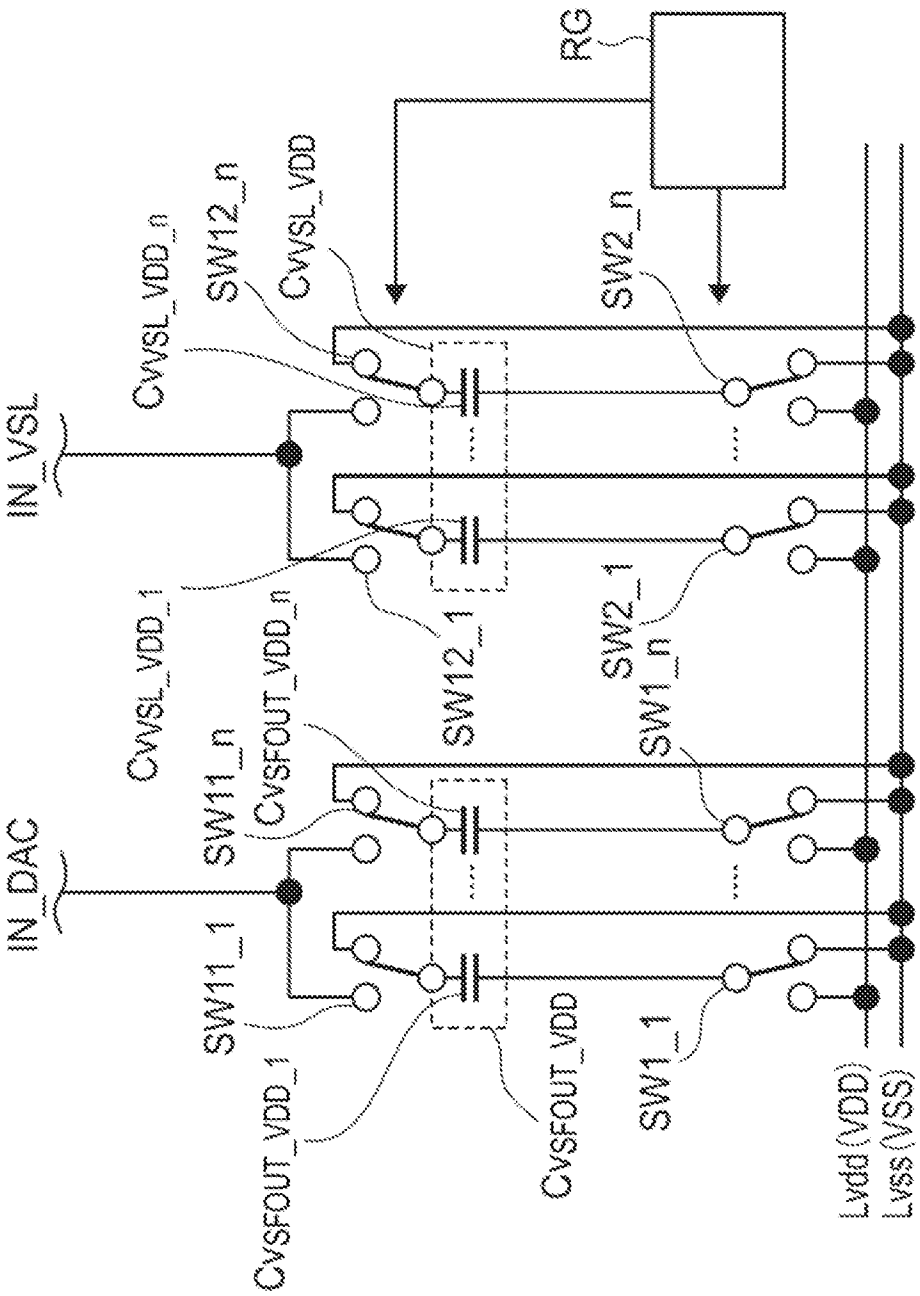
[図16]


IN_DAC
IN_VSL
SW11
SW12
CVSFOUT_VDD
CVVSL_VDD
SW1
SW2
RG
Lvdd (VDD)
Lvss (VSS)

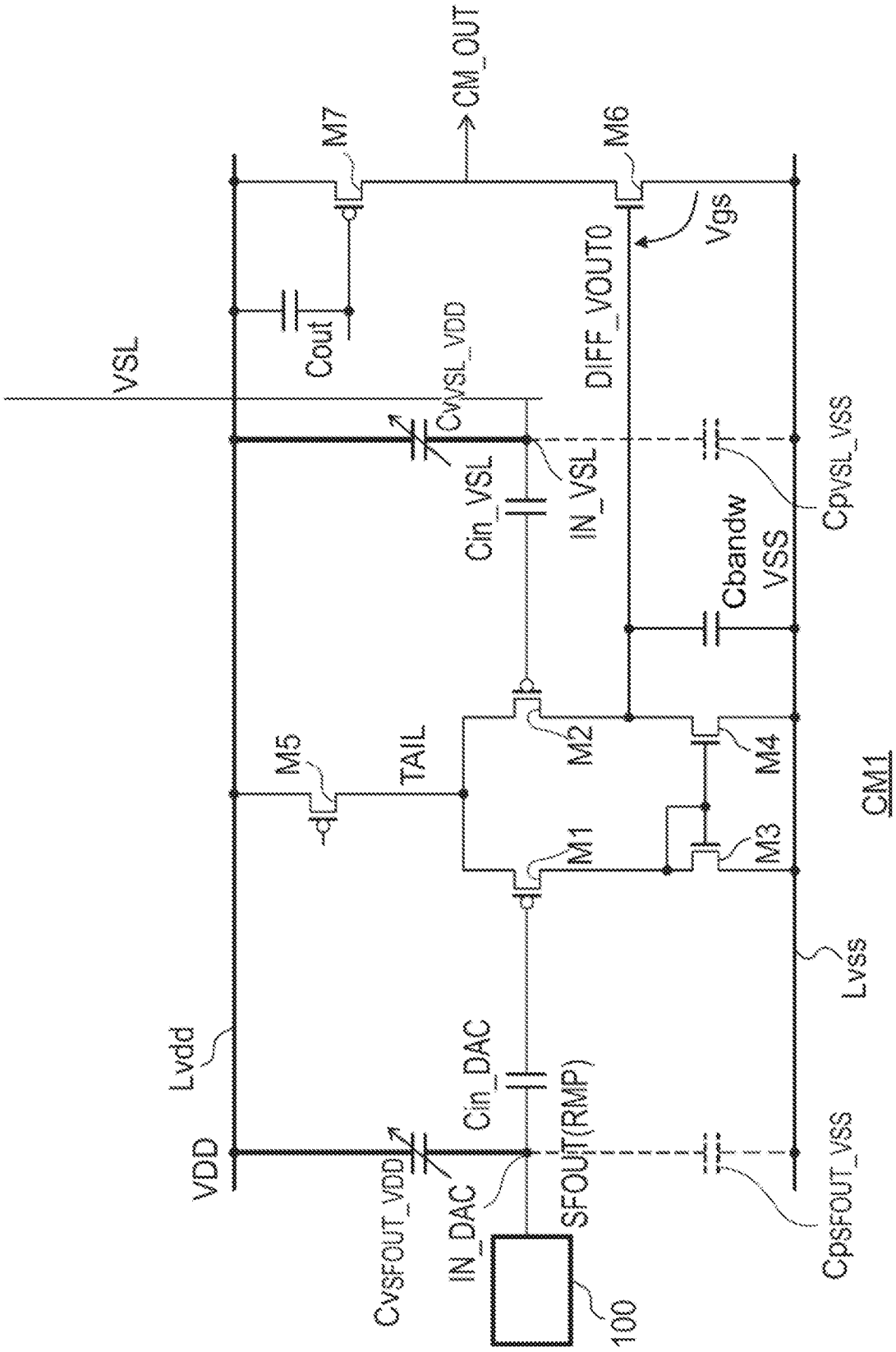
[図17]


RG
IN_VSL
IN_DAC
CVVSL_VDD_n
CVVSL_VDD_1
CVSFOUT_VDD_n
CVSFOUT_VDD_1
CVSFOUT_VDD
CVVSL_VDD
SW12_n
SW12_1
SW11_n
SW11_1
SW2_n
SW2_1
SW1_n
SW1_1
Lvdd (VDD)
Lvss (VSS)

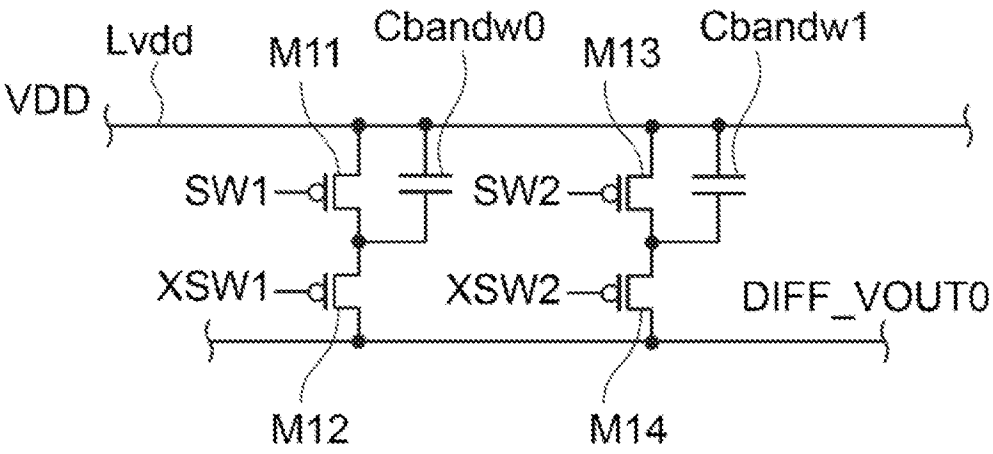
[図18]


RG
SW2_n
SW12_n
CVVSL_VDD
CVVSL_VDD_n
IN_VSL
SW2_1
SW1_n
SW12_1
CVSFOUT_VDD_n
CVVSL_VDD_1
SW11_n
IN_DAC
SW11_1
CVSFOUT_VDD_1
CVSFOUT_VDD
SW1_1
Lvdd (VDD)
Lvss (VSS)

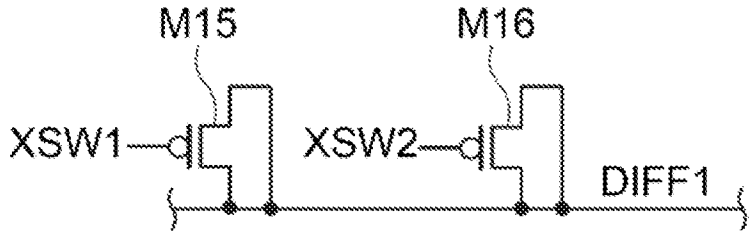
[図19]


CM_OUT
M7
M6
Vgs
VSL
Cout
CpVSL_VDD
DIFF_VOUT0
Cin_VSL
IN_VSL
CpVSL_VSS
Cbandw
VSS
M5
TAIL
M2
M4
M1
M3
CM1
Lvdd
Cin_DAC
Lvss
VDD
CpVSFOUT_VDD
IN_DAC
SFOUT(RMP)
CpSFOUT_VSS
100

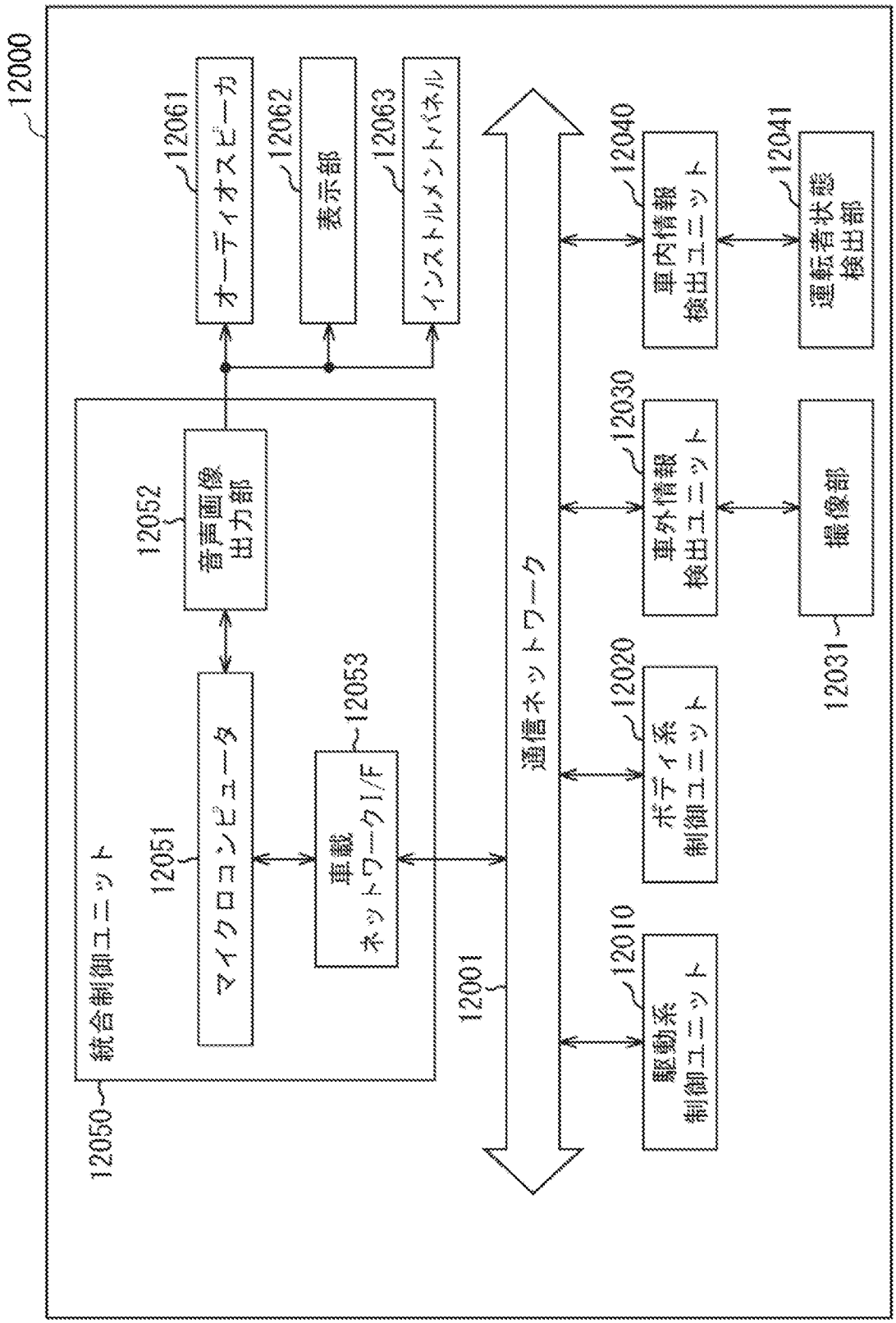
[図20]


Lvdd
M11
Cbandw0
M13
Cbandw1
VDD
SW1
SW2
XSW1
XSW2
DIFF_VOUT0
M12
M14

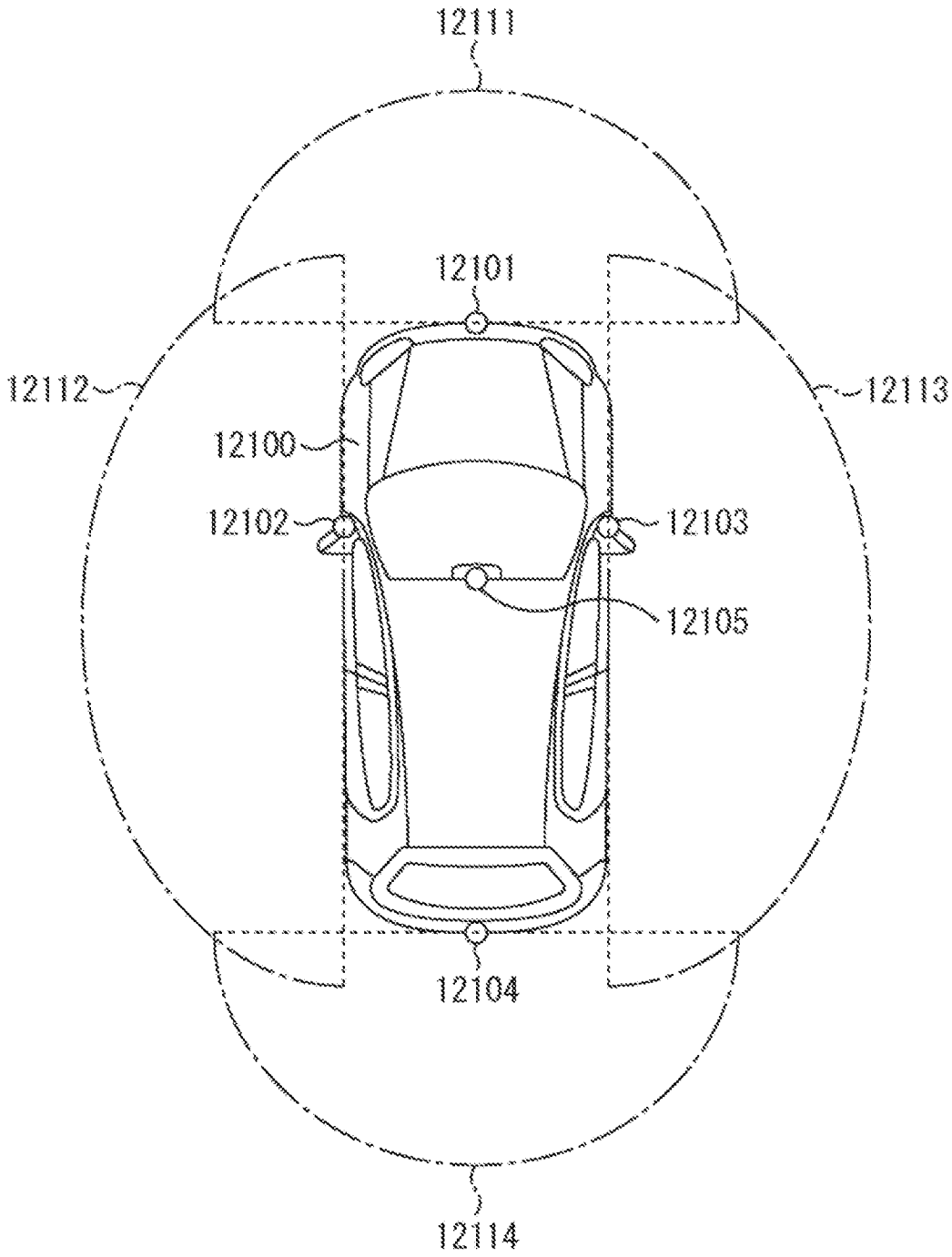
[図21]


M15
M16
XSW1
XSW2
DIFF1

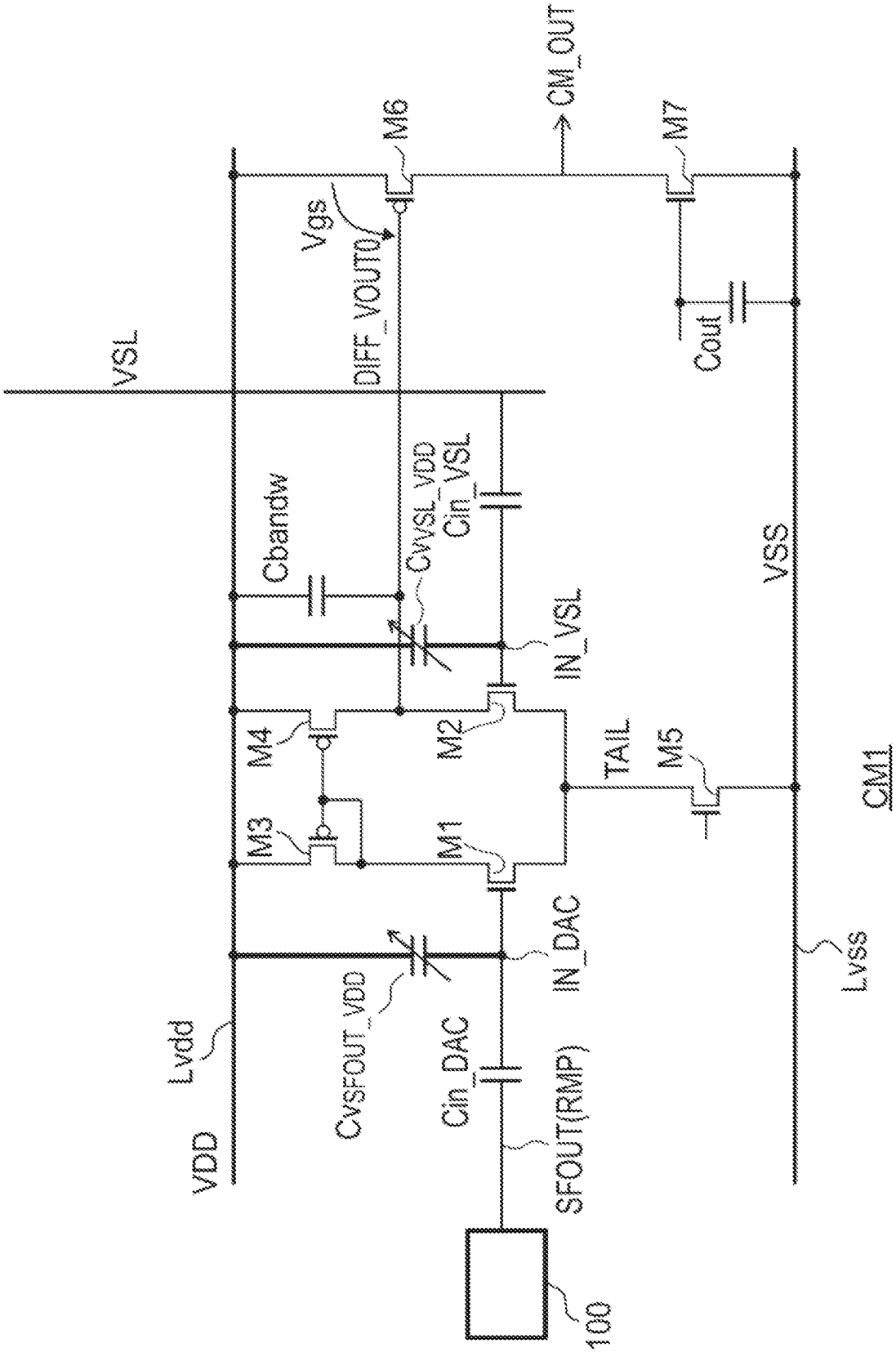
[図22]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12052
音声画像
出力部
12051
マイクロコンピュータ
12053
車載
ネットワークI/F
12050
統合制御ユニット
12001
通信ネットワーク
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12030
車外情報
検出ユニット
撮像部
12031
12020
ボディ系
制御ユニット
12010
駆動系
制御ユニット

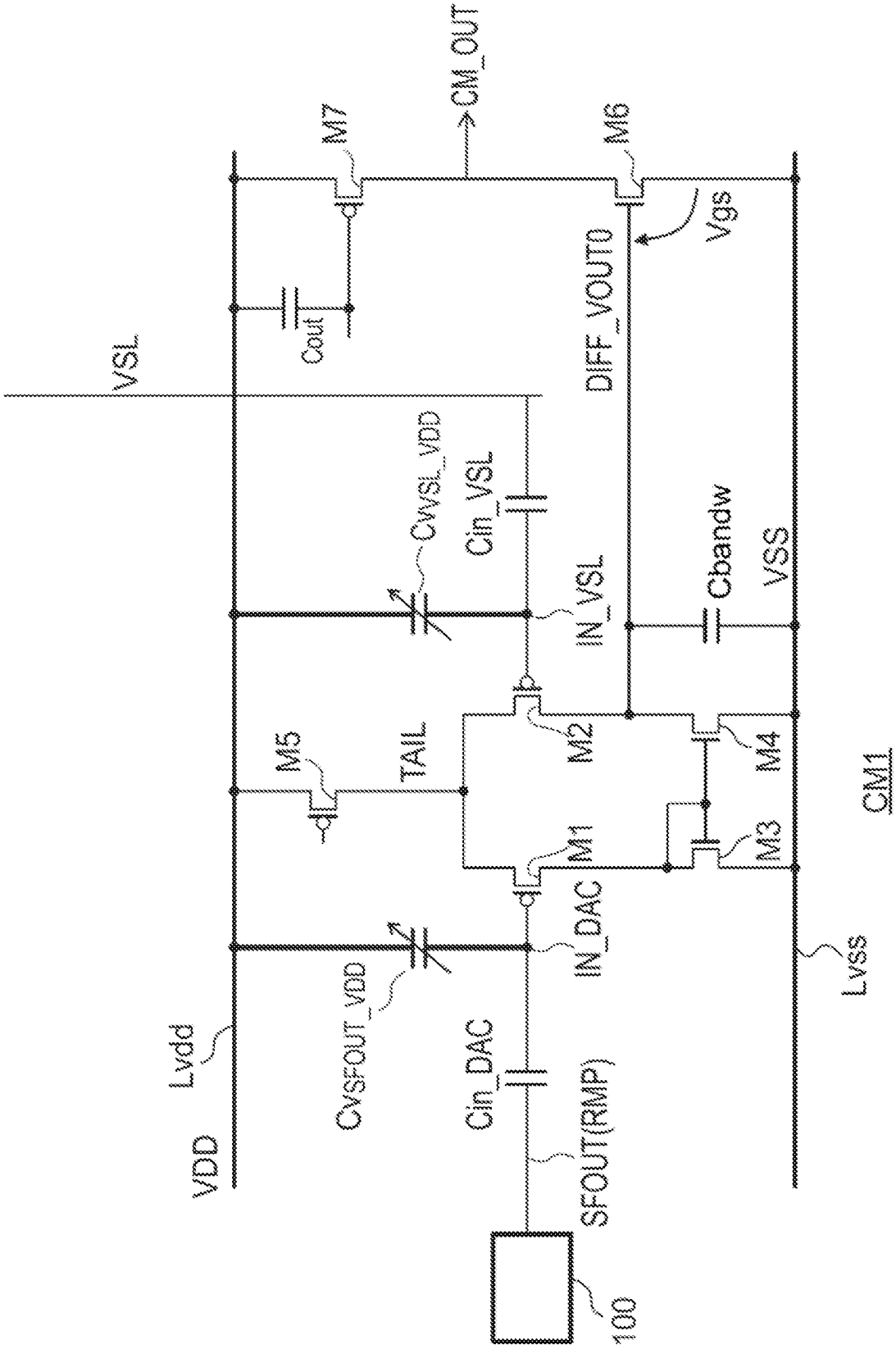
[図23]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

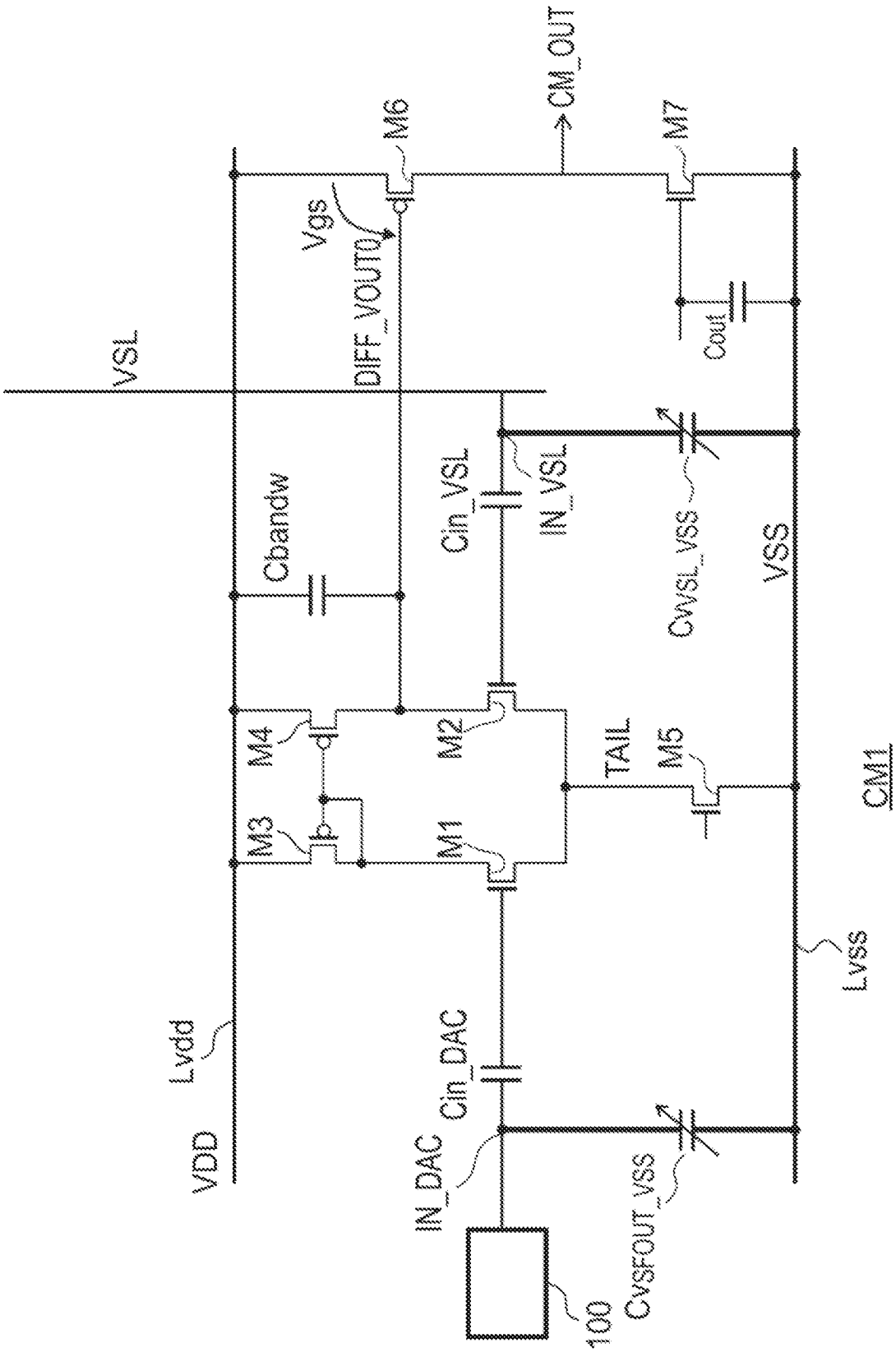
[図24]


CM_OUT
M6
M7
Vgs
DIFF_VOUT0
VSL
Cout
Cbandw
CVSL_VDD
Cin_VSL
VSS
IN_VSL
M4
M2
TAIL
M5
CM1
M3
M1
Lvdd
CVSFOUT_VDD
Cin_DAC
IN_DAC
Lvss
VDD
SFOUT(RMP)
100

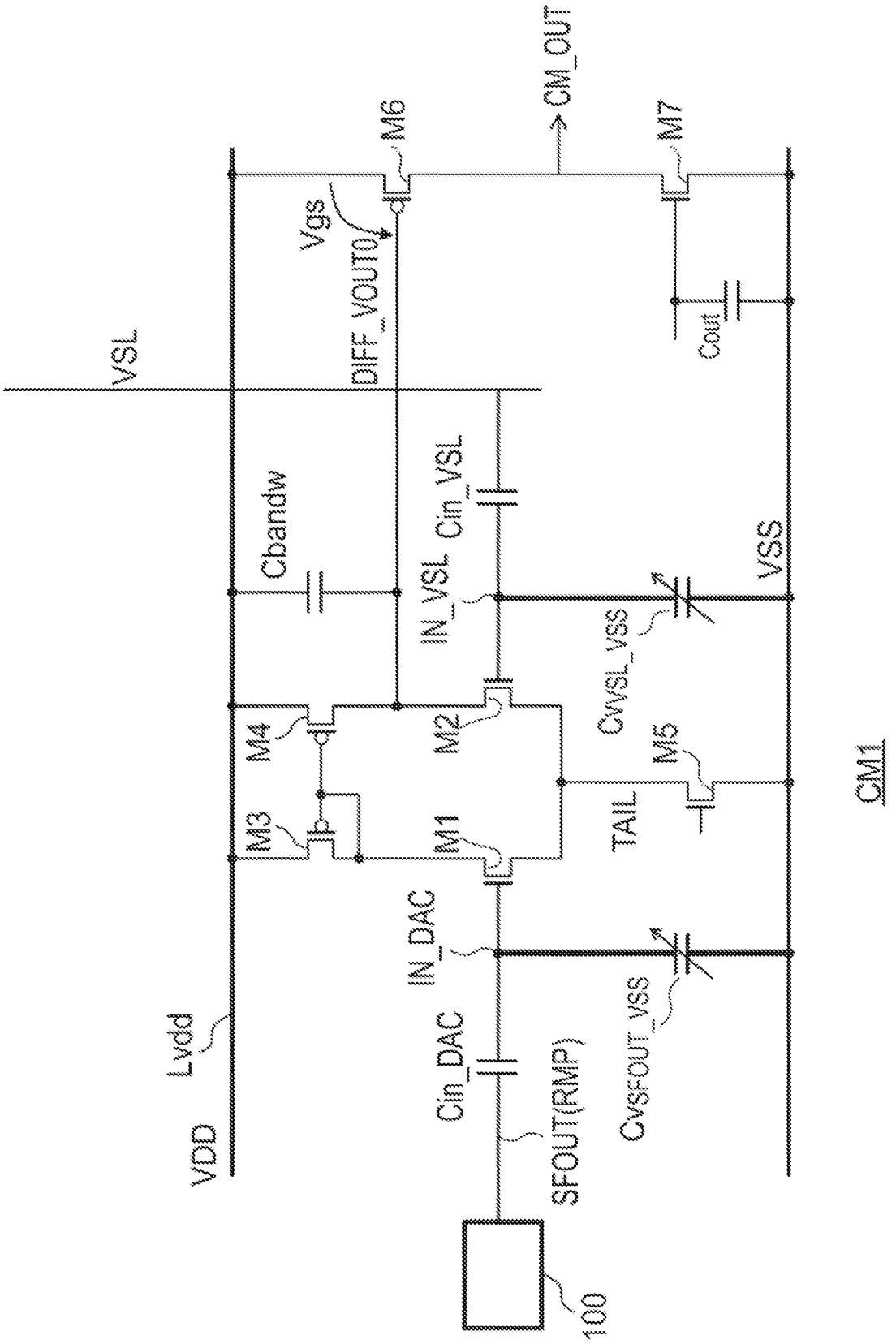
[図25]


CM_OUT
M7
M6
Vgs
DIFF_VOUT0
Cout
VSL
CvVSL_VDD
Cin_VSL
IN_VSL
Cbandw
VSS
M5
TAIL
M2
M4
CM1
M1
M3
IN_DAC
Lvss
CvSFOUT_VDD
Lvdd
Cin_DAC
VDD
SFOUT(RMP)
100

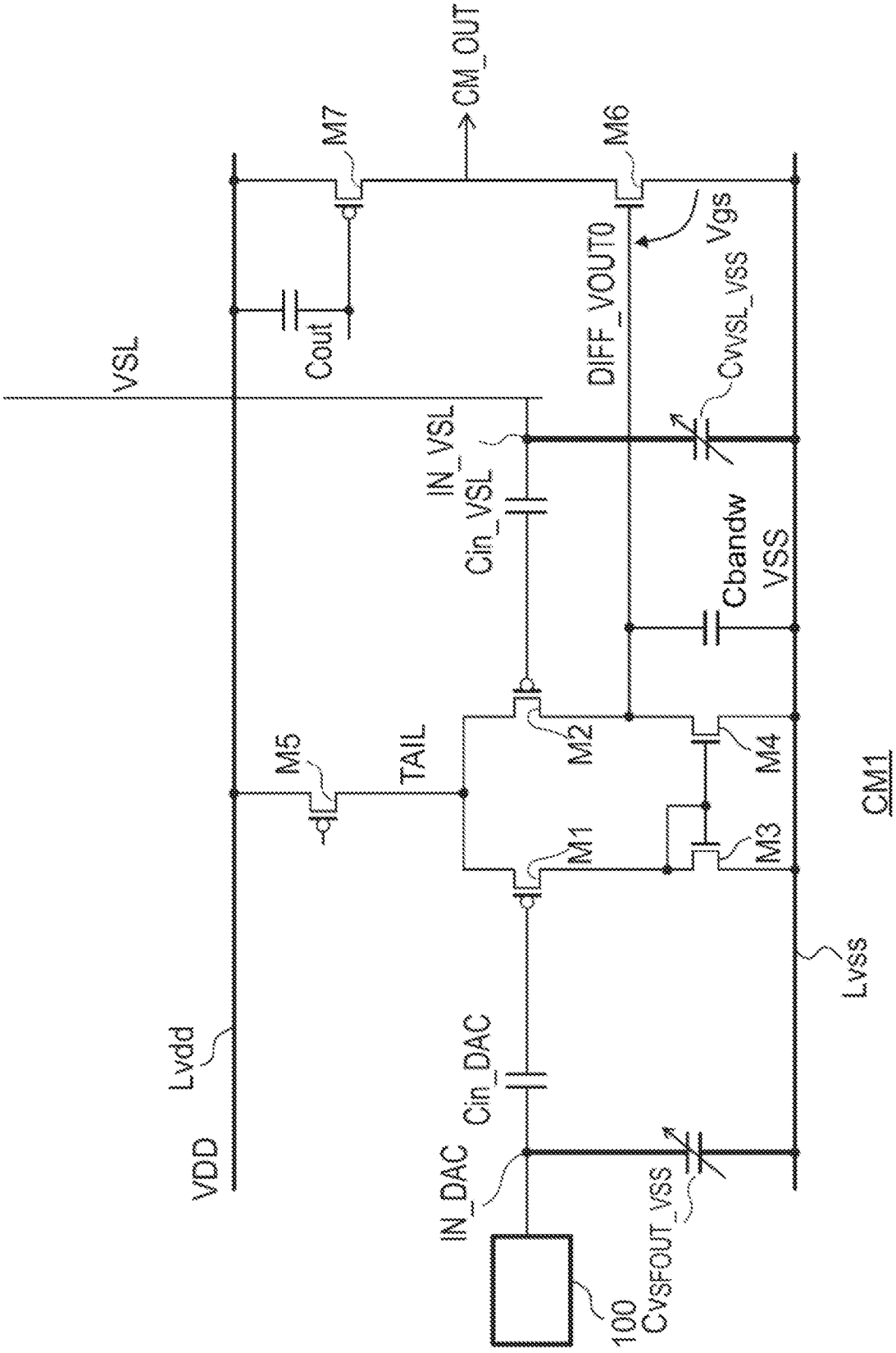
[図26]


CM_OUT
M6
M7
Vgs
DIFF_VOUT0
VSL
Cout
Cbandw
Cin_VSL
IN_VSL
CVVSL_VSS
VSS
M4
M2
TAIL
M5
CM1
M3
M1
Lvdd
Cin_DAC
Lvss
VDD
IN_DAC
CVSFOUT_VSS
100

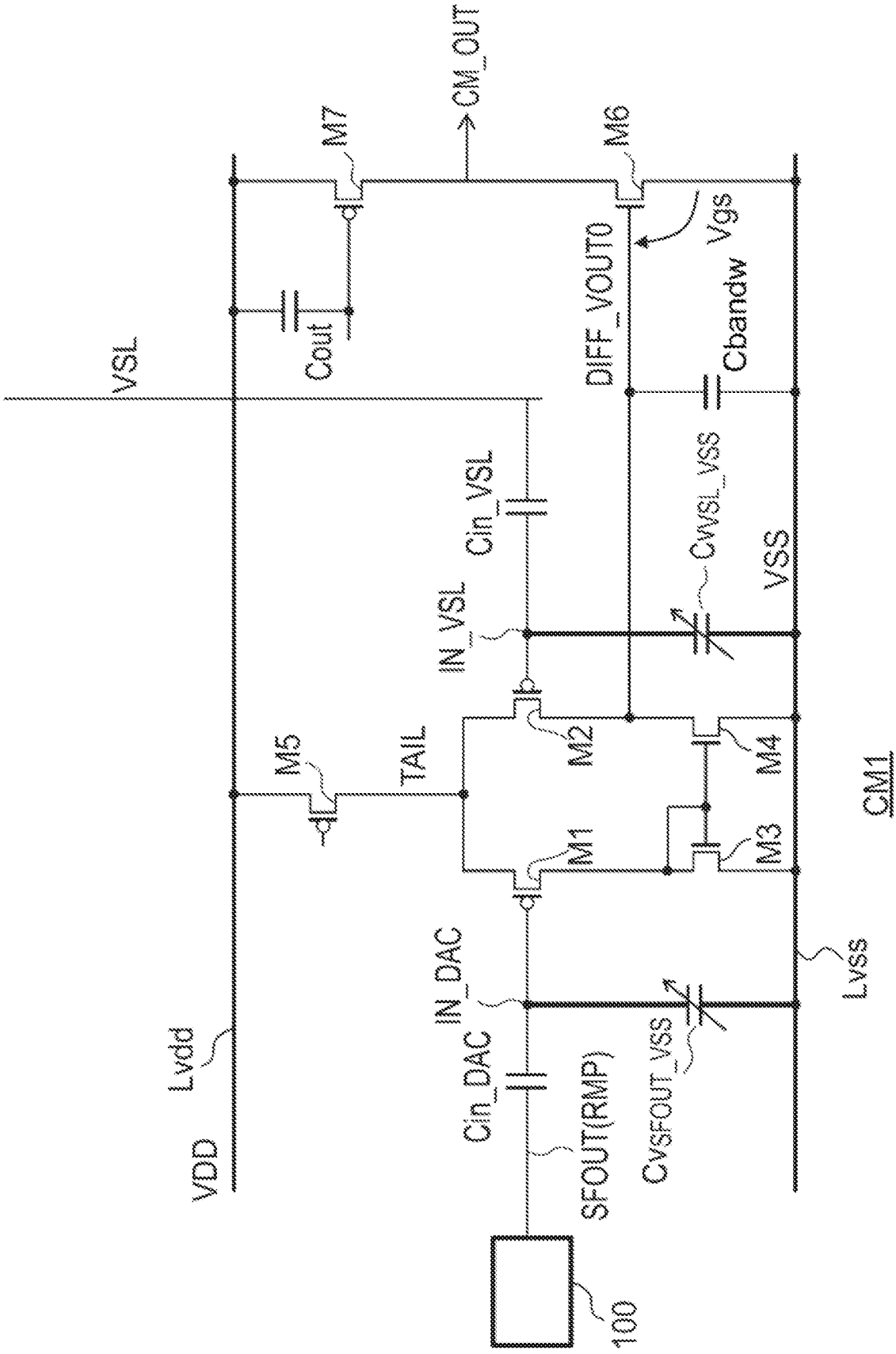
[図27]


CM_OUT
M6
M7
Vgs
DIFF_VOUT0
VSL
Cout
Cbandw
Cin_VSL
IN_VSL
VSS
CVVSL_VSS
M4
M2
M5
M3
M1
TAIL
CM1
IN_DAC
Lvdd
Cin_DAC
SFOUT(RMP)
CVSFOUT_VSS
VDD
100

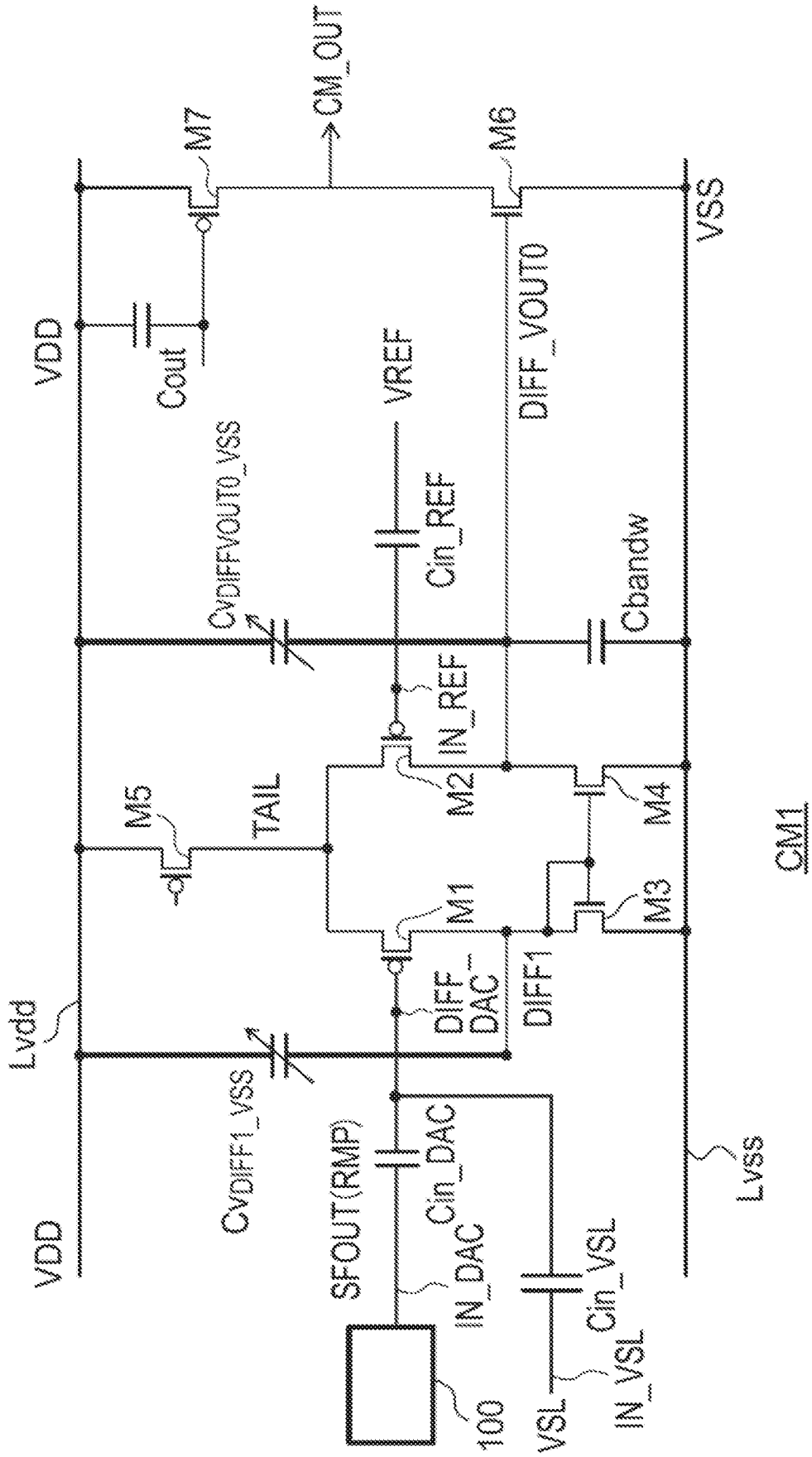
[図28]


CM_OUT
M7
M6
Vgs
DIFF_VOUT0
CVSL_VSS
Cout
VSL
IN_VSL
Cin_VSL
Cbandw
VSS
M5
TAIL
M2
M4
M1
M3
CM1
Lvss
Lvdd
VDD
Cin_DAC
IN_DAC
CVSFOUT_VSS
100

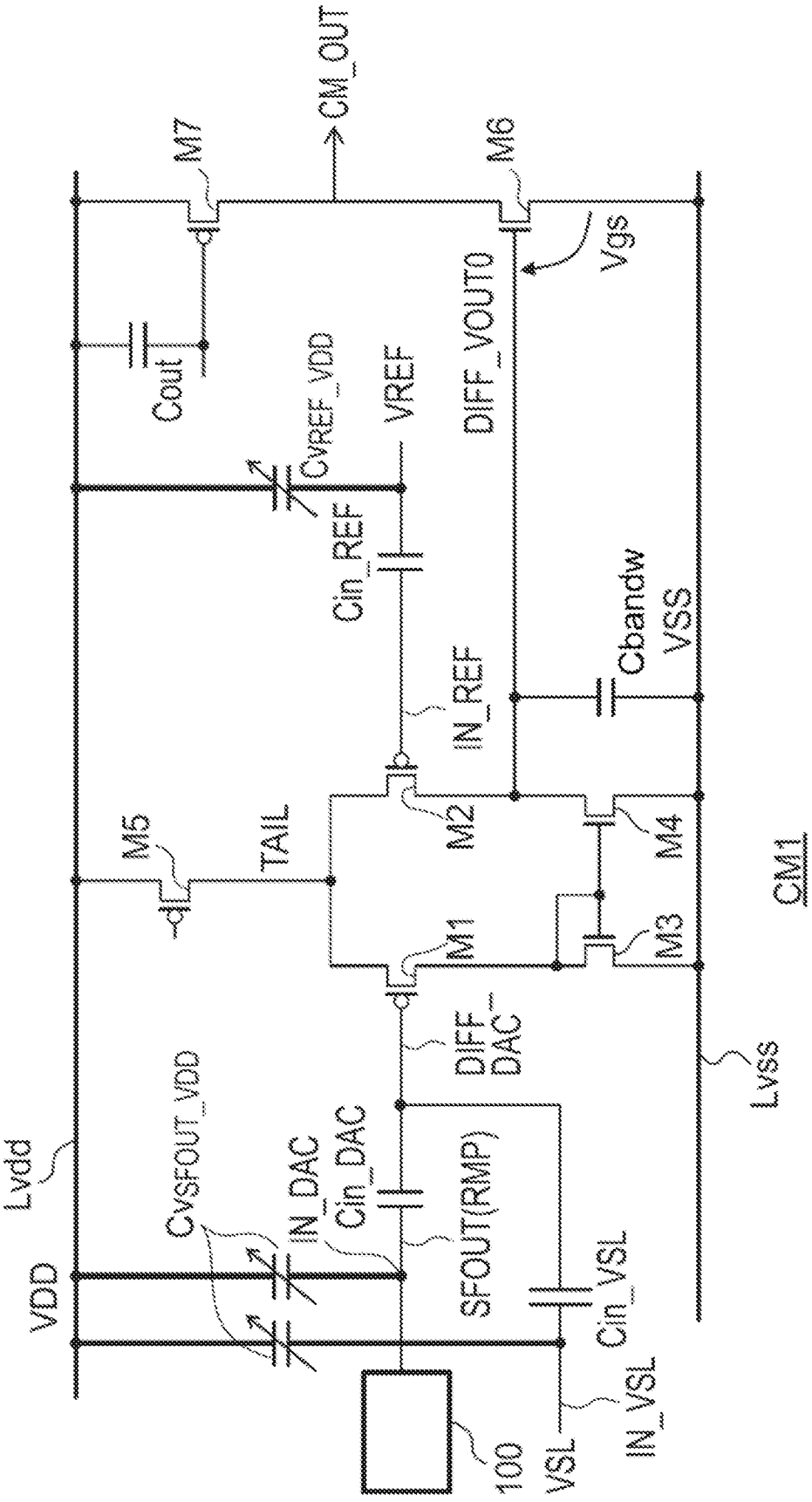
[図29]


CM_OUT
M7
M6
Vgs
Cout
DIFF_VOUT0
Cbandw
VSL
Cin_VSL
CWVSL_VSS
VSS
IN_VSL
M2
M4
M5
TAIL
M1
M3
CM1
IN_DAC
Lvss
Lvdd
Cin_DAC
CVSFOUT_VSS
VDD
SFOUT(RMP)
100

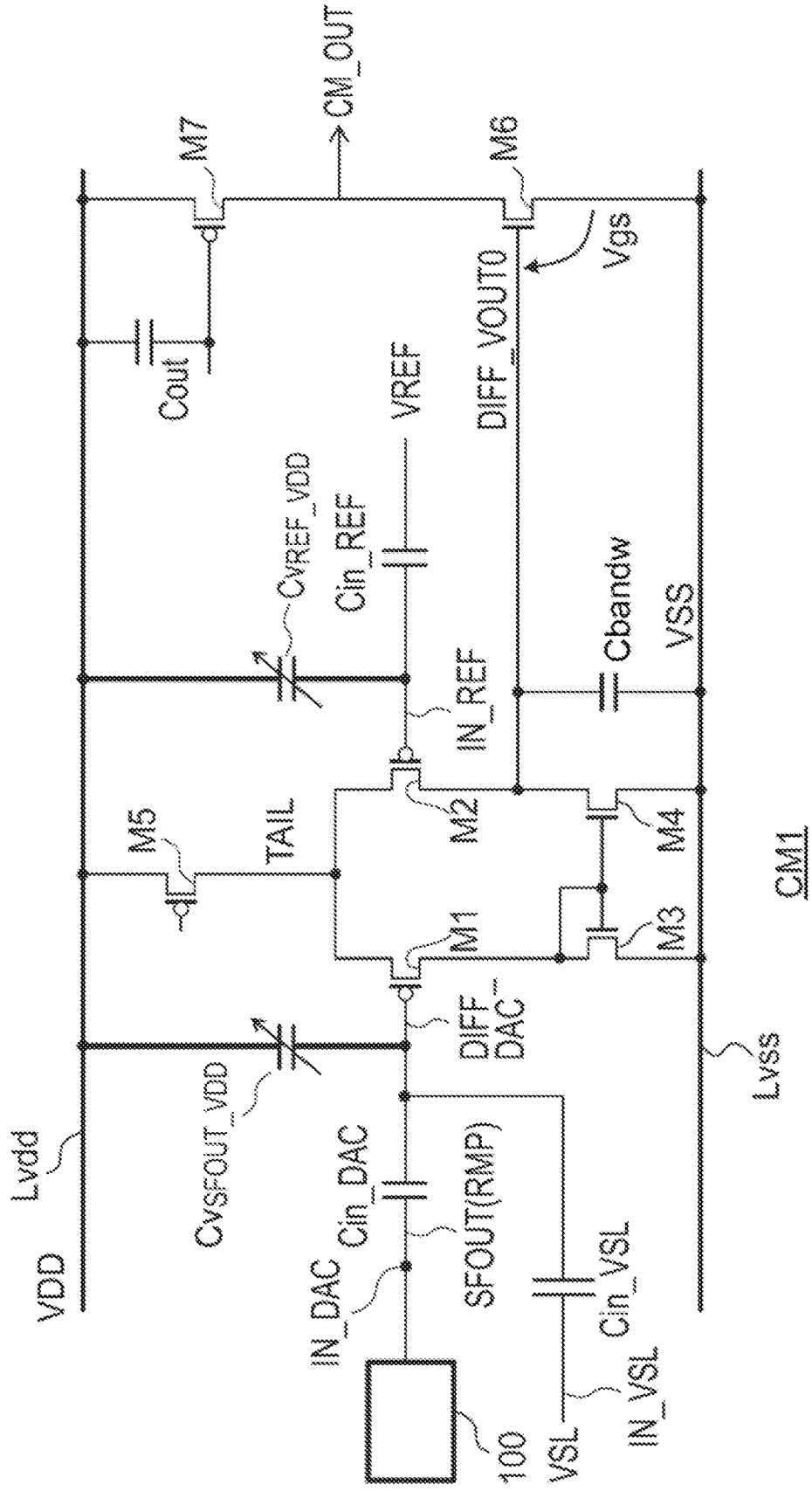
[図30]


CM_OUT
M7
M6
VDD
VSS
Cout
VREF
DIFF_VOUT0
CVDIFFVOUT0_VSS
Cin_REF
Cbandw
IN_REF
M2
M4
M5
TAIL
M1
M3
CM1
Lvdd
DIFF_DAC_
DIFF1
CVDIFF1_VSS
SFOUT(RMP)
Cin_DAC
IN_DAC
Cin_VSL
IN_VSL
VSL
100
Lvss

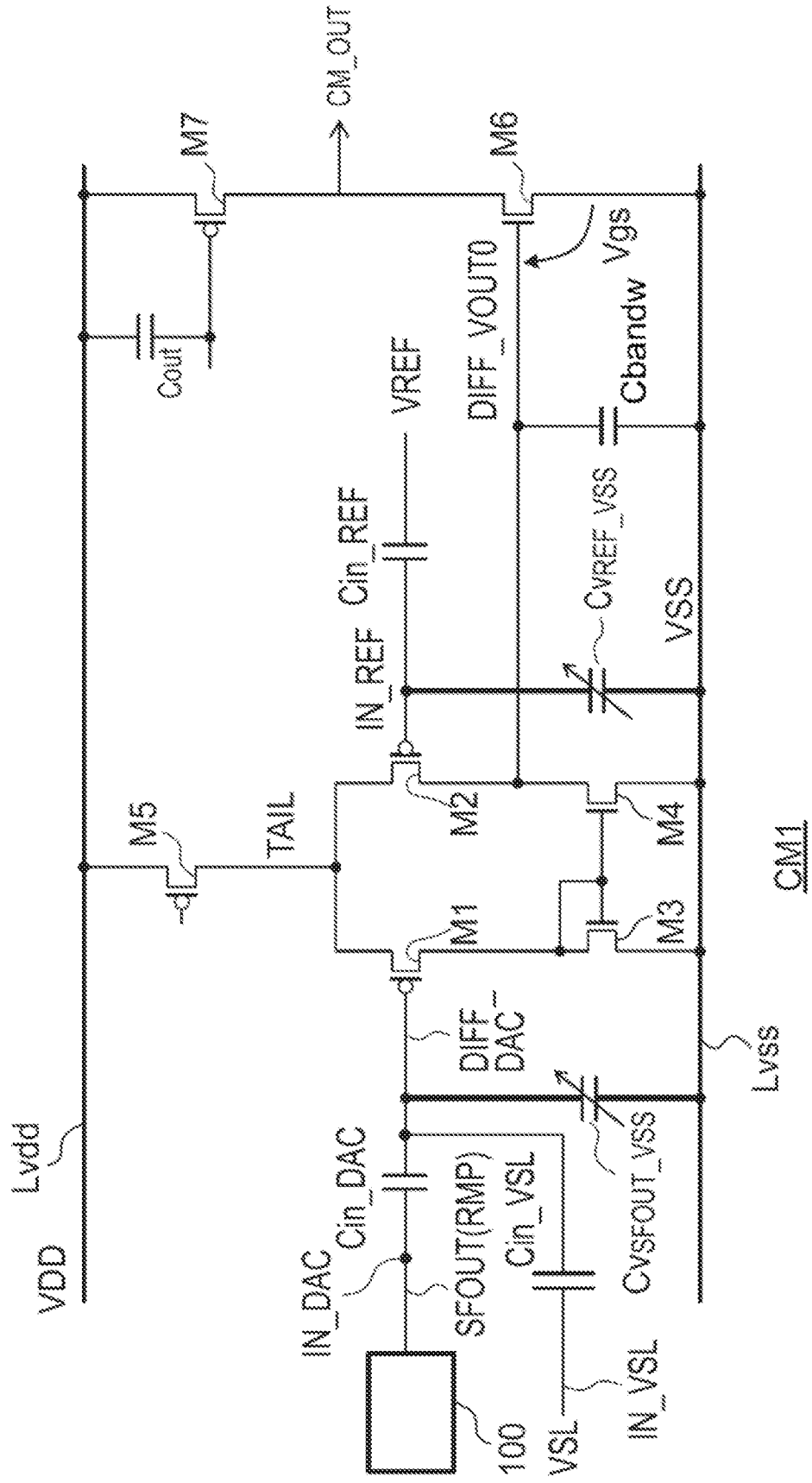
[図31]


CM_OUT
M7
M6
Vgs
Cout
CVREF_VDD
VREF
DIFF_VOUT0
Cin_REF
Cbandw
VSS
IN_REF
M5
TAIL
M2
M4
CM1
M1
M3
DIFF_DAC_
Lvss
Lvdd
CVSFOUT_VDD
IN_DAC
Cin_DAC
SFOUT(RMP)
VDD
Cin_VSL
100
VSL
IN_VSL

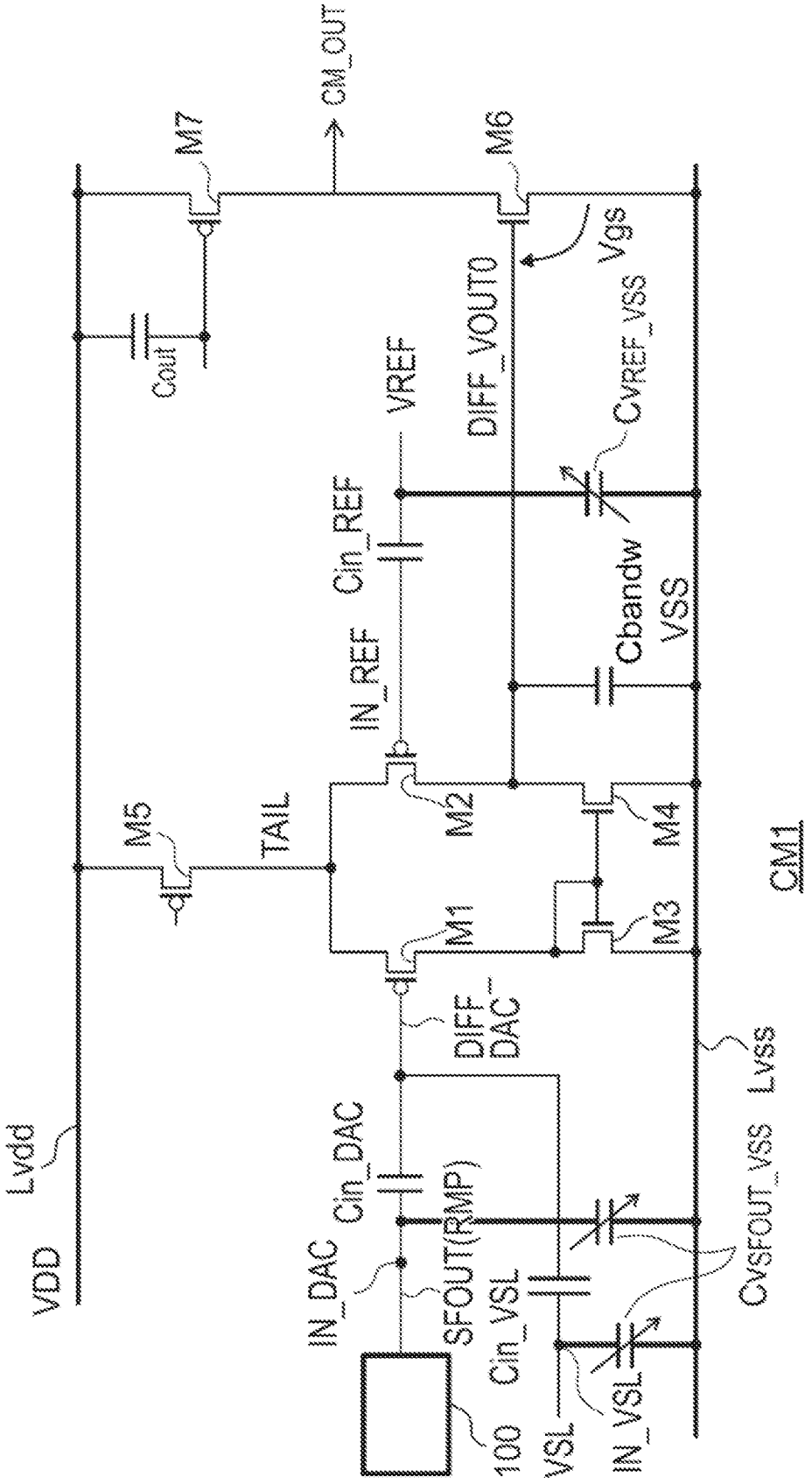
[図32]


CM_OUT
M7
M6
Vgs
Cout
VREF
DIFF_VOUT0
CVREF_VDD
Cin_REF
Cbandw
VSS
IN_REF
M5
TAIL
M2
M4
CM1
M1
M3
DIFF_DAC
Lvss
Lvdd
CVSFOUT_VDD
Cin_DAC
SFOUT(RMP)
VDD
IN_DAC
Cin_VSL
100
VSL
IN_VSL

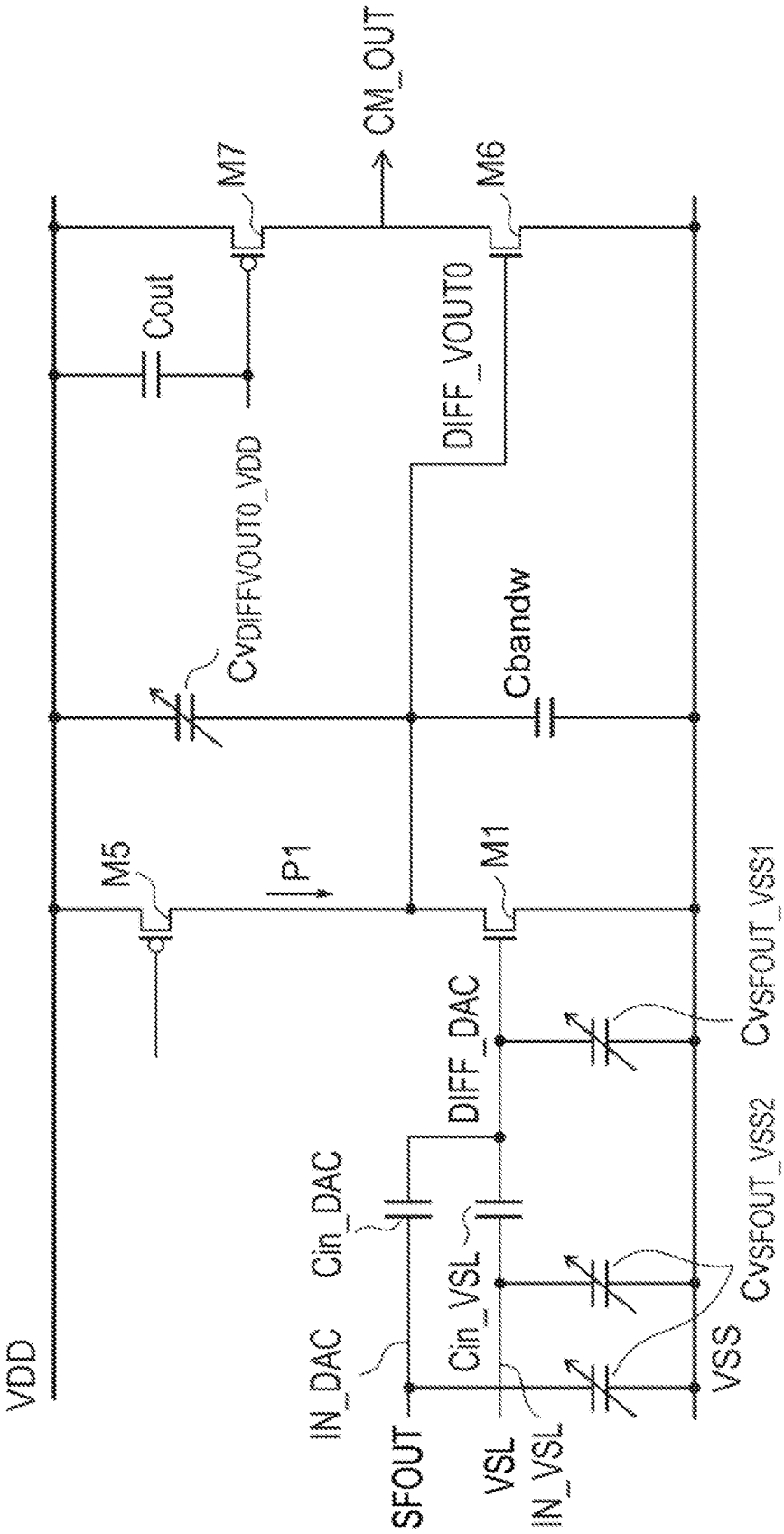
[図33]


CM_OUT
M7
M6
Vgs
Cout
DIFF_VOUT0
Cbandw
VREF
Cin_REF
CVREF_VSS
VSS
IN_REF
M5
TAIL
M2
M4
M1
M3
CM1
DIFF_DAC
Lvdd
VDD
Lvss
Cin_DAC
IN_DAC
SFOUT(RMP)
Cin_VSL
CVSFOUT_VSS
100
VSL
IN_VSL

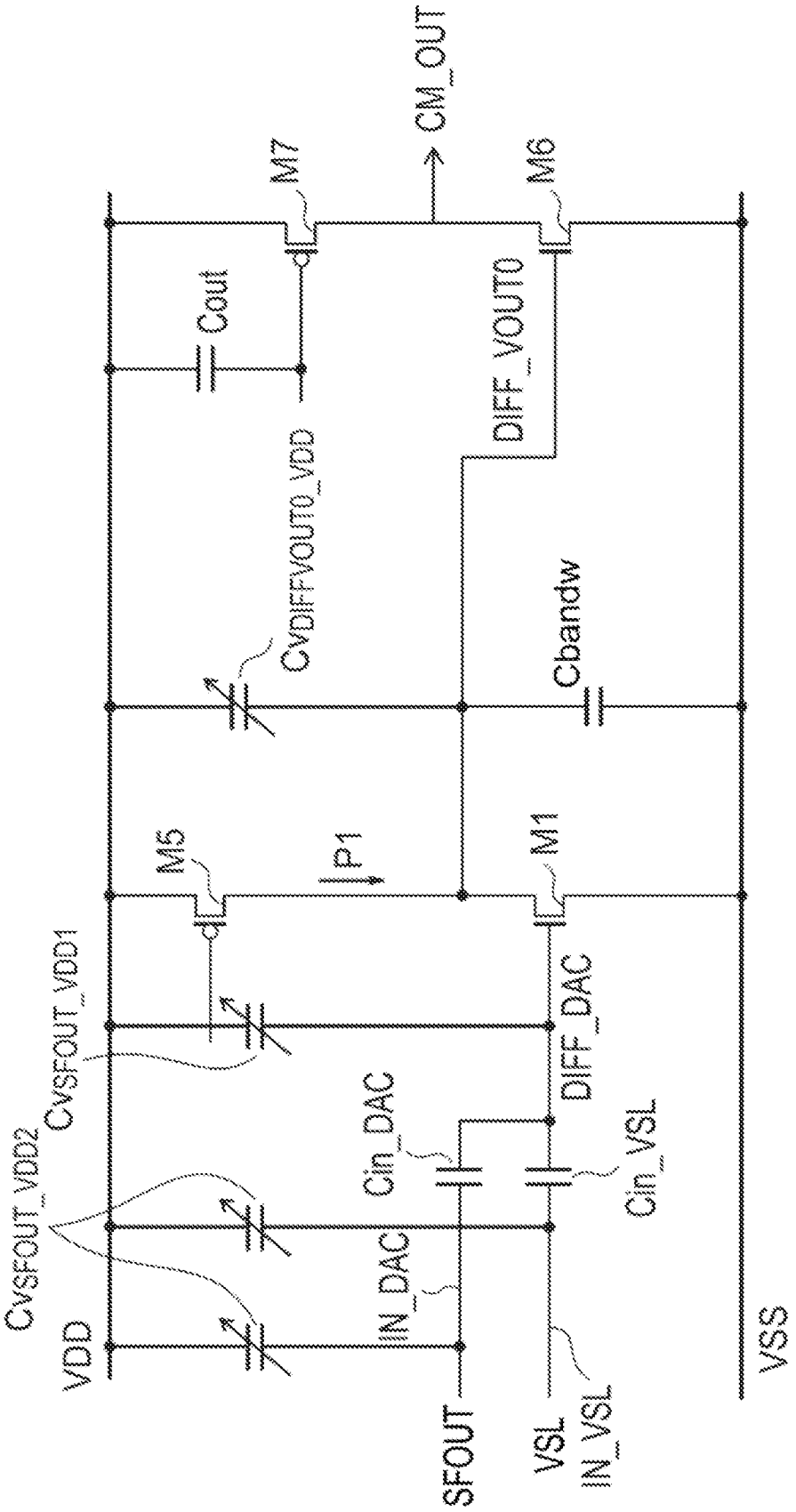
[図34]


CM_OUT
M7
M6
Vgs
Cout
DIFF_VOUT0
VREF
CVREF_VSS
Cin_REF
IN_REF
Cbandw
VSS
M5
TAIL
M2
M4
M1
M3
CM1
DIFF_DAC
Lvss
Lvdd
VDD
Cin_DAC
IN_DAC
SFOUT(RMP)
CVSFOUT_VSS
Cin_VSL
100
VSL
IN_VSL

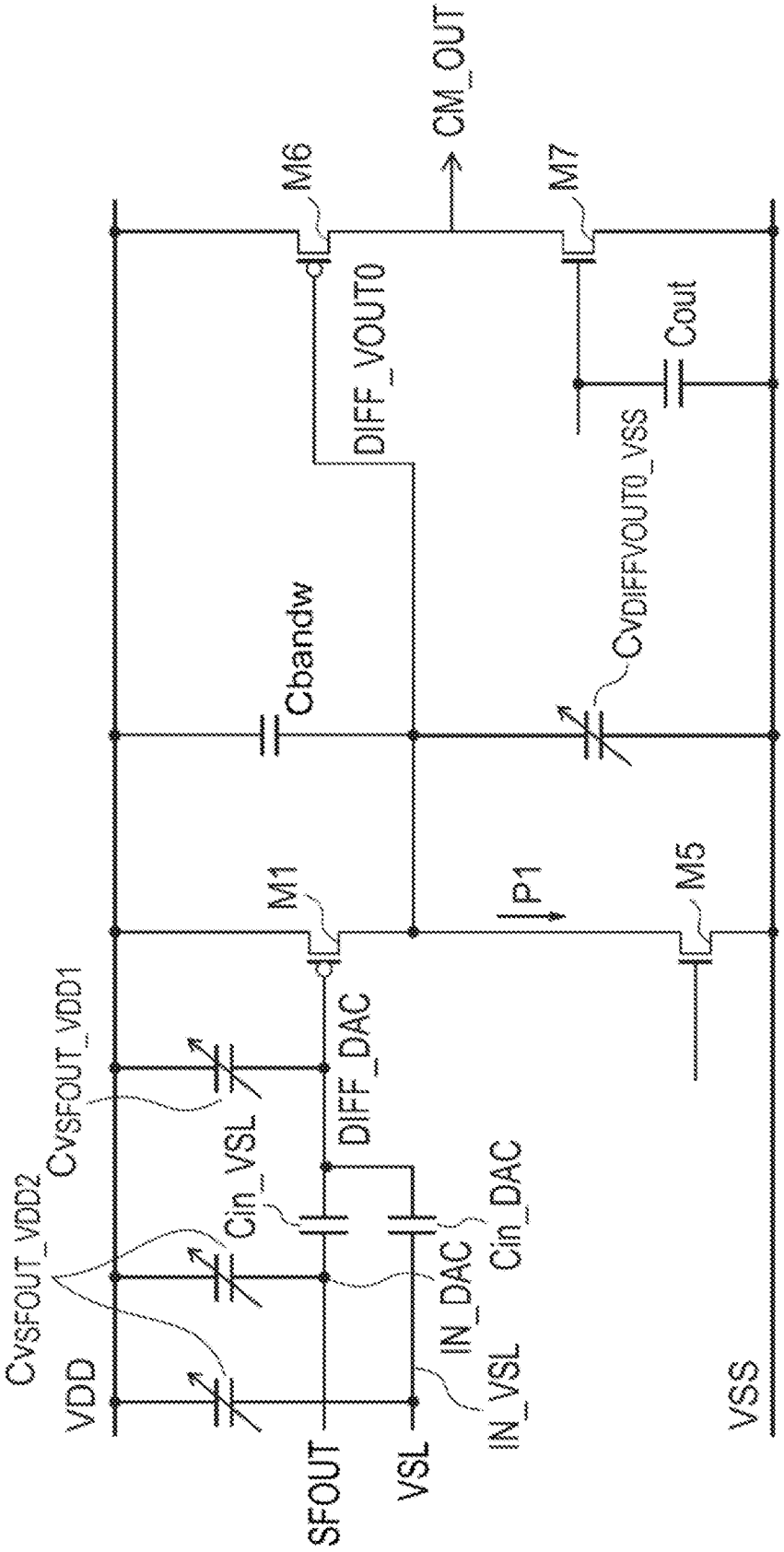
[図35]


CM_OUT
M7
M6
Cout
DIFF_VOUT0
CVDIFFVOUT0_VDD
Cbandw
M5
IP1
M1
DIFF_DAC
CVSFOUT_VSS1
Cin_DAC
Cin_VSL
CVSFOUT_VSS2
VDD
IN_DAC
SFOUT
VSL
IN_VSL
VSS

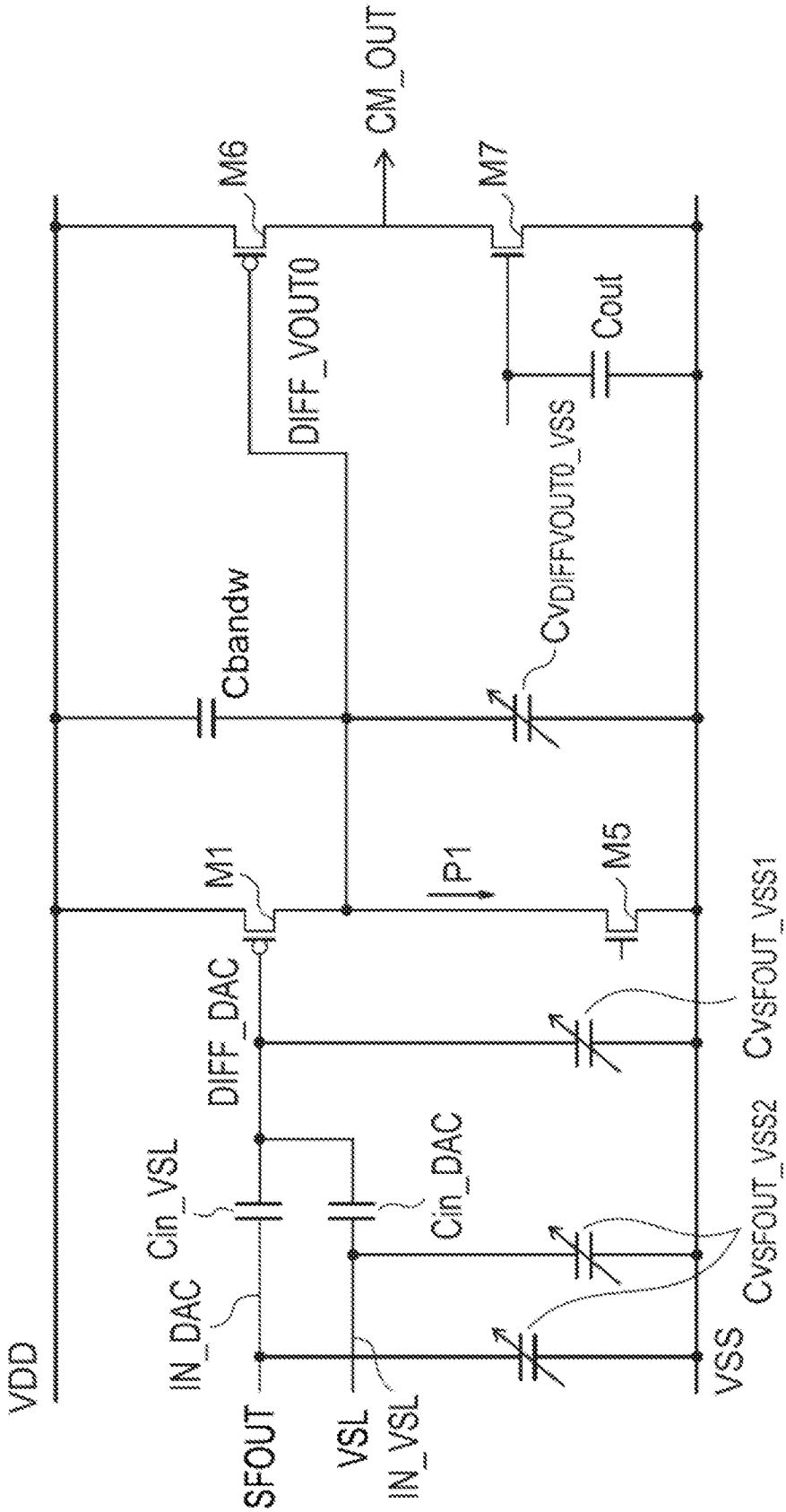
[図36]


CM_OUT
M7
M6
Cout
DIFF_VOUT0
CVDIFFVOUT0_VDD
Cbandw
M5
IP1
M1
CVSFOUT_VDD1
DIFF_DAC
CVSFOUT_VDD2
Cin_DAC
Cin_VSL
IN_DAC
VDD
SFOUT
VSL
IN_VSL
VSS

[図37]


CM_OUT
M6
M7
DIFF_VOUT0
Cout
CVDIFFVOUT0_VSS
Cbandw
M1
P1
M5
DIFF_DAC
CVSFOUT_VDD1
CVSFOUT_VDD2
Cin_VSL
Cin_DAC
IN_DAC
IN_VSL
VDD
SFOUT
VSL
VSS

[図38]


VDD
IN_DAC
Cin_VSL
DIFF_DAC
M1
Cbandw
DIFF_VOUT0
M6
CM_OUT
M7
Cout
CVDIFFVOUT0_VSS
P1
M5
CVSFOUT_VSS1
Cin_DAC
CVSFOUT_VSS2
SFOUT
VSL
IN_VSL
VSS

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/028977

A. CLASSIFICATION OF SUBJECT MATTER

H04N 25/60(2023.01)i
FI: H04N25/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/30-H04N5/33; H04N23/11; H04N23/20-H04N23/30; H04N25/00; H04N25/20-H04N25/61; H04N25/615-H04N25/79; H01L27/14-27/148; H10K39/30-39/38; H01L29/762-29/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-38549 A (CANON KABUSHIKI KAISHA) 21 February 2013 (2013-02-21) abstract, paragraphs [0016]-[019], fig. 3	1-6, 8, 10-16, 18, 21
Y		7, 9, 17, 19
Y	WO 2014/156028 A1 (PANASONIC CORPORATION) 02 October 2014 (2014-10-02) fig. 11	7, 9, 17, 19
Y	CN 112188125 A (CHENGDU WEIGUANG JIDIAN TECHNOLOGY CO., LTD.) 05 January 2021 (2021-01-05) fig. 5	7, 9, 17, 19
X	WO 2021/251041 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 16 December 2021 (2021-12-16) paragraphs [0128]-[0142], fig. 9	20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04 September 2024	**17 September 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/028977

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2013-38549 A	21 February 2013	US 2013/0032695 A1 abstract, paragraphs [0023]-[0026], fig. 3 EP 2555509 A1 CN 102917182 A	
WO 2014/156028 A1	02 October 2014	US 2016/0014363 A1 fig. 11	
CN 112188125 A	05 January 2021	(Family: none)	
WO 2021/251041 A1	16 December 2021	US 2023/0247324 A1 paragraphs [0150]-[0164], fig. 9 EP 4164212 A1 KR 10-2023-0021024 A CN 115885517 A TW 202147826 A	

国際調査報告

国際出願番号
PCT/JP2024/028977

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H04N 25/60(2023.01)i
FI: H04N25/60

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H04N5/30-H04N5/33; H04N23/11; H04N23/20-H04N23/30; H04N25/00; H04N25/20-H04N25/61; H04N25/615-H04N25/79; H01L27/14-27/148; H10K39/30-39/38; H01L29/762-29/768

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2013-38549 A（キヤノン株式会社）21.02.2013 (2013-02-21) ［要約］、段落［００１６］－［００１９］、図３	１－６，８，１０－１６，１８，２１ ７，９，１７，１９
Y	WO 2014/156028 A1（パナソニック株式会社）02.10.2014 (2014-10-02) 図１１	７，９，１７，１９
Y	CN 112188125 A (CHENGDU WEIGUANG JIDIAN TECHNOLOGY CO., LTD.) 05.01.2021 (2021-01-05) 図５	７，９，１７，１９
X	WO 2021/251041 A1（ソニーセミコンダクタソリューションズ株式会社）16.12.2021 (2021-12-16) 段落［０１２８］－［０１４２］、図９	２０

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
04.09.2024	17.09.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

櫃本　研太郎 2V 4411

電話番号 03-3581-1101 内線 3271

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/028977

引用文献	公表日	パテントファミリー文献	公表日
JP 2013-38549 A	21.02.2013	US 2013/0032695 A1 ［要約］、段落［００２３］－［００２６］、図３ EP 2555509 A1 CN 102917182 A	
WO 2014/156028 A1	02.10.2014	US 2016/0014363 A1 図１１	
CN 112188125 A	05.01.2021	（ファミリーなし）	
WO 2021/251041 A1	16.12.2021	US 2023/0247324 A1 段落［０１５０］－［０１６４］、図９ EP 4164212 A1 KR 10-2023-0021024 A CN 115885517 A TW 202147826 A	