

명세서

청구범위

청구항 1

비반전 입력 단자와, 반전 입력 단자와, 출력 단자와,

상기 비반전 입력 단자와 상기 반전 입력 단자에 접속된 N 형 MOS 트랜지스터의 차동 입력 회로를 구비한 제 1 차동 증폭 회로와,

상기 비반전 입력 단자와 상기 반전 입력 단자에 접속된 P 형 MOS 트랜지스터의 차동 입력 회로를 구비한 제 2 차동 증폭 회로와,

상기 제 1 차동 증폭 회로와 상기 제 2 차동 증폭 회로에 접속된 출력 회로를 구비한 차동 증폭기로서,

상기 제 1 차동 증폭 회로의 전류원인 트랜지스터에, 상기 비반전 입력 단자의 전압에 따라 정전류값이 변화되는 전류 제어 회로를 형성하여, 상기 비반전 입력 단자의 전압이 변화되었을 때에 출력 트랜지스터에 흐르는 전류량을 일정한 값으로 유지하는 것을 특징으로 하는 차동 증폭기.

청구항 2

제 1 항에 있어서,

상기 전류 제어 회로는,

정전류원과,

게이트가 상기 비반전 입력 단자에 접속되고, 소스가 상기 정전류원에 접속되고, 드레인이 상기 제 1 차동 증폭 회로의 전류원인 트랜지스터에 접속된 N 형 MOS 트랜지스터를 구비한 것을 특징으로 하는 차동 증폭기.

청구항 3

비반전 입력 단자와, 반전 입력 단자와, 출력 단자와,

상기 비반전 입력 단자와 상기 반전 입력 단자에 접속된 N 형 MOS 트랜지스터의 차동 입력 회로를 구비한 제 1 차동 증폭 회로와,

상기 비반전 입력 단자와 상기 반전 입력 단자에 접속된 P 형 MOS 트랜지스터의 차동 입력 회로를 구비한 제 2 차동 증폭 회로와,

상기 제 1 차동 증폭 회로와 상기 제 2 차동 증폭 회로에 접속된 출력 회로를 구비한 차동 증폭기로서,

상기 제 2 차동 증폭 회로의 전류원인 트랜지스터에, 상기 비반전 입력 단자의 전압에 따라 정전류값이 변화되는 전류 제어 회로를 형성하여, 상기 비반전 입력 단자의 전압이 변화되었을 때에 출력 트랜지스터에 흐르는 전류량을 일정한 값으로 유지하는 것을 특징으로 하는 차동 증폭기.

청구항 4

제 3 항에 있어서,

상기 전류 제어 회로는,

정전류원과,

게이트가 상기 비반전 입력 단자에 접속되고, 소스가 상기 정전류원에 접속되고, 드레인이 상기 제 2 차동 증폭 회로의 전류원인 트랜지스터에 접속된 P 형 MOS 트랜지스터를 구비한 것을 특징으로 하는 차동 증폭기.

발명의 설명

기술 분야

[0001] 본 발명은 CMOS 회로로 구성된 차동 증폭기에 관한 것이다.

배경 기술

[0002] 차동 증폭기에 있어서, 입력 전압 범위를 크게 하는 기술로서, N 형 MOS 트랜지스터의 차동 입력 회로와 P 형 MOS 트랜지스터의 차동 입력 회로를 형성하는 것이 알려져 있다.

[0003] 도 4 는 종래의 입력 Rail to Rail 의 차동 증폭기이다.

[0004] 종래의 입력 Rail to Rail 의 차동 증폭기는, 비반전 입력 단자 (143) 와, 반전 입력 단자 (144) 와, P 형 MOS 트랜지스터 (107 및 108) 와 N 형 MOS 트랜지스터 (101 및 102) 와 정전류원 (121) 으로 이루어지는 차동 증폭 회로와, P 형 MOS 트랜지스터 (103 및 104) 와 N 형 MOS 트랜지스터 (113 및 114) 와 정전류원 (122) 으로 이루어지는 차동 증폭 회로와, P 형 MOS 트랜지스터 (107 및 108) 에 전류를 흐르게 하는 정전류원 (124) 과, 차동 증폭 회로와 출력 단자 (145) 사이에 형성된 출력 회로를 구비하고 있다. 출력 회로는 P 형 MOS 트랜지스터 (117) 및 N 형 MOS 트랜지스터 (118) 로 이루어지는 출력 드라이버와, 위상 보상 용량 (151 및 152) 을 구비하고 있다.

[0005] 비반전 입력 단자 (143) 나 반전 입력 단자 (144) 에 전원 전압 부근의 전압이 입력될 때에는, P 형 MOS 트랜지스터 (103 및 104) 는 오프되지만, N 형 MOS 트랜지스터 (101 및 102) 로 이루어지는 차동 입력 회로가 동작한다. 또, 비반전 입력 단자 (143) 나 반전 입력 단자 (144) 에 GND 전압 부근의 전압이 입력될 때에는, N 형 MOS 트랜지스터 (101 및 102) 는 오프되지만, P 형 MOS 트랜지스터 (103 및 104) 로 이루어지는 차동 입력 회로가 동작한다. 따라서, 입력 Rail to Rail 동작을 실현하고 있다. 여기에서, 단자 (131, 132, 133, 134) 에는 캐스코드 전압이 투입된다.

[0006] 또, 출력 단자 (145) 에 연결되는 출력 드라이버의 P 형 MOS 트랜지스터 (117) 및 N 형 MOS 트랜지스터 (118) 는, 게이트 전압이, P 형 MOS 트랜지스터 (115) 및 N 형 MOS 트랜지스터 (116) 에 의해 적절한 전압으로 제어된다. 그리고, P 형 MOS 트랜지스터 (110) 및 N 형 MOS 트랜지스터 (112) 에 임의의 전류가 흐름으로써, 출력 단자 (145) 에 부하 전류가 없는 경우에도, 출력 드라이버 트랜지스터에 전류가 흘러, AB 급 출력 동작을 실현하고 있다 (예를 들어, 비특허문헌 1 참조).

[0007] 상기와 같이, 비반전 입력 단자 (143) 의 전압이 GND 전압에서부터 전원 전압까지 변화되어도, P 형 MOS 트랜지스터의 차동 입력 회로 또는 N 형 MOS 트랜지스터의 차동 입력 회로 중 어느 것이 동작함으로써 입력 Rail to Rail 동작할 수 있게 되어 있다.

선행기술문헌

비특허문헌

[0008] (비특허문헌 0001) 아날로그 CMOS 집적 회로의 설계 하권 P396

발명의 내용

해결하려는 과제

[0009] 그러나, 상기 서술한 차동 증폭기는, 비반전 입력 단자 (143) 나 반전 입력 단자 (144) 에 입력되는 전압 레벨에 따라 출력 드라이버 트랜지스터에 흐르는 전류값이 변화해 버린다는 과제가 있다.

[0010] 도 5 는 도 4 의 회로에 있어서 비반전 입력 단자 (143) 의 전압을 변화시킨 경우의 각 노드의 전류값을 나타내고 있다.

[0011] AB 급 출력 동작을 하기 위해서는, 비록 출력 단자 (145) 에 부하 전류가 흐르지 않는 경우에도, P 형 MOS 트랜지스터 (117) 와 N 형 MOS 트랜지스터 (118) 에 전류가 흐르고 있을 것이 요구된다.

[0012] P 형 MOS 트랜지스터 (117) 에 항상 전류가 흐르도록 게이트-소스 간 전압을 조정하고 있는 것이 P 형 MOS 트랜지스터 (115) 이다. 따라서, P 형 MOS 트랜지스터 (117) 의 전류값은, P 형 MOS 트랜지스터 (115) 의 임계값과 흐르고 있는 전류값에 의해 결정된다. N 형 MOS 트랜지스터 (118) 에 항상 전류가 흐르도록 게이트-소스 간 전압을 조정하고 있는 것이 N 형 MOS 트랜지스터 (116) 이다. 따라서, N 형 MOS 트랜지스터 (118) 의

전류값은, N 형 MOS 트랜지스터 (116) 의 임계값과 흐르고 있는 전류값에 의해 결정된다. P 형 MOS 트랜지스터 (110) 로부터 흘러나오는 전류는, P 형 MOS 트랜지스터 (115), N 형 MOS 트랜지스터 (116) 로 2 등분된다.

P 형 MOS 트랜지스터 (110) 에 흐르는 전류는, 정전류원 (124) 이 커런트 미러된 P 형 MOS 트랜지스터 (108) 의 전류값에서 N 형 MOS 트랜지스터 (102) 의 전류값을 뺀 정도이다.

[0013] 전술한 바와 같이, N 형 MOS 트랜지스터 (102) 의 전류값은, 비반전 입력 단자 (143) 의 전압이 전원 전압 부근이 되었을 때에 감소한다. 이 때문에, P 형 MOS 트랜지스터 (110) 에 흐르는 전류가 증가하여, 결과적으로 P 형 MOS 트랜지스터 (117) 와 N 형 MOS 트랜지스터 (118) 에 흐르는 전류값이 크게 변화해 버린다. 이로써, 출력 단자 (145) 에 접속하여 구동시킬 수 있는 출력 용량값이 상이하기 때문에, 위상 보상을 하기 곤란해진다. 즉, 위상 보상 용량 (151 및 152) 은 마진을 가진 큰 용량이 필요해진다.

[0014] 본 발명은 이상과 같은 과제를 해결하기 위해 고안된 것으로서, 입력 전압에 따라 출력 전류가 변화되지 않는 차동 증폭기를 실현하는 것이다.

과제의 해결 수단

[0015] 본 발명은, 차동 증폭기에 있어서, 비반전 입력 단자의 전압에 따라 정전류값을 변화시킴으로써 상기 과제를 해결한 것이다.

발명의 효과

[0016] 본 발명에 의해, 비반전 입력 단자의 전압이 변화된 경우에도 출력 트랜지스터에 흐르는 전류를 일정하게 할 수 있게 된다.

도면의 간단한 설명

- [0017] 도 1 은 본 발명의 차동 증폭기를 나타내는 회로도이다.
- 도 2 는 도 1 의 차동 증폭기의 입력 전압-전류 특성을 나타내는 도면이다.
- 도 3 은 본 발명의 차동 증폭기의 다른 예를 나타내는 회로도이다.
- 도 4 는 종래의 차동 증폭기를 나타내는 회로도이다.
- 도 5 는 종래의 차동 증폭기에 있어서의 입력 전압-전류 특성을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하에 도면을 참조하여 본 발명의 차동 증폭기에 대하여 설명한다.
- [0019] 도 1 은 본 발명의 차동 증폭기를 나타내는 회로도이다.
- [0020] 본 발명의 차동 증폭기는, 비반전 입력 단자 (143) 와, 반전 입력 단자 (144) 와, P 형 MOS 트랜지스터 (107 및 108) 와 N 형 MOS 트랜지스터 (101 및 102) 와 정전류원 (121) 으로 이루어지는 차동 증폭 회로와, P 형 MOS 트랜지스터 (103 및 104) 와 N 형 MOS 트랜지스터 (113 및 114) 와 정전류원 (122) 으로 이루어지는 차동 증폭 회로와, P 형 MOS 트랜지스터 (107 및 108) 에 전류를 흐르게 하는 정전류원 (124) 과, 차동 증폭 회로와 출력 단자 (145) 사이에 형성된 출력 회로를 구비하고 있다.
- [0021] N 형 MOS 트랜지스터 (101 및 102) 는, N 형 MOS 트랜지스터의 차동 입력 회로를 구성하고 있다. P 형 MOS 트랜지스터 (103 및 104) 는, P 형 MOS 트랜지스터의 차동 입력 회로를 구성하고 있다. N 형 MOS 트랜지스터의 차동 입력 회로에 있어서, P 형 MOS 트랜지스터 (107 및 108) 가 전류원이고, N 형 MOS 트랜지스터 (113 및 114) 가 커런트 미러로 되어 있다.
- [0022] 출력 회로는 P 형 MOS 트랜지스터 (117) 및 N 형 MOS 트랜지스터 (118) 로 이루어지는 출력 드라이버와, 위상 보상 용량 (151 및 152) 을 구비하고 있다. 본 발명의 차동 증폭기는, 추가로 P 형 MOS 트랜지스터 (107 및 108) 에 전류를 흐르게 하는 전류 제어 회로인, 정전류원 (123) 과, N 형 MOS 트랜지스터 (105) 를 구비하고 있다.
- [0023] 비반전 입력 단자 (143) 나 반전 입력 단자 (144) 에 전원 전압 부근의 전압이 입력될 때에는, P 형 MOS 트랜지스터 (103 및 104) 는 오프되지만, N 형 MOS 트랜지스터 (101 및 102) 로 이루어지는 차동 입력 회로가 동작한

다. 또, 비반전 입력 단자 (143) 나 반전 입력 단자 (144) 에 GND 전압 부근의 전압이 입력될 때에는, N 형 MOS 트랜지스터 (101 및 102) 는 오프되지만, P 형 MOS 트랜지스터 (103 및 104) 로 이루어지는 차동 입력 회로가 동작한다. 여기에서, 단자 (131, 132, 133, 134) 에는 캐스코드 전압이 투입된다.

[0024] 또, 출력 단자 (145) 에 연결되는 출력 드라이버의 P 형 MOS 트랜지스터 (117) 및 N 형 MOS 트랜지스터 (118) 는, 게이트 전압이, P 형 MOS 트랜지스터 (115) 및 N 형 MOS 트랜지스터 (116) 에 의해 적절한 전압으로 제어된다. 그리고, P 형 MOS 트랜지스터 (110) 및 N 형 MOS 트랜지스터 (112) 에 임의의 전류가 흐름으로써, 출력 단자 (145) 에 부하 전류가 없는 경우에도, 출력 드라이버 트랜지스터에 전류가 흘러, AB 급 출력 동작을 실현하고 있다.

[0025] 도 1 로부터, P 형 MOS 트랜지스터 (110) 에 흐르는 전류 I(110) 는, 식 1 로 나타내어진다.

[0026]
$$I(110) = I(124) + I(123) - I(102) \quad (1)$$

[0027] 여기에서, I(124) 는 정전류원 (124) 의 전류, I(123) 는 정전류원 (123) 의 전류, I(102) 는 N 형 MOS 트랜지스터 (102) 의 전류이다. N 형 MOS 트랜지스터 (105) 의 게이트에는 비반전 입력 단자 (143) 가 접속되어 있다. 이 때문에, 비반전 입력 단자 (143) 에 전원 전압 부근의 전압이 입력될 때에는, 전류 I(123) 는 전류 I(102) 와 동기하여 감소한다. 따라서, P 형 MOS 트랜지스터 (110) 에 흐르는 전류 I(110) 를 일정한 값으로 할 수 있다.

[0028] 도 2 에 도 1 의 회로에서 비반전 입력 단자 (143) 의 전압을 변화시킨 경우의 각 노드의 전류값을 나타낸다.

[0029] 이로써, P 형 MOS 트랜지스터 (117) 와 N 형 MOS 트랜지스터 (118) 에 흐르는 전류를 일정한 값으로 유지할 수 있게 된다. 따라서, 위상 보상 용량 (151, 152) 을 작게 할 수 있게 된다.

[0030] 도 3 은 본 발명의 차동 증폭기의 다른 예를 나타내는 회로도이다. 도 1 의 차동 증폭기에서는, P 형 MOS 트랜지스터 (107 및 108) 가 전류원이고, N 형 MOS 트랜지스터 (113 및 114) 가 커런트 미러로 되어 있다. 도 3 의 차동 증폭기는 반대로 되어 있어, P 형 MOS 트랜지스터 (213 및 214) 가 커런트 미러이고, N 형 MOS 트랜지스터 (207 및 208) 가 전류원으로 되어 있다. 그리고, 전류 제어 회로인, 정전류원 (123) 과 P 형 MOS 트랜지스터 (205) 가 추가되어 있다. P 형 MOS 트랜지스터 (205) 의 게이트에는 비반전 입력 단자 (143) 가 접속되어 있다.

[0031] 이와 같이 구성한 차동 증폭기는, 도 1 의 차동 증폭기와 마찬가지로, P 형 MOS 트랜지스터 (117) 와 N 형 MOS 트랜지스터 (118) 에 흐르는 전류를 일정한 값으로 유지할 수 있게 되어, 위상 보상 용량 (151, 152) 을 작게 할 수 있게 된다.

부호의 설명

[0032] 121, 122, 123, 124 : 정전류원

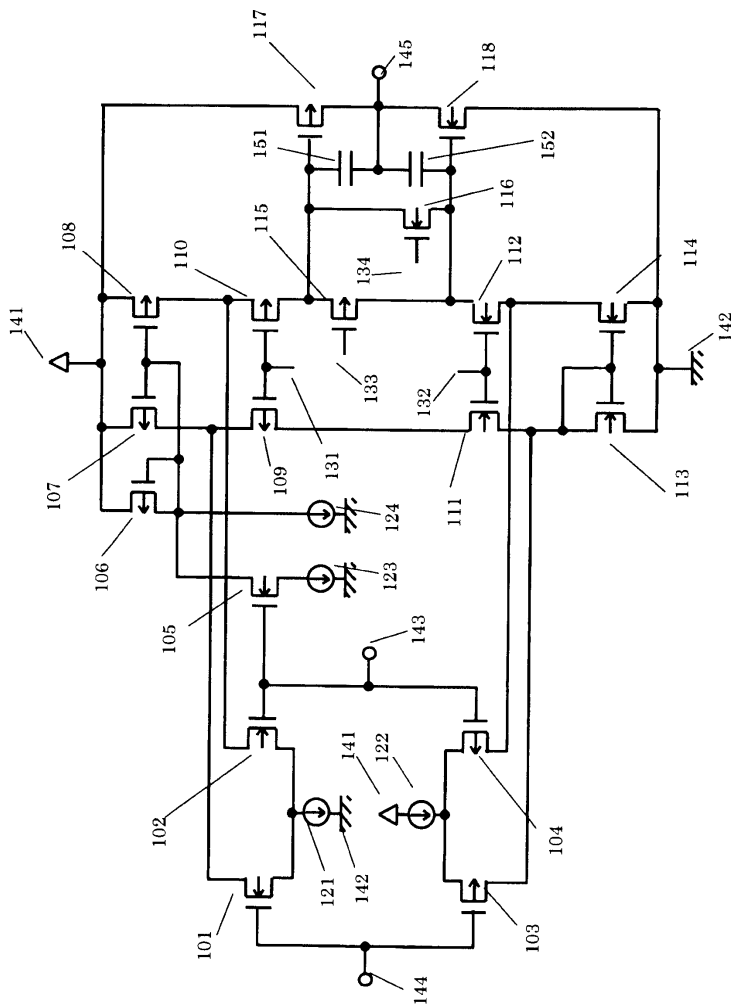
143 : 비반전 입력 단자

144 : 반전 입력 단자

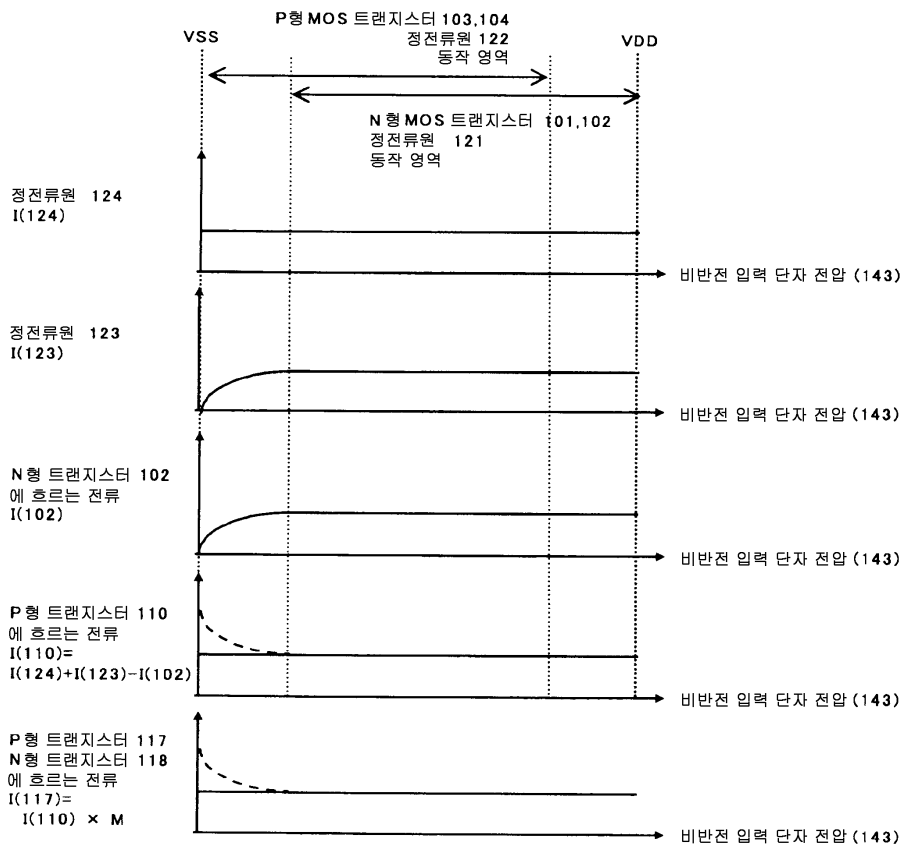
145 : 출력 단자

도면

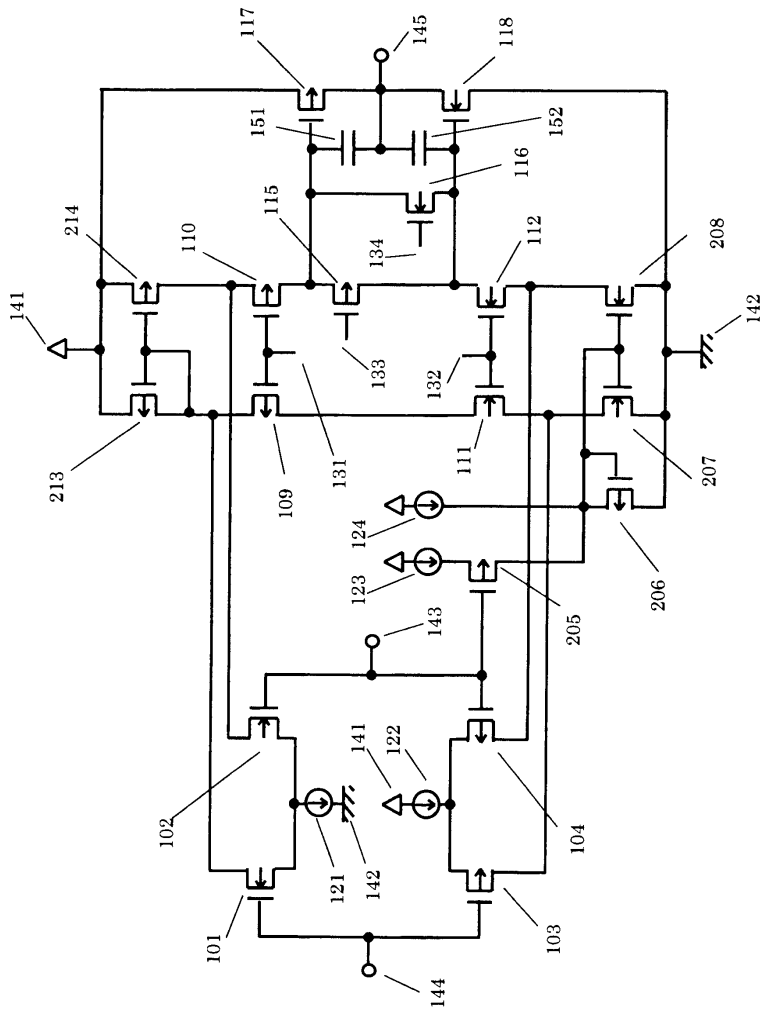
도면1



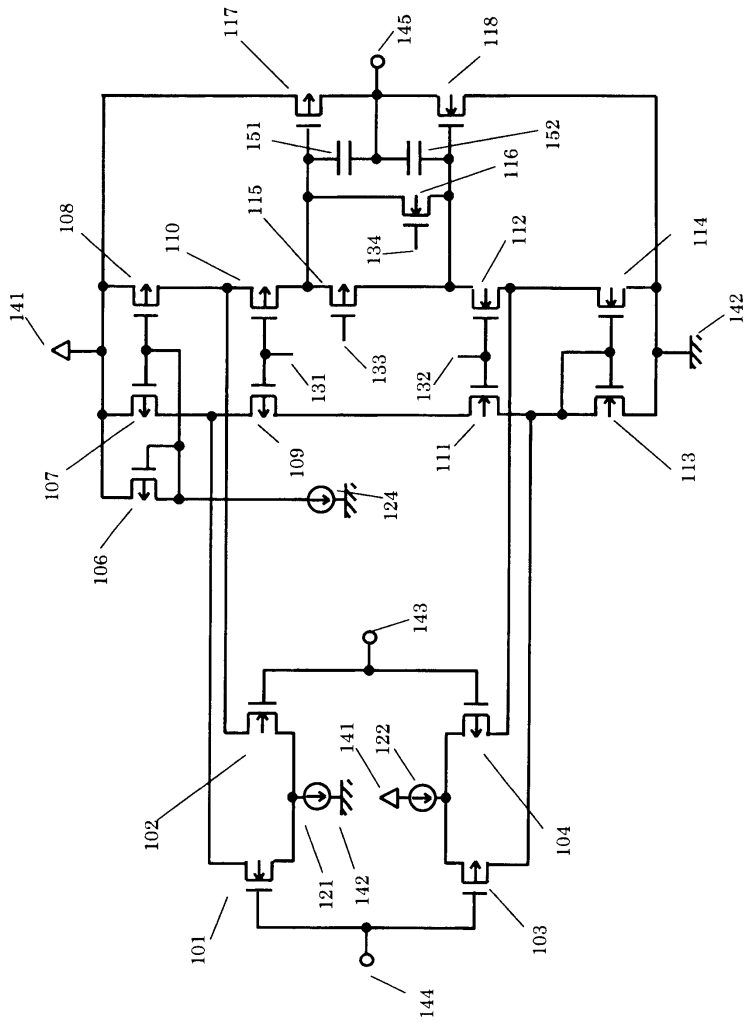
도면2



도면3



도면4



도면5

