

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 19 年 2 月 22 日 (2007.2.22)

【公表番号】特表 2006-512776 (P2006-512776A)
 【公表日】平成 18 年 4 月 13 日 (2006.4.13)
 【年通号数】公開・登録公報 2006-015
 【出願番号】特願 2004-565772 (P2004-565772)
 【国際特許分類】

H 0 1 L 21/8247 (2006.01)
H 0 1 L 29/788 (2006.01)
H 0 1 L 29/792 (2006.01)
H 0 1 L 27/115 (2006.01)
H 0 1 L 29/786 (2006.01)
G 1 1 C 16/04 (2006.01)
G 1 1 C 16/02 (2006.01)

【F I】

H 0 1 L 29/78 3 7 1
 H 0 1 L 27/10 4 3 4
 H 0 1 L 29/78 6 1 3 B
 G 1 1 C 17/00 6 2 2 E
 G 1 1 C 17/00 6 1 1 E
 G 1 1 C 17/00 6 1 2 E
 G 1 1 C 17/00 6 2 1 Z

【手続補正書】
 【提出日】平成 18 年 12 月 21 日 (2006.12.21)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

メモリセルの少なくとも 1 つの面が基板の上方に形成されたメモリアレイを備えた集積回路であって、前記メモリセルは、複数の直列接続された N A N D 列に配置された可変コンダクタンススイッチデバイスを含む、集積回路。

【請求項 2】

メモリアレイは、メモリセルの少なくとも 2 つの面が基板の上方に形成された三次元メモリアレイを含む、請求項 1 に記載の集積回路。

【請求項 3】

可変コンダクタンススイッチデバイスは、電荷蓄積誘電体を有するトランジスタを含む、請求項 1 に記載の集積回路。

【請求項 4】

メモリセルトランジスタの電荷蓄積誘電体は、酸化物 - 窒化物 - 酸化物 (O N O) のスタックを含む、請求項 3 に記載の集積回路。

【請求項 5】

各列は、その第 1 の端部において、関連するグローバルアレイ線に列を結合するための第 1 のスイッチデバイスを含む、請求項 1 に記載の集積回路。

【請求項 6】

共通してワード線を有する２つのＮＡＮＤ列は、１つのグローバルアレイ線を共有する、請求項５に記載の集積回路。

【請求項７】

各ＮＡＮＤ列は、第１の端部に対向する第２の端部において、関連するバイアスノードに列を結合するための第２のスイッチデバイスを含む、請求項５に記載の集積回路。

【請求項８】

ＮＡＮＤ列の対は、関連するグローバルアレイ線に対する一方の列を結合する第１の制御信号が、関連するバイアスノードに対する他方の列を結合するように配置される、請求項７に記載の集積回路。

【請求項９】

各メモリセルの列の第１のスイッチデバイスは、電荷蓄積誘電体を有するトランジスタを含む、請求項５に記載の集積回路。

【請求項１０】

各メモリセルの列の第１のスイッチデバイスは、デプリーションモードのしきい値電圧を有する、請求項９に記載の集積回路。

【請求項１１】

各ＮＡＮＤ列を形成するメモリセルデバイスおよびスイッチデバイスは、構造上実質的に同じである、請求項５に記載の集積回路。

【請求項１２】

２つ以上のメモリレベル上のＮＡＮＤ列は、前記２つ以上のメモリレベルよりも少ないレベル上に配置されたグローバルアレイ線にそれぞれ結合される、請求項２に記載の集積回路。

【請求項１３】

少なくとも２つのメモリレベルの各々の上の複数のＮＡＮＤ列のそれぞれは、集積回路の１つのレベル上に配置された１つのグローバルアレイ線に結合される、請求項２に記載の集積回路。

【請求項１４】

少なくとも２つのメモリ面の各々の上の少なくとも２つのＮＡＮＤ列は、共有されたジヤにより、関連するグローバルアレイ線に接触する、請求項１３に記載の集積回路。

【請求項１５】

直列接続された複数のＮＡＮＤ列にメモリセルの少なくとも１つの面が配置されたメモリアレイを備え、

それぞれのＮＡＮＤ列の各々は、その一方端において、関連するグローバルアレイ線にそれぞれのＮＡＮＤ列を結合するための第１のスイッチデバイスを含み、その他方端において、関連するバイアスノードにそれぞれのＮＡＮＤ列を結合するための第２のスイッチデバイスをさらに含み、

第１のＮＡＮＤ列に対する第１のスイッチデバイスおよび第２のＮＡＮＤ列に対する第２のスイッチデバイスは、第１の制御信号にตอบสนองし、第１のＮＡＮＤ列に対する第２のスイッチデバイスおよび第２のＮＡＮＤ列に対する第１のスイッチデバイスは、第２の制御信号にตอบสนองし、

第１および第２のＮＡＮＤ列は、共通してワード線を共有する、集積回路。

【請求項１６】

メモリアレイは、メモリセルの２つ以上の面が基板の上方に形成された三次元メモリアレイを含む、請求項１５に記載の集積回路。

【請求項１７】

メモリセルは、電荷蓄積誘電体を有するトランジスタを含む、請求項１５に記載の集積回路。

【請求項１８】

所定のＮＡＮＤ列の第１および第２のスイッチデバイスは、所定のＮＡＮＤ列のメモリセルトランジスタと構造上実質的に同じである、請求項１５に記載の集積回路。

【請求項 19】

メモリアレイは複数のブロックに配置され、前記複数のメモリブロックの第1のメモリブロックは、

第1のバイアスノードと、

第2のバイアスノードと、

第1の方向で第1のブロックを横切る複数のグローバルビット線と、

第1の方向とは異なる第2の方向で第1のブロックを横切る複数のワード線と、

複数のワード線の一方側とほぼ平行でありかつ前記一方側に配置された、第1のブロックを横切る第1のブロック選択線と、

複数のワード線の他方側とほぼ平行でありかつ前記他方側に配置された、第1のブロックを横切る第2のブロック選択線と、

各々が、第1のブロック選択線に応答する第1のブロック選択デバイス、複数のワード線のそれぞれの1つに各々が応答する複数のメモリセルデバイス、および第2のブロック選択線に応答する第2のブロック選択デバイスを含む、複数の直列接続されたNAND列とを含み、

第1の群のNAND列の各々の第1のブロック選択デバイスは、複数のグローバルビット線のそれぞれ1つにそれぞれ結合され、第2の群のNAND列の各々の第1のブロック選択デバイスは、第1のバイアスノードにそれぞれ結合され、

第1の群のNAND列の各々の第2のブロック選択デバイスは、第2のバイアスノードにそれぞれ結合され、第2の群のNAND列の各々の第2のブロック選択デバイスは、複数のグローバルビット線のそれぞれ1つにそれぞれ結合される、請求項15に記載の集積回路。

【請求項 20】

NAND列の対が同じグローバルビット線に結合され、そのような対の各々は、第1および第2の群のNAND列の各々からのNAND列を含み、それによってNAND列のピッチの半分のグローバルビット線のピッチを規定する、請求項19に記載の集積回路。

【請求項 21】

第1のメモリブロックの、物理的に隣接する2つ以上のNAND列は、第1または第2のバイアスノードへのコンタクトを共有する、請求項19に記載の集積回路。

【請求項 22】

メモリアレイは、2つ以上のメモリレベルが基板の上方に形成された三次元メモリアレイを含み、前記集積回路はさらに、

第1のメモリブロックとは異なるメモリアレイのレベル上に配置された第3のメモリブロックを備え、前記第1および第3のメモリブロックは、複数のグローバルビット線、第1のバイアスノード、および第2のバイアスノードを共有し、前記第3のメモリブロックはそれぞれ、

第2の方向でブロックを横切る第3の複数のワード線と、

第3の複数のワード線の一方側とほぼ平行でありかつ前記一方側に配置された、ブロックを横切る第5のブロック選択線と、

第3の複数のワード線の他方側とほぼ平行でありかつ前記他方側に配置された、ブロックを横切る第6のブロック選択線と、

各々が、第5のブロック選択線に応答する第1のブロック選択デバイス、各々が第3の複数のワード線のそれぞれ1つに応答する複数のメモリセルデバイス、および第6のブロック選択線に応答する第2のブロック選択デバイスをそれぞれ含む、第3の複数の直列接続されたNAND列とを含み、

第1の群の第3の複数のNAND列の各々の第1のブロック選択デバイスのそれぞれは、複数のグローバルビット線のそれぞれ1つにそれぞれ結合され、第2の群の第3の複数のNAND列の各々の第1のブロック選択デバイスのそれぞれは、第1のバイアスノードにそれぞれ結合され、

第1の群の第3の複数のNAND列の各々の第2のブロック選択デバイスのそれぞれは

、第２のバイアスノードにそれぞれ結合され、第２の群の第３の複数のＮＡＮＤ列の各々の第２のブロック選択デバイスのそれぞれは、複数のグローバルビット線のそれぞれ１つにそれぞれ結合される、請求項１９に記載の集積回路。

【請求項２３】

第１のメモリブロックの各ＮＡＮＤ列は、第３のメモリブロックの対応するＮＡＮＤ列によって共有されるピアにより、関連するグローバルビット線に接触する、請求項２２に記載の集積回路。

【請求項２４】

メモリセルデバイスは、電荷蓄積誘電体を有するトランジスタを含む、請求項１９に記載の集積回路。

【請求項２５】

所定のＮＡＮＤ列の第１および第２のブロック選択デバイスは、所定のＮＡＮＤ列のメモリセルトランジスタと構造上同じである、請求項２４に記載の集積回路。