

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年2月22日(2007.2.22)

【公表番号】特表2006-512776(P2006-512776A)

【公表日】平成18年4月13日(2006.4.13)

【年通号数】公開・登録公報2006-015

【出願番号】特願2004-565772(P2004-565772)

【国際特許分類】

<i>H 01 L</i>	<i>21/8247</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>29/788</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>29/792</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>27/115</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>29/786</i>	<i>(2006.01)</i>
<i>G 11 C</i>	<i>16/04</i>	<i>(2006.01)</i>
<i>G 11 C</i>	<i>16/02</i>	<i>(2006.01)</i>

【F I】

<i>H 01 L</i>	<i>29/78</i>	<i>3 7 1</i>
<i>H 01 L</i>	<i>27/10</i>	<i>4 3 4</i>
<i>H 01 L</i>	<i>29/78</i>	<i>6 1 3 B</i>
<i>G 11 C</i>	<i>17/00</i>	<i>6 2 2 E</i>
<i>G 11 C</i>	<i>17/00</i>	<i>6 1 1 E</i>
<i>G 11 C</i>	<i>17/00</i>	<i>6 1 2 E</i>
<i>G 11 C</i>	<i>17/00</i>	<i>6 2 1 Z</i>

【手続補正書】

【提出日】平成18年12月21日(2006.12.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルの少なくとも1つの面が基板の上方に形成されたメモリアレイを備えた集積回路であって、前記メモリセルは、複数の直列接続されたNAND列に配置された可変コンダクタンススイッチデバイスを含む、集積回路。

【請求項2】

メモリアレイは、メモリセルの少なくとも2つの面が基板の上方に形成された三次元メモリアレイを含む、請求項1に記載の集積回路。

【請求項3】

可変コンダクタンススイッチデバイスは、電荷蓄積誘電体を有するトランジスタを含む、請求項1に記載の集積回路。

【請求項4】

メモリセルトランジスタの電荷蓄積誘電体は、酸化物-窒化物-酸化物(ONO)のスタックを含む、請求項3に記載の集積回路。

【請求項5】

各列は、その第1の端部において、関連するグローバルアレイ線に列を結合するための第1のスイッチデバイスを含む、請求項1に記載の集積回路。

【請求項6】

共通してワード線を有する 2 つの N A N D 列は、1 つのグローバルアレイ線を共有する、請求項 5 に記載の集積回路。

【請求項 7】

各 N A N D 列は、第 1 の端部に対向する第 2 の端部において、関連するバイアスノードに列を結合するための第 2 のスイッチデバイスを含む、請求項 5 に記載の集積回路。

【請求項 8】

N A N D 列の対は、関連するグローバルアレイ線に対の一方の列を結合する第 1 の制御信号が、関連するバイアスノードに対の方の列を結合するように配置される、請求項 7 に記載の集積回路。

【請求項 9】

各メモリセルの列の第 1 のスイッチデバイスは、電荷蓄積誘電体を有するトランジスタを含む、請求項 5 に記載の集積回路。

【請求項 10】

各メモリセルの列の第 1 のスイッチデバイスは、デブリーションモードのしきい値電圧を有する、請求項 9 に記載の集積回路。

【請求項 11】

各 N A N D 列を形成するメモリセルデバイスおよびスイッチデバイスは、構造上実質的に同じである、請求項 5 に記載の集積回路。

【請求項 12】

2 つ以上のメモリレベル上の N A N D 列は、前記 2 つ以上のメモリレベルよりも少ないレベル上に配置されたグローバルアレイ線にそれぞれ結合される、請求項 2 に記載の集積回路。

【請求項 13】

少なくとも 2 つのメモリレベルの各々の上の複数の N A N D 列のそれぞれは、集積回路の 1 つのレベル上に配置された 1 つのグローバルアレイ線に結合される、請求項 2 に記載の集積回路。

【請求項 14】

少なくとも 2 つのメモリ面の各々の上の少なくとも 2 つの N A N D 列は、共有されたジアにより、関連するグローバルアレイ線に接触する、請求項 13 に記載の集積回路。

【請求項 15】

直列接続された複数の N A N D 列にメモリセルの少なくとも 1 つの面が配置されたメモリアレイを備え、

それぞれの N A N D 列の各々は、その一方端において、関連するグローバルアレイ線にそれぞれの N A N D 列を結合するための第 1 のスイッチデバイスを含み、その他方端において、関連するバイアスノードにそれぞれの N A N D 列を結合するための第 2 のスイッチデバイスをさらに含み、

第 1 の N A N D 列に対する第 1 のスイッチデバイスおよび第 2 の N A N D 列に対する第 2 のスイッチデバイスは、第 1 の制御信号に応答し、第 1 の N A N D 列に対する第 2 のスイッチデバイスおよび第 2 の N A N D 列に対する第 1 のスイッチデバイスは、第 2 の制御信号に応答し、

第 1 および第 2 の N A N D 列は、共通してワード線を共有する、集積回路。

【請求項 16】

メモリアレイは、メモリセルの 2 つ以上の面が基板の上方に形成された三次元メモリアレイを含む、請求項 15 に記載の集積回路。

【請求項 17】

メモリセルは、電荷蓄積誘電体を有するトランジスタを含む、請求項 15 に記載の集積回路。

【請求項 18】

所定の N A N D 列の第 1 および第 2 のスイッチデバイスは、所定の N A N D 列のメモリセルトランジスタと構造上実質的に同じである、請求項 15 に記載の集積回路。

【請求項 19】

メモリアレイは複数のブロックに配置され、前記複数のメモリブロックの第1のメモリブロックは、

第1のバイアスノードと、

第2のバイアスノードと、

第1の方向で第1のブロックを横切る複数のグローバルビット線と、

第1の方向とは異なる第2の方向で第1のブロックを横切る複数のワード線と、

複数のワード線の一方側とほぼ平行でありかつ前記一方側に配置された、第1のブロックを横切る第1のブロック選択線と、

複数のワード線の他方側とほぼ平行でありかつ前記他方側に配置された、第1のブロックを横切る第2のブロック選択線と、

各々が、第1のブロック選択線に応答する第1のブロック選択デバイス、複数のワード線のそれぞれの1つに各々が応答する複数のメモリセルデバイス、および第2のブロック選択線に応答する第2のブロック選択デバイスを含む、複数の直列接続されたNAND列とを含み、

第1の群のNAND列の各々の第1のブロック選択デバイスは、複数のグローバルビット線のそれぞれ1つにそれぞれ結合され、第2の群のNAND列の各々の第1のブロック選択デバイスは、第1のバイアスノードにそれぞれ結合され、

第1の群のNAND列の各々の第2のブロック選択デバイスは、第2のバイアスノードにそれぞれ結合され、第2の群のNAND列の各々の第2のブロック選択デバイスは、複数のグローバルビット線のそれぞれ1つにそれぞれ結合される、請求項15に記載の集積回路。

【請求項 20】

NAND列の対が同じグローバルビット線に結合され、そのような対の各々は、第1および第2の群のNAND列の各々からのNAND列を含み、それによってNAND列のピッチの半分のグローバルビット線のピッチを規定する、請求項19に記載の集積回路。

【請求項 21】

第1のメモリブロックの、物理的に隣接する2つ以上のNAND列は、第1または第2のバイアスノードへのコンタクトを共有する、請求項19に記載の集積回路。

【請求項 22】

メモリアレイは、2つ以上のメモリレベルが基板の上方に形成された三次元メモリアレイを含み、前記集積回路はさらに、

第1のメモリブロックとは異なるメモリアレイのレベル上に配置された第3のメモリブロックを備え、前記第1および第3のメモリブロックは、複数のグローバルビット線、第1のバイアスノード、および第2のバイアスノードを共有し、前記第3のメモリブロックはそれぞれ、

第2の方向でブロックを横切る第3の複数のワード線と、

第3の複数のワード線の一方側とほぼ平行でありかつ前記一方側に配置された、ブロックを横切る第5のブロック選択線と、

第3の複数のワード線の他方側とほぼ平行でありかつ前記他方側に配置された、ブロックを横切る第6のブロック選択線と、

各々が、第5のブロック選択線に応答する第1のブロック選択デバイス、各々が第3の複数のワード線のそれぞれ1つに応答する複数のメモリセルデバイス、および第6のブロック選択線に応答する第2のブロック選択デバイスをそれぞれ含む、第3の複数の直列接続されたNAND列とを含み、

第1の群の第3の複数のNAND列の各々の第1のブロック選択デバイスのそれぞれは、複数のグローバルビット線のそれぞれ1つにそれぞれ結合され、第2の群の第3の複数のNAND列の各々の第1のブロック選択デバイスのそれぞれは、第1のバイアスノードにそれぞれ結合され、

第1の群の第3の複数のNAND列の各々の第2のブロック選択デバイスのそれぞれは

、第2のバイアスノードにそれぞれ結合され、第2の群の第3の複数のNAND列の各々の第2のブロック選択デバイスのそれぞれは、複数のグローバルビット線のそれぞれ1つにそれぞれ結合される、請求項19に記載の集積回路。

【請求項23】

第1のメモリブロックの各NAND列は、第3のメモリブロックの対応するNAND列によって共有されるビアにより、関連するグローバルビット線に接触する、請求項22に記載の集積回路。

【請求項24】

メモリセルデバイスは、電荷蓄積誘電体を有するトランジスタを含む、請求項19に記載の集積回路。

【請求項25】

所定のNAND列の第1および第2のブロック選択デバイスは、所定のNAND列のメモリセルトランジスタと構造上同じである、請求項24に記載の集積回路。