

(12) 发明专利申请

(10) 申请公布号 CN 101772995 A

(43) 申请公布日 2010. 07. 07

(21) 申请号 200880101950. 6

(51) Int. Cl.

(22) 申请日 2008. 06. 23

H05K 3/46 (2006. 01)

(30) 优先权数据

11/824, 484 2007. 06. 29 US

(85) PCT申请进入国家阶段日

2010. 02. 04

(86) PCT申请的申请数据

PCT/US2008/007978 2008. 06. 23

(87) PCT申请的公布数据

W02009/005696 EN 2009. 01. 08

(71) 申请人 泰塞拉公司

地址 美国加利福尼亚

(72) 发明人 B·哈巴

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 郝文博 王琼

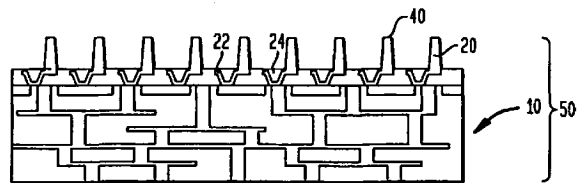
权利要求书 3 页 说明书 4 页 附图 6 页

(54) 发明名称

具有管脚接口的多层布线元件

(57) 摘要

一种形成用于互连元件 (10) 的接触件的方法, 包括: (a) 将传导元件 (16) 连接到具有多个布线层的互连元件 (10); (b) 将传导元件 (16) 构图以形成传导管脚 (20); 和 (c) 将传导管脚 (20) 与互连元件 (10) 的传导部件电互连。一种多层布线层互连元件 (10), 具有暴露的管脚接口, 包括: 互连元件 (10), 具有多个布线层, 由至少一个电介质层 (24) 分开, 布线层包括多个传导部件, 暴露于互连元件 (10) 的第一面; 多个传导销 (20), 沿着远离第一面的方向伸出; 和金属特征 (22), 将传导部件与传导管脚 (20) 电互联。



1. 一种为互连元件形成接触件的方法,包括:
 - (a) 将传导元件连接到具有多个布线层的互连元件;
 - (b) 将传导元件构图以形成传导管脚;和
 - (c) 将传导管脚与互连元件的传导部件电互连。
2. 如权利要求 1 所述的方法,其特征在于,步骤 (a) 包括利用电介质层将传导元件连接到互连元件。
3. 如权利要求 2 所述的方法,其特征在于,电介质层包括粘结剂。
4. 如权利要求 2 所述的方法,其特征在于,步骤 (c) 包括在电介质层中形成开口,并且形成将传导部件与传导管脚互连的迹线。
5. 如权利要求 1 所述的方法,其特征在于,传导元件包括单个金属片层。
6. 如权利要求 1 所述的方法,其特征在于,传导元件包括层状金属结构。
7. 如权利要求 6 所述的方法,其特征在于,层状金属结构包括:外部金属层;内部金属层,面对互连元件;和第三金属层,位于内部金属层和外部金属层之间,步骤 (b) 还包括相对于第三金属层选择性地蚀刻外部金属层,步骤 (c) 包括将传导部件与内部金属层的部分互连。
8. 如权利要求 7 所述的方法,其特征在于,步骤 (c) 还包括在第三金属层和内部金属层中形成开口,开口与传导部件对齐。
9. 如权利要求 7 所述的方法,其特征在于,内部金属层具有第一开口,步骤 (c) 还包括在第三金属层中形成贯通开口,该贯通开口与第一开口和传导部件对齐。
10. 一种形成封装芯片的方法,包括权利要求 1 所述为互连元件形成接触件的方法,还包括:
 - (d) 将微电子元件的接触件与传导管脚电互连。
11. 一种形成封装芯片的方法,包括权利要求 1 所述为互连元件形成接触件的方法,其中传导管脚从互连元件的第一面伸出,该方法还包括:
 - (d) 将微电子元件的接触件与暴露于互连元件第二面的互连元件的第二传导部件电互连,该第二面远离第一面。
12. 一种具有暴露的管脚接口的多布线层互连元件,包括:

互连元件,具有由至少一个电介质层分开的多个布线层,布线层包括多个传导部件,所述多个传导部件暴露于互连元件的第一面;

多个传导管脚,沿着远离第一面的方向伸出;和

金属部件,将传导部件与传导管脚电互连。
13. 如权利要求 12 所述的元件,其特征在于,互连元件利用粘结剂连接到传导管脚。
14. 如权利要求 13 所述的元件,其特征在于,粘结剂包括开口,金属部件延伸穿过该开口。
15. 如权利要求 12 所述的元件,其特征在于,传导管脚利用层状金属结构形成,该层状金属结构具有:外部金属层;内部金属层,面对互连元件;和第三金属层,在内部金属层和外部金属层之间。
16. 如权利要求 15 所述的元件,其特征在于,传导管脚由外部金属层形成。
17. 如权利要求 15 所述的元件,其特征在于,金属部件将传导部件与内部金属层的部

分相连。

18. 一种包括权利要求 12 所述元件的组件,还包括微电子元件,该微电子元件具有与传导管脚互连的接触件。

19. 一种包括权利要求 12 所述元件的组件,还包括微电子元件,该微电子元件具有与互连元件的传导部件互连的接触件。

20. 如权利要求 19 所述的组件,其特征在于,传导部件位于远离传导管脚的第二面。

21. 一种互连元件,包括:

多层基底,具有多个传导焊盘;

多个柱;

连接层,位于多层基底和多个柱之间,连接层具有第一和第二表面以及在第一和第二表面之间延伸的多个金属化通路孔,多个金属化通路孔定位成将多个柱电连接到多层基底上的多个传导焊盘。

22. 如权利要求 21 所述的元件,其特征在于,所述柱利用层状金属结构形成,该层状金属结构具有:外部金属层;内部金属层,面对连接层;和第三金属层,位于内部金属层和外部金属层之间。

23. 如权利要求 22 所述的元件,其特征在于,所述柱由外部金属层形成。

24. 一种包括权利要求 21 所述元件的组件,还包括微电子元件,该微电子元件具有与柱互连的接触件。

25. 一种包括权利要求 21 所述元件的组件,还包括微电子元件,该微电子元件具有与多层基底的第二传导焊盘互连的接触件,该第二传导焊盘暴露于多层基底的第二面。

26. 如权利要求 25 所述的组件,其特征在于,第二传导焊盘位于第二面,该第二面远离多层基底的第一面,靠近连接层。

27. 如权利要求 21 所述的元件,其特征在于,连接层是粘结剂。

28. 一种形成互连元件的方法,包括:

提供具有多个接触焊盘的多层基底;

利用连接层将金属层固定到多层基底;

利用金属层形成多个柱;和

在连接层内形成多个金属化通路孔,所述金属化通路孔将多层基底的接触焊盘与多个柱电连接。

29. 如权利要求 28 所述的方法,其特征在于,连接层包括电介质层。

30. 如权利要求 29 所述的方法,其特征在于,电介质层包括粘结剂。

31. 如权利要求 28 所述的方法,其特征在于,金属层包括单个金属片层。

32. 如权利要求 28 所述的方法,其特征在于,金属层包括层状金属结构。

33. 一种形成封装芯片的方法,包括权利要求 28 所述为互连元件形成接触件的方法,还包括:

将微电子元件的接触件与柱电互连。

34. 一种形成封装芯片的方法,包括权利要求 28 所述为互连元件形成接触件的方法,其中所述柱从互连元件的第一面伸出,所述方法还包括:

将微电子元件的接触件与多层基底的第二传导焊盘电互联,该第二传导焊盘暴露于多

层基底的第二面,第二面远离第一面。

具有管脚接口的多层布线元件

[0001] 相关申请的交叉引用

[0002] 本申请要求 2007 年 6 月 29 日提交的申请 No. 11/824, 484 的优先权, 名为“具有管脚接口的多层布线元件”, 其公开内容在此整体引为参考。

技术领域

[0003] 本发明大致涉及一种互连微电子装置和支撑互连元件, 尤其是多层布线元件。

背景技术

[0004] 在倒装芯片 (flip-chip) 安装技术中, 微电子装置的正面或者接触 - 支承表面倒装安装到互连元件例如芯片载体或者其它互连元件例如基底。装置上的每个接触件通过焊料接合被连接到基底上相对应的接触焊盘, 例如通过将焊球定位在基底或者装置上, 将装置与基底以正面朝下定向方式并置, 并且瞬间使得焊料回流。倒装技术产生了紧凑的组件, 占用的基底面积不大于芯片本身的面积。

[0005] 然而, 热应力对于倒装芯片组件的设计提出了很大的挑战。装置接触件和支撑基底之间的焊料接合 (solder bond) 基本是刚性的。使用中, 由于热膨胀和收缩造成的装置和支撑基底的相对尺寸的变化在这些刚性接合中产生了显著的应力, 这依次会导致接合的疲劳失效。另外, 在将芯片连接到基底之前, 难以测试芯片, 并且因此难以在完成的组件中保持所需的输出质量水平, 特别是其中组件包括多个芯片时。

[0006] 随着每个微电子装置互连数目的增加, 互连平面性的问题继续增加。如果互连相对于彼此不是平面的, 很可能, 许多互连将不会电接触支撑基底上它们并置的接触焊盘, 例如标准印刷布线板。因此, 需要一种在现有的多层互连元件上制造共面管脚的方法。

发明内容

[0007] 本发明的实施例中, 一种为互连元件形成接触件的方法, 包括: (a) 将传导元件连接到具有多个布线层的互连元件, (b) 对传导元件构图从而形成传导管脚, 和 (c) 将传导管脚与互连元件的传导部件 (feature) 电互连。

[0008] 本发明另一个实施例中, 一种多个布线层互连元件, 具有暴露的管脚接口, 包括: 互连元件, 具有多个布线层, 由至少一个电介质层分开, 布线层包括多个传导部件, 暴露在互连元件的第一面; 多个传导管脚, 沿着远离第一面的方向伸出; 和金属部件, 将传导部件与传导管脚电互连。

附图说明

[0009] 图 1A-1E 示出了本发明装配电互连的方法的实施例。

[0010] 图 2A-2E 示出了本发明装配电互连的方法的另一个实施例。

[0011] 图 3 示意性示出了微电子管脚的侧视图。

[0012] 图 4 示意性示出了微电子管脚的俯视图。

[0013] 图 5A-5B 示意性示出了微电子管脚的侧视图。

[0014] 图 6A-6E 示出了本发明装配电互连的方法的另一个实施例。

[0015] 图 7A-7C 示出了连接到其它电子结构的本发明组件的实施例。

具体实施方式

[0016] 这里描述了一种在现有多层互连元件上形成共面管脚 (pin) 的方法。多层互连元件 10 在图 1 中示出, 具有电介质部分 12 和传导部分 14。传导部分可以是引线、接合焊盘 (bond pad) 等的形式。

[0017] 多层互连元件 10 可以由单个金属基底或者多层基底与电介质形成, 例如聚酰亚胺, 陶瓷, FR4, BT 树脂等。多层互连元件 10 还可以是具有多层布线层等的互连元件。同样参考美国专利 No. 6, 528, 784, 其描述了多层互连元件的制造, 这里引为参考。

[0018] 本发明一个实施例中, 金属层 16 利用粘接剂 18 被层压到多层互连元件 10 上, 如图 1B。金属层 16 可以是任何适合的金属, 如现有技术公知的。例如, 该金属可以是任何传导金属, 例如铜。之后, 金属层 16 可用于形成微电子接触件或者管脚 20, 如图 1C。

[0019] 微电子管脚 20 可以如现有技术公知的形成。例如, 微电子管脚 20 可以通过下面方式形成: 在金属层 16 上通过光刻法 (photolithographically) 构图 (patterning) 抗蚀层 (resist layer), 并且通过蚀刻将抗蚀图案 (resist pattern) 转移到金属层 16 上。

[0020] 一旦形成了微电子管脚 20, 其中粘接层 18 用作蚀刻阻挡层, 粘接剂 18 可使得一部分从其处被去除以允许在微电子管脚 20 和多层互连元件 10 的传导部分 14 之间形成电连接, 如图 1D。粘接剂 18 可以利用光刻技术等选择性地去除, 如现有技术公知的。

[0021] 然后如图 1E, 电连接 22 形成在从粘接剂 18 去除的部分附近。例如, 溅镀, 同样公知为物理气相沉积, 或者化学镀, 之后可以进行光刻构图或者激光钻孔, 从而限定连接的位置。一旦形成电连接 22, 它们可以被电镀以将它们的厚度增大到所需的量。这然后导致电连接 22 形成在多层互连元件 10 和微电子管脚 20 之间。最后, 保护介电层或者薄膜 24 (图 1E) 可以沉积在多层互连元件 10 上, 覆盖电连接 22 和微电子管脚 20 的下部, 从而形成组件 50, 不被破坏。这个保护层 24 也可以有助于保持微电子管脚 20 的顶面 40 的共面性 (co-planarity), 因为当组件 50 被搬运时, 介电保护层 24 减少了弯曲, 因为它以刚性的方式保持着管脚 20。保护层的材料实例包括焊料掩膜等。

[0022] 本发明另一个实施例中, 多层互连元件 10 如图 2A 所示。之后, 如图 2B, 层状的金属结构 26 利用粘接剂 18 连接到多层互连元件 10。层状金属结构 26 可包括第一金属层 28, 蚀刻阻挡层 30 和第二金属层 32。第一金属层 28 优选具有的厚度大于第二金属层 32。虽然三金属结构被示出, 但是层状金属结构 26 可包括任意数目的层。

[0023] 微电子管脚 20 可以利用例如光刻构图等技术由第一金属层 28 形成, 如图 2C。然而, 蚀刻阻挡层保留。

[0024] 制造管脚 20 的方法将参考下列附图描述。如图 3, 多个传导管脚 200 形成为在连续金属布线层 210 的表面上方突出。管脚 200 可以由多个不同方法形成。典型的方法在美国专利 No. 6, 884, 709 中描述, 以及美国临时申请 No. 60/875, 730, 名为“Chip capacitor embedded PWB”, 申请日为 2007 年 1 月 11 日, 在此引为参考。

[0025] 在一个这种方法中, 多层金属结构的暴露的金属层根据光刻构图光阻层被蚀刻,

从而形成管脚 200, 蚀刻过程在结构的内部金属层 220 上停止。内部金属层 220 包括与暴露金属层不同的一种或多种金属, 内部金属层 220 是这样的组合物, 其不会被用于蚀刻暴露金属层的蚀刻剂侵蚀 (attacked)。例如, 用于蚀刻管脚 200 的金属层可基本包括铜, 连续金属层 210 还可主要包括铜, 内部金属层 220 可主要包括镍。镍相对于铜提供了良好的选择性, 当金属层被蚀刻以形成管脚 200 时, 避免镍层被侵蚀。

[0026] 形成管脚 200 之后, 不同的蚀刻剂然后通过对于下层金属层 210 选择的方法被施加以去除暴露的内部金属层 220。可替换的, 可以形成管脚 200 的另一个方法是通过电镀, 其中, 通过穿过在电介质层中构图的开口将金属镀到基层金属层 210 上形成管脚, 该电介质层例如光阻层。

[0027] 如图 4 的平面图, 管脚可具有各种不同的形状和尺寸。例如, 当从顶部观察时, 管脚的形状可以是圆形 300, 方形的或者长方形 310, 或者椭圆形 320。当管脚具有星形时, 相比于当使用其它形状时, 它可以允许它们更容易地或者较不容易地压缩。下层金属层平面上方管脚 200 的高度通常大约 15 微米和大约 250 微米之间, 对于管脚末端, 宽度范围在大约 30 微米以及以上。

[0028] 图 5A 和 5B 示出了管脚可采用的典型的可替换结构。例如, 如图 5A 所示, 通过对于蚀刻阻挡金属层 420 选择地将第一金属层蚀刻, 管脚 400 形成, 蚀刻阻挡金属层 420 覆盖基层金属层 440, 管脚 400 被第二金属层 410 涂覆。第二金属层可包括与第一金属层相同金属、一个或多个其它金属、或者第一金属层中包括的金属与其它金属的组合。特定实施例中, 第二金属层 410 包括例如金的金属, 其耐腐蚀并且还可有助于在第二金属层和与其接触的另一部件的金属层之间形成扩散接合结构。另一个特定实施例中, 第二金属层包括低熔化温度金属例如锡或者低熔化温度金属合金例如焊料或者共晶成分 (eutectic composition)。可使用作为第二金属层的一个或多个金属的另外实例包括镍、铝或者镍 / 金。

[0029] 如图 5B, 传导管脚 450 的仅末端可利用第二金属层 460 涂覆, 传导管脚的主体可直接接触粘结层 470, 不用置入蚀刻阻挡层。

[0030] 之后, 如图 2D, 蚀刻阻挡层 30、第二金属层 32、和粘结剂 18 的部分可被去除。蚀刻阻挡层 30, 第二金属层 32 和粘结剂 18 可以根据需要同时或顺序地被去除。这些层的去除允许将微电子管脚 20 与多层互连元件 10 的传导部分 14 电连接, 如这里所述的。最后, 保护性电介质层 24, 例如上述的 (图 1E), 然后可以沉积在完成结构的顶部上。

[0031] 本发明另一个实施例中, 如图 6A-6E, 层状金属结构 26 可利用粘结剂 18 连接到多层互连元件 10。然而, 这个步骤之前, 第二金属层 32 使得部分从其处移除, 从而当层状金属结构 26 利用粘结剂连接到多层互连元件 10 时, 一些粘结剂然后可上升到第二金属层 32 的去除部分中, 如图 6B 和 6C 所示。因此, 在将层状金属结构 26 附接到多层互连元件 10 之前, 第二金属层 32 可以已经被构图。

[0032] 之后, 微电子管脚 20 以上述方式形成。接下来, 蚀刻阻挡层 30 和粘结剂 18 的部分被去除, 如图 6D。然后, 电连接 22 形成, 其将微电子管脚 20 与多层互连元件 10 的传导部分 14 电连接。最后, 保护层 24 可以沉积以形成组件 50。

[0033] 这里描述的方法和结构对于将芯片倒装安装到暴露的管脚接口是有利的, 具有基板栅格阵列 (LGA) 或者球栅阵列 (BGA), 例如图 7A 所示的。芯片还可在与微电子管脚 20 相反的一侧上安装到组件 50, 如图 7B。另外, 方法和结构还对于倒装芯片或者引线接合微接

触件是有利的,如图 7C。完成的组件可以是电路板,或者可以是连接到芯片的电路板。另外,完成的组件可以用于互连到另一个电路板或者芯片。

[0034] 虽然已经参考特定实施例描述了本发明,但是应当理解,这些实施例仅仅是示意性的说明本发明原理和应用。因此应当理解,在不脱离权利要求限定的本发明精神和范围情况下可以对说明性实施例和其它设置作出各种变化。

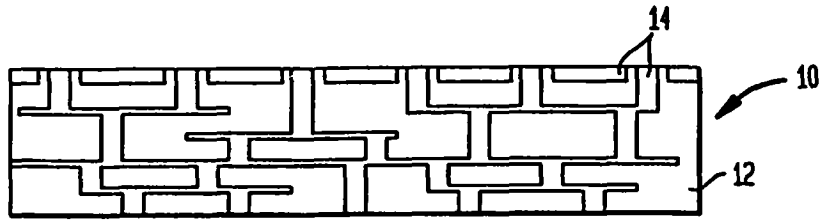


图 1A

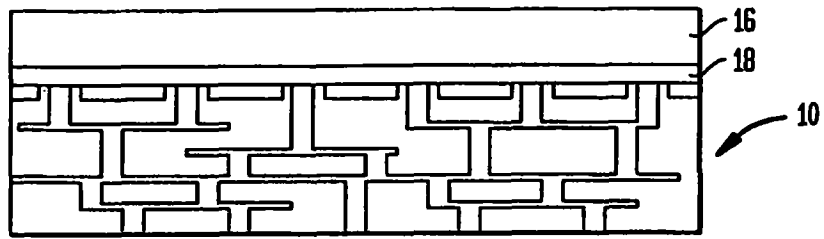


图 1B

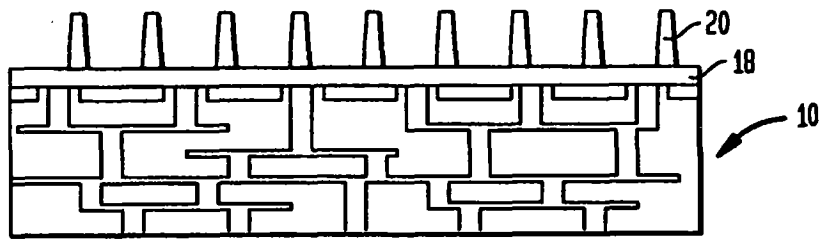


图 1C

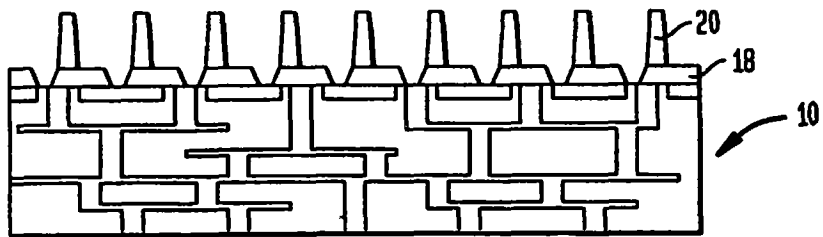


图 1D

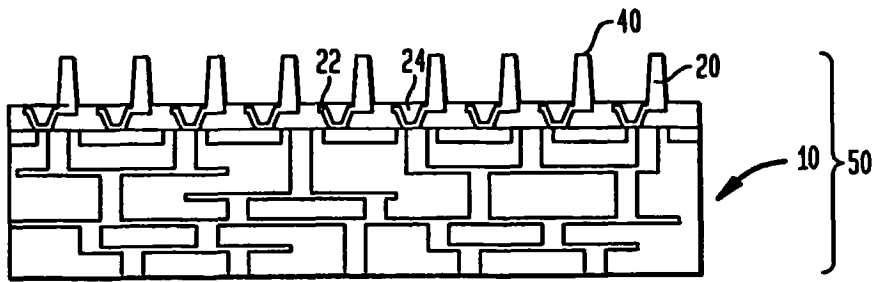


图 1E

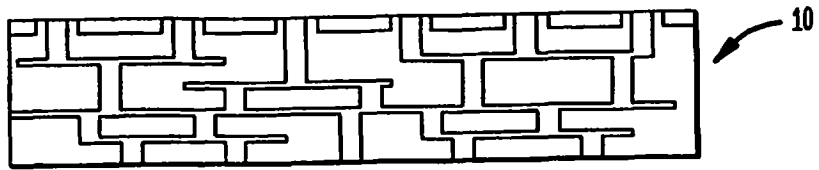


图 2A

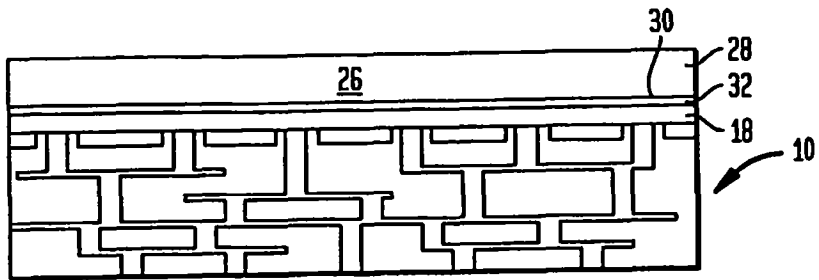


图 2B

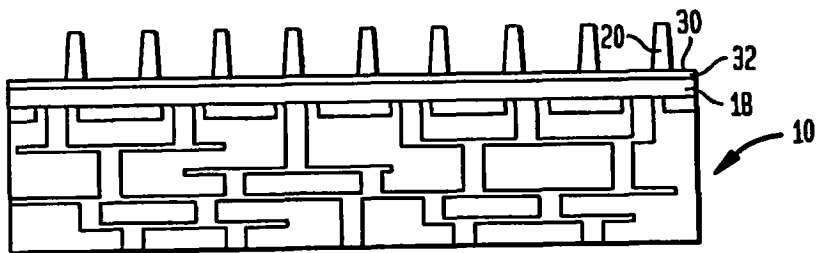


图 2C

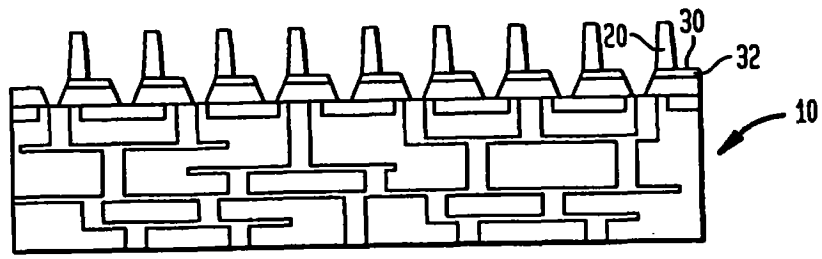


图 2D

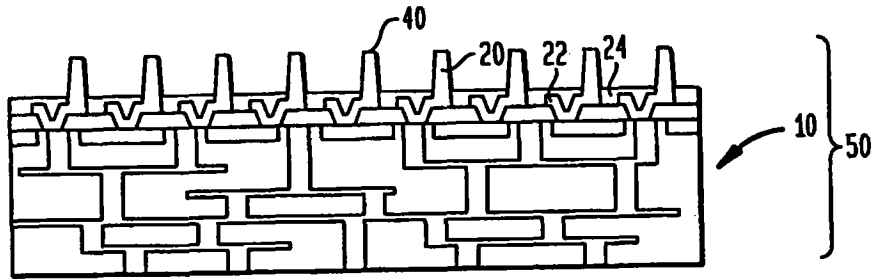


图 2E

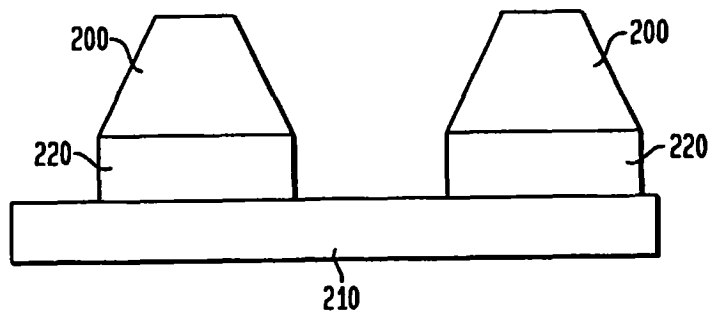


图 3

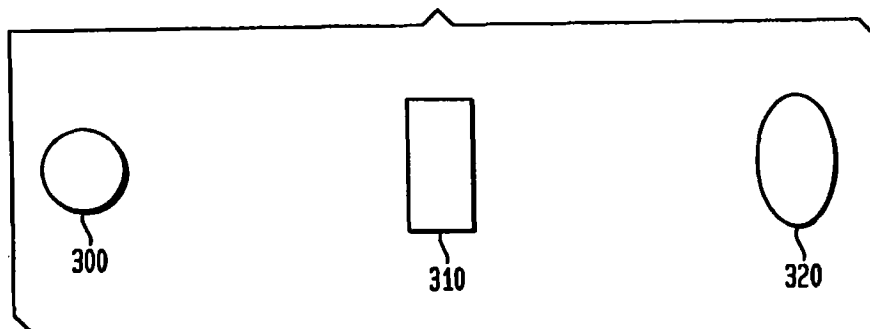


图 4

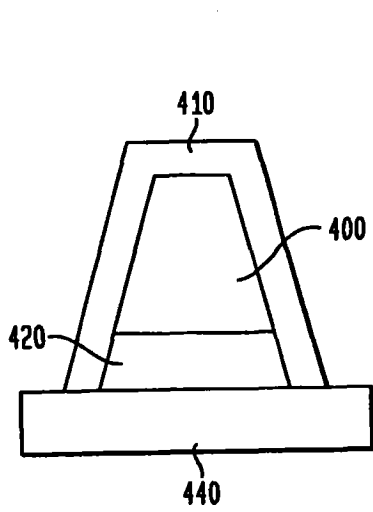


图 5A

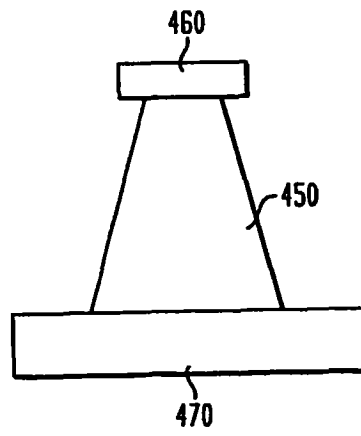


图 5B

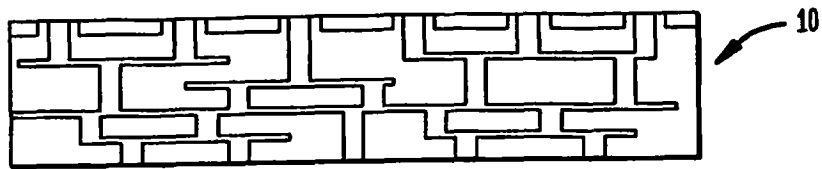


图 6A

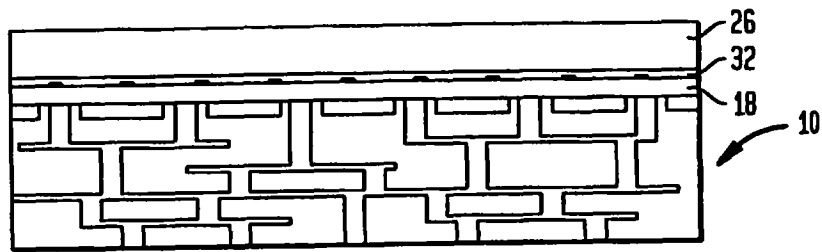


图 6B

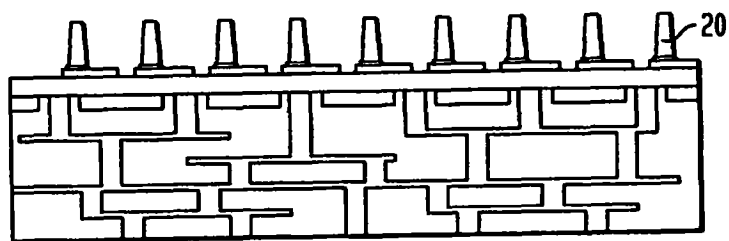


图 6C

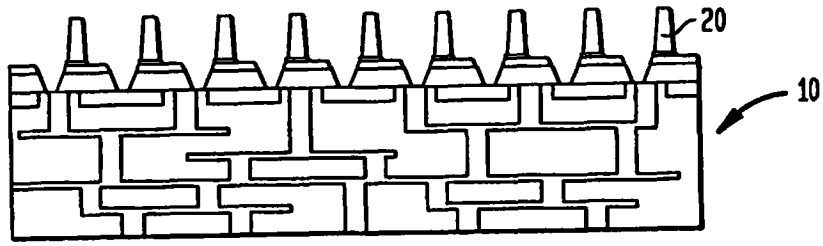


图 6D

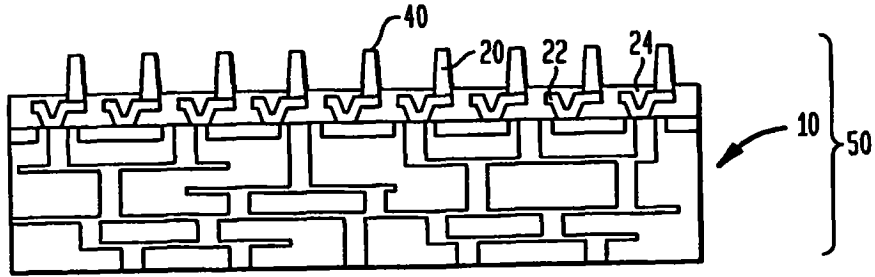


图 6E

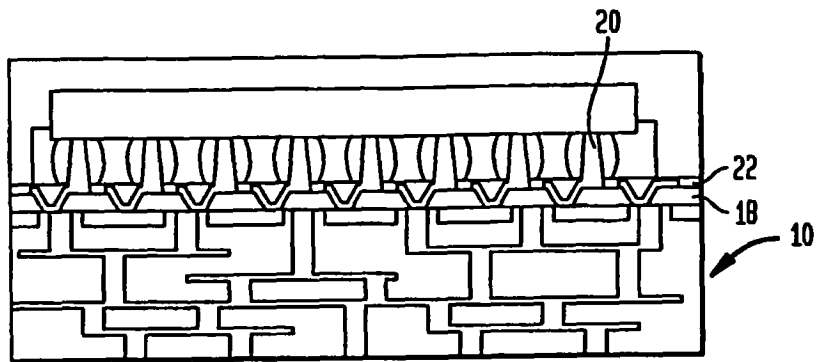


图 7A

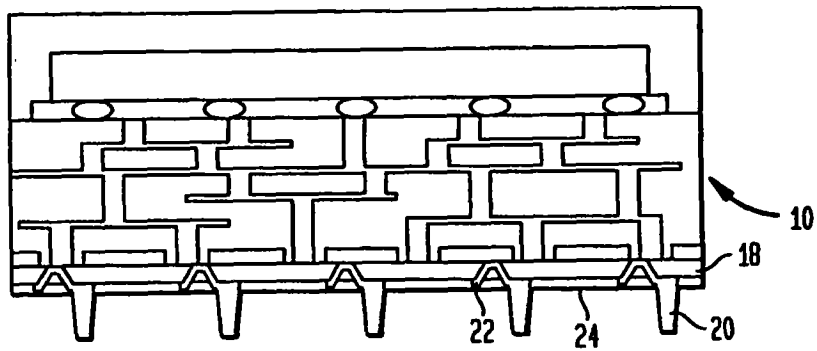


图 7B

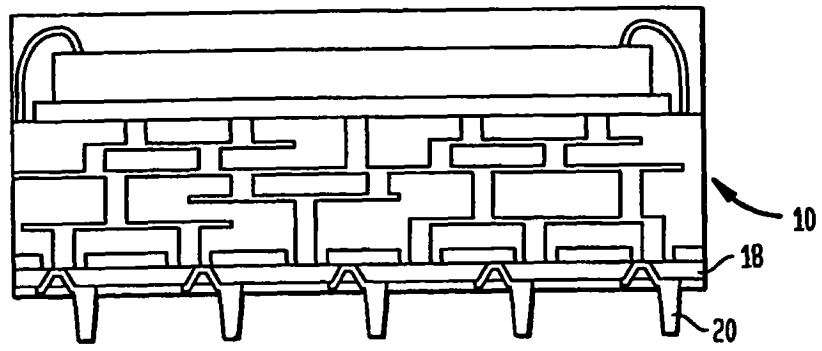


图 7C