

(12) 发明专利

(10) 授权公告号 CN 101069279 B

(45) 授权公告日 2012. 05. 09

(21) 申请号 200580036518. X

(22) 申请日 2005. 10. 18

(30) 优先权数据

310151/2004 2004. 10. 25 JP

(85) PCT申请进入国家阶段日

2007. 04. 25

(86) PCT申请的申请数据

PCT/JP2005/019141 2005. 10. 18

(87) PCT申请的公布数据

W02006/046442 JA 2006. 05. 04

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县川崎市

(72) 发明人 黑井隆 堀田胜之 北泽雅志

石桥真人

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 浦柏明 梁永

(51) Int. Cl.

H01L 21/76(2006. 01)

H01L 23/52(2006. 01)

H01L 21/3205(2006. 01)

H01L 29/78(2006. 01)

(56) 对比文件

US 6316299 B1, 2001. 11. 13, 全文.

CN 1241027 A, 说明书第5页第3段至第8页第1段和附图4, 8.

US 4661202 A, 1987. 04. 28, 说明书第3栏第2段.

US 4833098 A, 1989. 05. 23, 说明书第4栏第3段至第5栏第1段和附图3.

US 4968636 A, 1990. 11. 06, 全文.

审查员 陈源

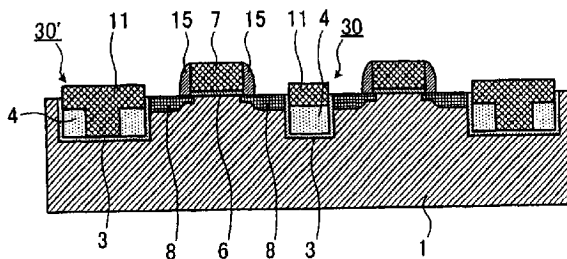
权利要求书 3 页 说明书 24 页 附图 32 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

一种用于高成品率地制造半导体器件的方法, 该半导体器件能够可靠地通过沟槽型的元件隔离进行元件隔离、并且可有效地防止邻接元件的电位对其它节点产生影响, 该方法包括以下工序: 在基板上形成第1层的工序; 蚀刻第1层和基板以形成沟槽的工序; 热氧化沟槽的内壁的工序; 在包含沟槽内的基板上淀积该沟槽的沟槽宽度的1/2以上膜厚的第1导电膜的工序; 利用CMP法去除第1层上的第1导电膜, 仅在沟槽内残留第1导电膜的工序; 各向异性蚀刻沟槽内的第1导电膜, 调整该导电膜的高度使其比基板的表面高度低的工序; 利用CVD法在第1导电膜上淀积绝缘膜以便将其埋入沟槽内的第1导电膜上部的工序; 利用CMP法使绝缘膜平坦化的工序; 以及去除第1层的工序。



1. 一种半导体器件的制造方法,在半导体基板上形成有沟槽型的元件隔离,其特在于,该制造方法包括:

在上述半导体基板上形成氧化硅膜和第 1 层的第 1 层形成工序;

蚀刻上述第 1 层、上述氧化硅膜和基板以形成沟槽的沟槽形成工序;

热氧化上述沟槽的内壁的热氧化工序;

在包含上述沟槽内的上述半导体基板上淀积半导体膜以便填埋该沟槽的半导体膜淀积工序;

利用 CMP 法去除上述第 1 层上的半导体膜、并仅在上述沟槽内残留上述半导体膜的半导体膜去除工序;

各向异性蚀刻上述沟槽内的上述半导体膜以将该半导体膜的高度调整得比上述基板的表面高度低的调整工序;

利用 CVD 法在上述半导体膜上淀积绝缘膜,并填埋上述沟槽内的上述半导体膜的上部的绝缘膜淀积工序;

利用 CMP 法对上述绝缘膜进行平坦化的平坦化工序;

去除上述第 1 层的去除工序;和

在距上述基板表面比上述沟槽的底面深的深度的区域处形成杂质扩散层,并将杂质导入到上述半导体膜以作为第 1 导电膜的杂质层形成工序,

上述半导体基板具有第 1 区域和第 2 区域,

上述杂质层形成工序包括:

在上述第 1 区域内形成第 1 导电类型的杂质扩散层的工序;和

在上述第 2 区域内形成第 2 导电类型的杂质扩散层的工序,

上述半导体器件具有第 1 区域和第 2 区域;

上述调整工序包括通过去除上述沟槽底面上的大致中央部的上述半导体膜来使上述半导体膜残留在上述沟槽侧壁附近;

上述杂质层形成工序包括:在上述第 1 区域内形成第 1 导电类型的杂质扩散层的工序;和在上述第 2 区域内形成第 2 导电类型的杂质扩散层的工序,使上述第 1 导电类型的杂质扩散层和第 2 导电类型的杂质扩散层的边界位于残留在上述沟槽的侧壁附近的半导体膜之间。

2. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,在上述去除工序后还包括:

对上述半导体基板上进行氧化以形成半导体氧化物绝缘膜的工序;

在上述半导体氧化物绝缘膜上形成第 2 导电膜的工序;

构图上述第 2 导电膜和上述半导体氧化物绝缘膜的工序;

在距上述半导体基板表面第 1 深度的区域,相对于上述第 2 导电膜自对准地形成第 1 浓度的杂质扩散层的工序;

在上述第 2 导电膜的侧壁上形成侧墙的工序;和

在距上述半导体基板表面比第 1 深度更深的第 2 深度的区域中,相对于上述第 2 导电膜和上述侧墙,自对准地形成比上述第 1 浓度更高的第 2 浓度的杂质扩散层,使其下端在上述沟槽侧壁部比上述第 1 导电膜上端的高度低的工序。

3. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,在上述去除工序后,包括:  
在上述半导体基板上形成层间绝缘膜的工序;  
在上述层间绝缘膜中形成深达上述第 1 导电膜的接触孔的工序;  
在上述接触孔中填埋第 3 导电膜的工序;和  
在上述层间绝缘膜上形成布线层以便与上述第 3 导电膜连接的工序。
4. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,在上述平坦化工序和上述去除工序之间包括蚀刻上述绝缘膜以调整该绝缘膜的高度的工序。
5. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,上述半导体基板是硅基板,上述第 1 层是氮化硅膜。
6. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,作为上述半导体膜,使用多晶硅膜。
7. 一种半导体器件,其特征在于,包括:  
半导体基板;  
设置在上述半导体基板上的半导体元件;和  
电隔离上述半导体元件的多个沟槽型的元件隔离,  
上述元件隔离具有:  
设置在上述半导体基板表面的沟槽;  
设置在上述沟槽的内壁面上的第 1 绝缘膜;  
在比上述沟槽内的上述基板的表面高度低的位置,沿上述沟槽的侧壁隔着上述第 1 绝缘膜而设置的导电膜;和  
在上述导电膜的上部填埋上述沟槽内的第 2 绝缘膜,  
在上述沟槽底部的大致中央部,隔离上述导电膜,并使上述第 1 绝缘膜和第 2 绝缘膜相连。
8. 根据权利要求 7 所述的半导体器件,其特征在于,包括:  
在上述半导体基板上覆盖上述半导体元件及上述沟槽型的元件隔离的层间绝缘膜;  
设置在上述层间绝缘膜上的布线层;和  
设置在上述层间绝缘膜中的接触,  
上述导电膜通过上述接触连接到上述布线层。
9. 根据权利要求 8 所述的半导体器件,其特征在于,连接到上述布线层的上述导电膜的电位被固定;  
根据上述导电膜的配置区域,上述被固定的电位不同。
10. 根据权利要求 8 所述的半导体器件,其特征在于,在上述导电膜的侧面连接上述接触。
11. 根据权利要求 7 所述的半导体器件,其特征在于,上述导电膜是选自金属膜、金属氮化膜或添加了掺杂剂的多晶硅膜组成的群组的膜。
12. 根据权利要求 7 所述的半导体器件,其特征在于,包括:  
在上述半导体基板上由上述沟槽规定的有源区;

在上述有源区上形成的栅极绝缘膜；

在上述栅极绝缘膜上形成的栅电极；

隔着上述栅电极下部的沟道区域,在距上述半导体基板表面第 1 深度的区域中相对于上述栅电极自对准地形成的第 1 浓度的杂质扩散层；

在上述栅电极的侧壁上形成的侧墙；和

在距上述半导体基板表面比上述第 1 深度更深的第 2 深度的区域中,相对于上述栅电极和上述侧墙自对准地形成的、其下端在上述沟槽侧部比上述导电膜上端的高度低的、比上述第 1 浓度更高的第 2 浓度的杂质扩散层。

13. 根据权利要求 7 所述的半导体器件,其特征在于,

上述半导体器件包括:具有第 1 导电类型的阱区的第 1 区域和具有第 2 导电类型的阱区的第 2 区域,上述第 1 区域和第 2 区域的边界位于残留在上述沟槽的侧壁附近的导电膜之间。

14. 根据权利要求 7 所述的半导体器件,其特征在于,

上述导电膜在上述第 1 区域处具有第 1 导电类型,在上述第 2 区域处具有第 2 导电类型。

## 半导体器件及其制造方法

### 技术领域

[0001] 本发明涉及一种半导体器件及其制造方法,特别地涉及具有沟槽型元件隔离结构的半导体器件及其制造方法。

### 背景技术

[0002] 在半导体集成电路中,为了在工作时元件间不存在电干扰而在各个元件完全独立的状态下进行控制,就必须形成具有元件隔离区域的元件隔离结构。形成这种元件隔离区域的方法之一,众所周知有沟槽隔离法,正在考虑各种改进方法。

[0003] 沟槽隔离法是在基板上形成沟槽并在该沟槽内部填充绝缘物的方法,由于几乎不会发生鸟嘴状,可以说是微细化半导体集成电路方面不可缺少的元件隔离方法。另一方面,指明了随着元件的微细化,隔着埋氧化膜,邻接的元件的电位对其它的节点会造成影响。因此,作为与之对应的方法,提出了在沟槽内埋导电膜。

[0004] 在此,使用图 86 ~ 图 91,说明现有的在沟槽内埋导电膜的半导体器件及其制造方法。如图 86、图 87 所示,在现有的半导体器件中,在形成于半导体基板 101 内的沟槽 102 内,隔着氧化硅膜 103 填充有多晶硅膜 104。在沟槽 102 内的多晶硅膜 104 上形成覆盖氧化膜 111。此外,在元件有源区中,隔着栅极绝缘膜 106 形成栅电极 107,隔着该栅电极 107 之下的沟道区域形成源漏扩散层 108。此外,在栅电极 107 的侧面上,形成侧墙 115。

[0005] 接着,说明现有的半导体器件的制造方法。首先,在半导体基板 101 上按此顺序形成氧化硅膜 109、氮化硅膜 110。接着,以使用照相制版技术及干法蚀刻技术形成的照相制版图形为掩膜,依次构图氮化硅膜 110、氧化硅膜 109,如图 87 所示,在半导体基板 101 上形成沟槽 102。

[0006] 接着,在形成沟槽 102 后,通过进行该沟槽 102 的内壁表面的热氧化来去除该沟槽 102 的内壁、即内侧面及底面的损伤部分,同时,如图 88 所示,在沟槽 102 的内壁上形成氧化硅膜 103,并且利用 CVD(化学汽相淀积,chemical vapor deposition)法在半导体基板 101 的整个表面上淀积掺杂了磷的氧化硅膜 104。接着,通过各向异性蚀刻,如图 89 所示,去除氮化硅膜 110 上及沟槽 102 内的一部分多晶硅膜 104。

[0007] 然后,通过执行氧化热处理,将沟槽 102 内的多晶硅 104 氧化,如图 90 所示,形成覆盖氧化膜 111。接着,去除氮化硅膜 110,并且去除氧化硅膜 109,由此,如图 91 所示,完成沟槽型元件隔离。此后,按照公知的 MOSFET(金属氧化物半导体场效应晶体管, Metal Oxide Semiconductor Field Effect Transistor)的形成工序,利用离子注入法,形成阱区、沟道截止区、用于控制阈值电压的沟道杂质层。然后,在半导体基板 101 上,形成栅极绝缘膜 106,在该栅极绝缘膜 106 上形成栅电极 107。然后,利用离子注入法,形成源漏扩散层 108,并且形成侧墙 115,由此完成图 86 所示的半导体器件。

[0008] 专利文献 1:特开平 6-232248 号公报

[0009] 专利文献 2:特开 2001-148418 号公报

[0010] 但是,根据上述现有技术,为了避免填充到半导体基板 101 内的多晶硅膜 104 和栅

电极 107 的短路,而对多晶硅膜 104 的表面进行氧化处理以形成覆盖氧化膜 111。在此氧化处理中,不仅对多晶硅膜 104 的表面氧化,还向横方向即与半导体基板 101 的面内方向大致平行的方向进行氧化,半导体基板 101 也将被氧化。向此半导体基板 101 的横方向的氧化,就会成为所谓的鸟嘴,使元件的有源区减少,引起接触和有源区的接触边界的下降,并降低晶体管的驱动能力。

[0011] 此外,氧化处理会引起半导体基板 101、多晶硅膜 104 的体积变化,在半导体基板 101 及多晶硅膜 104 中就会产生应力。此应力的产生会引起晶格缺陷的产生,或因带隙的变化引起结漏电电流的产生,使元件的制造成品率下降。

[0012] 而且,在现有技术中,在沟槽 102 的沟槽宽度较宽的区域中,在多晶硅膜 104 的各向异性蚀刻时,沟槽底部的多晶硅膜 104 也会被去除。其结果,在后工序的氧化处理时,就会在其形状上反映出来,产生台阶。此台阶就会引起后面的栅电极形成时的蚀刻残渣等的产生,导致制造成品率下降。为了避免这些缺点,就需要一种不形成较宽的沟槽宽度的沟槽的布图,造成布图受到限制。

[0013] 此外,电位固定导电膜的情况下,需要通过接触与布线层连接,虽然沟槽 102 需要较宽的沟槽宽度的区域,但根据上述理由,难于形成具有较宽的沟槽宽度的沟槽。此外,沟槽宽度较宽的区域,仅沟槽内的侧壁残存着多晶硅膜 104,通过此后的氧化处理,还从多晶硅膜 104 侧壁引起氧化,存在多晶硅膜 104 变薄、消失这样的问题。

[0014] 此外,作为元件隔离法,例如在组合场氧化膜和元件隔离沟的元件隔离方法等中,有在沟内填埋多晶硅的结构(例如,参照专利文献 1)。但是,由于这种半导体器件组合了场氧化膜,所以就不能取向于微细化,不能用于提高现有半导体集成电路的集成度。此外,覆盖层的氧化引起的体积膨胀会引起晶格缺陷,具有与上述相同的课题。此外,需要形成、去除用于防止鸟嘴扩大的氧化硅膜,从而因工序增加而导致增加成本的问题。

[0015] 此外,作为使用了沟槽隔离法的现有的半导体器件,具备沟槽隔离结构,该沟槽隔离结构具有:例如在半导体基板的表面内配设的沟槽、配设在此沟槽内且在比源漏层的最深部还深的位置处具有最上部的导体、配设在导体的侧面和沟槽之间的绝缘膜、和在导体的上部处填埋沟槽的绝缘物(例如,参照专利文献 2)。但是,在这种半导体器件中,由于在沟槽的侧壁部,导体的上端位于高浓度的源漏区域下端的更下位置,故不能充分抑制高浓度区域之间的电位的干扰。此外,根本未提到在沟槽宽度宽的元件隔离区域处导体变薄、消失的问题。

## 发明内容

[0016] 本发明是鉴于上述内容而进行的,其目的在于获得一种通过沟槽型元件隔离可靠地进行元件隔离、并且能够有效地防止邻接元件的电位对其它节点的影响的半导体器件、以及能够以良好的成品率制造出该半导体器件的半导体器件的制造方法。

[0017] 为了解决上述问题、实现上述目的,根据本发明的半导体器件的制造方法,在半导体基板上形成沟槽型的元件隔离,其特征在于,包括:在基板上形成第 1 层的第 1 层形成工序;蚀刻第 1 层和基板,形成沟槽的沟槽形成工序;热氧化沟槽的内壁的热氧化工序;在包含沟槽内的基板上淀积该沟槽的沟槽宽度的 1/2 以上膜厚的第 1 导电膜的导电膜淀积工序;利用 CMP 法,去除第 1 层上的第 1 导电膜、仅在沟槽内残留第 1 导电膜的导电膜去除工

序;各向异性蚀刻沟槽内的第 1 导电膜,将该导电膜的高度调整得比基板的表面高度低的调整工序;利用 CVD 法,在第 1 导电膜上淀积绝缘膜,填埋沟槽内的第 1 导电膜上部的绝缘膜淀积工序;利用 CMP 法,对绝缘膜进行平坦化的平坦化工序;和去除第 1 层的去除工序。

[0018] 根据本发明,不使用热氧化,而使用 CVD 法在导电膜上形成绝缘膜。并且,在本发明中,在包含沟槽内的基板上淀积最小沟槽宽度的 1/2 以上膜厚的导电膜。由此,就不会产生鸟嘴,不会产生起因于热氧化的基板及导电膜的应力,可防止鸟嘴引起的有源区宽度的减少。此外,能够减少起因于基板及导电膜的应力所引起的晶格缺陷的产生及结漏电电流的产生。此外,即使在具有较宽的沟槽宽度的沟槽中,也可沿沟槽的内侧壁可靠地确保导电膜,防止导电膜的氧化引起的薄膜化及消失。其结果,就能够可靠地防止邻接元件的电位对其它节点的影响。

[0019] 此外,根据本发明,由于在绝缘膜的形成中使用了通过 CVD 法进行氧化膜的淀积和通过 CMP 法进行的平坦化技术,所以能够使绝缘膜表面可靠地形成成为平坦的状态,而不会产生台阶。

[0020] 根据本发明就会获得以下效果,能够获得稳定地、可靠地执行元件隔离,且可有效地防止邻接元件的电位对其它节点的影响的半导体器件以及能够以良好的成品率制造出该半导体器件的半导体器件的制造方法。

#### 附图说明

[0021] 图 1 是表示实施方式 1 的半导体器件的简略结构的剖面图。

[0022] 图 2 是说明实施方式 1 的半导体器件的制造工序的剖面图。

[0023] 图 3 是说明实施方式 1 的半导体器件的制造工序的剖面图。

[0024] 图 4 是说明实施方式 1 的半导体器件的制造工序的剖面图。

[0025] 图 5 是说明实施方式 1 的半导体器件的制造工序的剖面图。

[0026] 图 6 是说明实施方式 1 的半导体器件的制造工序的剖面图。

[0027] 图 7 是说明实施方式 1 的半导体器件的制造工序的剖面图。

[0028] 图 8 是说明实施方式 1 的半导体器件的制造工序的剖面图。

[0029] 图 9 是说明实施方式 1 的半导体器件的制造工序的剖面图。

[0030] 图 10 是说明实施方式 1 的半导体器件的制造工序的剖面图。

[0031] 图 11 是说明实施方式 1 的半导体器件的制造工序的剖面图。

[0032] 图 12 是说明实施方式 1 的半导体器件的制造工序的剖面图。

[0033] 图 13 是表示实施方式 2 的半导体器件的简略结构的剖面图。

[0034] 图 14 是说明实施方式 2 的半导体器件的制造工序的剖面图。

[0035] 图 15 是说明实施方式 2 的半导体器件的制造工序的剖面图。

[0036] 图 16 是说明实施方式 2 的半导体器件的制造工序的剖面图。

[0037] 图 17 是说明实施方式 2 的半导体器件的制造工序的剖面图。

[0038] 图 18 是说明实施方式 2 的半导体器件的制造工序的剖面图。

[0039] 图 19 是说明实施方式 2 的半导体器件的制造工序的剖面图。

[0040] 图 20 是说明实施方式 2 的半导体器件的制造工序的剖面图。

[0041] 图 21 是说明实施方式 2 的半导体器件的制造工序的剖面图。

- [0042] 图 22 是说明实施方式 2 的半导体器件的制造工序的剖面图。
- [0043] 图 23 是说明实施方式 2 的半导体器件的制造工序的剖面图。
- [0044] 图 24 是说明实施方式 2 的半导体器件的制造工序的剖面图。
- [0045] 图 25 是表示实施方式 3 的半导体器件的简略结构的剖面图。
- [0046] 图 26 是说明实施方式 3 的半导体器件的制造工序的剖面图。
- [0047] 图 27 是说明实施方式 3 的半导体器件的制造工序的剖面图。
- [0048] 图 28 是说明实施方式 3 的半导体器件的制造工序的剖面图。
- [0049] 图 29 是说明实施方式 3 的半导体器件的制造工序的剖面图。
- [0050] 图 30 是说明实施方式 3 的半导体器件的制造工序的剖面图。
- [0051] 图 31 是说明实施方式 3 的半导体器件的制造工序的剖面图。
- [0052] 图 32 是说明实施方式 3 的半导体器件的制造工序的剖面图。
- [0053] 图 33 是说明实施方式 3 的半导体器件的制造工序的剖面图。
- [0054] 图 34 是说明实施方式 3 的半导体器件的制造工序的剖面图。
- [0055] 图 35 是说明实施方式 3 的半导体器件的制造工序的剖面图。
- [0056] 图 36 是说明实施方式 3 的半导体器件的制造工序的剖面图。
- [0057] 图 37 是说明实施方式 3 的半导体器件的制造工序的剖面图。
- [0058] 图 38 是说明实施方式 3 的半导体器件的制造工序的剖面图。
- [0059] 图 39 是表示实施方式 4 的半导体器件的简略结构的剖面图。
- [0060] 图 40 是表示实施方式 5 的半导体器件的简略结构的剖面图。
- [0061] 图 41 是说明实施方式 5 的半导体器件的制造工序的剖面图。
- [0062] 图 42 是说明实施方式 5 的半导体器件的制造工序的剖面图。
- [0063] 图 43 是说明实施方式 5 的半导体器件的制造工序的剖面图。
- [0064] 图 44 是说明实施方式 5 的半导体器件的制造工序的剖面图。
- [0065] 图 45 是说明实施方式 5 的半导体器件的制造工序的剖面图。
- [0066] 图 46 是说明实施方式 5 的半导体器件的制造工序的剖面图。
- [0067] 图 47 是说明实施方式 5 的半导体器件的制造工序的剖面图。
- [0068] 图 48 是说明实施方式 5 的半导体器件的制造工序的剖面图。
- [0069] 图 49 是说明实施方式 5 的半导体器件的制造工序的剖面图。
- [0070] 图 50 是说明实施方式 5 的半导体器件的制造工序的剖面图。
- [0071] 图 51 是说明实施方式 5 的半导体器件的制造工序的剖面图。
- [0072] 图 52 是说明实施方式 5 的半导体器件的制造工序的剖面图。
- [0073] 图 53 是说明实施方式 5 的半导体器件的制造工序的剖面图。
- [0074] 图 54 是表示实施方式 6 的半导体器件的简略结构的剖面图。
- [0075] 图 55 是说明实施方式 6 的半导体器件的制造工序的剖面图。
- [0076] 图 56 是说明实施方式 6 的半导体器件的制造工序的剖面图。
- [0077] 图 57 是说明实施方式 6 的半导体器件的制造工序的剖面图。
- [0078] 图 58 是说明实施方式 6 的半导体器件的制造工序的剖面图。
- [0079] 图 59 是说明实施方式 6 的半导体器件的制造工序的剖面图。
- [0080] 图 60 是说明实施方式 6 的半导体器件的制造工序的剖面图。



- [0081] 图 61 是说明实施方式 6 的半导体器件的制造工序的剖面图。
- [0082] 图 62 是说明实施方式 6 的半导体器件的制造工序的剖面图。
- [0083] 图 63 是说明实施方式 6 的半导体器件的制造工序的剖面图。
- [0084] 图 64 是说明实施方式 6 的半导体器件的制造工序的剖面图。
- [0085] 图 65 是说明实施方式 6 的半导体器件的制造工序的剖面图。
- [0086] 图 66 是说明实施方式 6 的半导体器件的制造工序的剖面图。
- [0087] 图 67 是说明实施方式 6 的半导体器件的制造工序的剖面图。
- [0088] 图 68 是表示实施方式 7 的半导体器件的简略结构的剖面图。
- [0089] 图 69 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0090] 图 70 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0091] 图 71 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0092] 图 72 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0093] 图 73 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0094] 图 74 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0095] 图 75 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0096] 图 76 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0097] 图 77 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0098] 图 78 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0099] 图 79 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0100] 图 80 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0101] 图 81 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0102] 图 82 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0103] 图 83 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0104] 图 84 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0105] 图 85 是说明实施方式 7 的半导体器件的制造工序的剖面图。
- [0106] 图 86 是表示现有的半导体器件的简略结构的剖面图。
- [0107] 图 87 是说明现有的半导体器件的制造工序的剖面图。
- [0108] 图 88 是说明现有的半导体器件的制造工序的剖面图。
- [0109] 图 89 是说明现有的半导体器件的制造工序的剖面图。
- [0110] 图 90 是说明现有的半导体器件的制造工序的剖面图。
- [0111] 图 91 是说明现有的半导体器件的制造工序的剖面图。
- [0112] 符号说明
- |                 |          |
|-----------------|----------|
| [0113] 1 硅基板    | 2 沟槽     |
| [0114] 3 氧化硅膜   | 4 多晶硅膜   |
| [0115] 5 氧化硅膜   | 6 栅极绝缘膜  |
| [0116] 7 栅电极    | 8 源漏扩散层  |
| [0117] 9 氧化硅膜   | 10 氮化硅膜  |
| [0118] 11 覆盖氧化膜 | 12 层间绝缘膜 |
| [0119] 13 接触孔   | 14 布线层   |

[0120]	15 侧墙	30 沟槽型元件隔离
[0121]	30' 沟槽型元件隔离	40 沟槽型元件隔离
[0122]	101 半导体基板	102 沟槽
[0123]	103 氧化硅膜	104 多晶硅膜
[0124]	106 栅极绝缘膜	107 栅电极
[0125]	108 源漏扩散层	109 氧化硅膜
[0126]	110 氮化硅膜	111 覆盖氧化膜
[0127]	115 侧墙	

### 具体实施方式

[0128] 下面,根据附图详细地说明本发明的半导体器件及其制造方式的实施方式。再有,本发明不限于以下的记述,在不脱离本发明的宗旨的范围内可以进行适当变更。

#### [0129] 实施方式 1

[0130] 图 1 是表示本发明实施方式 1 的半导体器件的简略结构的剖面图。在此半导体器件中,具有在设置于作为半导体基板的硅基板 1 内的沟槽 2 内隔着氧化硅膜 3 配置了作为导电膜的多晶硅膜 4 的薄型沟槽型元件隔离 30、30'。在此,在沟槽型元件隔离 30 中,配置在沟槽 2 内的多晶硅膜 4,遍及沟槽 2 内的底面上的整个沟槽宽度在整个表面上进行配置。此外,在沟槽型元件隔离 30' 中,配置在沟槽 2 内的多晶硅膜 4,仅在沟槽 2 内的底面上的侧壁侧配置,不配置在沟槽 2 内的底面上的大致中央部附近。

[0131] 在沟槽型元件隔离 30 中,多晶硅膜 4 的高度比硅基板 1 的表面低。此外,在沟槽型元件隔离 30' 中,多晶硅膜 4 的横方向的膜厚固定,且多晶硅膜 4 的高度比硅基板 1 的表面低。此外,在沟槽型元件隔离 30' 中,多晶硅膜 4 横方向的膜厚至少具有沟槽 2 的最小沟槽宽度的 1/2 以上的膜厚。并且,沟槽型元件 30、30' 中的多晶硅膜 4 的高度不依赖于沟槽型元件隔离的宽度即沟槽 2 的沟槽宽度,在整个沟槽型元件隔离 30、30' 中几乎固定。但是,由于后述的成膜或 CMP、蚀刻等中的制造方法上的偏差,通常会存在所残留的多晶硅膜 4 的高度存在  $\pm 10\%$  左右的偏差的情况。

[0132] 此外,在沟槽型元件隔离 30、30' 中,在多晶硅膜 4 上,形成由利用 CVD 法形成的氧化硅膜制成的覆盖氧化膜 11。因此,此沟槽型元件隔离 30、30' 中,在覆盖氧化膜 11 中就不会存在鸟嘴。

[0133] 此外,在元件的有源区中,在硅基板 1 上隔着栅极绝缘膜 6 形成栅电极 7,并形成了由隔着栅电极 7 之下的沟道区域相对于栅电极自对准地形成的低浓度的杂质扩散层、和直至比此深的位置处且相对于栅电极和侧墙自对准地形成的高浓度的杂质扩散层构成的源漏扩散层 8。在此,填充到沟槽内的多晶硅膜 4 的表面高度比基板表面更低,且在沟槽的侧壁部比高浓度的源漏扩散层 8 的下端更高。

[0134] 在上述本实施方式的半导体器件中,由于覆盖氧化膜 11 不是热氧化形成的,而是使用 CVD 法形成的,所以,在覆盖氧化膜 11 中就不会存在鸟嘴。由此,就防止由向覆盖氧化膜 11 横方向的扩展所引起的有源区宽度的减少。其结果,使得预先设定的半导体器件的形状图形和实际制造出的半导体器件的形状图形的转换差变得非常小,防止了接触和有源区的接触边缘的减少、晶体管驱动能力的下降等的发生,实现了工作速度的提高、制造成品率

的提高。因此,在该半导体器件中,可实现高品质的半导体器件。

[0135] 此外,由于本实施方式的半导体器件中未使用氧化处理而形成覆盖氧化膜 11,所以在半导体基板 1 及多晶硅膜 4 中就不会存在因氧化处理引起的半导体基板 1 及多晶硅膜 4 的应力。由此,在本实施方式的半导体器件中,能够防止起因于半导体基板 1 及多晶硅膜 4 的氧化处理的应力而导致的晶格缺陷的产生、和起因于该应力的产生引起的带隙变化而导致的结漏电电流的产生。因此,在此半导体器件中,能够提高半导体元件的制造成品率。即,可实现品质及生产性优异的半导体器件。

[0136] 而且,由于在本实施方式的半导体器件中通过采用 CVD 法进行氧化膜的淀积而形成了覆盖氧化膜 11,所以,即使在具有较宽的沟槽宽度的沟槽内,也能够防止存在于沟槽的内侧壁的多晶硅膜的薄膜化或消失。由此,能够可靠地防止起因于沟槽内的多晶硅膜的薄膜化或消失的元件隔离能力的下降,可实现能够稳定地、有效地进行元件隔离的高品质的半导体器件。

[0137] 并且,在沟槽元件隔离 30' 中,由于多晶硅膜 4 横方向的膜厚至少具有沟槽 2 的最小沟槽宽度的 1/2 以上的膜厚,所以,即使在具有较宽的沟槽宽度的沟槽中,也可以防止存在于沟槽内侧壁的多晶硅膜的薄膜化或消失。由此,能够可靠地防止起因于沟槽内的多晶硅膜的薄膜化或消失的元件隔离能力的下降,可实现能够稳定地、有效地进行元件隔离的高品质的半导体器件。

[0138] 并且,在本实施方式的半导体器件中,由于多晶硅膜 4 的表面高度在沟槽侧壁部比源漏扩散层 8 的下端高,所以在邻接的高浓度的源漏扩散层的电位不同的情况下,来自一个扩散层的电场的影响能够有效地抑制另一个扩散层中电位的变化。再有,在本实施方式中,所谓高浓度是杂质扩散层作为源漏起作用的浓度,例如,如果是 NMOS,则砷、磷的浓度最好为  $1 \times 10^{20}/\text{cm}^3$  以上,如果是 PMOS,硼的浓度最好为  $1 \times 10^{20}/\text{cm}^3$  以上,所谓低浓度是指比此低一个数量级的浓度。

[0139] 接着,使用附图,说明上述本实施方式的半导体器件的制造方法。首先,如图 2 所示,对硅基板 1 的上表面进行热氧化,以例如 5nm ~ 30nm 左右的膜厚形成氧化硅膜 9。接着,如图 2 所示,在该氧化硅膜 9 上,形成例如 50nm ~ 200nm 左右膜厚的氮化硅膜 10。然后,使用照相制版技术及干法蚀刻技术,如图 3 所示,对将形成沟槽的部分加以开口的光刻胶 21 进行构图。此后,将该光刻胶 21 用作掩膜,进行氮化硅膜 10、氧化硅膜 9 及硅基板 1 的各向异性蚀刻,形成沟槽 2,去除光刻胶 21。图 4 中示出了光刻胶 21 去除后的状态。在此,沟槽 2 的深度例如距基板表面深约 150nm ~ 500nm。

[0140] 沟槽 2 形成后,通过执行该沟槽 2 的内壁表面的热氧化去除该沟槽 2 的内壁、即内侧壁及底面的损伤部分,同时,如图 5 所示,在沟槽 2 的内壁上形成内壁氧化膜即氧化硅膜 3,作为保护膜。这种氧化硅膜 3 例如以 5nm ~ 30nm 左右的膜厚形成。

[0141] 接着,如图 6 所示,在沟槽 2 的内壁上及氮化硅膜 10 上,例如通过 CVD 法,以沟槽 2 的最小沟槽宽度 1/2 以上的膜厚淀积掺磷的多晶硅膜 4。在此,在多晶硅膜 4 的膜厚为沟槽 2 的最小沟槽宽度的 1/2 以上的情况下,如图 6 所示,在沟槽的沟槽宽度小的元件隔离 30 的区域中完全地填充多晶硅膜 4。另一方面,在沟槽的沟槽宽度比多晶硅的膜厚的 2 倍大的元件隔离 30' 的区域中,如图 6 所示,在沟槽的底部和侧壁部淀积多晶硅膜 4。在此,在本实施方式中,按比沟槽 2 的深度与氮化硅膜 10 的膜厚和氧化硅膜 9 的膜厚的总厚度更薄的

膜厚,淀积多晶硅膜 4。此情况下,在沟槽 2 的大致中央部不填充多晶硅膜 4,而处于形成了空隙的状态。

[0142] 例如,在沟槽 2 的最小沟槽宽度为 200nm 的情况下,按 120nm ~ 200nm 左右的膜厚淀积掺磷的多晶硅膜 4。此外,例如,所淀积的多晶硅膜 4 的膜厚为 150nm 的情况下,在沟槽宽度 300nm 以下的沟槽 2 中的沟区域中,完全地填充多晶硅膜 4。另一方面,例如在多晶硅膜 4 的膜厚为 150nm 的情况下,在沟槽宽度为 300nm 以上的沟槽 2 中,在沟槽部的底部和侧壁上淀积多晶硅膜 4。然后,在此情况下,在沟槽 2 的大致中央部处不填充多晶硅膜 4,处于形成了空隙的状态。

[0143] 淀积多晶硅膜 4 后,使用 CMP 法对多晶硅膜 4 的表面进行研磨,如图 7 所示,去除氮化硅膜 10 上的多晶硅膜 4。

[0144] 接着,利用各向异性蚀刻进行蚀刻,如图 8 所示,调整多晶硅膜 4 的表面高度,以使其比硅基板 1 的表面高度低。在本实施方式中,按比沟槽 2 的深度与氮化硅膜 10 的膜厚和氧化硅膜 9 的膜厚的总厚度更薄的膜厚淀积多晶硅膜 4。由此,在本实施方式中,如图 8 所示,在沟槽的沟槽宽度比多晶硅的膜厚的 2 倍大的元件隔离 30' 的区域处,在沟槽 2 的大致中央部处不填充多晶硅膜 4,处于露出沟槽底面的氧化硅膜 3 的状态。接着,利用 CVD (化学汽相淀积,chemical vapor deposition) 法,如图 9 所示,淀积氧化硅膜 5 以便填埋沟槽 2。作为 CVD 法,例如可使用高密度等离子体 (High-density plasma) CVD (化学汽相淀积,chemical vapor deposition) 法 (以下称为 HDP CVD 法)。

[0145] 然后,在淀积氧化硅膜 5 后,将氮化硅膜 10 作为停止层,利用 CMP 法,对氧化硅膜 5 的整个表面进行研磨,如图 10 所示,在进行氧化硅膜 5 的平坦化的同时,通过去除在氮化硅膜 10 上形成的氧化硅膜 5 来形成覆盖氧化膜 11。此时,在沟槽 2 的沟槽宽度比多晶硅膜 4 的 2 倍宽的元件隔离 30' 的区域中,还在由存在于沟槽 2 内侧壁的多晶硅膜 4 所形成的沟槽部 2' 中填充覆盖氧化膜 11。即,氧化硅膜 5 和氧化硅膜 3 在沟槽 2 底面的大致中央部相连。

[0146] 接着,为了调节沟槽型元件隔离 30、30' 的高度,例如,如图 11 所示,通过使用氢氟酸去除沟槽 2 内的覆盖氧化膜 11 (氧化硅膜 5) 表面的一部分,来调整覆盖氧化膜 11 (氧化硅膜 5) 的表面高度。接着,例如,使用热磷酸去除氮化硅膜 10。并且,例如,如图 12 所示,通过使用氢氟酸去除氧化硅膜 9 来完成沟槽型元件隔离 30、30'。

[0147] 然后,在完成沟槽型元件隔离 30、30' 后,按照现有公知的 MOSFET (金属氧化物半导体场效应晶体管,Metal Oxide Semiconductor Field Effect Transistor) 的形成工序,利用离子注入法,形成阱区、沟道截止区域、用于控制阈值电压的沟道杂质层。此后,在硅基板 1 上形成栅极绝缘膜 6,在该栅极绝缘膜 6 上淀积栅电极材料、例如多晶硅或钨硅化物等,通过构图形成栅电极 7。然后,采用离子注入法,调整注入量和注入能量,由此相对于栅电极 7 自对准地形成低浓度的杂质扩散层,并且,在栅电极 7 的侧壁上形成侧墙 15 后,通过直至比低浓度的杂质扩散层更深的位置形成高浓度的杂质扩散层,来形成源漏扩散层 8。在此,本实施方式中,调整源漏区域的下端,以使其在沟槽的侧壁部比填充到沟槽内的多晶硅膜 4 的表面高度更低。由此,就能够制造出图 1 所示的半导体器件。

[0148] 在上述本实施方式的半导体器件的制造方法中,对多晶硅膜 4 上的覆盖氧化膜 11 (氧化硅膜 5) 的形成不采用热氧化,而使用 CVD 法。由此,就如使用现有的氧化处理形成

覆盖氧化膜的情况那样,不会产生向横方向、即与硅基板 1 的面内方向大致平行方向的覆盖氧化膜,防止了因向覆盖氧化膜的横方向的氧化而导致的有源区宽度的减少。其结果,预先设定的半导体器件的形状图形和实际制造出的半导体器件的形状图形的转换差就会变得非常小,能够防止接触和有源区的接触边缘的减少、晶体管驱动能力的下降,并可提高工作速度,提高制造成品率。因此,能够制造品质及生产性优异的半导体器件。

[0149] 此外,在本实施方式的半导体器件的制造方法中,由于在覆盖氧化膜 11 的形成中没有采用氧化处理,所以就不会引起半导体基板 1 及多晶硅膜 4 的体积变化而产生应力,没有起因于氧化而产生半导体基板 1 及多晶硅膜 4 的应力。由此,在本实施方式的半导体器件的制造方法中,就能够防止起因于半导体基板 1 及多晶硅膜 4 中的应力的发生而产生晶格缺陷,并能够防止起因于该应力的产生而产生带隙变化而导致的结漏电电流。因此,在此半导体器件的制造方法中,就能够抑制晶格缺陷的产生,减少结漏电电流的产生,并能够提高半导体元件的制造成品率。即,能够制造出品质及生产性优异的半导体器件。

[0150] 此外,在本实施方式的半导体器件的制造方法中,由于在覆盖氧化膜 11 的形成中使用通过 CVD 法来淀积氧化膜,所以能够在具有较宽的沟槽宽度的沟槽中防止存在于沟槽内侧壁的多晶硅膜的薄膜化或消失。由此,能够可靠地防止起因于沟槽内的多晶硅膜的薄膜化或消失而使元件隔离能力下降,能够稳定地、有效地进行元件隔离。因此,能够制造出高品质的半导体器件。

[0151] 而且,在本实施方式的半导体器件的制造方法中,由于在覆盖氧化膜 11 的形成中,采用通过 CVD 法来淀积氧化膜和通过 CMP 法的平坦化技术,所以,能够可靠地使覆盖氧化膜 11 的表面为平坦状态,不会产生台阶。由此,能够可靠地防止在后工序的栅电极的形成时起因于覆盖氧化膜 11 的表面形状而产生蚀刻残渣等,能够有效地防止栅电极的短路。因此,不需要用于防止栅电极短路而限制沟槽 2 的布图,能够实现沟槽 2 的布图自由度大的半导体器件。

[0152] 此外,在本实施方式的半导体器件的制造方法中,在多晶硅膜 4 的去除中组合使用 CMP 法和各向异性蚀刻。由此,与现有的方法相比,就能够减少各向异性蚀刻的去除量,能够降低因沟槽 2 底部的蚀刻所引起的损伤,能够制造出可靠性高的半导体器件。

[0153] 而且,在本实施方式的半导体器件的制造方法中,由于在沟槽型元件隔离 30' 中,多晶硅膜 4 的横方向的膜厚至少为沟槽 2 的最小沟槽宽度的 1/2 以上的膜厚,所以,即使在具有较宽的沟槽宽度的沟槽中,也能够防止存在于沟槽的内侧壁的多晶硅膜的薄膜化或消失。由此,能够更加可靠地防止起因于沟槽内的多晶硅膜的薄膜化或消失而降低元件隔离能力,能够制造出可稳定、有效地进行元件隔离的高品质的半导体器件。

[0154] 并且,在本实施方式的半导体器件的制造方法中,由于高浓度的源漏扩散层 8 的下端形成得比在沟槽的侧壁部填充在沟槽内的多晶硅膜 4 的表面高度低,所以当邻接的高浓度的源漏扩散层的电位不同的时候,来自一个扩散层的电场的影响就能够通过多晶硅膜有效地抑制另一个扩散层中电位的变化。

[0155] 再有,在上述说明中,作为填充在沟槽 2 内的导电膜,虽然例举了掺磷的多晶硅膜来进行说明,但本发明中的导电膜不限于于此,也能够使用掺硼或砷或锑的多晶硅膜(添加了掺杂剂的非单晶硅膜)、钨或钛等的金属膜、氮化钛或氮化钨等的金属氮化膜的导电膜等,即使在此情况下也能够获得和上述相同的效果。

[0156] 实施方式 2

[0157] 图 13 是表示本发明实施方式 2 的半导体器件的简略结构的剖面图。在此半导体器件中,具有在作为半导体基板的硅基板 1 内设置的沟槽 2 内隔着氧化硅膜 3 配置了作为导电膜的多晶硅膜 4 的薄型的沟槽型元件隔离 40。在此,在沟槽型元件隔离 40 中,遍及沟槽 2 内的底面上的整个沟槽宽度在整个表面上配置了多晶硅膜 4。

[0158] 在沟槽型元件隔离 40 中,多晶硅膜 4 的高度比硅基板 1 的表面低。此外,在沟槽型元件隔离 40 中的多晶硅膜 4 的高度不依赖于沟槽型元件隔离的宽度即沟槽 2 的沟槽宽度,在整个沟槽型元件隔离 40 中几乎恒定。但是,由于后述的成膜或 CMP、蚀刻等中的制造方法上的偏差,通常存在所残留的多晶硅膜 4 的高度偏差  $\pm 10\%$  左右的情况。

[0159] 此外,在沟槽型元件隔离 40 中,在多晶硅膜 4 上,形成由利用 CVD 法形成的氧化硅膜构成的覆盖氧化膜 11。因此,该沟槽型元件隔离 40 中,在覆盖氧化膜 11 中,就不会存在鸟嘴。

[0160] 此外,在元件的有源区中,在硅基板 1 上隔着栅极绝缘膜 6 形成栅电极 7,形成了由隔着栅电极 7 之下的沟道区域且相对于栅电极自对准地形成的低浓度的杂质扩散层、和直至比此更深的位置且相对于栅电极和侧墙自对准地形成的高浓度的杂质扩散层构成的源漏扩散层 8。在此,填充到沟槽内的多晶硅膜 4 的表面高度比基板表面低,且在沟槽的侧壁部处比高浓度的源漏扩散层 8 的下端高。再有,在图 13 及以下所示出的附图中,对于与在上述实施方式 1 中说明的图 1 的半导体器件相同的部件,为了便于理解,赋予相同的符号,并省略详细的说明。

[0161] 在如上所述的本实施方式的半导体器件中,由于覆盖氧化膜 11 不是热氧化形成而是使用 CVD 法形成的,所以,在覆盖氧化膜 11 中就不会存在鸟嘴。由此,就防止了由向覆盖氧化膜 11 横方向的扩展引起的有源区宽度的减少。其结果,使得预先设定的半导体器件的形状图形和实际制造出的半导体器件的形状图形的转换差就会变得非常小,防止了接触和有源区的接触边缘的减少、晶体管驱动能力的下降等的发生,实现了工作速度的提高、制造成品率的提高。因此,在此半导体器件中,可实现高品质的半导体器件。

[0162] 此外,由于本实施方式的半导体器件中未使用氧化处理而形成覆盖氧化膜 11,所以在半导体基板 1 及多晶硅膜 4 中就不存在因氧化处理所引起的半导体基板 1 及多晶硅膜 4 的应力。由此,在本实施方式的半导体器件中,就能够防止起因于半导体基板 1 及多晶硅膜 4 的氧化处理的应力而导致的晶格缺陷的产生、和起因于该应力的产生使带隙的变化而导致的结漏电电流的产生。因此,在此半导体器件中,就能够提高半导体元件的制造成品率。即,可实现品质及生产性优异的半导体器件。

[0163] 而且,由于在本实施方式的半导体器件中通过采用 CVD 法的氧化膜的淀积来形成覆盖氧化膜 11,所以,即使在具有宽的沟槽宽度的沟槽内,也能够防止存在于沟槽的内侧壁的多晶硅膜的薄膜化或消失。由此,能够可靠地防止起因于沟槽内的多晶硅膜的薄膜化或消失所导致元件隔离能力的下降,可实现能够稳定地、有效地进行元件隔离的高品质的半导体器件。

[0164] 并且,在本实施方式的半导体器件中,在沟槽元件隔离 40 中,配置在沟槽 2 内的多晶硅膜 4 遍及沟槽 2 内的底面上的整个沟槽宽度,在整个表面上进行配置。由此,能够完全地防止存在于沟槽的内侧壁的多晶硅膜的薄膜化或消失。

[0165] 并且,在本实施方式的半导体器件中,由于多晶硅膜 4 的表面高度在沟槽的侧壁部处比源漏扩散层 8 的下端高,所以在邻接的高浓度的源漏扩散层的电位不同的情况下,来自一个扩散层的电场的影响就能够有效地抑制另一个扩散层中电位的变化。

[0166] 接着,使用附图,说明如上所述的本实施方式的半导体器件的制造方法。

[0167] 首先,如图 14 所示,对硅基板 1 的上表面进行热氧化,以例如 5nm ~ 30nm 左右的膜厚形成氧化硅膜 9。接着,如图 14 所示,在该氧化硅膜 9 上形成例如 50nm ~ 200nm 左右膜厚的氮化硅膜 10。然后,使用照相制版技术及干法蚀刻技术,如图 15 所示,对将形成沟槽的部分加以开口的光刻胶 21 进行构图。此后,将该光刻胶 21 用作掩膜进行氮化硅膜 10、氧化硅膜 9 及硅基板 1 的各向异性蚀刻,形成沟槽 2,去除光刻胶 21。图 16 中示出了去除光刻胶 21 后的状态。在此,沟槽 2 的深度例如距基板表面深约 150nm ~ 500nm。

[0168] 形成沟槽 2 之后,通过执行该沟槽 2 的内壁表面的热氧化,去除该沟槽 2 的内壁、即内侧面及底面的损伤部分,同时,如图 17 所示,在沟槽 2 的内壁上,形成内壁氧化膜即氧化硅膜 3 作为保护膜。这种氧化硅膜 3 例如以 5nm ~ 30nm 左右的膜厚形成。

[0169] 接着,例如通过 CVD 法,在沟槽 2 的内壁上及氮化硅膜 10 上,淀积掺磷的多晶硅膜 4。在此,在本实施方式中,按比沟槽 2 的深度和氮化硅膜 10 的膜厚与氧化硅膜 9 的膜厚的总厚度更厚的膜厚,淀积多晶硅膜 4。由此,在本实施方式中,如图 18 所示,变成利用多晶硅膜 4 填充具有各种沟槽宽度的所有沟槽 2。因此,在本实施方式中,如上述实施方式 1 的情况那样,就不会成为在沟槽 2 的大致中央部处没有填充多晶硅膜 4 而形成空隙的状态,遍及沟槽 2 内的底面上的整个沟槽宽度在整个表面上配置了多晶硅膜 4。

[0170] 淀积多晶硅膜 4 后,使用 CMP 法对多晶硅膜 4 的表面进行研磨,如图 19 所示,去除氮化硅膜 10 上的多晶硅膜 4。

[0171] 接着,利用各向异性蚀刻进行蚀刻,如图 20 所示,调整多晶硅膜 4 的表面高度,以使其比硅基板 1 的表面高度低。接着,利用 CVD 法,如图 21 所示,淀积氧化硅膜 5 以便填埋沟槽 2。作为 CVD 法,例如可使用 HDP CVD 法。

[0172] 然后,在淀积氧化硅膜 5 后,将氮化硅膜 10 作为停止层,利用 CMP 法,对氧化硅膜 5 的整个表面进行研磨,如图 22 所示,在进行氧化硅膜 5 的平坦化的同时,通过去除在氮化硅膜 10 上形成的氧化硅膜 5 来形成覆盖氧化膜 11。

[0173] 接着,为了调节沟槽型元件隔离 40 的高度,例如,如图 23 所示,通过使用氢氟酸去除沟槽 2 内的覆盖氧化膜 11(氧化硅膜 5)表面的一部分,来调整覆盖氧化膜 11(氧化硅膜 5)的表面高度。接着,例如,使用热磷酸,去除氮化硅膜 10。并且,例如,如图 24 所示,通过使用氢氟酸去除氧化硅膜 9 来完成沟槽型元件隔离 40。

[0174] 然后,在完成沟槽型元件隔离 40 后,按照现有公知的 MOSFET 的形成工序,通过离子注入法形成阱区、沟道截止区域、用于控制阈值电压的沟道杂质层。此后,在硅基板 1 上形成栅极绝缘膜 6,在该栅极绝缘膜 6 上淀积栅电极材料、例如多晶硅或钨硅化物等,通过构图形成栅电极 7。然后,采用离子注入法调整注入量和注入能量,由此相对于栅电极 7 自对准地形成低浓度的杂质扩散层,并且,在栅电极 7 的侧壁上形成侧墙 15 后,通过直至比低浓度的杂质扩散层深的位置处形成高浓度的杂质扩散层,来形成源漏扩散层 8。在此,本实施方式中,调整源漏区域的下端,以使其在沟槽的侧壁部处比填充到沟槽内的多晶硅膜 4 的表面高度低。由此,就能够制造出图 13 所示的半导体器件。

[0175] 在上述本实施方式的半导体器件的制造方法中,与实施方式 1 的情况相同,对多晶硅膜 4 上的覆盖氧化膜 11(氧化硅膜 5) 的形成不采用热氧化,而使用 CVD 法。由此,就如使用现有的氧化处理形成覆盖氧化膜的情况那样,就不会产生向横方向、即与硅基板 1 的面内方向基本上平行方向的覆盖氧化膜的产生,防止了因向覆盖氧化膜的横方向的氧化而导致的有源区宽度的减少。其结果,使得预先设定的半导体器件的形状图形和实际制造出的半导体器件的形状图形的转换差就会变得非常小,能够防止接触与有源区的接触边缘的减少、晶体管驱动能力的下降,可提高工作速度,提高制造成品率。因此,能够制造出品质及生产性优异的半导体器件。

[0176] 此外,在本实施方式的半导体器件的制造方法中,由于在覆盖氧化膜 11 的形成中没有采用氧化处理,所以就不会引起半导体基板 1 及多晶硅膜 4 的体积变化而产生应力,没有起因于半导体基板 1 及多晶硅膜 4 的应力的发生。由此,在本实施方式的半导体器件的制造方法中,能够防止起因于半导体基板 1 及多晶硅膜 4 中的应力的发生而产生晶格缺陷、或起因于该应力的产生的带隙变化而导致的结漏电电流的产生。因此,在此半导体器件的制造方法中,能够抑制晶格缺陷的产生,减少结漏电电流的产生,能够提高半导体元件的制造成品率。即,能够制造出品质及生产性优异的半导体器件。

[0177] 此外,在本实施方式的半导体器件的制造方法中,由于在覆盖氧化膜 1 的形成中使用了通过 CVD 法的氧化膜的淀积,所以能够在具有较宽的沟槽宽度的沟槽中防止存在于沟槽内侧壁的多晶硅膜的薄膜化或消失。由此,能够可靠地防止起因于沟槽内的多晶硅膜的薄膜化或消失而导致元件隔离能力的下降,能够稳定地、有效地进行元件隔离。因此,能够制造出高品质的半导体器件。

[0178] 而且,在本实施方式的半导体器件的制造方法中,由于在覆盖氧化膜 11 的形成中,采用通过 CVD 法的氧化膜的淀积和通过 CMP 法的平坦化技术,所以,能够可靠地使覆盖氧化膜 11 的表面为平坦状态,并不会产生台阶。由此,能够可靠地防止在后工序的栅电极的形成时起因于覆盖氧化膜 11 表面形状的蚀刻残渣等的产生,能够有效地防止栅电极的短路。因此,不需要用于防止栅电极短路而使沟槽 2 的布图受到限制,能够实现沟槽 2 的布图自由度大的半导体器件。

[0179] 此外,在本实施方式的半导体器件的制造方法中,多晶硅膜 4 的去除也与实施方式 1 的情况相同,组合使用 CMP 法和各向异性蚀刻。由此,与现有的方法相比,能够减少各向异性蚀刻的去除量,能够降低沟槽 2 的底部的蚀刻引起的损伤,能够制造出可靠性高的半导体器件。

[0180] 此外,本实施方式的半导体器件的制造方法中,在沟槽型元件隔离 40 的形成中,遍及沟槽 2 内的底面上的整个沟槽宽度,在整个表面上配置多晶硅膜 4。由此,能够完全地防止存在于沟槽内侧壁的多晶硅膜的薄膜化或消失。

[0181] 并且,在本实施方式的半导体器件的制造方法中,由于高浓度的源漏扩散层 8 的下端形成得比在沟槽的侧壁部填充在沟槽内的多晶硅膜 4 的表面高度低,所以当邻接的高浓度的源漏扩散层的电位不同的时候,来自一个扩散层的电场的影响就能够通过多晶硅膜有效地抑制另一个扩散层中电位的变化。

[0182] 实施方式 3

[0183] 图 25 是表示本发明实施方式 3 的半导体器件的简略结构的剖面图。在此半导体



器件中,具有在设置于作为半导体基板的硅基板 1 内的沟槽 2 内隔着氧化硅膜 3 配置了作为导电膜的多晶硅膜 4 的薄型的沟槽型元件隔离 40。在此,在沟槽型元件隔离 40 中,遍及沟槽 2 内的底面上的整个沟槽宽度在整个表面上配置了多晶硅膜 4。

[0184] 在沟槽型元件隔离 40 中,多晶硅膜 4 的高度比硅基板 1 的表面低。此外,在沟槽型元件隔离 40 中的多晶硅膜 4 的高度不依赖于沟槽型元件隔离的宽度即沟槽 2 的沟槽宽度,在整个沟槽型元件隔离 40 中几乎恒定。但是,由于后述的成膜或 CMP、蚀刻等中的制造方法上的偏差,通常存在所残留的多晶硅膜 4 的高度偏差  $\pm 10\%$  左右的情况。

[0185] 此外,在沟槽型元件隔离 40 中,在多晶硅膜 4 上,形成由利用 CVD 法形成的由氧化硅膜构成的覆盖氧化膜 11。因此,此沟槽型元件隔离 40 中,在覆盖氧化膜 11 中,就不会存在鸟嘴。

[0186] 此外,在元件的有源区中,在硅基板 1 上隔着栅极绝缘膜 6 形成栅电极 7,隔着栅电极 7 之下的沟道区域形成了源漏扩散层 8。此外,在沟槽型元件隔离 40 上、栅电极 7 上及源漏扩散层 8 上,形成层间绝缘膜 12,通过在该层间绝缘层 12 中形成的接触 13,使它们与布线层 14 连接。再有,在图 25 及以下所示出的附图中,对于与在上述实施方式 2 中说明的图 13 的半导体器件相同的部件,为了便于理解,赋予相同的符号,并省略详细的说明。

[0187] 在如上所述的本实施方式的半导体器件中,具有与上述实施方式 2 中的半导体器件相同的效果。而且,在此半导体器件中,由于遍及沟槽 2 内的底面上的整个沟槽宽度在整个表面上配置了多晶硅膜 4,所以还具有能够容易地进行布线层 14 和多晶硅膜 4 的连接这样的优点。由此,就能够可靠地进行作为导电膜的多晶硅膜 4 的电位固定。作为施加电位,例如为了提高微细的 N 沟道 MOS 的隔离特性,优选从 0V 起施加负方向电位,但由于担心隔着沟槽 2 内的氧化硅膜 3 在基板和导电膜间发生漏电,故优先施加电位直至约 -1V,当绝对值与电源电压 (1.0V 或 1.2V) 相等时,就不必进行升压,所以更加理想。

[0188] 此外,由于作为导电膜的多晶硅膜 4 的表面高度不依赖于沟槽型元件隔离的宽度即沟槽 2 的沟槽宽度,在整个沟槽型元件隔离 40 中几乎恒定,所以,到达导电膜的连接孔 (接触 13) 也能够针对任何的隔离区域来形成。而且,在连接到隔离区域的源漏扩散层 8 中寄生并产生的电容也不依赖于沟槽型元件隔离的宽度,所以具有所谓能够降低工作速度的偏差的效果。

[0189] 接着,使用附图,说明如上所述的本实施方式的半导体器件的制造方法。

[0190] 首先,如图 26 所示,对硅基板 1 的上表面进行热氧化,以例如 5nm ~ 30nm 左右的膜厚形成氧化硅膜 9。接着,如图 26 所示,在该氧化硅膜 9 上形成例如 50nm ~ 200nm 左右膜厚的氮化硅膜 10。然后,使用照相制版技术及干法蚀刻技术,如图 27 所示,对将形成沟槽的部分加以开口的光刻胶 21 进行构图。此后,将该光刻胶 21 用作掩膜进行氮化硅膜 10、氧化硅膜 9 及硅基板 1 的各向异性蚀刻,形成沟槽 2,去除光刻胶 21。图 28 中示出了光刻胶 21 去除后的状态。在此,沟槽 2 的深度例如距基板表面深约 150nm ~ 500nm。

[0191] 形成沟槽 2 之后,通过执行该沟槽 2 的内壁表面的热氧化,去除该沟槽 2 的内壁、即内侧面及底面的损伤部分,同时,如图 29 所示,在沟槽 2 的内壁上形成作为保护膜的内壁氧化膜即氧化硅膜 3。例如,以 5nm ~ 30nm 左右的膜厚形成这种氧化硅膜 3。

[0192] 接着,例如通过 CVD 法,在沟槽 2 的内壁上及氮化硅膜 10 上淀积掺磷的多晶硅膜 4。在此,在本实施方式中,按比沟槽 2 的深度和氮化硅膜 10 的膜厚与氧化硅膜 9 的膜厚的

总膜厚更厚的膜厚,淀积多晶硅膜 4。由此,在本实施方式中,如图 30 所示,变成利用多晶硅膜 4 填充具有各种沟槽宽度的所有沟槽 2。

[0193] 淀积了多晶硅膜 4 后,使用 CMP 法对多晶硅膜 4 的表面进行研磨,如图 31 所示,去除氮化硅膜 10 上的多晶硅膜 4。

[0194] 接着,利用各向异性蚀刻,进行蚀刻,如图 32 所示,调整多晶硅膜 4 的表面高度,以使其比硅基板 1 的表面高度低。接着,利用 CVD 法,如图 33 所示,淀积氧化硅膜 5 以便填埋沟槽 2。作为 CVD 法,例如,可使用 HDP CVD 法。

[0195] 然后,在淀积氧化硅膜 5 后,将氮化硅膜 10 作为停止层,利用 CMP 法,对氧化硅膜 5 的整个表面进行研磨,如图 34 所示,在进行氧化硅膜 5 的平坦化的同时,通过去除形成在氮化硅膜 10 上的氧化硅膜 5 来形成覆盖氧化膜 11。

[0196] 接着,为了调节沟槽型元件隔离 40 的高度,例如,如图 35 所示,通过使用氢氟酸去除沟槽 2 内的覆盖氧化膜 11(氧化硅膜 5)表面的一部分,来调整覆盖氧化膜 11(氧化硅膜 5)的表面高度。接着,例如,使用热磷酸,去除氮化硅膜 10。并且,例如,如图 36 所示,通过使用氢氟酸,去除氧化硅膜 9 来完成沟槽型元件隔离 40。

[0197] 然后,在完成沟槽型元件隔离 40 后,按照现有公知的 MOSFET 的形成工序,通过离子注入法形成阱区、沟道截止区域、用于控制阈值电压的沟道杂质层。此后,在硅基板 1 上形成栅极绝缘膜 6,在该栅极绝缘膜 6 上淀积栅电极材料、例如多晶硅或钨硅化物等,通过构图形成栅电极 7。然后,采用离子注入法形成源漏扩散层 8,如图 37 所示,形成侧墙 15。

[0198] 接着,在硅基板 1 上,形成由氧化硅膜、或氧化硅膜和氮化硅膜的层叠膜构成的层间绝缘膜 12,如图 38 所示,形成深至栅电极 7、源漏扩散层 8、填充在沟槽型元件隔离 40 内的多晶硅膜 4 的接触孔 13'。然后,在接触孔 13' 内填充例如钨作为插塞材料,通过镶嵌法形成布线层 14,由此,就能够制造出图 25 所示的半导体器件。

[0199] 在上述本实施方式的半导体器件的制造方法中,具有与实施方式 2 的半导体器件的制造方法相同的效果。此外,在此半导体器件中,由于遍及沟槽 2 内的底面上的整个沟槽宽度在整个表面上配置了多晶硅膜 4,所以还具有能够容易地进行布线层 14 和多晶硅膜 4 的连接这样的优点。由此,就能够容易地进行导电膜的电位固定。而且,由于作为导电膜的多晶硅膜 4 的表面高度不依赖于沟槽型元件隔离的宽度即沟槽 2 的沟槽宽度,在整个沟槽型元件隔离 40 中几乎恒定,所以,就能够针对任何隔离区域,形成到达导电膜的连接孔(接触 13)。

[0200] 再有,在上述说明中,虽然说明了在沟槽的底面上的整个区域处设置了导电膜的情况,但即使在实施方式 1 说明的在沟槽的底面上的整个区域中不设置导电膜的情况也能够获得大致相同的效果。

[0201] 实施方式 4

[0202] 图 39 是表示本发明实施方式 4 的半导体器件的简略结构的剖面图。在此半导体器件中,具有在设置于作为半导体基板的硅基板 1 内的沟槽 2 内隔着氧化硅膜 3 配置了作为导电膜的多晶硅膜 4 的薄型的沟槽型元件隔离 50。在此,在沟槽型元件隔离 50 中,遍及沟槽 2 内的底面上的整个沟槽宽度在整个表面上配置了多晶硅膜 4。

[0203] 此外,在沟槽型元件隔离 50 中,在多晶硅膜 4 之上,形成由利用 CVD 法形成的氧化硅膜构成的覆盖氧化膜 11。因此,此沟槽型元件隔离 50 中,就不会在覆盖氧化膜 11 中存在

鸟嘴。

[0204] 此外,在元件的有源区中,在硅基板 1 上隔着栅极绝缘膜 6 形成栅电极 7,并形成了由隔着栅电极 7 之下的沟道区域相对栅电极自对准地形成的低浓度的杂质扩散层、和直至比此深的位置处相对于栅电极和侧墙自对准地形成的高浓度的杂质扩散层构成的源漏扩散层 8。

[0205] 再有,在图 39 中,对于与在上述实施方式 1 中说明的图 1 的半导体器件相同的部件,为了便于理解,赋予相同的符号,并省略详细的说明。

[0206] 在此,在沟槽型元件隔离 50 中,填充在沟槽 2 内的多晶硅膜 4,相对于沟槽 2 的侧壁被形成凹状,沿沟槽 2 的侧壁部存在的该多晶硅膜 4 的表面高度比硅基板 1 的表面低,且比源漏扩散层 8 的下端高。此外,沟槽型元件隔离 50 中的多晶硅膜 4 的平坦部分的高度不依赖于沟槽型元件隔离 50 的宽度即沟槽 2 的沟槽宽度,在整个沟槽型元件隔离 50 中几乎恒定。但是,由于成膜或 CMP、蚀刻等中的制造方法上的偏差,通常会存在所残留的多晶硅膜 4 的高度偏差  $\pm 10\%$  左右的情况。

[0207] 如上所述的本实施方式的半导体器件基本上能够按照在上述实施方式 2 中说明的半导体器件的制造方法来制作。但是,如图 20 所示,在通过各向异性蚀刻执行多晶硅膜 4 的蚀刻来调整多晶硅膜 4 的表面高度以使其比硅基板 1 的表面高度低的工序中,某种程度地减弱各向异性的蚀刻,并进行增强各向同性的蚀刻。具体地,例如通过使用添加氟的蚀刻气体,执行多晶硅膜 4 的蚀刻,就能够实现。由此,能够制造出图 39 所示的本实施方式的半导体器件。

[0208] 在如上所述的实施方式的半导体器件的制造方法中,在作为沟槽 2 内的导电膜的多晶硅膜 4 的平坦部的上部,与沿沟槽 2 的侧壁部存在的多晶硅膜 4 的上部相比较,存在膜厚更厚的覆盖氧化膜 11。由此,在本实施方式的半导体器件中,除上述实施方式 2 中说明的效果之外,与实施方式 2 那样的沟槽 2 内的多晶硅膜 4 的高度固定的情况比较,在沟槽型元件隔离 50 上形成布线层的情况下,还能够减少寄生电容。其结果,能够更高速地工作。因此,根据本实施方式的半导体器件,就能够实现可进一步提高工作速度的高品质的半导体器件。

[0209] 此外,在如上所述的本实施方式的半导体器件的制造方法中,在沟槽 2 内的多晶硅膜 4 的平坦部的上部,形成与沿沟槽 2 的侧壁部存在的多晶硅膜 4 的上部相比较膜厚更厚的覆盖氧化膜 11。由此,在本实施方式的半导体器件的制造方法中,除上述实施方式 2 中说明的效果之外,与实施方式 2 那样的沟槽 2 内的多晶硅膜 4 的高度固定的情况比较,在沟槽型元件隔离 50 上形成布线层的情况下,还能够减少寄生电容。其结果,就能够制造出可更高速工作的半导体器件。因此,根据本实施方式的半导体器件,就能够制作出可进一步提高工作速度的高品质的半导体器件。

[0210] 实施方式 5

[0211] 图 40 是表示本发明的实施方式 5 的半导体器件的简略结构的剖面图。在此半导体器件中,在半导体基板中形成导入了 p 型杂质的 p 阱区 16 及导入了 n 型杂质的 n 阱区 17。在设置于 p 阱区 16 内及 n 阱区 17 内的沟槽 2 之内,具有隔着氧化硅膜 3 配置了作为导电膜的多晶硅膜 4 的薄型的沟槽型元件隔离 60。在沟槽型元件隔离 60 中,遍及沟槽 2 内的底面上的整个沟槽宽度在整个表面上配置了多晶硅膜 4。

[0212] 此外,在沟槽型元件隔离 60 中,在多晶硅膜 4 之上,形成由利用 CVD 法形成的氧化硅膜构成的覆盖氧化膜 11。因此,此沟槽型元件隔离 60 中,就不会在覆盖氧化膜 11 中存在鸟嘴。

[0213] 此外,在元件的有源区中,在硅基板 1 上隔着栅极绝缘膜 6 形成栅电极 7,并形成了由隔着栅电极 7 之下的沟道区域相对栅电极自对准地形成的低浓度的杂质扩散层、和直至比此深的位置处相对于栅电极和侧墙自对准地形成的高浓度的杂质扩散层而构成的源漏扩散层 8。按照以上结构,在 p 阱区 16 中形成 NMOS 晶体管,在 n 阱区 17 中形成 PMOS 晶体管。

[0214] 而且,在图 40 及以下示出的附图中,对于与在上述实施方式 1 中说明的图 1 的半导体器件相同的部件,为了便于理解,赋予相同的符号,并省略详细的说明。

[0215] 在此,在沟槽型元件隔离 60 中,填充在沟槽 2 内的多晶硅膜 4 的表面高度比硅基板 1 的表面低,且在沟槽 2 的侧壁部比高浓度的源漏扩散层 8 的下端高。此外,沟槽型元件隔离 60 中的多晶硅膜 4 的高度(多晶硅膜 4 的横方向的膜厚)不依赖于沟槽型元件隔离 60 的宽度即沟槽 2 的沟槽宽度,在整个沟槽型元件隔离 60 中几乎恒定。但是,由于后述的成膜或 CMP、蚀刻等中的制造方法上的偏差,通常会存在所残留的多晶硅膜 4 的高度偏差 ±10% 左右的情况。此外,详细地说,在 p 阱区 16 的沟槽 2 内形成的多晶硅膜 4 是 p 型导电膜即 p 型多晶硅膜 4', 详细地说,在 n 阱区 17 的沟槽 2 内形成的多晶硅膜是 n 型导电膜即 n 型多晶硅膜 4''。

[0216] 在如上所述的本实施方式的半导体器件中,p 阱区 16 的沟槽 2 内的多晶硅是 p 型掺杂的 p 型多晶硅膜 4', n 型区域 17 的沟槽 2 内的多晶硅是 n 型掺杂的 n 型多晶硅膜 4''。由此,在本实施方式的半导体器件中,除上述实施方式 2 中说明的效果之外,还不容易使半导体基板 1 内的沟槽 2 的底部及侧壁部反转,能够提高元件隔离能力。因此,根据本实施方式的半导体器件,就可实现元件隔离能力更优异的高品质的半导体器件。

[0217] 接着,使用附图,说明如上所述的本实施方式的半导体器件的制造方法。

[0218] 首先,如图 41 所示,对硅基板 1 的上表面进行热氧化,以例如 5nm ~ 30nm 左右的膜厚形成氧化硅膜 9。接着,如图 41 所示,在该氧化硅膜 9 上形成例如 50nm ~ 200nm 左右膜厚的氮化硅膜 10。然后,使用照相制版技术及干法蚀刻技术,如图 42 所示,对将形成沟槽的部分加以开口的光刻胶 21 进行构图。此后,将该光刻胶 21 用作掩膜进行氮化硅膜 10、氧化硅膜 9 及硅基板 1 的各向异性蚀刻,形成沟槽 2,并去除光刻胶 21。图 43 中示出了光刻胶 21 去除后的状态。在此,沟槽 2 的深度例如距基板表面深约 150nm ~ 500nm。

[0219] 形成沟槽 2 之后,通过执行该沟槽 2 的内壁表面的热氧化,去除该沟槽 2 的内壁、即内侧面及底面的损伤部分,同时,如图 44 所示,在沟槽 2 的内壁上形成内壁氧化膜即氧化硅膜 3 作为保护膜。例如以 5nm ~ 30nm 左右的膜厚形成这种氧化硅膜 3。

[0220] 接着,如图 45 所示,例如通过 CVD 法,在沟槽 2 的内壁上及氮化硅膜 10 上以比沟槽 2 的深度和氮化硅膜 10 的膜厚与氧化硅膜 9 的膜厚的总膜厚更厚的膜厚,淀积未掺杂杂质的多晶硅膜 4。在此,在沟槽 2 的整个的沟槽宽度中完全地填充多晶硅膜。

[0221] 淀积多晶硅膜 4 之后,使用 CMP 法,对多晶硅膜 4 的表面进行研磨,如图 46 所示,去除氮化硅膜 10 上的多晶硅膜 4。

[0222] 接着,利用各向异性蚀刻进行蚀刻,如图 47 所示,调整多晶硅膜 4 的表面高

度, 以使其比硅基板 1 的表面高度低。接着, 利用 CVD(化学气相淀积, chemical vapor deposition) 法, 如图 48 所示, 淀积氧化硅膜 5 以便填埋沟槽 2。作为 CVD 法, 例如可使用高密度等离子体 (High-density plasma) CVD(chemical vapor deposition) 法(下面称 HDP CVD 法)。

[0223] 然后, 在淀积氧化硅膜 5 之后, 将氮化硅膜 10 作为停止层, 利用 CMP 法, 对氧化硅膜 5 的整个表面进行研磨, 如图 49 所示, 进行氧化硅膜 5 的平坦化, 同时, 通过去除在氮化硅膜 10 上形成的氧化硅膜 5 来形成覆盖氧化膜 11。

[0224] 接着, 为了调节沟槽型元件隔离 60 的高度, 例如, 如图 50 所示, 通过使用氢氟酸去除沟槽 2 内的覆盖氧化膜 11(氧化硅膜 5) 表面的一部分, 来调整覆盖氧化膜 11(氧化硅膜 5) 的表面高度。接着, 例如, 使用热磷酸, 去除氮化硅膜 10。并且, 例如, 如图 51 所示, 通过使用氢氟酸去除氧化硅膜 9 来完成沟槽型元件隔离 60。

[0225] 接着, 使用照相制版技术, 如图 52 所示, 形成开口成为 p 阱区 16 的区域的抗蚀剂 22。然后, 将该抗蚀剂作为掩膜, 改变能量多段注入硼 (B) 离子。此时, 作为注入条件的一个例子, 例如条件为: 在 300KeV 下  $1 \times 10^{13} \text{cm}^2$ 、在 100KeV 下  $6 \times 10^{12} \text{cm}^2$ 、在 10KeV 下  $1 \times 10^{13} \text{cm}^2$ 。通过此注入, 形成其下端比沟槽 2 的下表面更深的 p 阱区 16。此外, 此时, 由于同时还在 p 阱区 16 的多晶硅膜 4 中注入硼 (B) 离子, 所以就形成了多晶硅膜 4'。

[0226] 接着, 使用照相制版技术, 如图 53 所示, 形成开口成为 n 阱区 17 的区域抗蚀剂 23。然后, 将该抗蚀剂作为掩膜, 改变能量多段注入磷 (P) 离子。此时, 作为注入条件的一个例子, 例如条件为: 在 600KeV 下  $1 \times 10^{13} \text{cm}^2$ 、在 300KeV 下  $6 \times 10^{12} \text{cm}^2$ 、在 30KeV 下  $1 \times 10^{13} \text{cm}^2$ 。通过此注入, 形成其下端比沟槽 2 的下表面更深的 n 阱区 17。此外, 此时, 由于同时还在 n 阱区 17 的多晶硅膜 4 中注入磷 (P) 离子, 所以就形成了多晶硅膜 4''。

[0227] 然后, 完成 p 阱区 16、n 阱区 17 之后, 按照现有公知的 MOSFET(金属氧化物半导体场效应晶体管, Metal Oxide Semiconductor Field Effect Transistor) 的形成工序, 在硅基板 1 上形成栅极绝缘膜 6, 在该栅极绝缘膜 6 上淀积栅电极材料、例如多晶硅或钨硅化物等, 通过构图形成栅电极 7。

[0228] 然后, 采用离子注入法, 调整注入量和注入能量, 由此相对于栅电极 7 自对准地形成低浓度的杂质扩散层, 并且, 在栅电极 7 的侧壁上形成侧墙 15 后, 通过直至比低浓度的杂质扩散层更深的位置处形成高浓度的杂质扩散层, 来形成源漏扩散层 8。在此, 本实施方式中, 调整源漏区域的下端, 以使其在沟槽 2 的侧壁部比填充到沟槽 2 内的多晶硅膜 4 的表面高度低。此外, 此时, 使用照相制版技术, 通过区分导入的杂质的导电类型, 在 p 阱区 16 中形成 NMOS 晶体管, 在 n 阱区 17 中形成 PMOS 晶体管。由此, 就能够制造出图 40 所示的半导体器件。

[0229] 在如上所述的本实施方式的半导体器件的制造方法中, 用 p 型掺杂的 p 型多晶硅膜 4' 来形成 p 阱区 16 的沟槽 2 内的多晶硅, 用 n 型掺杂的 n 型多晶硅膜 4'' 来形成 n 阱区 17 的沟槽 2 内的多晶硅。由此, 在本实施方式的半导体器件的制造方法中, 除上述实施方式 2 中说明的效果之外, 还不容易使半导体基板 1 内的沟槽 2 的底部及侧壁部反转, 能够实现元件隔离能力的提高。因此, 根据本实施方式的半导体器件的制造方法, 就可制作出元件隔离能力更优异的高品质的半导体器件。并且, 在本实施方式的半导体器件的制造方法中, 由于向沟槽内的多晶硅膜的不同多种杂质的导入兼为阱形成工序, 所以就不会增加制造工

序数量。

#### [0230] 实施方式 6

[0231] 图 54 是表示本发明的实施方式 6 的半导体器件的简略结构的剖面图。在此半导体器件中,在半导体基板中形成导入了 p 型杂质的 p 阱区 16 及导入了 n 型杂质的 n 阱区 17。在 p 阱区 16 内及 n 阱区 17 内设置的沟槽 2 内,具有隔着氧化硅膜 3 配置了作为导电膜的多晶膜 4 的薄型的沟槽型元件隔离 70、70'、70"。在此,在沟槽型元件隔离 70'、70"中,遍及沟槽 2 内的底面上的整个沟槽宽度在整个表面上配置了多晶硅膜 4。此外,在沟槽型元件隔离 70 中,配置在沟槽 2 内的多晶硅膜 4(4'、4")仅配置在沟槽 2 内的底面上的侧壁侧,而不配置在沟槽 2 内的底面上的大致中央部附近。

[0232] 此外,在沟槽型元件隔离 70、70'、70"中,在多晶硅膜 4 之上,形成由利用 CVD 法形成的氧化硅膜构成的覆盖氧化膜 11。因此,此沟槽型元件隔离 70、70'、70"中,就不会在覆盖氧化膜 11 中存在鸟嘴。

[0233] 此外,在元件的有源区中,在硅基板 1 上隔着栅极绝缘膜 6 形成栅电极 7,并形成了由隔着栅电极 7 之下的沟道区域相对于栅电极自对准地形成的低浓度的杂质扩散层、和直至比此深的位置处相对于栅电极和侧墙自对准地形成的高浓度的杂质扩散层构成的源漏扩散层 8。按照以上结构,就在 p 阱区 16 中形成 NMOS 晶体管,在 n 阱区 17 中形成 PMOS 晶体管。

[0234] 再有,在图 54 及以下示出的附图中,对于与在上述实施方式 1 中说明的图 1 的半导体器件相同的部件,为了便于理解,赋予相同的符号,并省略详细的说明。

[0235] 在此,在沟槽型元件隔离 70、70'、70"中,填充在沟槽 2 内的多晶硅膜 4 的表面高度比硅基板 1 的表面低,且在沟槽的侧壁部比高浓度的源漏扩散层 8 的下端高。此外,沟槽型元件隔离 70、70'、70"中的多晶硅膜 4 的高度不依赖于沟槽型元件隔离的宽度即沟槽 2 的沟槽宽度,在整个沟槽型元件隔离 70、70'、70"中几乎恒定。但是,由于后述的成膜或 CMP、蚀刻等中的制造方法上的偏差,通常会存在所残留的多晶硅膜 4 的高度偏差  $\pm 10\%$  左右的情况。此外,详细地,在 p 阱区 16 的沟槽 2 内形成的多晶硅膜 4 就是 p 型导电膜即 p 型多晶硅膜 4',详细地,在 n 阱区 17 的沟槽 2 内形成的多晶硅膜 4 就是 n 型导电膜即 n 型多晶硅膜 4"。

[0236] 在如上所述的本实施方式的半导体器件中,p 阱区 16 的沟槽 2 内的多晶硅是 p 型掺杂的 p 型多晶硅膜 4',n 型区域 17 的沟槽 2 内的多晶硅是 n 型掺杂的 n 型多晶硅膜 4"。而且,在沟槽型元件隔离 70 中,导电类型不同的多晶硅膜 4' 和多晶硅膜 4"在沟槽 2 内被完全隔离。由此,在本实施方式的半导体器件中,除上述实施方式 3、5 中说明的效果之外,还防止了各个导电膜彼此即多晶硅膜 4' 和多晶硅膜 4"的干扰,能够提高晶体管元件的稳定性。因此,根据本实施方式的半导体器件,就能够实现工作稳定性优异的高品质的半导体器件。

[0237] 接着,使用附图,说明如上所述的本实施方式的半导体器件的制造方法。

[0238] 首先,如图 55 所示,对硅基板 1 的上表面进行热氧化,以例如 5nm ~ 30nm 左右的膜厚形成氧化硅膜 9。接着,如图 55 所示,在该氧化硅膜 9 上形成例如 50nm ~ 200nm 左右膜厚的氮化硅膜 10。然后,使用照相制版技术及干法蚀刻技术,如图 56 所示,对将形成沟槽的部分加以开口的光刻胶 21 进行构图。此后,将该光刻胶 21 用作掩膜,进行氮化硅膜 10、

氧化硅膜 9 及硅基板 1 的各向异性蚀刻,形成沟槽 2,并去除光刻胶 21。图 57 中示出了光刻胶 21 去除后的状态。在此,沟槽 2 的深度例如距基板表面深约 150nm ~ 500nm。

[0239] 形成沟槽 2 之后,通过执行该沟槽 2 的内壁表面的热氧化,去除该沟槽 2 的内壁、即内侧面及底面的损伤部分,同时,如图 58 所示,在沟槽 2 的内壁上形成内壁氧化膜即氧化硅膜 3 作为保护膜。这种氧化硅膜 3 例如以 5nm ~ 30nm 左右的膜厚形成。

[0240] 接着,如图 59 所示,例如通过 CVD 法,在沟槽 2 的内壁上及氮化硅膜 10 上以沟槽 2 的最小沟槽宽度的 1/2 以上的膜厚淀积没有掺杂杂质的多晶硅膜 4。在此,在多晶硅膜 4 的膜厚为沟槽 2 的最小沟槽宽度的 1/2 以上的情况下,如图 59 所示,在沟槽的沟槽宽度小的元件隔离 70'、70" 的区域中完全地填充多晶硅膜 4。另一方面,在沟槽的沟槽宽度比多晶硅的膜厚的 2 倍大的元件隔离 70 的区域中,如图 59 所示,在沟槽的底部和侧壁部处淀积多晶硅膜 4。在此,在本实施方式中,以比沟槽 2 的深度和氮化硅膜 10 的膜厚与氧化硅膜 9 的膜厚的总厚度更薄的膜厚淀积多晶硅膜 4。此情况下,在沟槽 2 的大致中央部处不填充多晶硅膜 4,成为形成空隙的状态。

[0241] 例如,在沟槽 2 的最小沟槽宽度为 200nm 的情况下,以 120 ~ 200nm 左右的膜厚淀积掺磷的多晶硅膜 4。此外,例如当淀积的多晶硅膜 4 的膜厚为 150nm 的情况下,在沟槽宽度 300nm 以下的沟槽 2 中的沟区域中,完全地填充多晶硅膜 4。另一方面,例如,在多晶硅膜 4 的膜厚为 150nm 的情况下,在沟槽宽度 300nm 以上的沟槽 2 中,在沟槽部的底部和侧壁上淀积多晶硅膜 4。而且,此情况下,在沟槽 2 的大致中央部处不填充多晶硅膜 4,成为形成空隙的状态。

[0242] 淀积多晶硅膜 4 之后,使用 CMP 法,对多晶硅膜 4 的表面进行研磨,如图 60 所示,去除氮化硅膜 10 上的多晶硅膜 4。

[0243] 接着,利用各向异性蚀刻进行蚀刻,如图 61 所示,调整多晶硅膜 4 的表面高度,以使其比硅基板 1 的表面高度低。此时,由于在沟槽宽度宽的沟槽部去除了底部中央的多晶硅膜 4,所以仅在沟槽的侧壁部残留多晶硅膜 4。即,在本实施方式中,以比沟槽 2 的深度和氮化硅膜 10 的膜厚与氧化硅膜 9 的膜厚的总厚度更薄的膜厚淀积多晶硅膜 4。由此,在本实施方式中,如图 61 所示,在沟槽的沟槽宽度比多晶硅的膜厚的 2 倍大的元件隔离 70 的区域中,成为在沟槽 2 的大致中央部没有填充多晶硅膜 4,露出沟槽底面的氧化硅膜 3 的状态。

[0244] 接着,利用 CVD(化学汽相淀积, chemical vapor deposition)法,如图 62 所示,淀积氧化硅膜 5 以便填充沟槽 2。作为 CVD 法,例如可使用高密度等离子体(High-density plasma)CVD(chemical vapor deposition)法(在下文中,称为 HDPCVD 法)。

[0245] 然后,在淀积氧化硅膜 5 之后,将氮化硅膜 10 作为停止层,利用 CMP 法,对氧化硅膜 5 的整个表面进行研磨,如图 63 所示,在进行氧化硅膜 5 的平坦化的同时,通过去除在氮化硅膜 10 上形成的氧化硅膜 5 来形成覆盖氧化膜 11。此时,在沟槽 2 的沟槽宽度比多晶硅膜 4 的 2 倍宽的元件隔离 70 的区域中,在由存在于沟槽 2 内侧壁的多晶硅膜 4 形成的沟槽 2' 中也填充覆盖氧化膜 11。即,变成氧化硅膜 5 和氧化硅膜 3 在沟槽 2 底面的大致中央部相连。

[0246] 接着,为了调节沟槽型元件隔离高度,例如,如图 64 所示,通过使用氢氟酸去除沟槽 2 内的覆盖氧化膜 11(氧化硅膜 5)表面的一部分,来调整覆盖氧化膜 11(氧化硅膜 5)的表面高度。接着,例如,使用热磷酸去除氮化硅膜 10。并且,例如,如图 65 所示,通过使用

氢氟酸去除氧化硅膜 9 来完成沟槽型元件隔离 70、70'、70”。

[0247] 接着,使用照相制版技术,如图 66 所示,形成开口成为 p 阱区 16 区域的抗蚀剂 22。然后,将该抗蚀剂作为掩膜,改变能量,多段地注入硼 (B) 离子。作为此时的注入条件的一个例子,例如条件为:在 300KeV 下  $1 \times 10^{13} \text{cm}^2$ 、在 100KeV 下  $6 \times 10^{12} \text{cm}^2$ 、在 10KeV 下  $1 \times 10^{13} \text{cm}^2$ 。通过此注入,就形成了其下端比沟槽 2 的下面更深的 p 阱区 16。此外,此时,由于同时还在 p 阱区 16 的多晶硅膜 4 中注入硼 (B) 离子,所以形成多晶硅膜 4'。

[0248] 接着,使用照相制版技术,如图 67 所示,形成开口成为 n 阱区 17 区域的抗蚀剂 23。然后,将该抗蚀剂作为掩膜,改变能量,多段地注入磷 (P) 离子。作为此时的注入条件的一个例子,例如条件为:在 600KeV 下  $1 \times 10^{13} \text{cm}^2$ 、在 300KeV 下  $6 \times 10^{12} \text{cm}^2$ 、在 30KeV 下  $1 \times 10^{13} \text{cm}^2$ 。通过此注入,就形成了其下端比沟槽 2 的下面更深的 n 阱区 17。此外,此时,由于同时还在 n 阱区 17 的多晶硅膜 4 中注入磷 (P) 离子,所以形成多晶硅膜 4”。

[0249] 而且,完成 p 阱区 16、n 阱区 17 之后,按照现有公知的 MOSFET (金属氧化物半导体场效应晶体管, Metal Oxide Semiconductor Field Effect Transistor) 的形成工序,在硅基板 1 上形成栅极绝缘膜 6,在该栅极绝缘膜 6 上淀积栅电极材料、例如多晶硅或钨硅化物等,通过构图形成栅电极 7。

[0250] 然后,采用离子注入法调整注入量和注入能量,由此相对于栅电极 7 自对准地形成低浓度的杂质扩散层,并且,在栅电极 7 的侧壁上形成侧墙 15 后,通过直到比低浓度的杂质扩散层深的位置形成高浓度的杂质扩散层,来形成源漏扩散层 8。在此,本实施方式中,调整源漏区域的下端,以使其在沟槽 2 的侧壁部比填充到沟槽 2 内的多晶硅膜 4 的表面高度低。此外,此时,使用照相制版技术,通过区分导入的杂质的导电类型,在 p 阱区 16 中形成 NMOS 晶体管,在 n 阱区 17 中形成 PMOS 晶体管。由此,就能够制造出图 54 所示的半导体器件。

[0251] 在如上所述的本实施方式的半导体器件的制造方法中,作为 p 型掺杂的 p 型多晶硅膜 4' 形成 p 阱区 16 的沟槽 2 内的多晶硅,作为 n 型掺杂的 n 型多晶硅膜 4” 形成 n 阱区 17 的沟槽 2 内的多晶硅。而且,在沟槽型元件隔离 70 中,在沟槽 2 内完全隔离、形成导电类型不同的多晶硅膜 4' 和多晶硅膜 4”。由此,在本实施方式的半导体器件中,除上述实施方式 1、5 中说明的效果之外,还防止了各个导电膜彼此即多晶硅膜 4' 和多晶硅膜 4” 的干扰,能够提高晶体管元件的稳定性。因此,根据本实施方式的半导体器件的制造方法,能够制造出工作的稳定性优异的高品质的半导体器件。

[0252] 实施方式 7

[0253] 图 68 是表示本发明的实施方式 7 的半导体器件的简略结构的剖面图。在此半导体器件中,在半导体基板中形成导入了 p 型杂质的 p 阱区 16 及导入了 n 型杂质的 n 阱区 17。在设置于 p 阱区 16 内及 n 阱区 17 内沟槽 2 内,具有隔着氧化硅膜 3 配置了作为导电膜的多晶膜 4 的薄型的沟槽型元件隔离 70、70'、70”。在此,在沟槽型元件隔离 70'、70” 中,遍及沟槽 2 内的底面上的整个沟槽宽度在整个表面上配置了多晶硅膜 4。此外,在沟槽型元件隔离 70 中,配置在沟槽 2 内的多晶硅膜 4 (4'、4”) 仅配置在沟槽 2 内的底面上的侧壁侧上,而不在沟槽 2 内的底面上的大致中央部附近处进行配置。

[0254] 此外,在沟槽型元件隔离 70、70'、70” 中,在多晶硅膜 4 之上,形成由利用 CVD 法形成的氧化硅膜制成的覆盖氧化膜 11。因此,此沟槽型元件隔离 70、70'、70” 中,就不会在



覆盖氧化膜 11 中存在鸟嘴。

[0255] 此外,在元件的有源区中,在硅基板 1 上隔着栅极绝缘膜 6 形成栅电极 7,形成了由隔着栅电极 7 之下的沟道区域相对于栅电极自对准地形成的低浓度的杂质扩散层、和直至比此深的位置相对于栅电极和侧墙自对准地形成的高浓度的杂质扩散层构成的源漏扩散层 8。按照以上结构,在 p 阱区 16 中形成 NMOS 晶体管,在 n 阱区 17 中形成 PMOS 晶体管。

[0256] 然后,在沟槽型元件隔离 70、70'、70''上、栅电极 7 上及源漏扩散层 8 上形成层间绝缘膜 12,通过在该层间绝缘膜 12 上形成的接触 13,它们与布线层 14 连接。

[0257] 再有,在图 68 及以下示出的附图中,对于与在上述实施方式 6 中说明的图 54 的半导体器件相同的部件,为了便于理解,赋予相同的符号,并省略详细的说明。

[0258] 在此,在沟槽型元件隔离 70、70'、70''中,填充在沟槽 2 内的多晶硅膜 4 的表面高度比硅基板 1 的表面低,且在沟槽的侧壁部比高浓度的源漏扩散层 8 的下端高。此外,沟槽型元件隔离 70、70'、70''中的多晶硅膜 4 的高度不依赖于沟槽型元件隔离的宽度即沟槽 2 的沟槽宽度,在整个沟槽型元件隔离 70、70'、70''中几乎恒定。但是,由于后述的成膜或 CMP、蚀刻等中的制造方法上的偏差,通常存在所残留的多晶硅膜 4 的高度偏差  $\pm 10\%$  左右的情况。此外,详细地,在 p 阱区 16 的沟槽 2 内形成的多晶硅膜 4 就是 p 型导电膜即 p 型多晶硅膜 4',详细地,在 n 阱区 17 的沟槽 2 内形成的多晶硅膜 4 就是 n 型导电膜即 n 型多晶硅膜 4''。

[0259] 在如上所述的本实施方式的半导体器件中,p 阱区 16 的沟槽 2 内的多晶硅是 p 型掺杂的 p 型多晶硅膜 4',n 型区域 17 的沟槽 2 内的多晶硅是 n 型掺杂的 n 型多晶硅膜 4''。而且,在沟槽型元件隔离 70 中,导电类型不同的多晶硅膜 4' 和多晶硅膜 4''在沟槽 2 内被完全隔离。由此,这些多晶硅膜 4(4'、4'')通过各个接触 13 连接到布线层 14,能够固定为不同的电位。

[0260] 由此,在本实施方式的半导体器件中,除上述实施方式 3、5、6 中说明的效果之外,还能在 p 阱区 16 内的沟槽型元件隔离、n 阱区 17 内的沟槽型元件隔离中分别施加最合适的电压,能够进一步实现沟槽型元件隔离的隔离特性。因此,根据本实施方式的半导体器件,就可实现隔离特性更优异的高品质的半导体器件。

[0261] 再有,作为施加电位,例如在 NMOS 晶体管的情况下,优选  $0 \sim -1\text{V}$  左右,在 PMOS 晶体管的情况下,优选  $0 \sim 1\text{V}$  左右,如实施方式 3 所述,优选绝对值与电源电压相等或在电源电压以下。

[0262] 接着,使用附图,说明如上所述的本实施方式的半导体器件的制造方法。

[0263] 首先,如图 69 所示,对硅基板 1 的上表面进行热氧化,以例如  $5\text{nm} \sim 30\text{nm}$  左右的膜厚形成氧化硅膜 9。接着,如图 69 所示,在该氧化硅膜 9 上形成例如  $50\text{nm} \sim 200\text{nm}$  左右膜厚的氮化硅膜 10。然后,使用照相制版技术及干法蚀刻技术,如图 70 所示,对将形成沟槽的部分加以开口的光刻胶 21 进行构图。此后,将该光刻胶 21 用作掩膜进行氮化硅膜 10、氧化硅膜 9 及硅基板 1 的各向异性蚀刻,形成沟槽 2,并去除光刻胶 21。图 71 中示出了光刻胶 21 去除后的状态。在此,沟槽 2 的深度例如距基板表面深约  $150\text{nm} \sim 500\text{nm}$ 。

[0264] 形成沟槽 2 之后,通过执行该沟槽 2 的内壁表面的热氧化,去除该沟槽 2 的内壁、即内侧面及底面的损伤部分,同时,如图 72 所示,在沟槽 2 的内壁上形成内壁氧化膜即氧化硅膜 3 作为保护膜。这种氧化硅膜 3 例如以  $5\text{nm} \sim 30\text{nm}$  左右的膜厚形成。

[0265] 接着,如图 73 所示,例如通过 CVD 法,在沟槽 2 的内壁上及氮化硅膜 10 上以沟槽 2 的最小沟槽宽度的 1/2 以上的膜厚淀积没有掺杂杂质的多晶硅膜 4。在此,在多晶硅膜 4 的膜厚为沟槽 2 的最小沟槽宽度的 1/2 以上的情况下,如图 73 所示,在沟槽的沟槽宽度小的元件隔离 70'、70" 的区域中完全地填充多晶硅膜 4。另一方面,在沟槽的沟槽宽度比多晶硅的膜厚的 2 倍大的元件隔离 70 的区域中,如图 73 所示,在沟槽的底部和侧壁部淀积多晶硅膜 4。在此,在本实施方式中,以比沟槽 2 的深度和氮化硅膜 10 的膜厚与氧化硅膜 9 的膜厚的总厚度更薄的膜厚淀积多晶硅膜 4。此情况下,在沟槽 2 的大致中央部不填充多晶硅膜 4,成为形成空隙的状态。

[0266] 例如,在沟槽 2 的最小沟槽宽度为 200nm 的情况下,以 120 ~ 200nm 左右的膜厚淀积掺磷的多晶硅膜 4。此外,例如淀积的多晶硅膜 4 的膜厚为 150nm 的情况下,在沟槽宽度 300nm 以下的沟槽 2 中的沟区域中,完全地填充多晶硅膜 4。另一方面,例如,在多晶硅膜 4 的膜厚为 150nm 的情况下,在沟槽宽度 300nm 以上的沟槽 2 中,在沟槽部的底部和侧壁上淀积多晶硅膜 4。而且,此情况下,在沟槽 2 的大致中央部处就不填充多晶硅膜 4,成为形成空隙的状态。

[0267] 淀积多晶硅膜 4 之后,使用 CMP 法,对多晶硅膜 4 的表面进行研磨,如图 74 所示,去除氮化硅膜 10 上的多晶硅膜 4。

[0268] 接着,利用各向异性蚀刻进行蚀刻,如图 75 所示,调整多晶硅膜 4 的表面高度,以使其比硅基板 1 的表面高度低。此时,由于在沟槽宽度宽的沟槽部去除了底部中央的多晶硅膜 4,所以仅在沟槽的侧壁部残留多晶硅膜 4。即,在本实施方式中,以比沟槽 2 的深度和氮化硅膜 10 的膜厚与氧化硅膜 9 的膜厚的总厚度更薄的膜厚淀积多晶硅膜 4。由此,在本实施方式中,如图 75 所示,在沟槽的沟槽宽度比多晶硅的膜厚的 2 倍大的元件隔离 70 的区域中,成为在沟槽 2 的大致中央部处没有填充多晶硅膜 4、露出沟槽底面的氧化硅膜 3 的状态。

[0269] 接着,利用 CVD(化学汽相淀积, chemical vapor deposition)法,如图 76 所示,淀积氧化硅膜 5 以便填充沟槽 2。作为 CVD 法,例如可使用高密度等离子体(High-density plasma)CVD(chemical vapor deposition)法(在下文中,称为 HDP CVD 法)。

[0270] 然后,在淀积氧化硅膜 5 之后,将氮化硅膜 10 作为停止层,利用 CMP 法,对氧化硅膜 5 的整个表面进行研磨,如图 77 所示,在进行氧化硅膜 5 的平坦化的同时,通过去除在氮化硅膜 10 上形成的氧化硅膜 5 来形成覆盖氧化膜 11。此时,在沟槽 2 的沟槽宽度比多晶硅膜 4 的 2 倍宽的元件隔离 70 的区域中,在由存在于沟槽 2 内侧壁的多晶硅膜 4 形成的沟槽 2' 中也填充覆盖氧化膜 11。即,变成氧化硅膜 5 和氧化硅膜 3 在沟槽 2 底面的大致中央部相连。

[0271] 接着,为了调节沟槽型元件隔离高度,例如,如图 78 所示,通过使用氢氟酸去除沟槽 2 内的覆盖氧化膜 11(氧化硅膜 5)表面的一部分,来调整覆盖氧化膜 11(氧化硅膜 5)的表面高度。接着,例如,使用热磷酸去除氮化硅膜 10。并且,例如,如图 79 所示,通过使用氢氟酸去除氧化硅膜 9 来完成沟槽型元件隔离 70、70'、70"。

[0272] 接着,使用照相制版技术,如图 80 所示,形成开口成为 p 阱区 16 区域的抗蚀剂 22。然后,将该抗蚀剂作为掩膜,改变能量,多段地注入硼(B)离子。作为此时的注入条件的一个例子,例如条件为:在 300KeV 下  $1 \times 10^{13} \text{cm}^2$ 、在 100KeV 下  $6 \times 10^{12} \text{cm}^2$ 、在 10KeV 下

$1 \times 10^{13} \text{cm}^2$ 。通过此注入,形成其下端比沟槽 2 的下面更深的 p 阱区 16。此外,此时,由于同时还在 p 阱区 16 的多晶硅膜 4 中注入硼 (B) 离子,所以形成多晶硅膜 4'。

[0273] 接着,使用照相制版技术,如图 81 所示,形成开口成为 n 阱区 17 的区域的抗蚀剂 23。然后,将该抗蚀剂作为掩膜,改变能量,多段地注入磷 (P) 离子。作为此时的注入条件的一个例子,例如条件为:在 600KeV 下  $1 \times 10^{13} \text{cm}^2$ 、在 300KeV 下  $6 \times 10^{12} \text{cm}^2$ 、在 30KeV 下  $1 \times 10^{13} \text{cm}^2$ 。通过此注入,形成其下端比沟槽 2 的下面更深的 n 阱区 17。此外,此时,由于同时还在 n 阱区 17 的多晶硅膜 4 中注入磷 (P) 离子,所以形成多晶硅膜 4''。

[0274] 然后,完成 p 阱区 16、n 阱区 17 之后,按照现有公知的 MOSFET (金属氧化物半导体场效应晶体管, Metal Oxide Semiconductor Field Effect Transistor) 的形成工序,在硅基板 1 上形成栅极绝缘膜 6,在该栅极绝缘膜 6 上淀积栅电极材料、例如多晶硅或钨硅化物等,通过构图形成栅电极 7。

[0275] 然后,采用离子注入法,调整注入量和注入能量,由此,相对于栅电极 7 自对准地形成低浓度的杂质扩散层,并且,在栅电极 7 的侧壁上形成侧墙 15 后,通过直到比低浓度的杂质扩散层深的位置形成高浓度的杂质扩散层,来形成源漏扩散层 8。在此,本实施方式中,调整源漏区域的下端,以使其在沟槽的侧壁部处比填充到沟槽内的多晶硅膜 4 的表面高度低。然后,如图 82 所示,形成侧墙 15。此外,此时,使用照相制版技术,通过区分导入的杂质的导电类型,在 p 阱区 16 中形成 NMOS 晶体管,在 n 阱区 17 中形成 PMOS 晶体管。

[0276] 接着,在硅基板 1 上形成由氧化硅膜、或氧化硅膜和氮化硅膜的层叠膜组成的层间绝缘膜 12,如图 83 所示,形成深达栅电极 7、源漏扩散层 8、填充在沟槽型元件隔离 70、70'、70'' 内的多晶硅膜 4 的接触孔 13'。然后,在接触孔 13' 内填充例如钨作为插塞材料,通过镶嵌法形成布线层 14,由此,就能够制造出图 68 所示的半导体器件。

[0277] 在如上所述的本实施方式的半导体器件的制造方法中,作为 p 型掺杂的 p 型多晶硅膜 4' 形成 p 阱区 16 的沟槽 2 内的多晶硅,作为 n 型掺杂的 n 型多晶硅膜 4'' 形成 n 阱区 17 的沟槽 2 内的多晶硅。而且,在沟槽型元件隔离 70 中,在沟槽 2 内完全隔离、形成导电类型不同的多晶硅膜 4' 和多晶硅膜 4''。并且,通过各个接触 13 将这些多晶硅膜 4 (4'、4'') 连接到布线层 14,能够固定为不同的电位。

[0278] 由此,在本实施方式的半导体器件中,除上述实施方式 3、5、6 中说明的效果之外,还能在 p 阱区 16 内的沟槽型元件隔离、n 阱区 17 内的沟槽型元件隔离中分别施加最合适的电压,能够进一步实现沟槽型元件隔离的隔离特性。因此,根据本实施方式的半导体器件的制造方法,能够制造出隔离特性更优异的高品质的半导体器件。

[0279] 再有,就导电层的电位固定区域而言,也可以执行仅 p 阱区 16 区域内的导电层和 n 阱区 17 区域内的导电层的任意一部分的电位固定。此外,对于导电层的电位固定区域而言,在同一芯片内,也可以将执行电位固定的区域和成为浮置的区域集成在一起。例如,在周边电路的微细隔离区域中,执行电位固定,在没有形成接触的空间的存储单元区域中,成为浮置。

[0280] 图 84 是表示沟槽 2 内的导电膜和布线的连接形态的变化例的剖面图。在图 84 中,连接作为导电层的多晶硅膜 4 和布线层 14 的接触 13 被形成在作为沟槽 2 内的导电膜的多晶硅膜 4 上部的至少一部分和该多晶硅膜 4 侧壁的一部分之上。由此,就能够增大构成接触 13 的插塞材料 (导电膜) 和作为沟槽 2 内的导电膜的多晶硅膜 4 的接触面积,并能够稳

定地进行电连接。此外,与仅在多晶硅膜 4 的上面连接接触 13 的插塞材料(导电膜)和沟槽 2 内的多晶硅膜 4 的情况比较,能够减少接触 13 与沟槽 2 内的多晶硅膜 4 重合的区域,能够减少半导体芯片的面积,能够实现半导体芯片的小型化。

[0281] 此外,图 85 是表示接触 13 的配置例的平面图。在图 85 中,与图 84 的情况相同,连接作为沟槽 2 内的导电层的多晶硅膜 4(4'、4'')和布线层 14 的接触 13 被形成在多晶硅膜 4(4'、4'')上部的至少一部分和该多晶硅膜 4(4'、4'')侧壁的一部分之上。而且,在此例中,接触 13 在沟槽 2 的边方向上不位于同一线上。即,当然在沟槽 2 的长边方向(图 85 中的 X 方向)上不位于同一线上,在沟槽 2 的短边方向(在图 85 中 Y 方向)上部位于同一线上。通过这样的结构,就能够减少接触 13 的形成导致的区域恶化(的发生。再有,在图 85 中,是透过布线层 14、层间绝缘膜 12 及覆盖氧化膜 11 的一部分所观看到的附图。

[0282] 如上所述,本发明的半导体器件的制造方法适用于具有沟槽型元件隔离的半导体器件的制造,特别地,适用于为了防止邻接的元件的电位隔着填埋的氧化膜给其它节点造成影响、将导电膜埋入元件隔离沟内的半导体器件的制造。

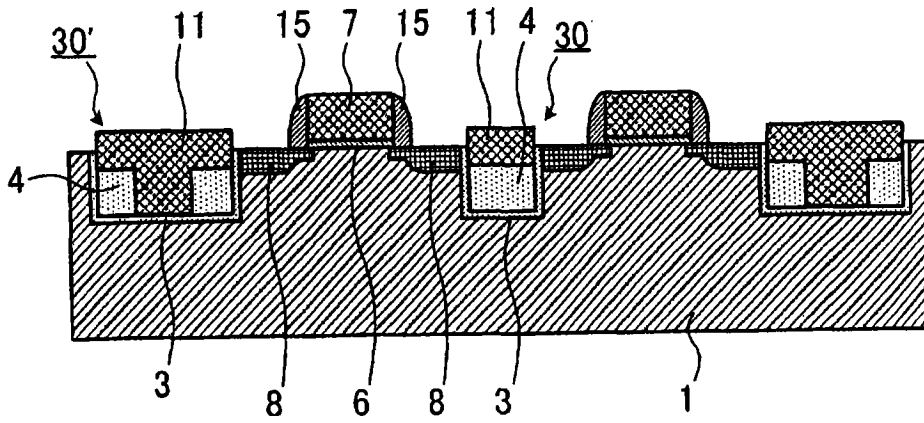


图 1

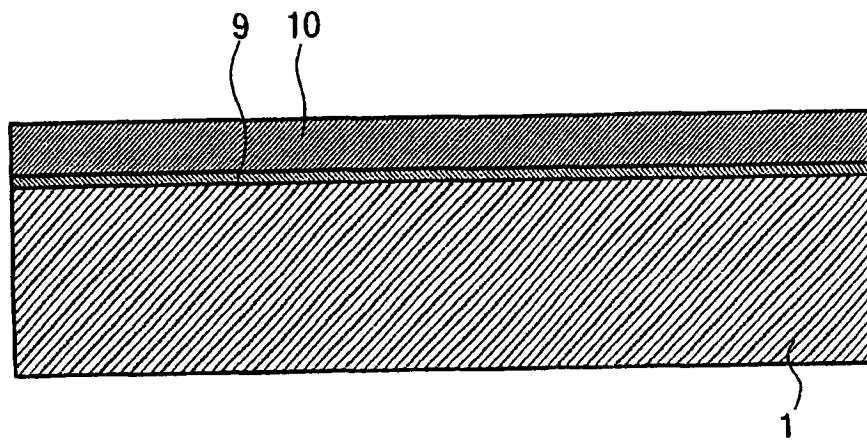


图 2

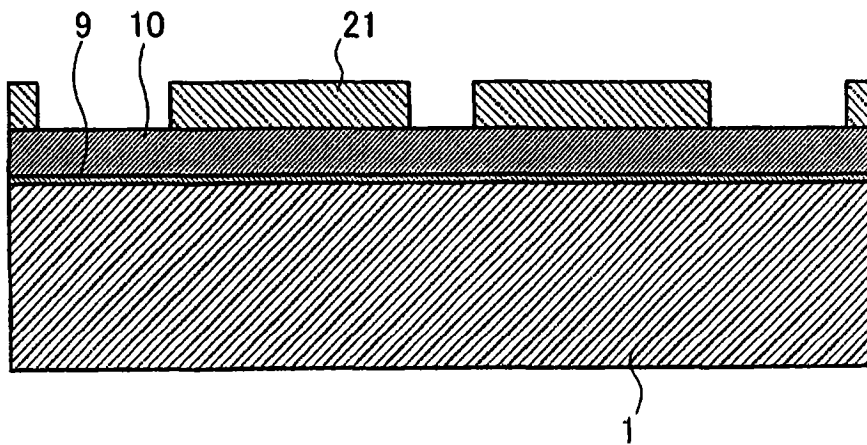


图 3

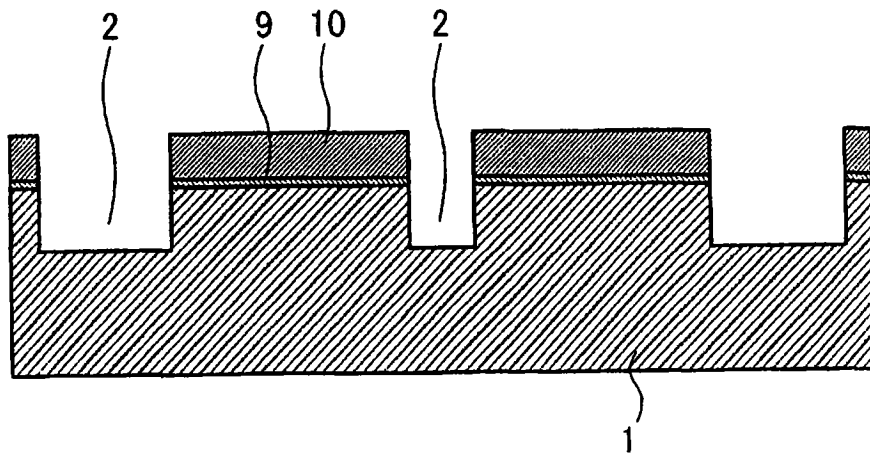


图 4

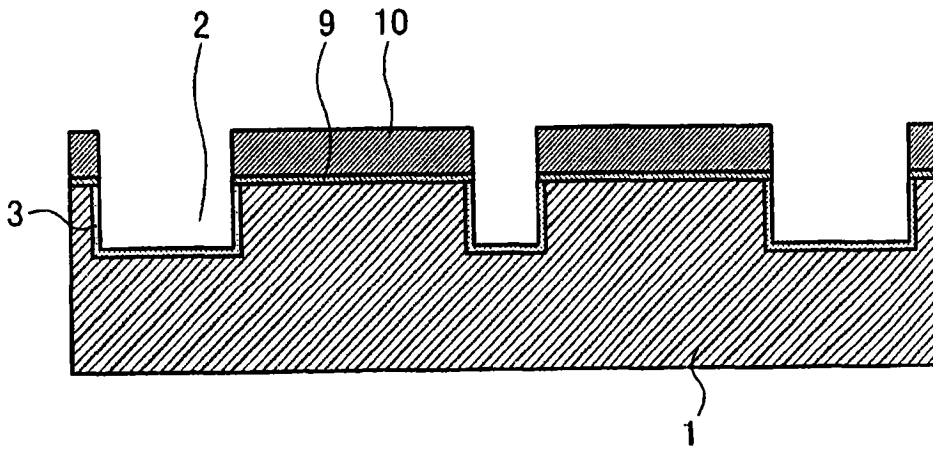


图 5

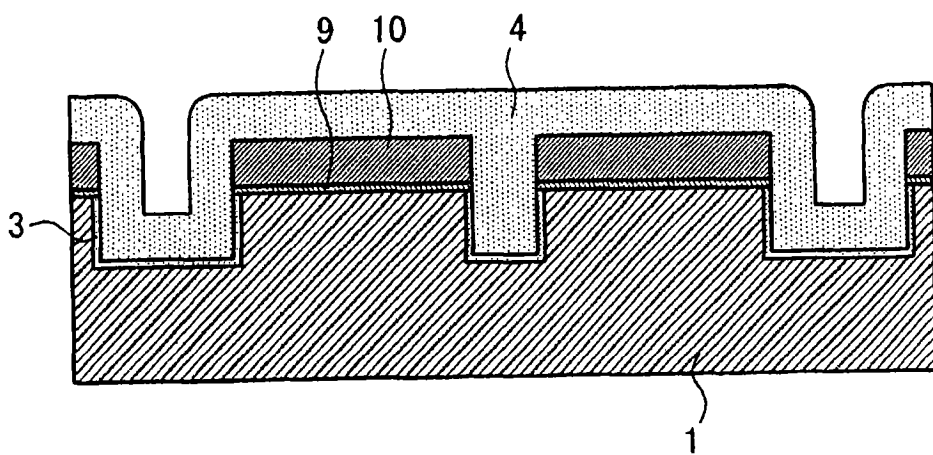


图 6

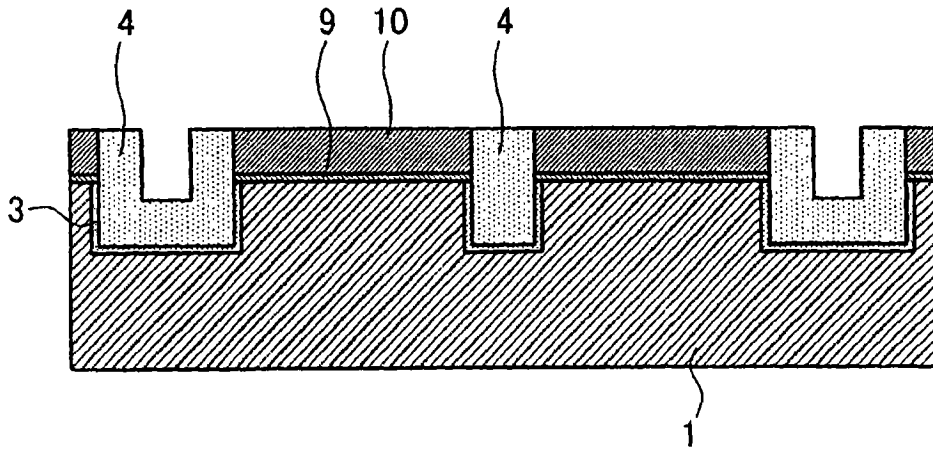


图 7

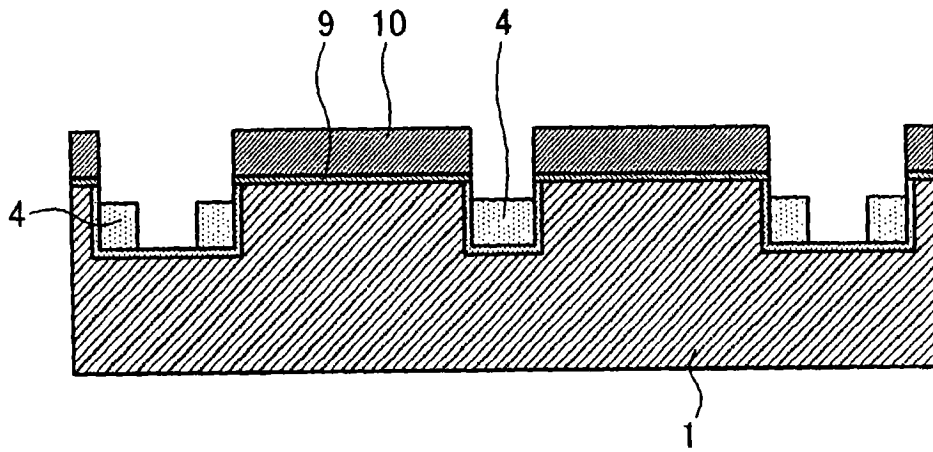


图 8

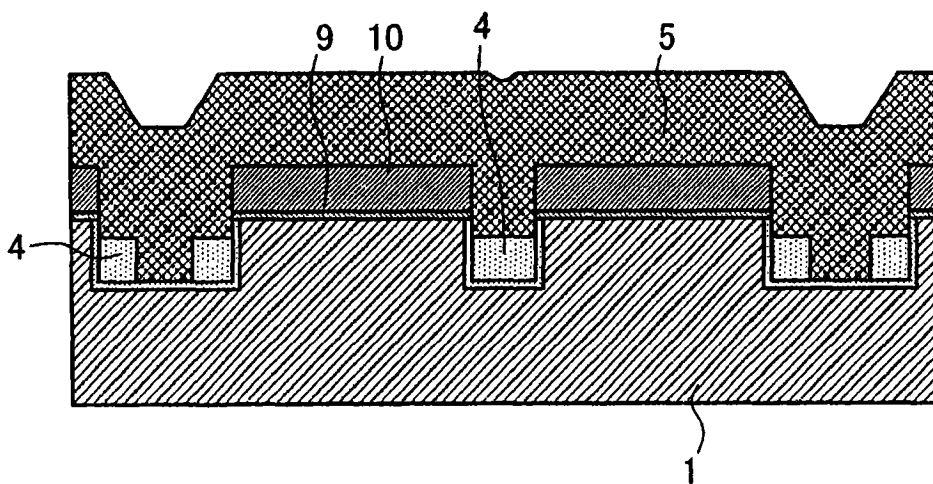


图 9

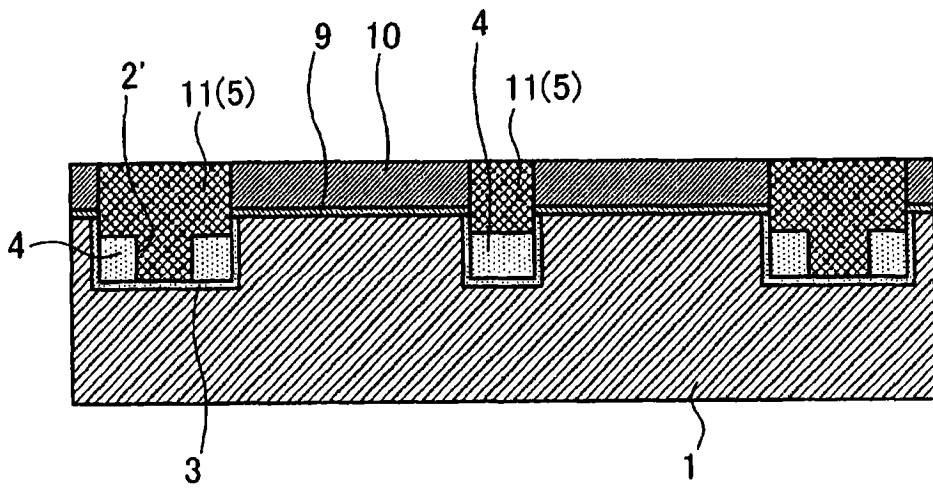


图 10

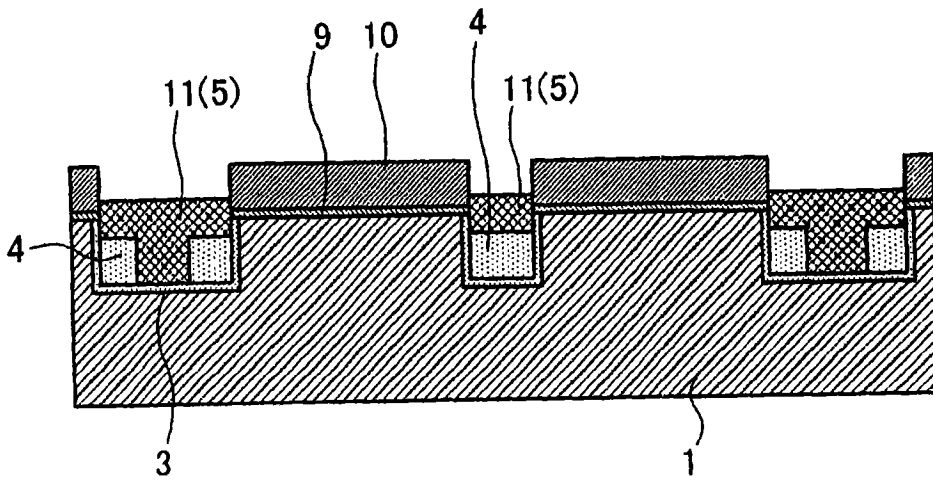


图 11

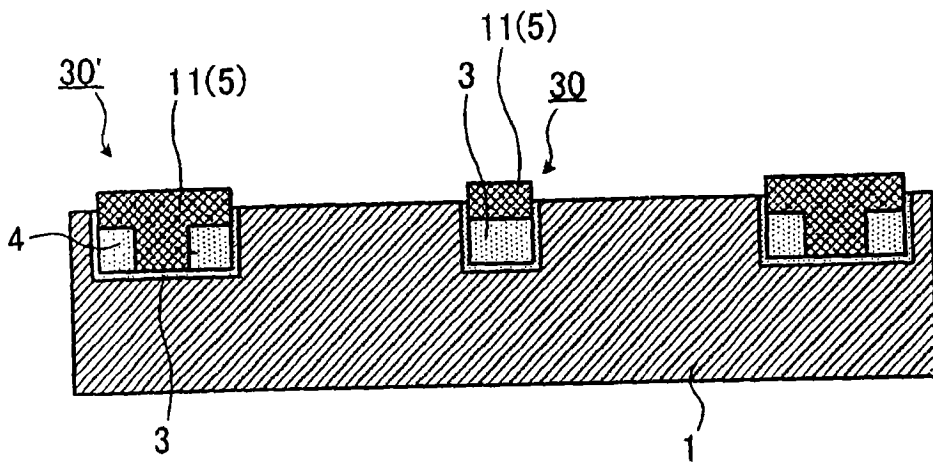


图 12



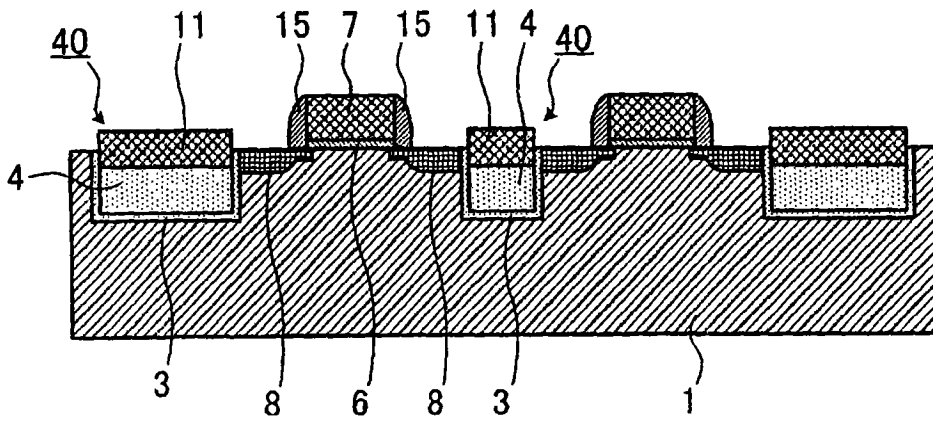


图 13

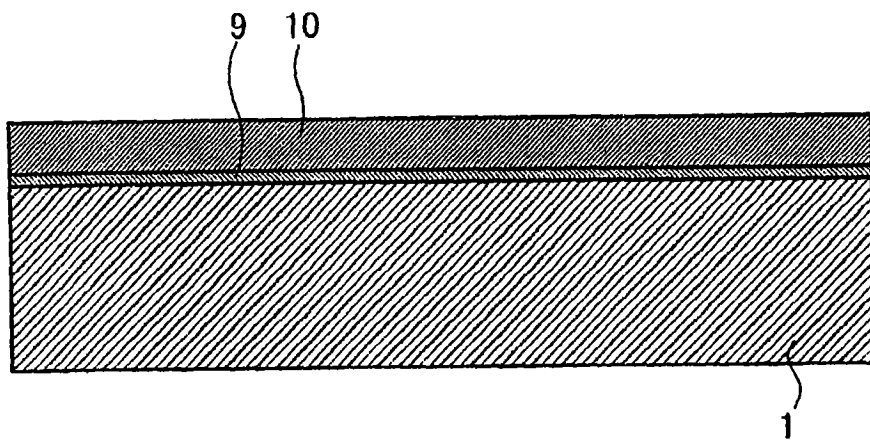


图 14

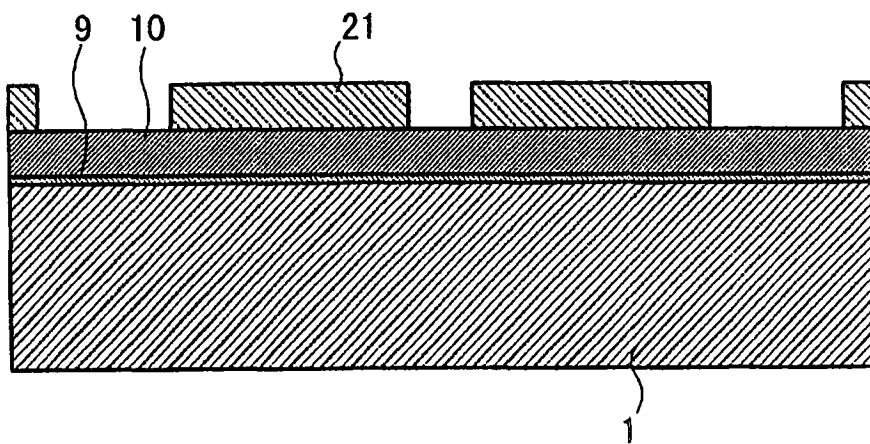


图 15

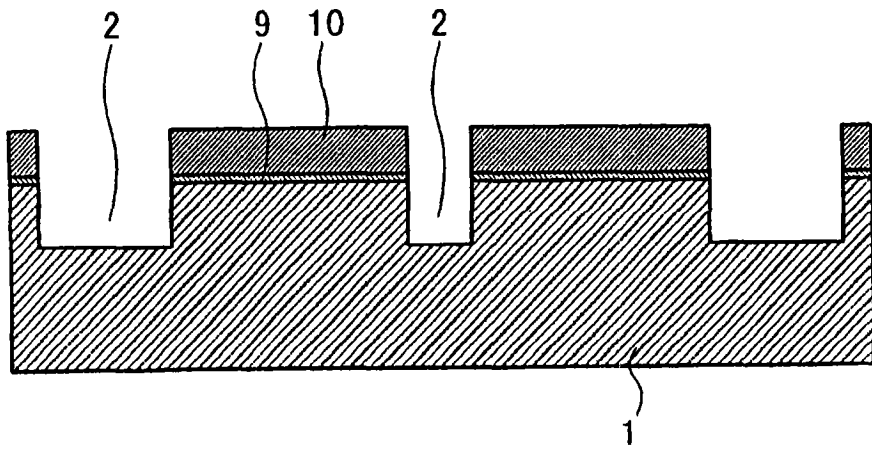


图 16

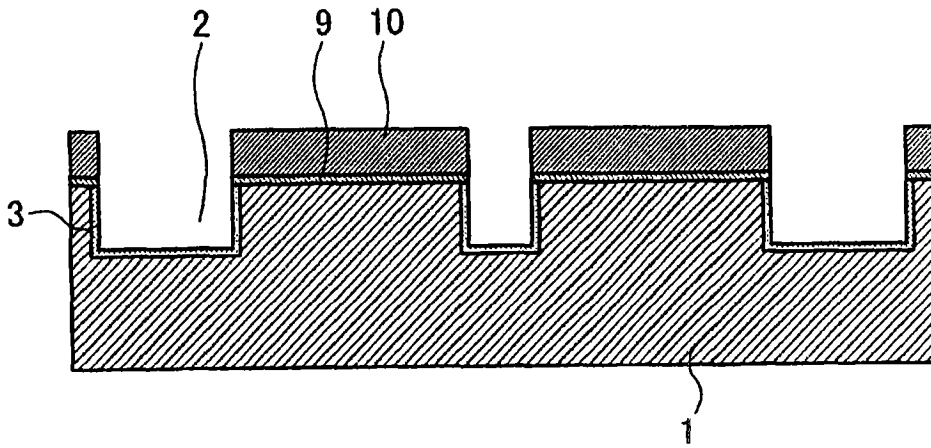


图 17

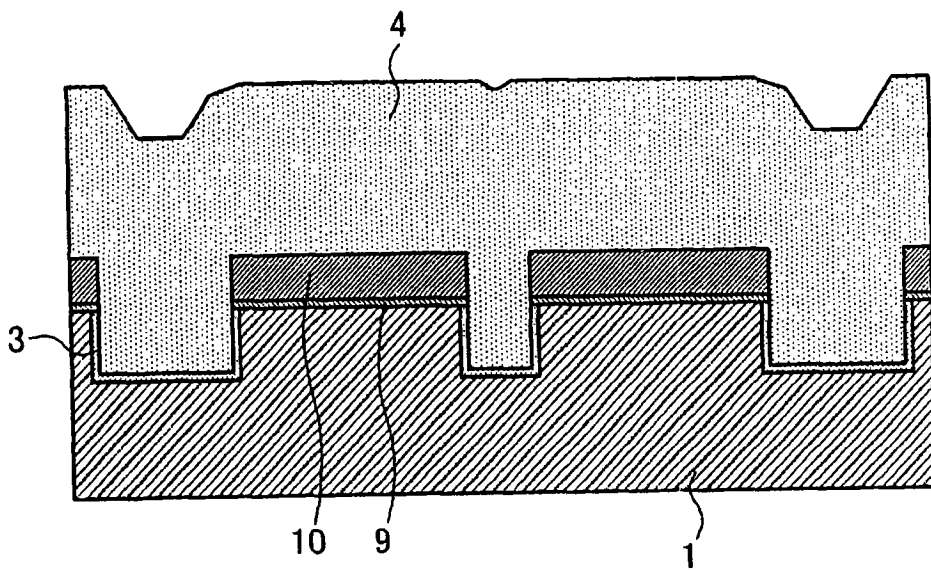


图 18

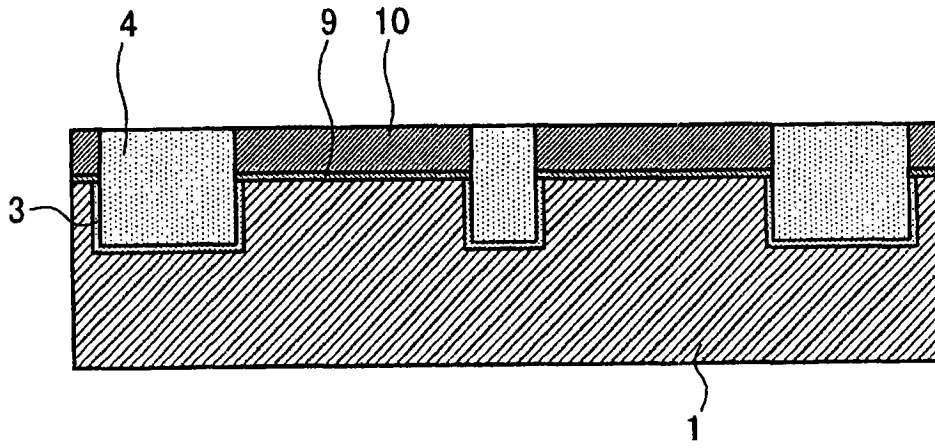


图 19

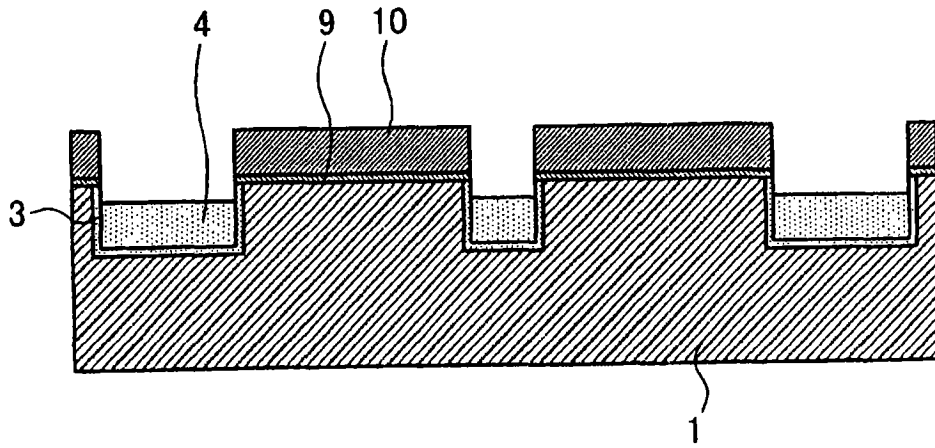


图 20

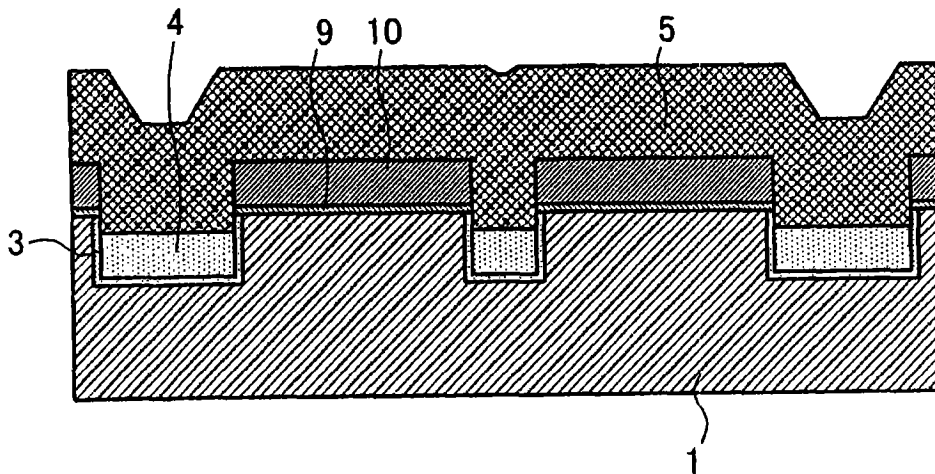


图 21

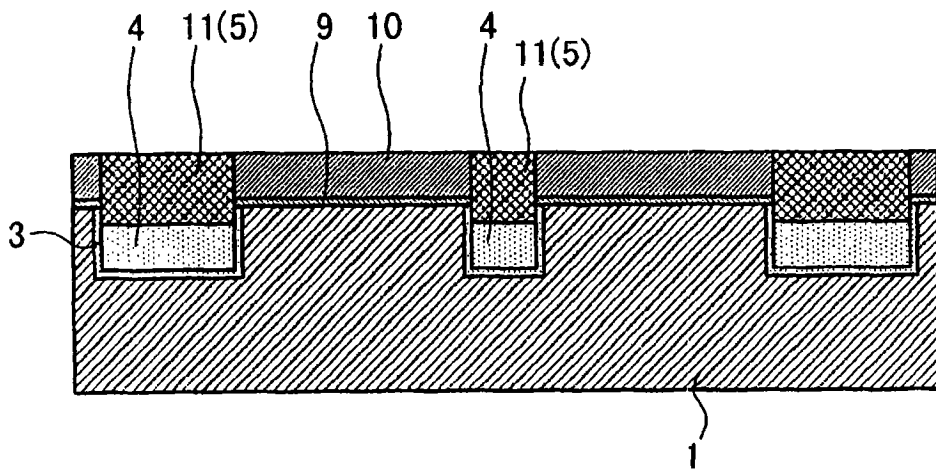


图 22

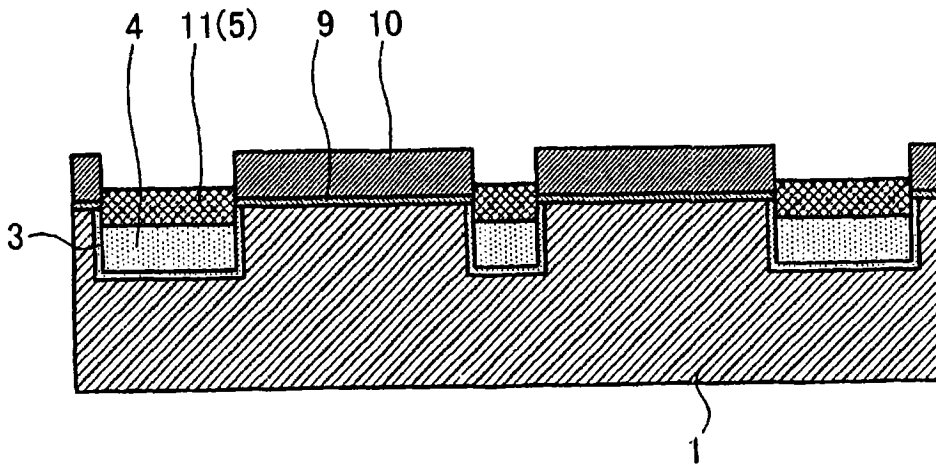


图 23

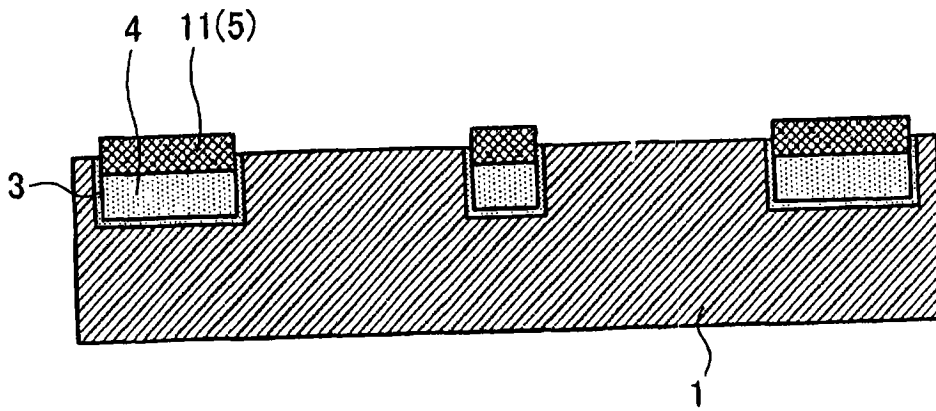


图 24

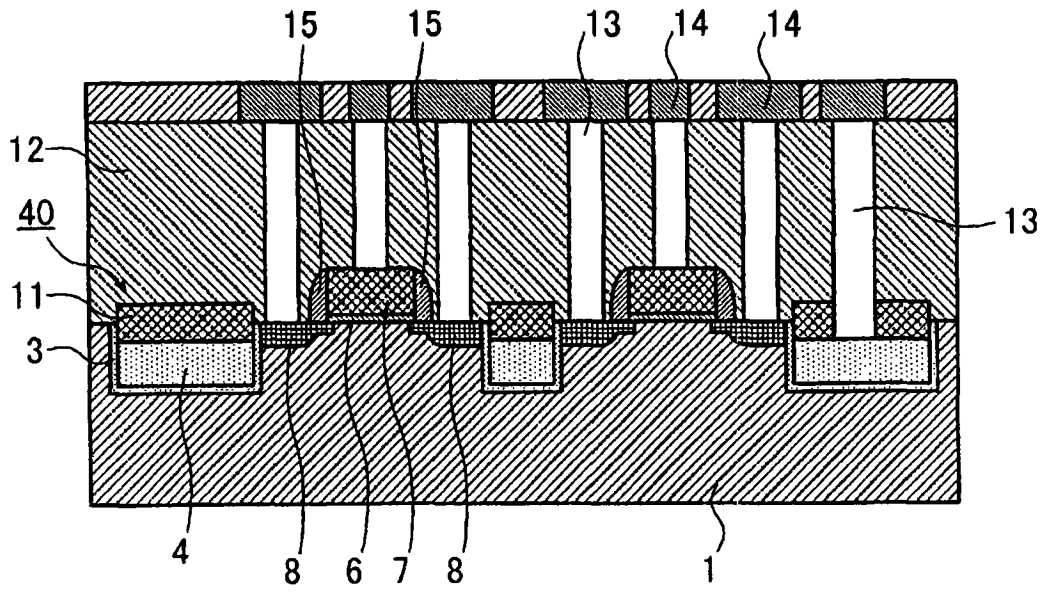


图 25

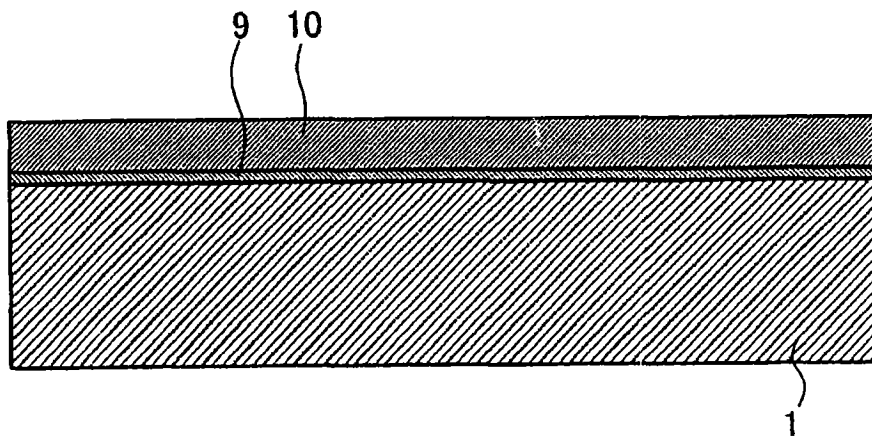


图 26

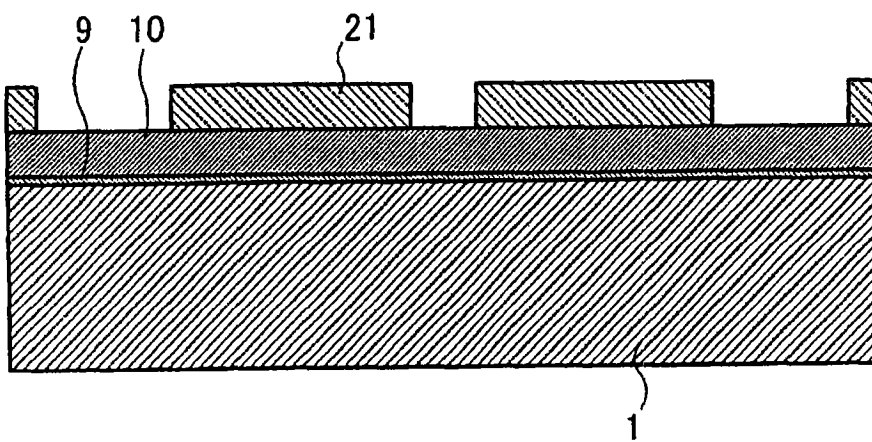


图 27

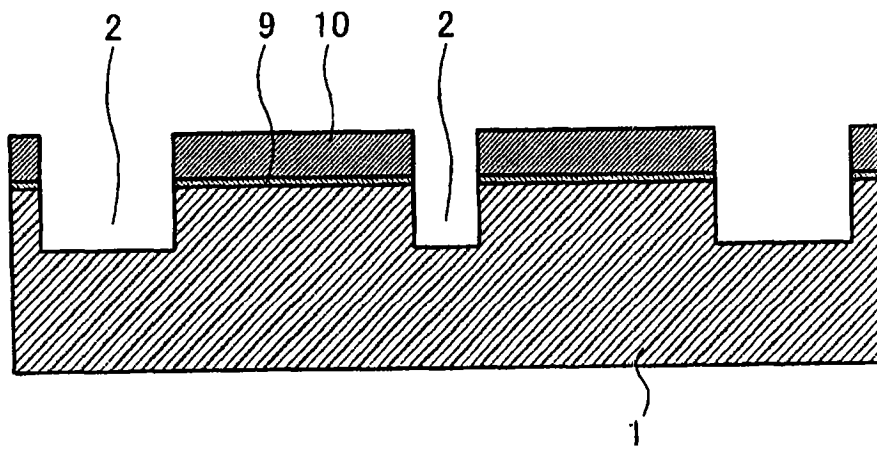


图 28

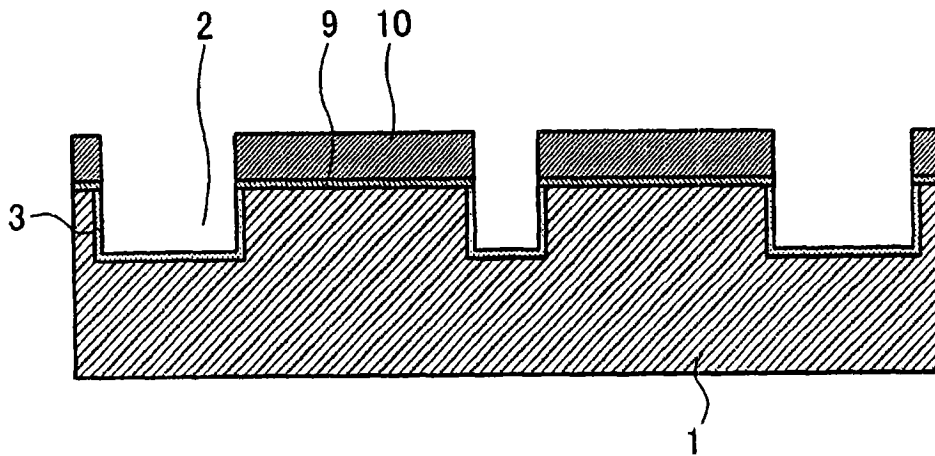


图 29

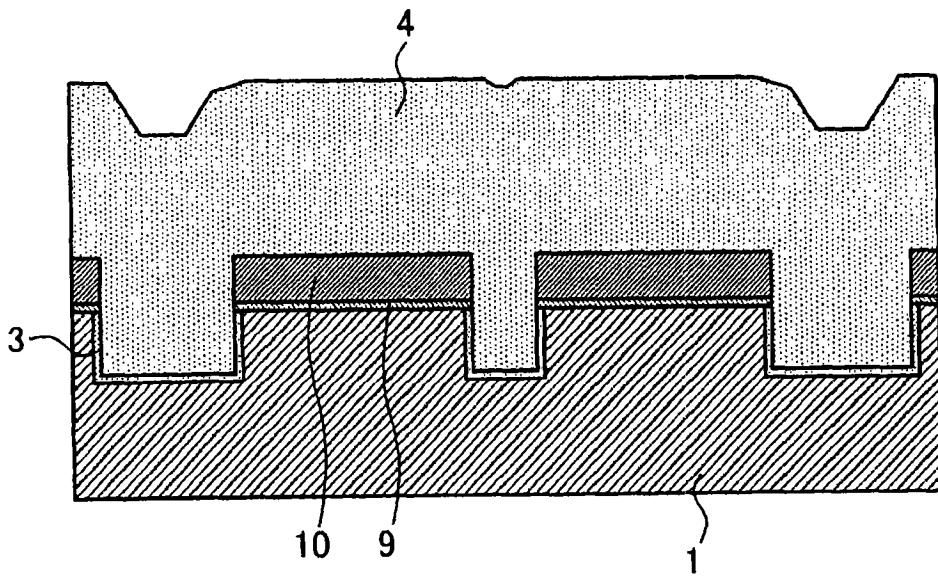


图 30

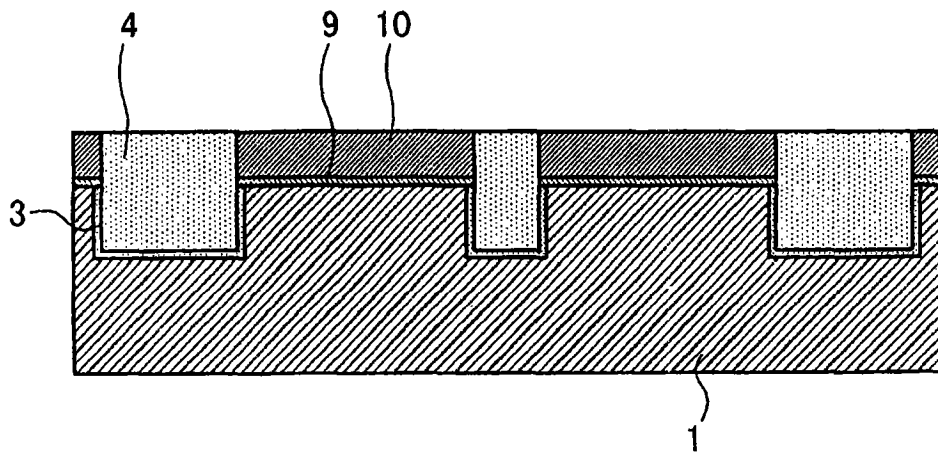


图 31

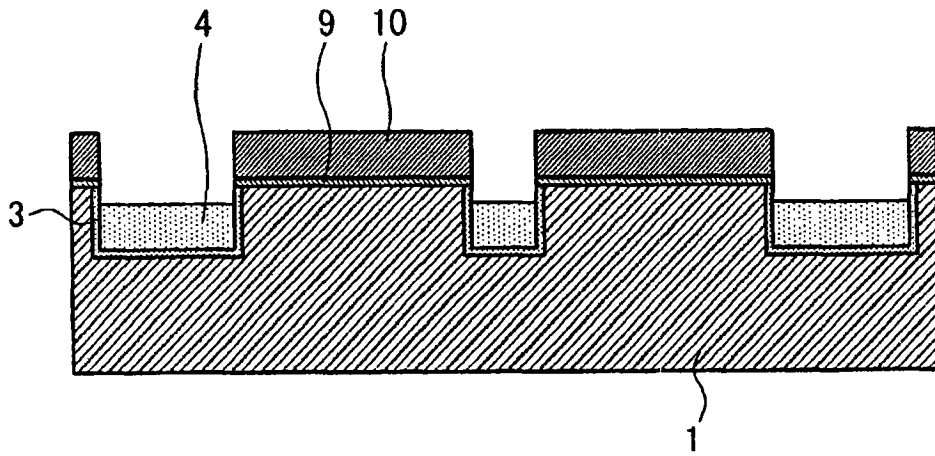


图 32

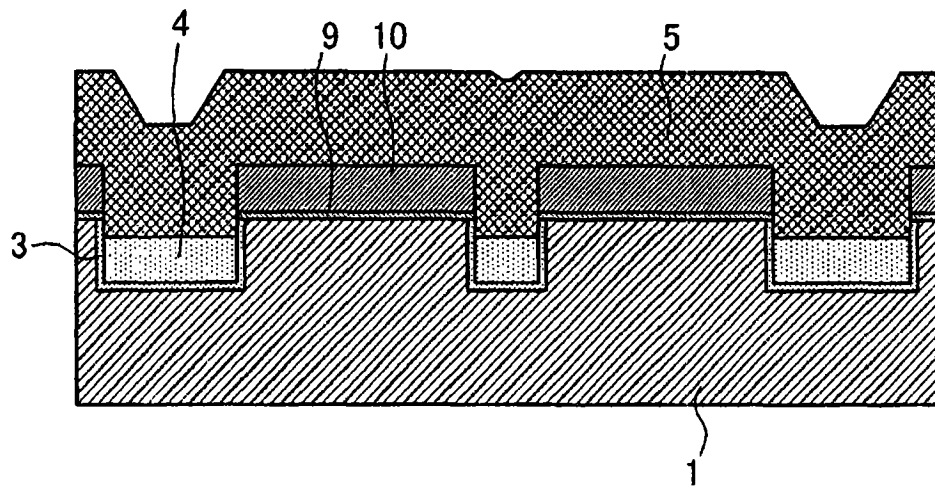


图 33

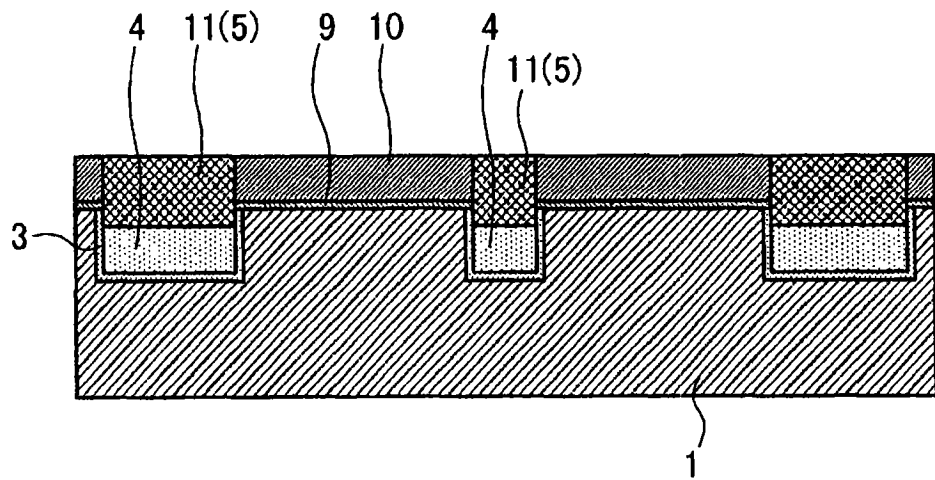


图 34



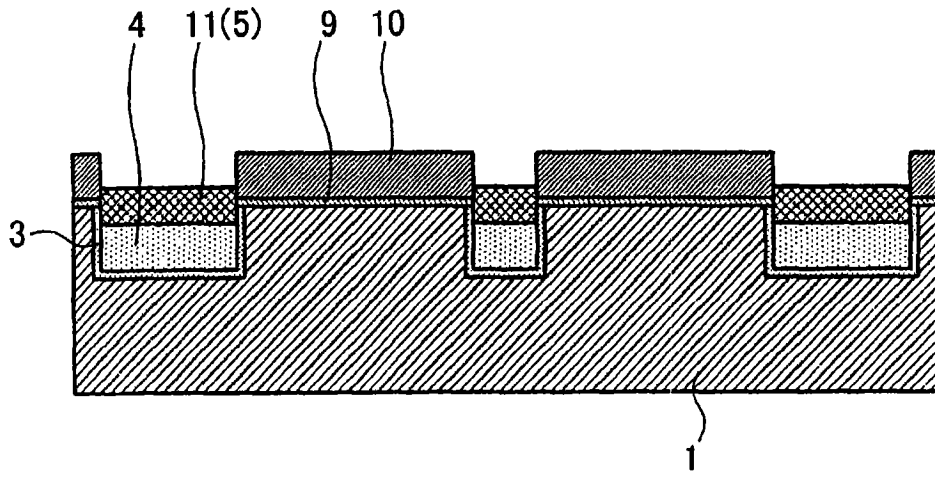


图 35

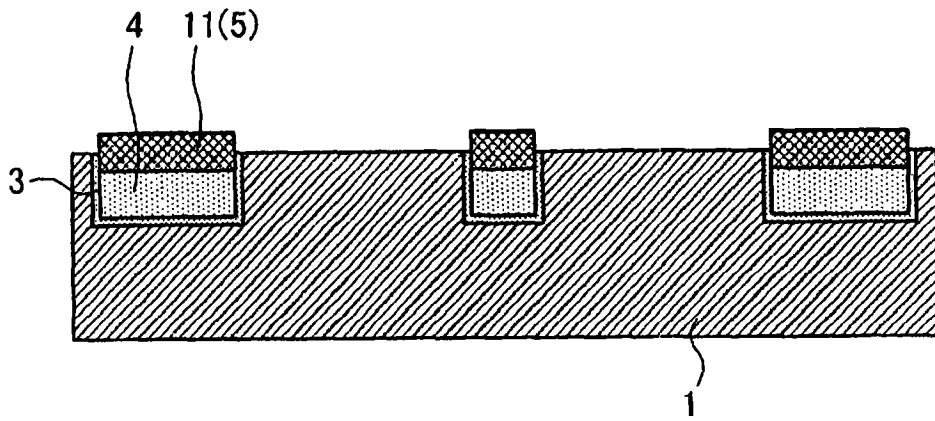


图 36

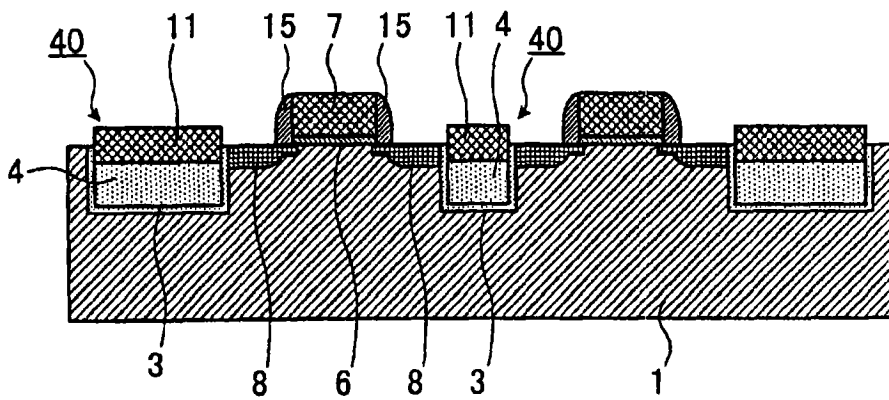


图 37

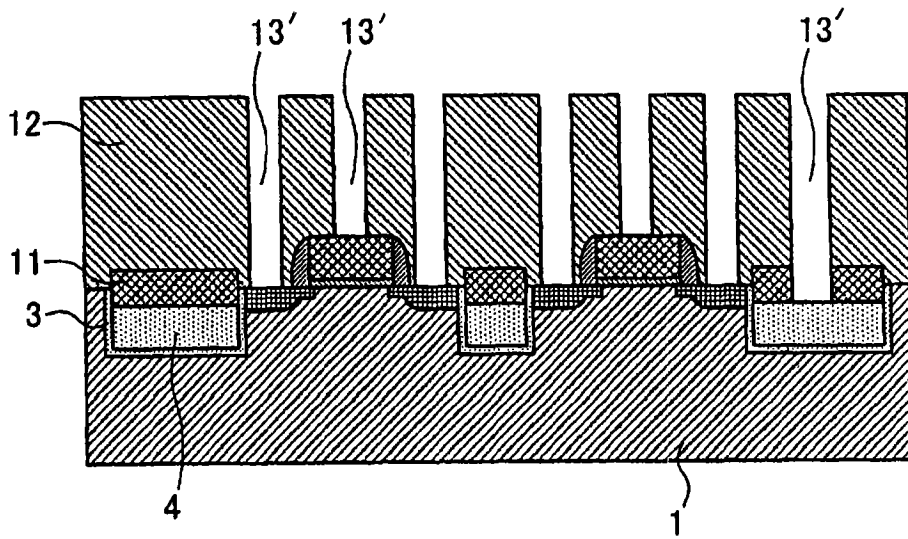


图 38

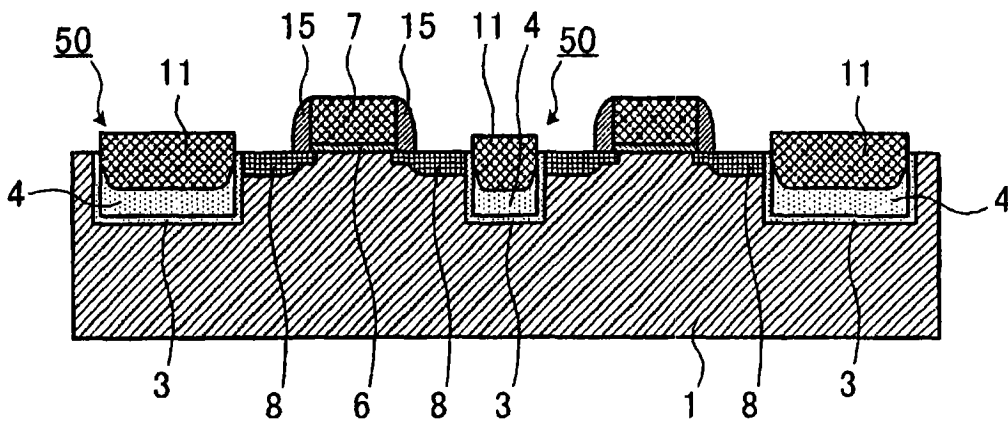


图 39

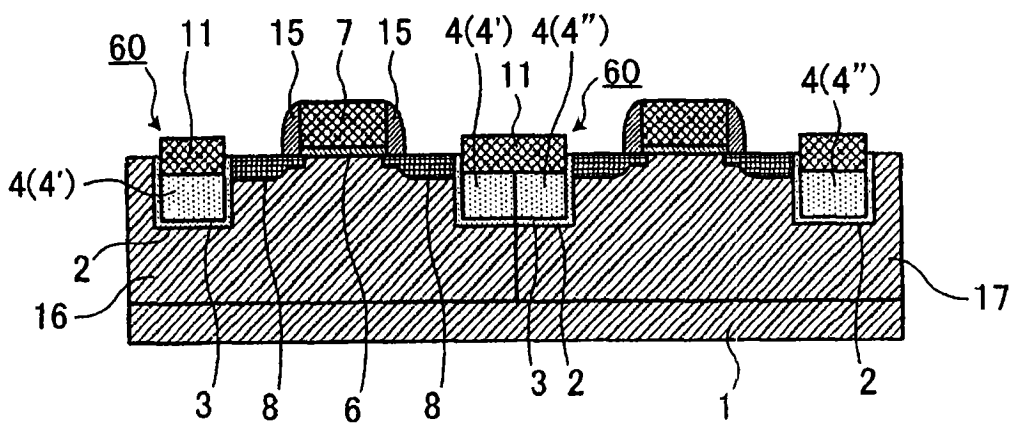


图 40

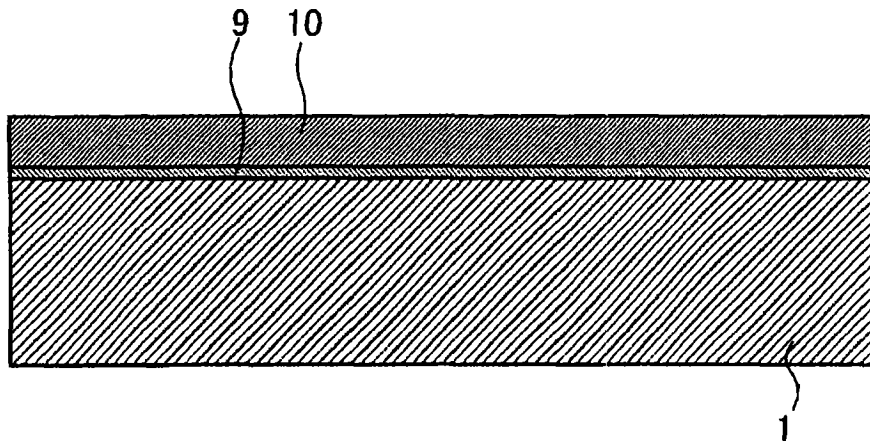


图 41

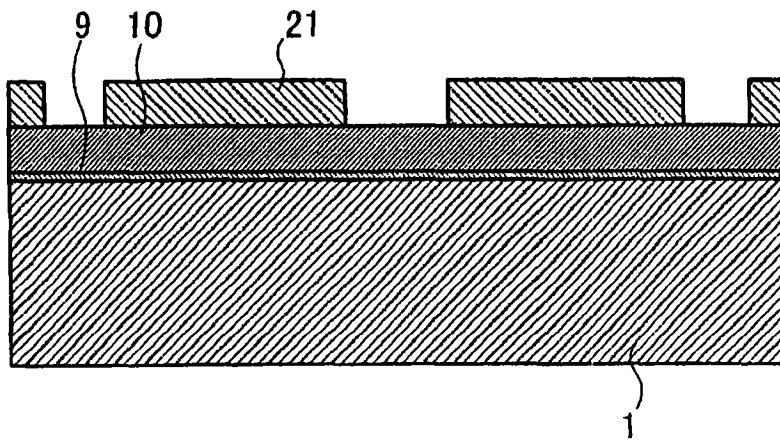


图 42

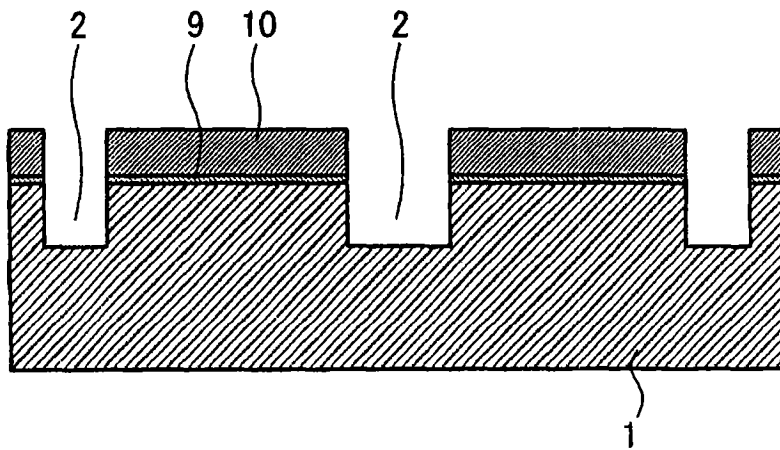


图 43

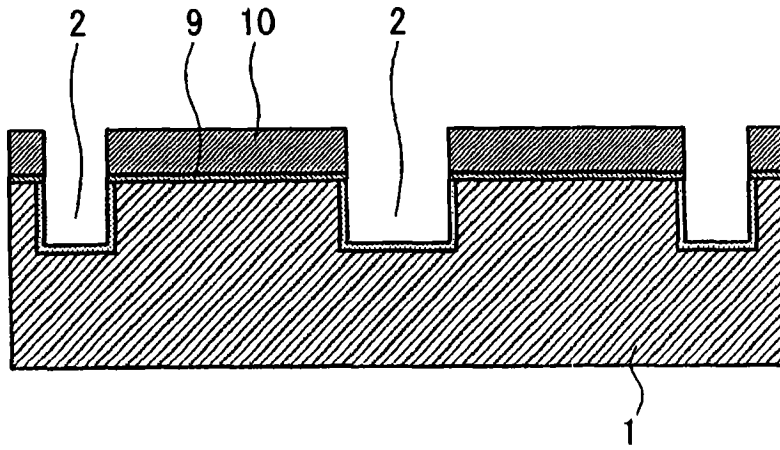


图 44

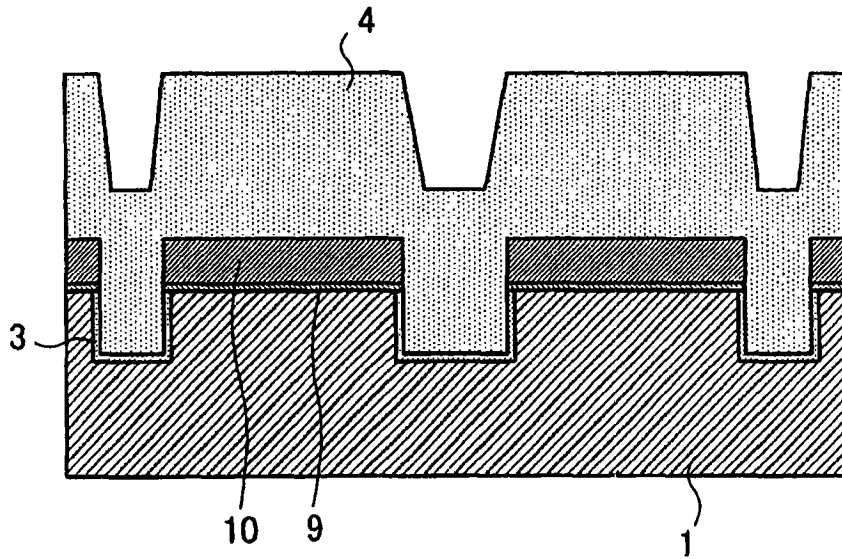


图 45

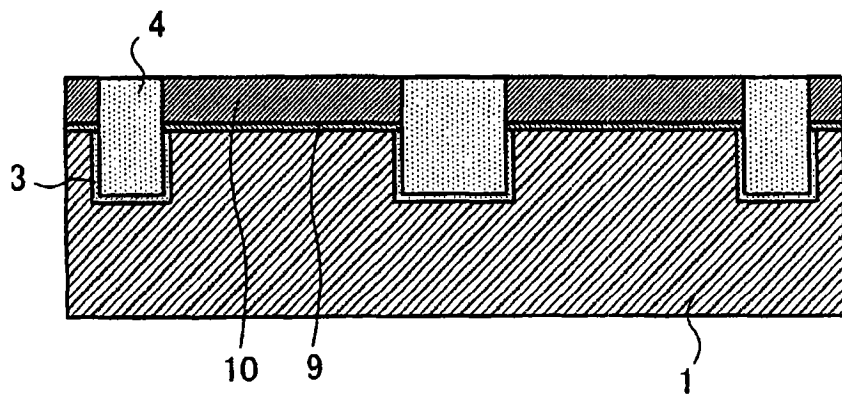


图 46

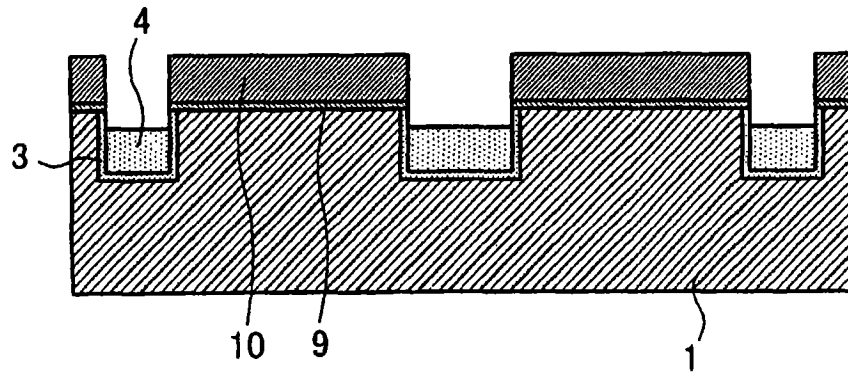


图 47

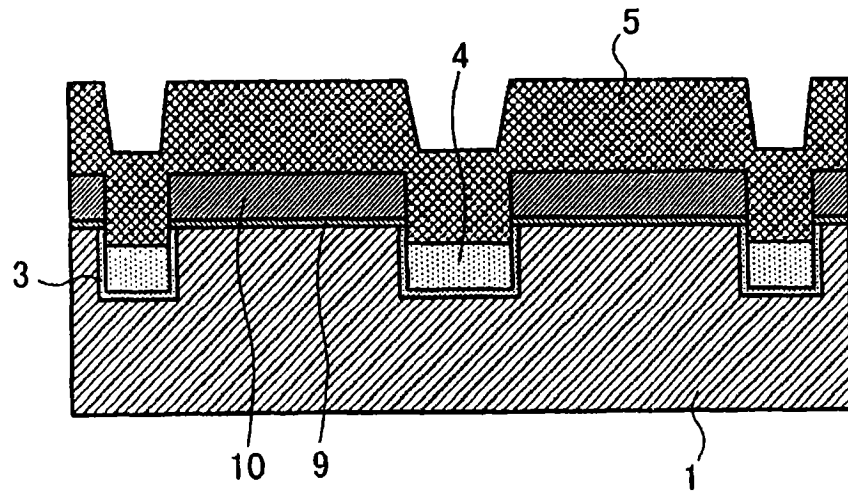


图 48

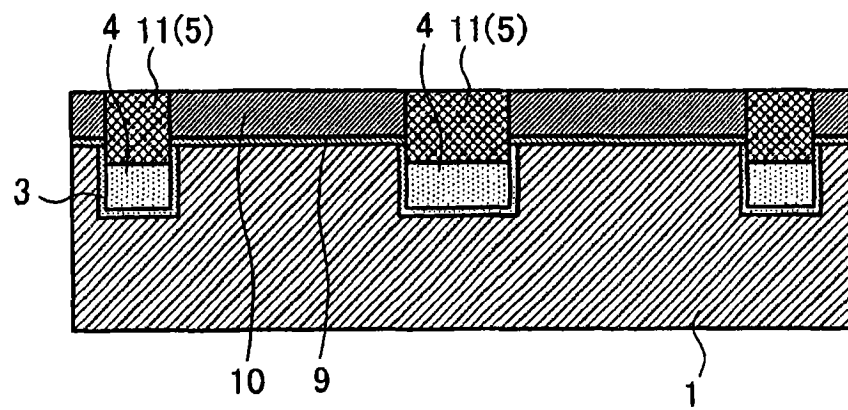


图 49

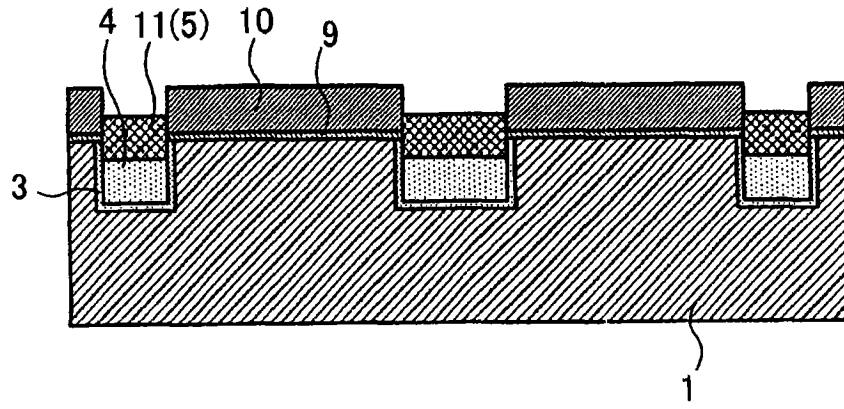


图 50

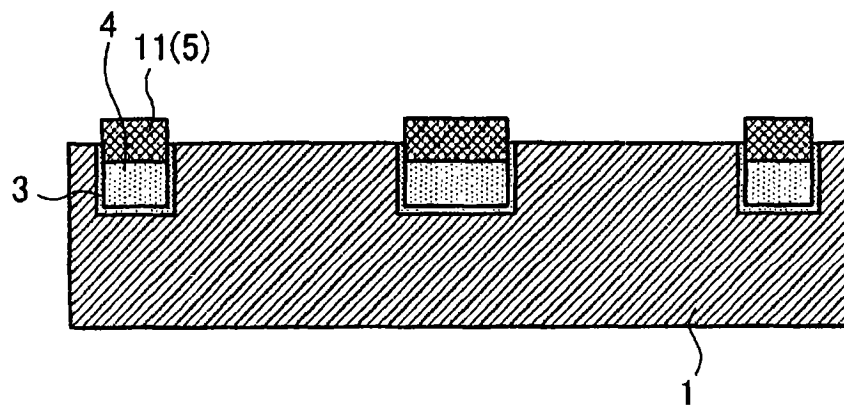


图 51

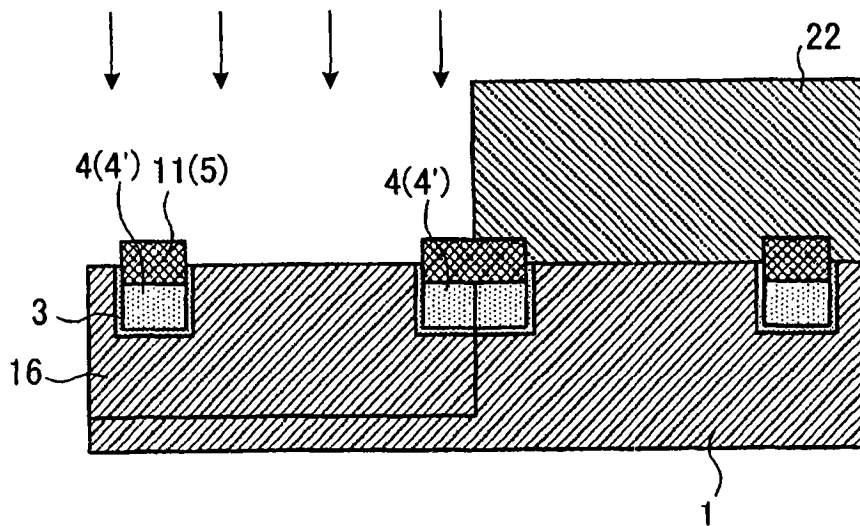


图 52

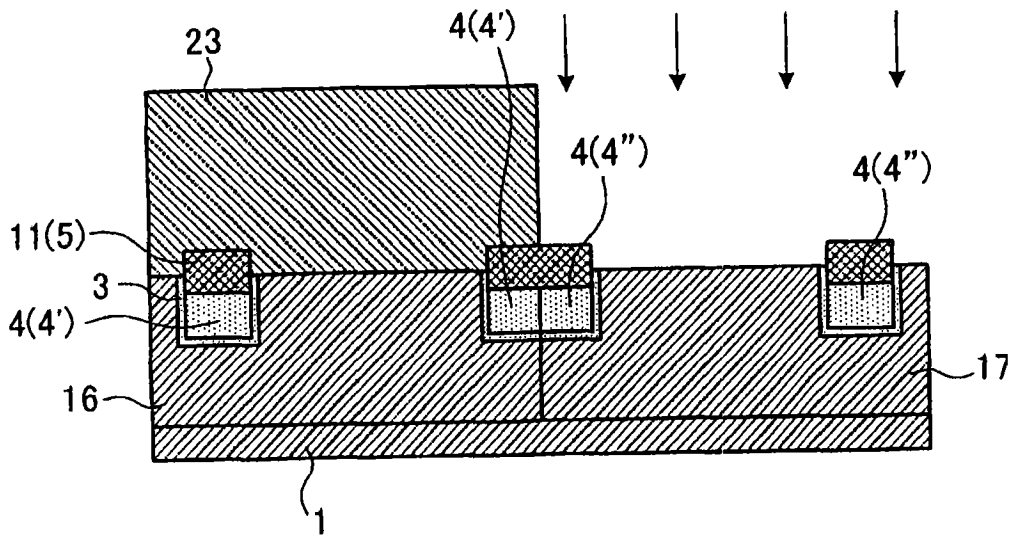


图 53

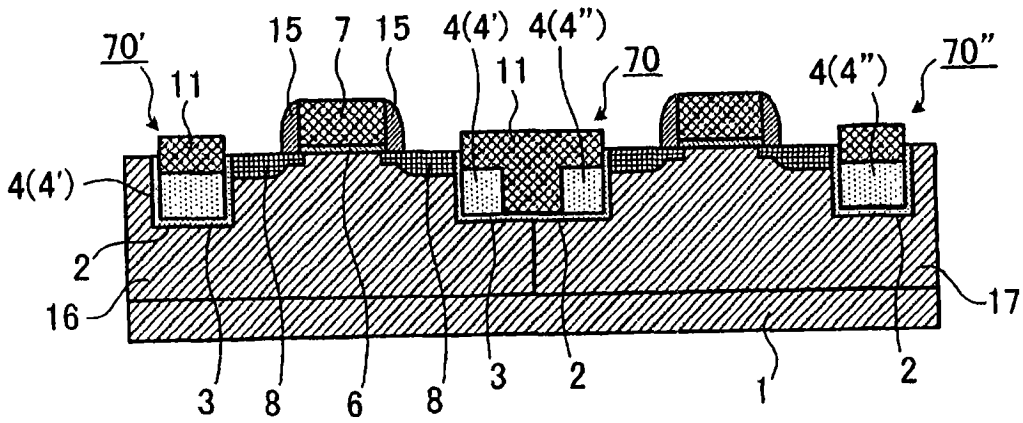


图 54

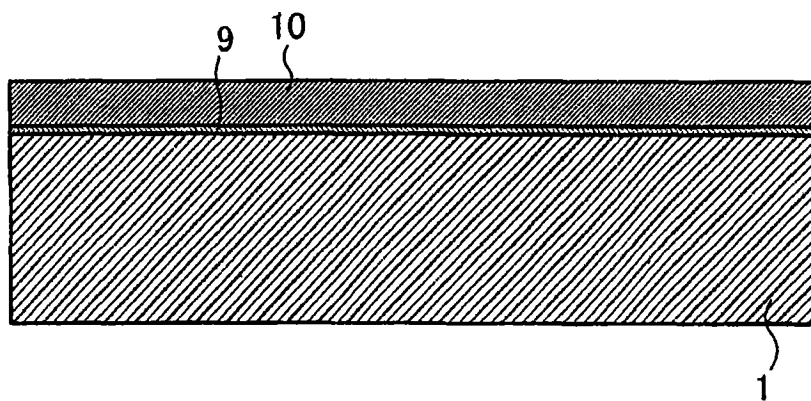


图 55

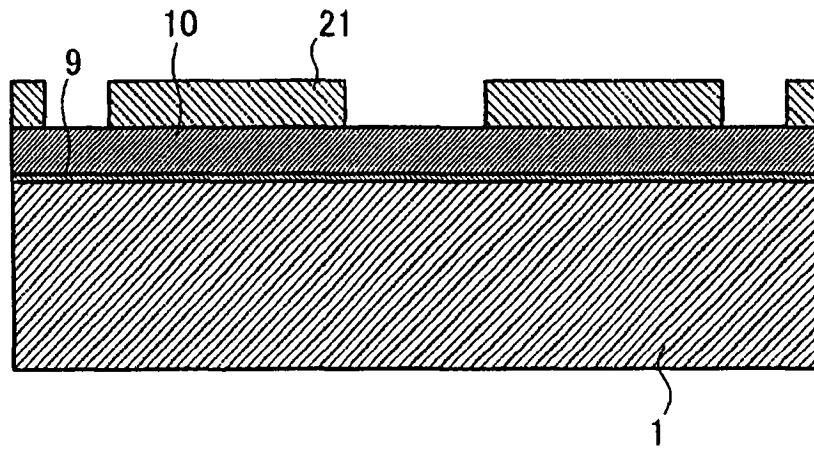


图 56

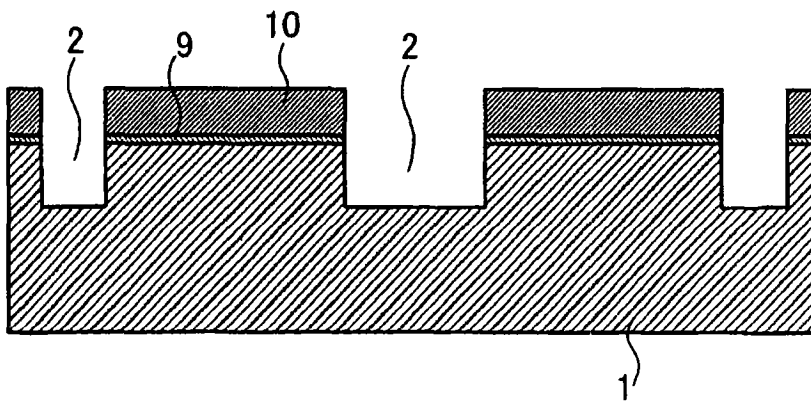


图 57

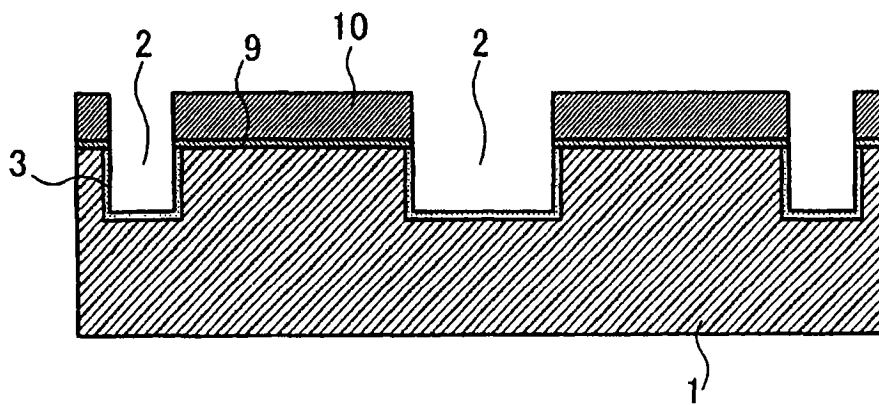


图 58



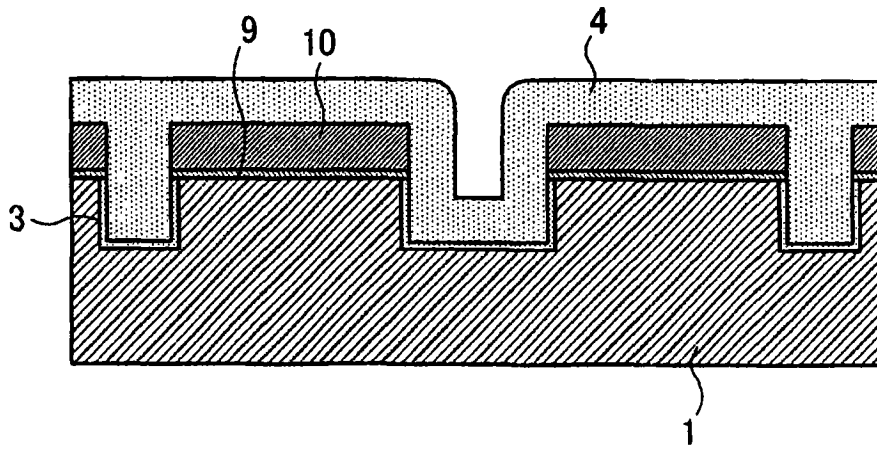


图 59

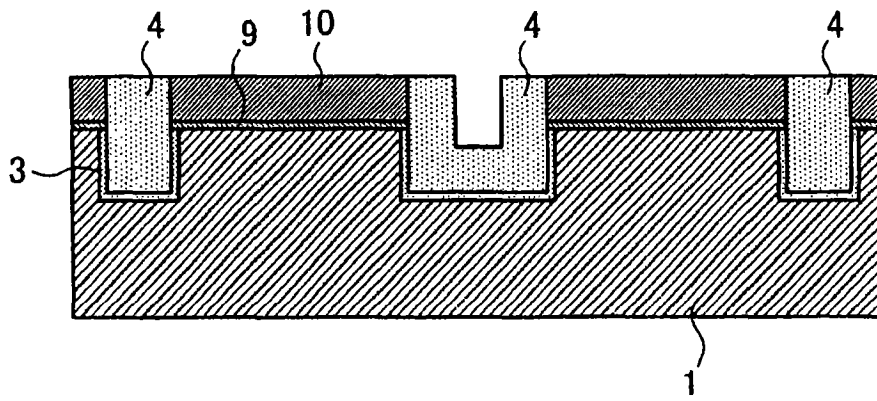


图 60

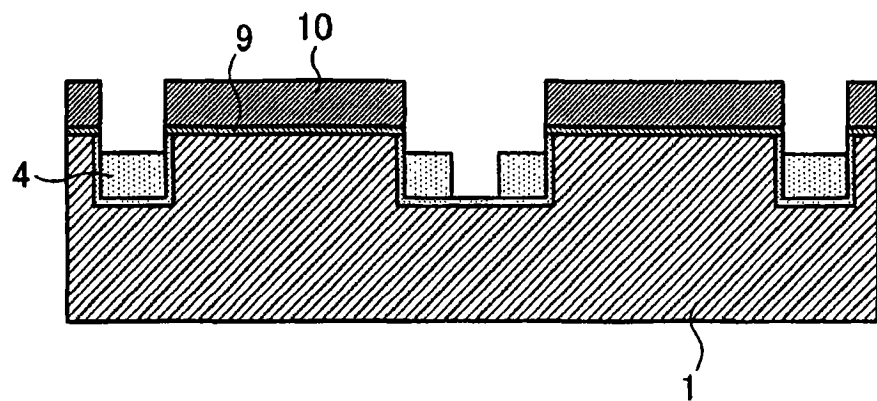


图 61

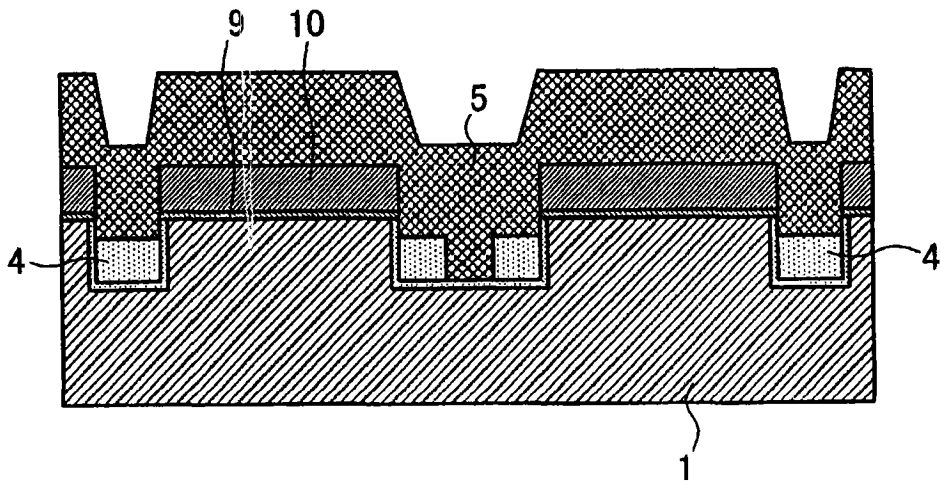


图 62

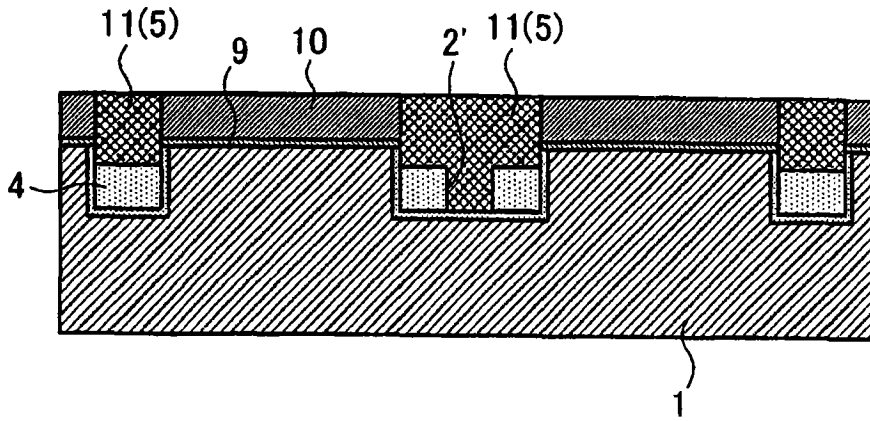


图 63

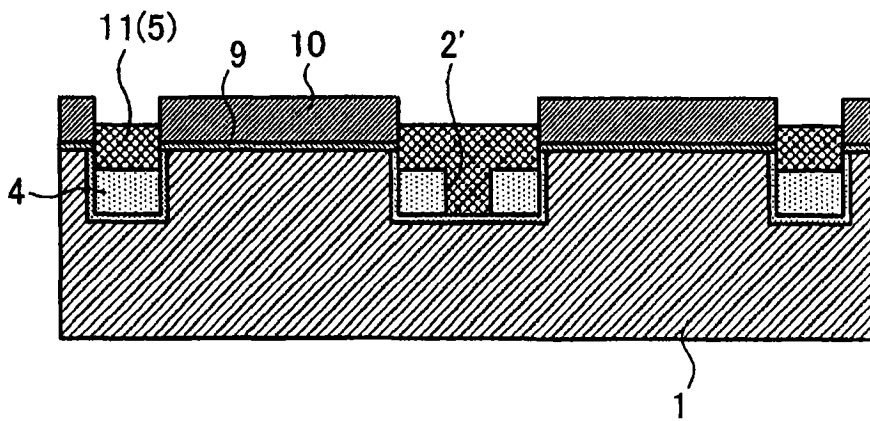


图 64

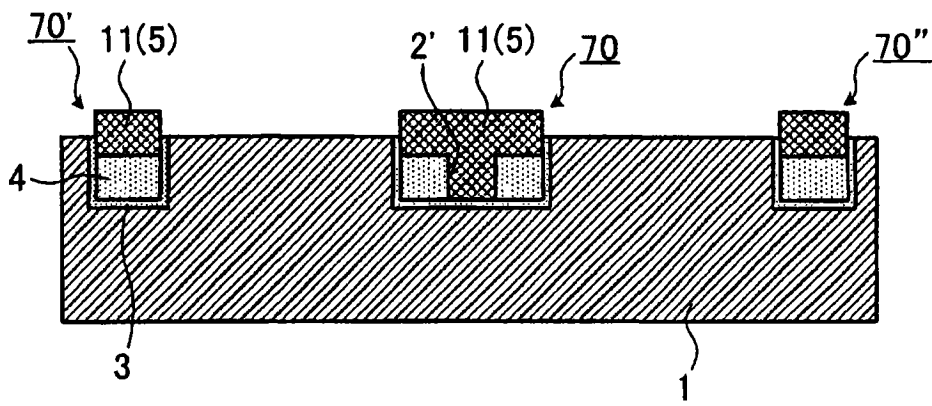


图 65

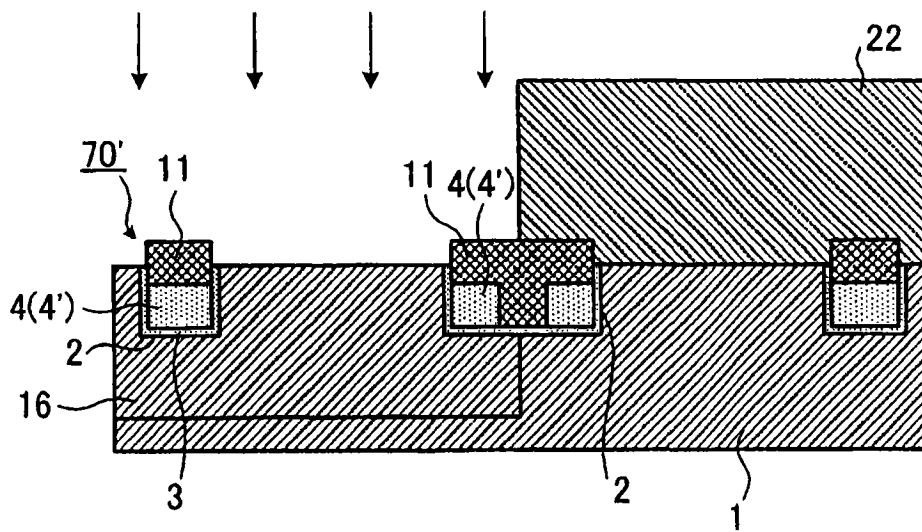


图 66

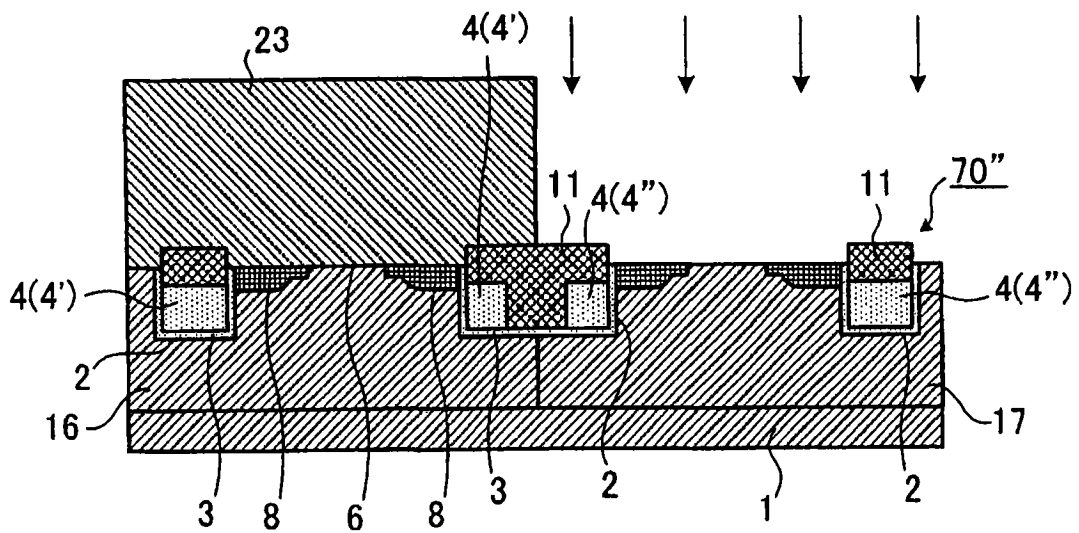


图 67



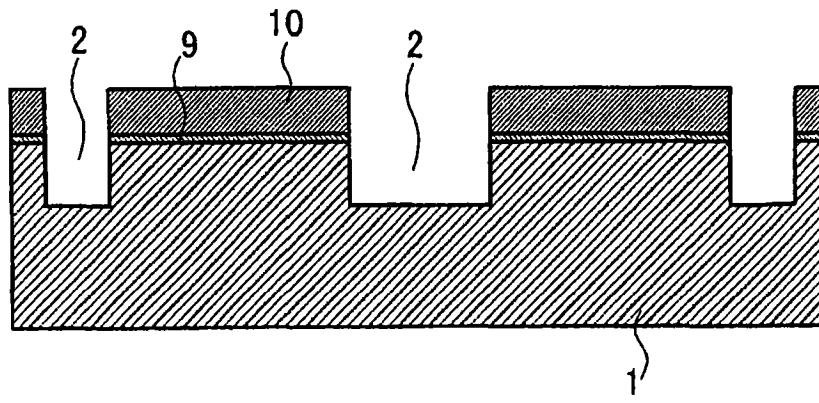


图 71

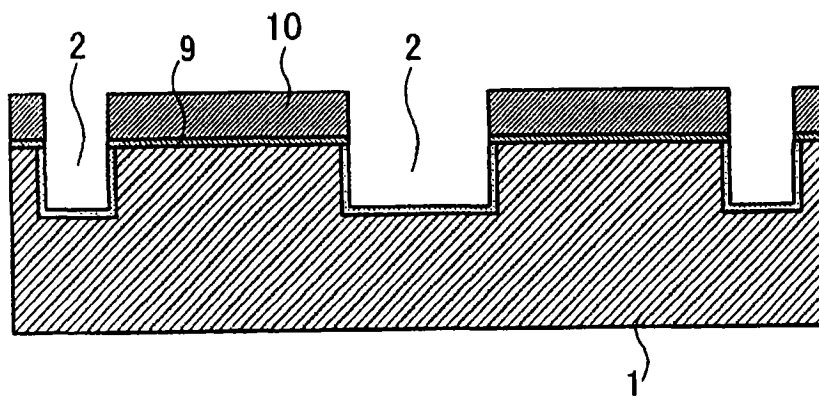


图 72

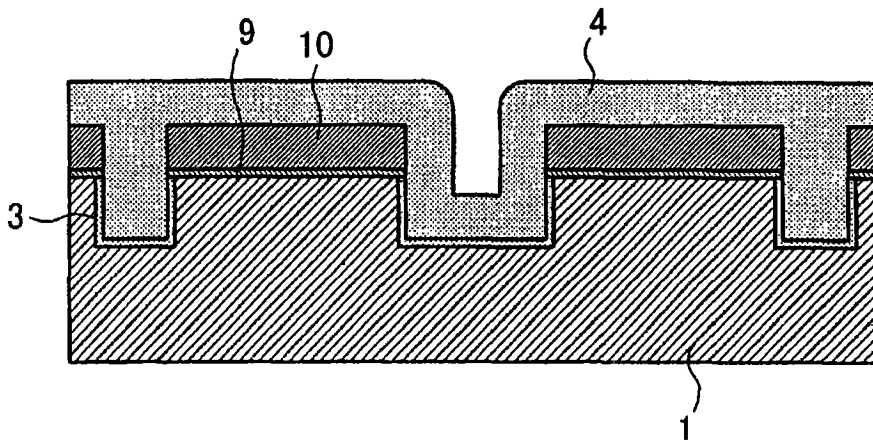


图 73

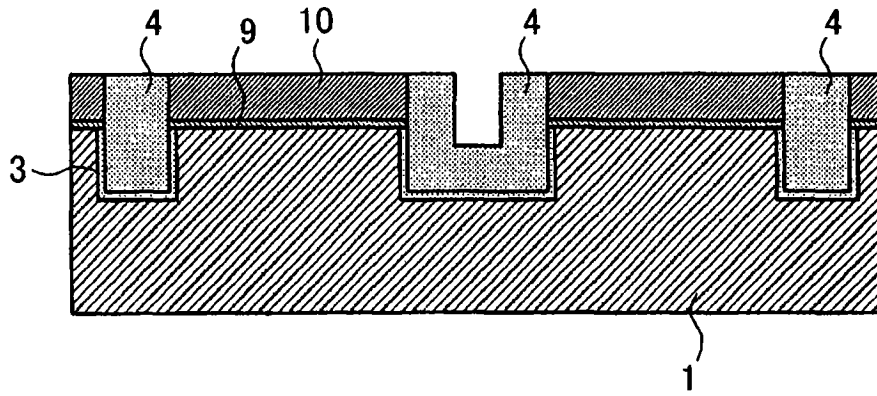


图 74

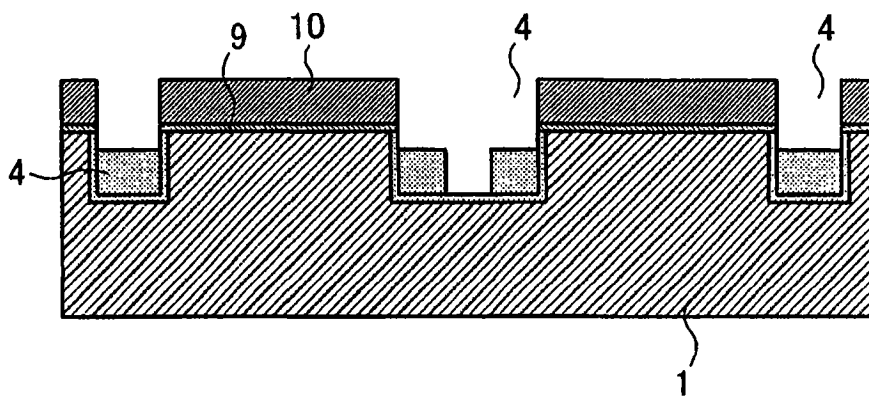


图 75

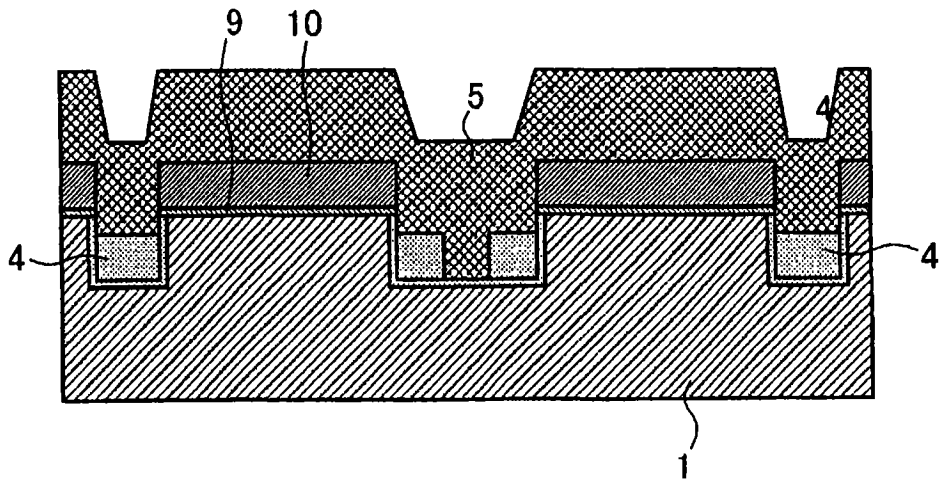


图 76

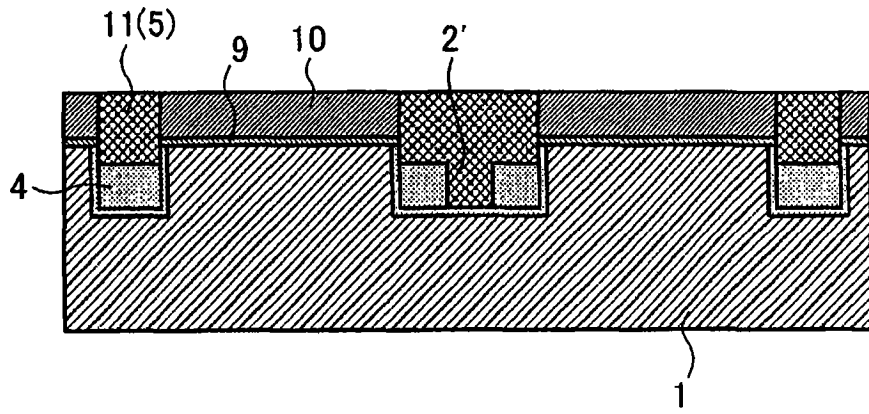


图 77

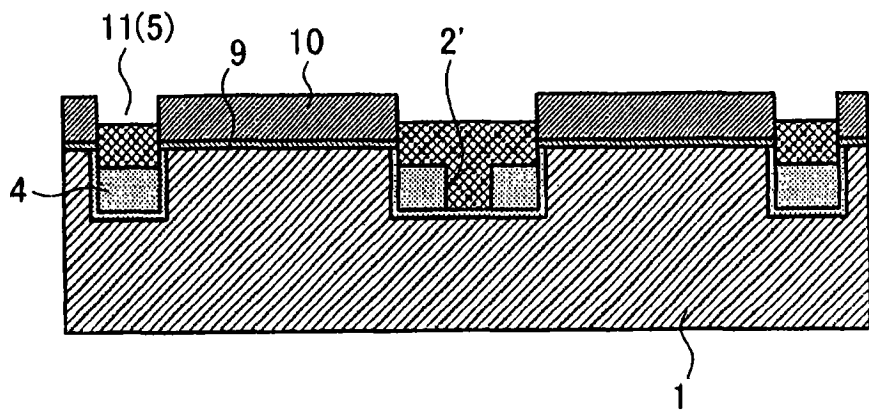


图 78

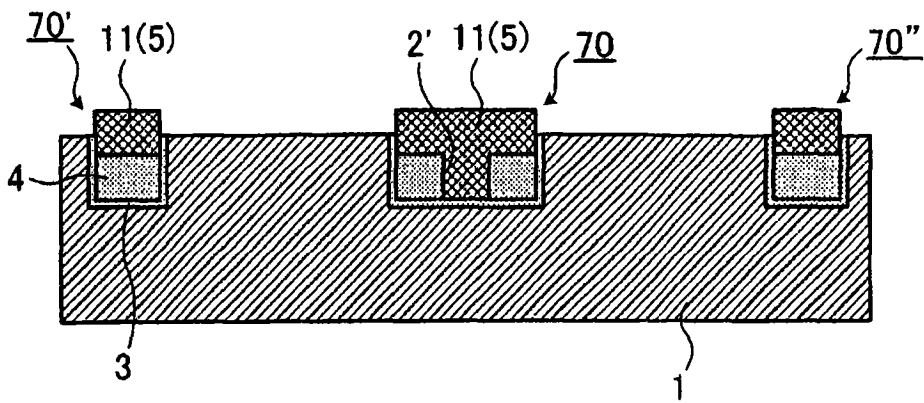


图 79

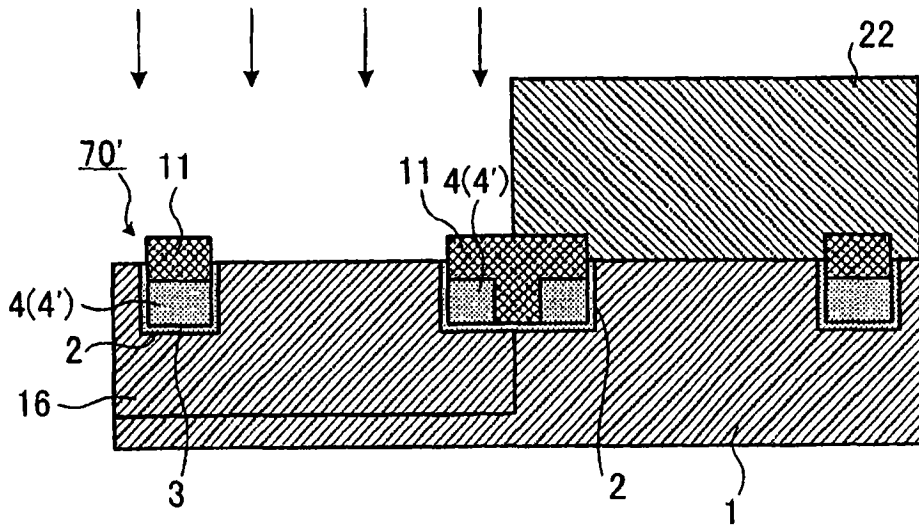


图 80

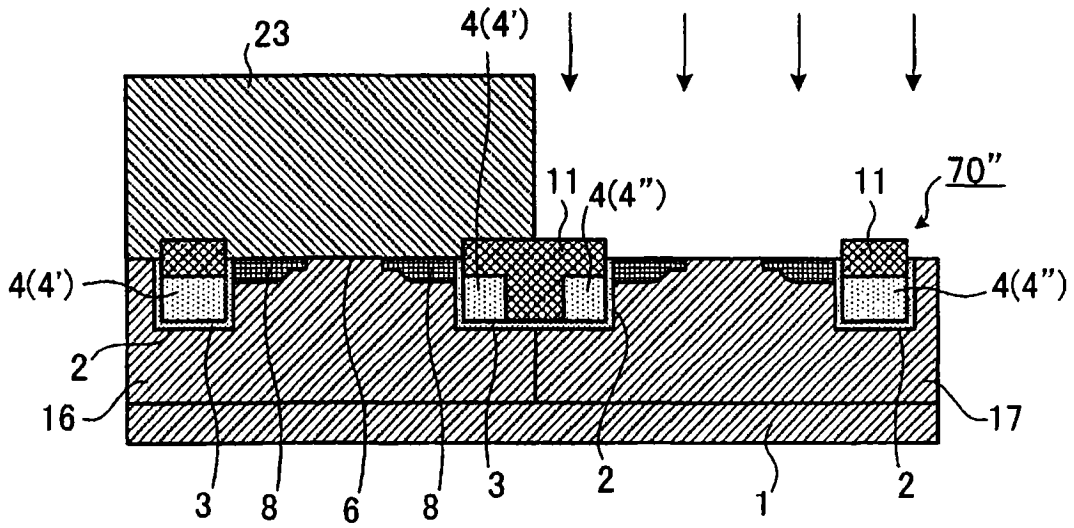


图 81



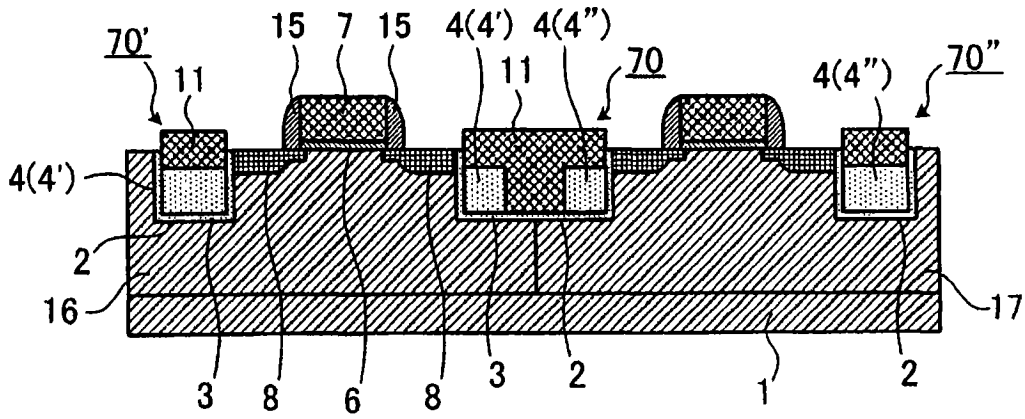


图 82

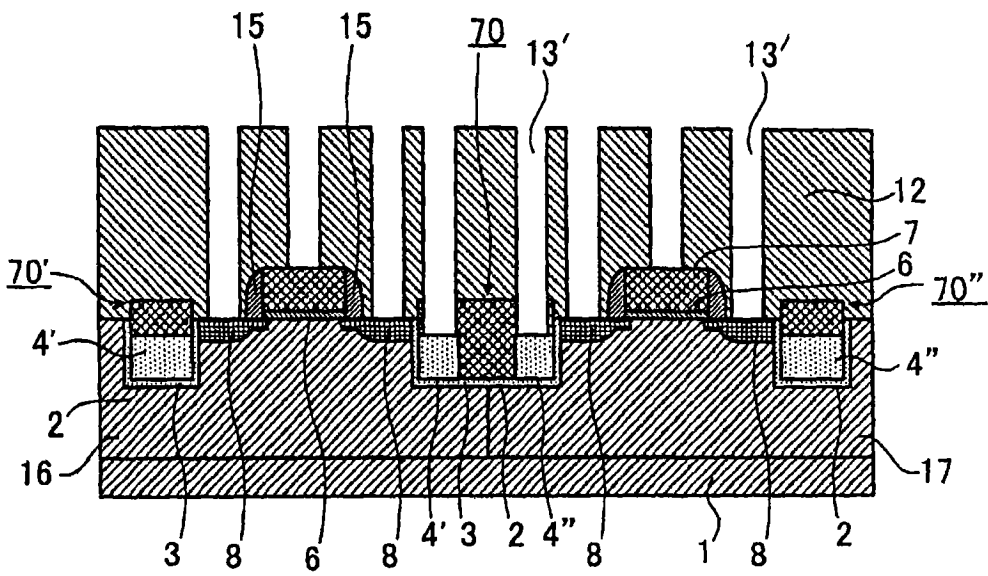


图 83

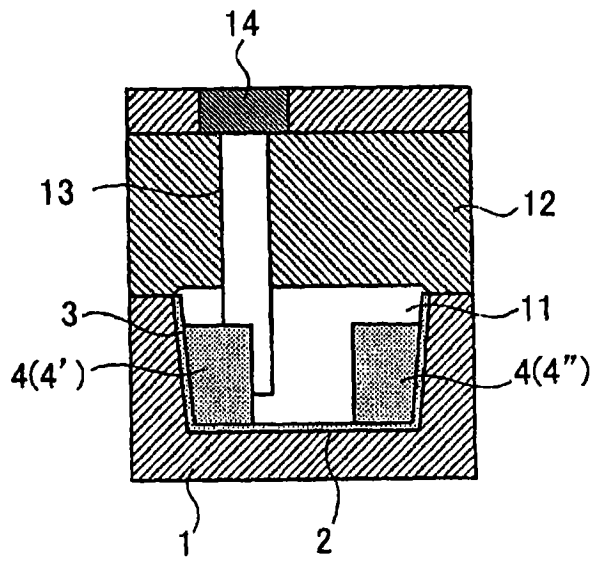


图 84

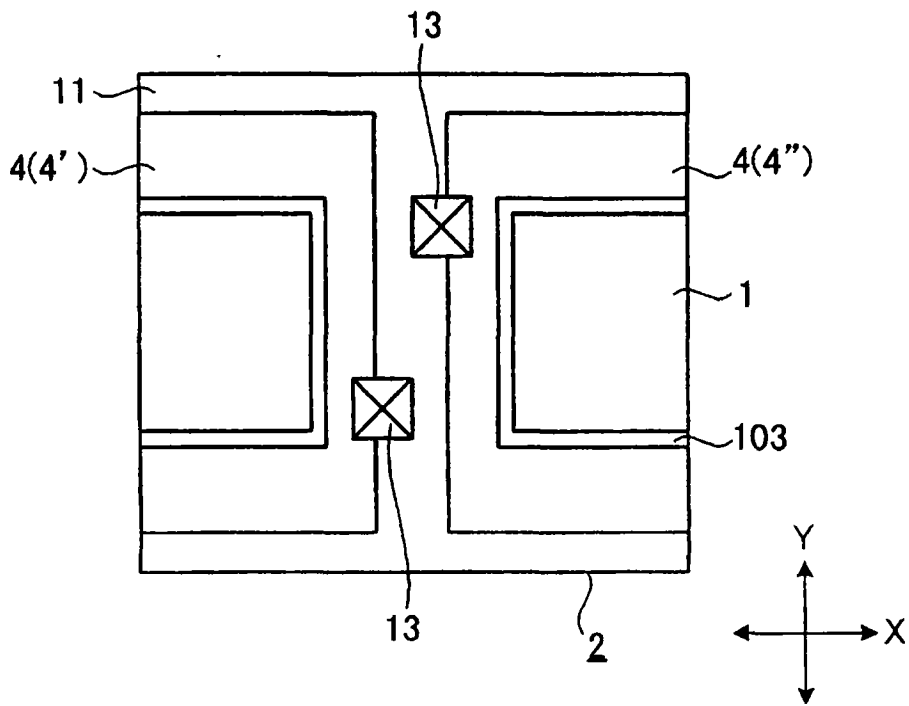


图 85

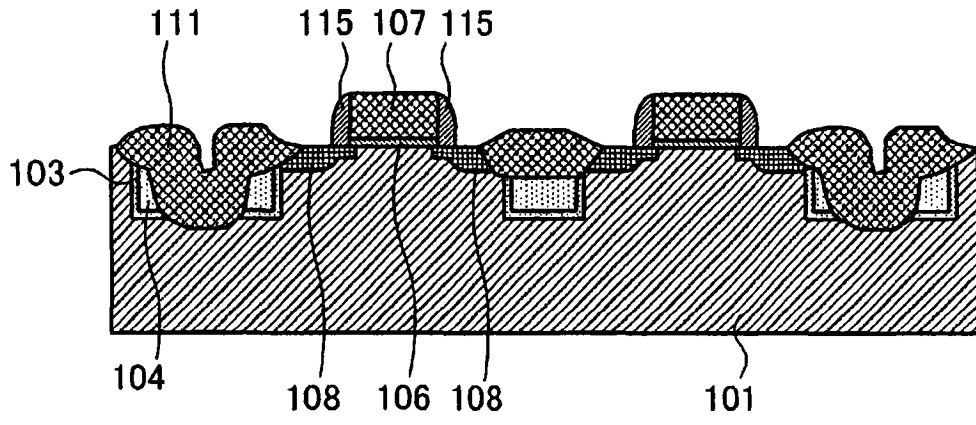


图 86

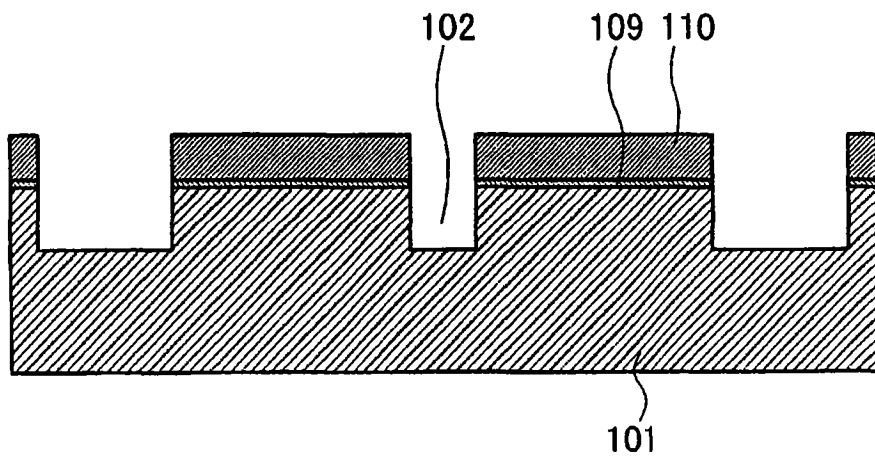


图 87

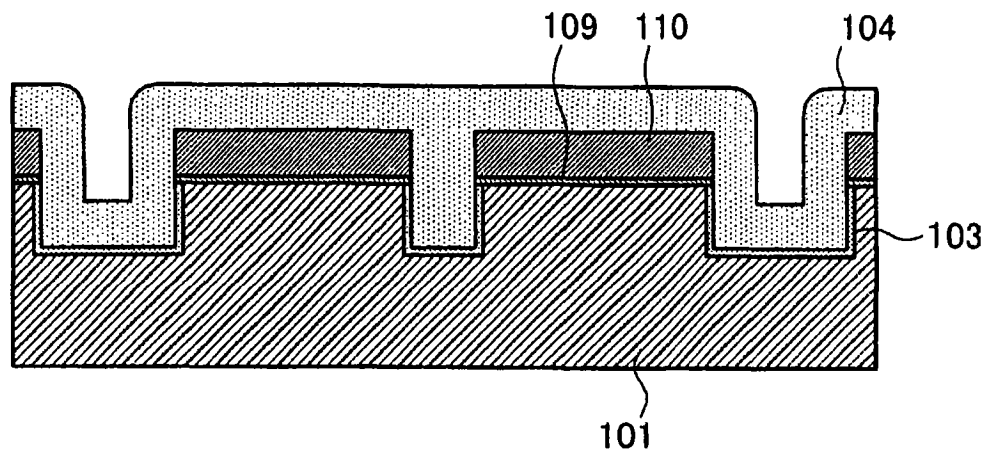


图 88

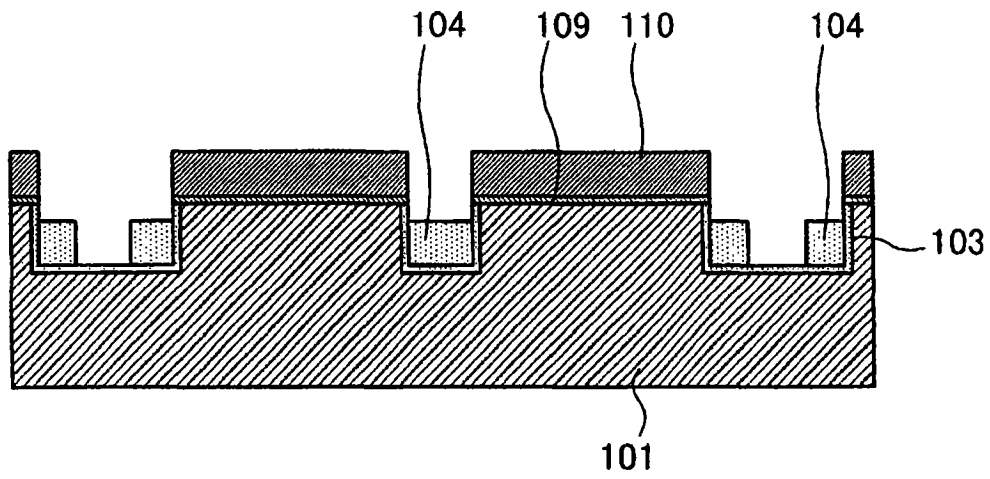


图 89

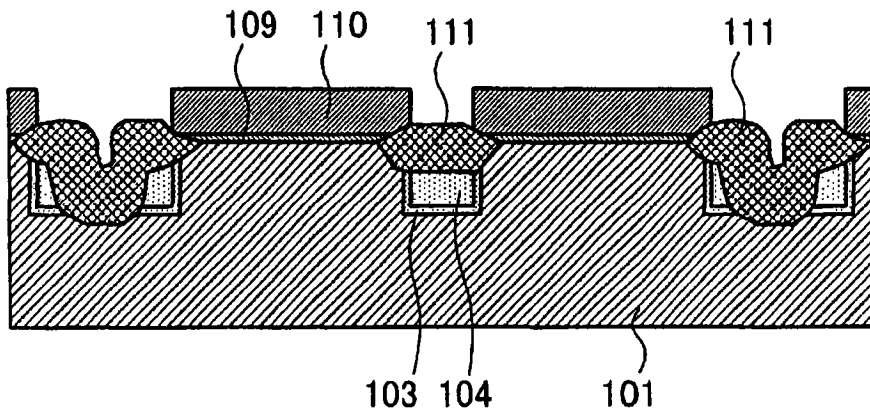


图 90

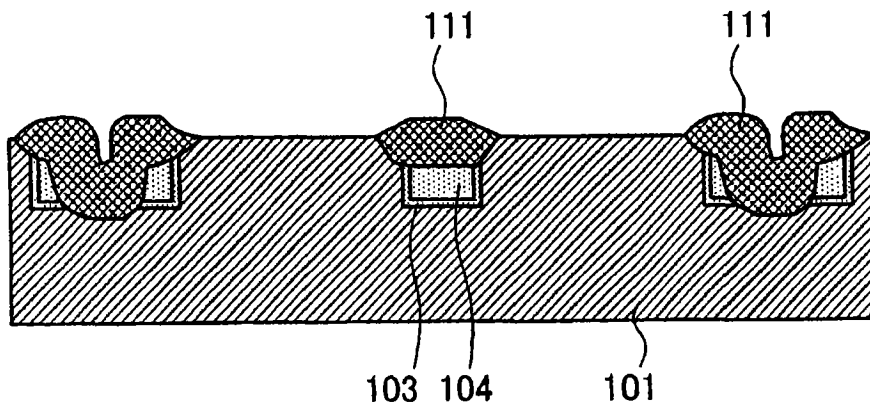


图 91