



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I514409 B

(45)公告日：中華民國 104 (2015) 年 12 月 21 日

(21)申請案號：099101838

(22)申請日：中華民國 99 (2010) 年 01 月 22 日

(51)Int. Cl. : G11C5/14 (2006.01)

(30)優先權：2009/01/23 美國

12/359,039

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：傑德羅 喬 M JEDDELOH, JOE M. (US)

(74)代理人：陳長文

(56)參考文獻：

US 7307338B1

US 60790241

US 2003/0229821A1

審查人員：謝志偉

申請專利範圍項數：20 項 圖式數：5 共 26 頁

(54)名稱

記憶體裝置電力管理器及其方法

MEMORY DEVICE POWER MANAGERS AND METHODS

(57)摘要

本發明闡述包含一記憶體晶粒堆疊及一所附接邏輯晶粒之記憶體裝置及方法。所闡述之方法及裝置對一記憶體晶粒堆疊之部分提供電力管理。本發明亦揭示額外裝置、系統及方法。

Memory devices and methods are described that include a stack of memory dies and an attached logic die. Method and devices described provide for power management of portions of a stack of memory dies. Additional devices, systems, and methods are disclosed.

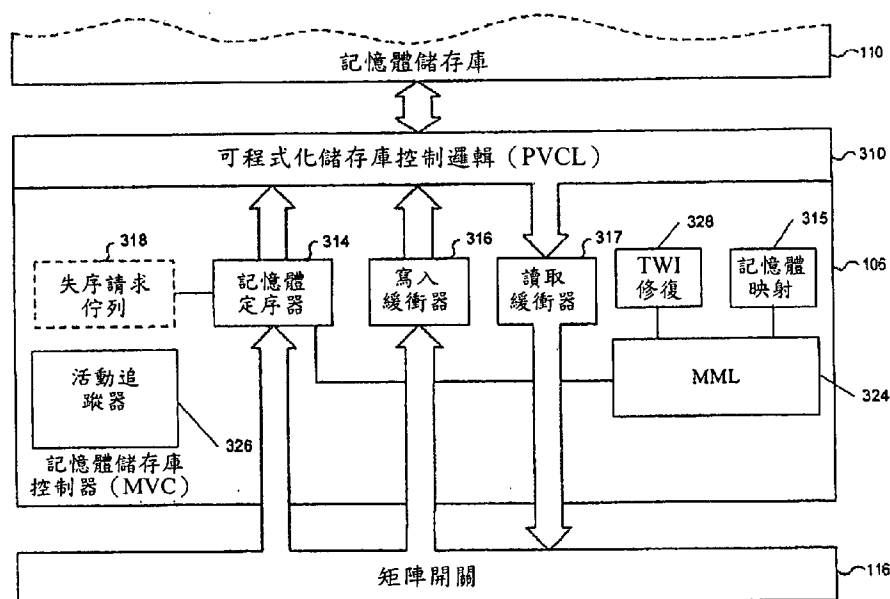


圖 3

106 . . . 記憶體儲存庫控制器(MVC)

110 . . . 堆疊式陣列記憶體「儲存庫」

116 . . . 開關

310 . . . 可程式化儲存庫控制邏輯(PVCL)組件

314 . . . 記憶體定序器

315 . . . 記憶體映射

316 . . . 寫入緩衝器

317 . . . 讀取緩衝器

318 . . . 佇列

324 . . . 記憶體映射
邏輯(MML)組件

326 . . . 活動追蹤器

328 . . . TWI 修復
邏輯

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99 1018 38

※ 申請日： 99. 1. 22

※IPC 分類： G11C5/14 (2006.01)

一、發明名稱：(中文/英文)

記憶體裝置電力管理器及其方法

MEMORY DEVICE POWER MANAGERS AND METHODS

二、中文發明摘要：

本發明闡述包含一記憶體晶粒堆疊及一所附接邏輯晶粒之記憶體裝置及方法。所闡述之方法及裝置對一記憶體晶粒堆疊之部分提供電力管理。本發明亦揭示額外裝置、系統及方法。

三、英文發明摘要：

Memory devices and methods are described that include a stack of memory dies and an attached logic die. Method and devices described provide for power management of portions of a stack of memory dies. Additional devices, systems, and methods are disclosed.

四、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

106	記憶體儲存庫控制器(MVC)
110	堆疊式陣列記憶體「儲存庫」
116	開關
310	可程式化儲存庫控制邏輯(PVCL)組件
314	記憶體定序器
315	記憶體映射
316	寫入緩衝器
317	讀取緩衝器
318	佇列
324	記憶體映射邏輯(MML)組件
326	活動追蹤器
328	TWI修復邏輯

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本文中所闡述之各種實施例係關於與半導體記憶體相關聯之設備、系統及方法。

【先前技術】

微處理器技術已以比半導體記憶體技術之速率快的一速率演變。因此，在現代主機處理器與半導體記憶體子系統之間在效能方面通常存在一不匹配，該處理器匹配至該半導體記憶體子系統以接收指令及資料。舉例而言，據估計，某些高端伺服器閒置四分之三時脈循環來等待對記憶體請求之回應。

另外，隨著處理器核心及執行緒之數目繼續增加，軟體應用程式及作業系統技術之演變增加了對較高密度記憶體子系統之需求。然而，當前技術記憶體子系統通常表示效能與密度之間的一折衷。較高頻寬可限制在不超出聯合電子裝置工程會議(JEDEC)電氣規範之情形下可連接於一系統中之記憶體卡或記憶體模組之數目。

已提出對JEDEC介面標準(例如，雙倍資料速率(DDR)同步動態隨機存取記憶體(SDRAM))之擴展，但對於未來所預期記憶體頻寬及密度通常可發現其不足。缺點包含缺少記憶體電力最佳化及主機處理器與記憶體子系統之間的介面之唯一性。隨著處理器及/或記憶體技術發生改變，後一缺點可導致需要重新設計該介面。

【實施方式】

在本發明之以下實施方式中，參照形成本發明之一部分且其中以圖解說明方式繪示其中可實踐本發明之具體實施例之隨附圖式。充分詳細地闡述此等實施例以使熟習此項技術者能夠實踐本發明。可利用其他實施例且可做出結構、邏輯及電改變。

圖1包含根據本發明之各種實例性實施例之一記憶體裝置100之一方塊圖。記憶體裝置100運作以在一個或多個始發裝置及/或目的地裝置(例如，一個或多個處理器)與一組堆疊式陣列記憶體「儲存庫」110之間大致同時傳送複數個傳出及/或傳入命令流、位址流及/或資料流。可產生增加之記憶體系統密度、頻寬、平行性及可縮放性。

多晶粒記憶體陣列實施例聚合在先前設計中通常位於每一個別記憶體陣列晶粒上之控制邏輯。一堆疊式晶粒群組之子區段(在本發明中稱為記憶體儲存庫(memory vault))繪示為圖1中之實例性儲存庫110且繪示為圖2中之實例性儲存庫230。在所圖解說明之實例中所繪示之記憶體儲存庫共用共同控制邏輯。該記憶體儲存庫架構策略性地分割記憶體控制邏輯以增加能量效率同時提供已通電記憶體庫之一較精細粒度。所繪示之實施例亦能夠達成一標準化主機處理器至記憶體系統介面。隨著記憶體技術的演變，該標準化介面可降低重新設計循環次數。

圖2係根據各種實例性實施例與一邏輯晶粒202堆疊在一起以形成一記憶體裝置100之一堆疊式晶粒3D記憶體陣列200之一剖面概念視圖。記憶體裝置100併入有產生堆疊式

晶粒3D記憶體陣列200之一個或多個記憶體陣列203堆疊。將多個記憶體陣列(例如，記憶體陣列203)製造至複數個晶粒中之每一者(例如，晶粒204)上。接著堆疊該等記憶體陣列晶粒以形成堆疊式晶粒3D記憶體陣列200。

將該堆疊中之每一晶粒劃分成多個「晶粒塊」(例如，與堆疊式晶粒204相關聯之晶粒塊205A、205B及205C)。每一晶粒塊(例如，晶粒塊205C)可包含一個或多個記憶體陣列203。記憶體陣列203並不限於任一特定記憶體技術且可包含動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)、快閃記憶體等。

一堆疊式記憶體陣列晶粒塊組208可包含來自該等堆疊式晶粒中之每一者之一單個晶粒塊(例如，晶粒塊212B、212C及212D，其中基底晶粒塊於圖1中被隱藏而看不到)。電力、位址及/或資料及類似共同信號可沿「Z」維度220在傳導路徑(例如，傳導路徑224)(例如，「貫穿晶圓互連」(TWI))上橫越堆疊式晶粒塊組208。注意，一TWI未必需要完全穿過一特定晶圓或晶粒。

將一種組態中之堆疊式晶粒3D記憶體陣列200分割成一組記憶體「儲存庫」(例如，記憶體儲存庫230)。每一記憶體儲存庫包含一堆疊式晶粒塊組(例如，晶粒塊組208)、來自複數個堆疊式晶粒中之每一者之一個晶粒塊以及用於電互連晶粒塊組208之一組TWI。該儲存庫之每一晶粒塊包含一個或多個記憶體陣列(例如，記憶體陣列240)。雖然闡述分割成個別儲存庫230，但亦可以若干個其他方式分割

3D記憶體陣列200。其他實例性分割包含按晶粒、晶粒塊等分割。

於圖1中在於記憶體裝置100內之背景中圖解說明一記憶體儲存庫組102(其類似於來自圖2之記憶體儲存庫230)。記憶體裝置100亦包含複數個記憶體儲存庫控制器(MVC)104(例如，MVC 106)。每一MVC係以一對一關係以通信方式耦合至一對應記憶體儲存庫(例如，組102之記憶體儲存庫110)。因此，每一MVC能夠獨立於其他MVC與其各別記憶體儲存庫之間的通信與一對應記憶體儲存庫通信。

記憶體裝置100亦包含複數個可組態序列化通信鏈路介面(SCLI)112。SCLI 112被劃分成一SCLI傳出群組113及一SCLI傳入群組115，其中「傳出」及「傳入」方向係根據儲存器114之角度來界定。複數個SCLI 112中之每一SCLI能夠與其他SCLI同時作業。所有SCLI 112一起將複數個MVC 104以通信方式耦合至一個或多個主機處理器114。記憶體裝置100呈現至主機處理器114之一多鏈路高輸送量介面。

記憶體裝置100亦可包含一開關116。在某些實施例中，開關116可包括一矩陣開關，其亦可稱為一交叉連接開關。開關116以通信方式耦合至複數個SCLI 112且耦合至複數個MVC 104。開關116能夠將每一SCLI交叉連接至一選定MVC。因此，主機處理器114可跨越複數個SCLI 112以一大致同時方式存取複數個記憶體儲存庫102。此架構

可為現代處理器技術(包含多核心技術)提供高處理器至記憶體頻寬。

記憶體裝置100亦可包含耦合至開關116之一記憶體組構控制暫存器117。記憶體組構控制暫存器117接受來自一組態源之記憶體組構組態參數且組態記憶體裝置100之一個或多個組件以根據一可選模式運作。舉例而言，開關116及複數個記憶體儲存庫102以及複數個MVC 104中之每一者通常可經組態以回應於單獨記憶體請求而彼此獨立地運作。此一組態可因SCLI 112與記憶體儲存庫102之間的平行性而增強記憶體系統頻寬。

另一選擇為，記憶體裝置100可經由記憶體組構控制暫存器117重新組態以致使複數個記憶體儲存庫102中之兩者或更多者之一子組及一對應MVC子組回應於一單個請求同步運作。後一組態可用於存取比與一單個儲存庫相關聯之一資料字之寬度寬的一資料字。此一字在本文中稱為一寬資料字。此技術可減少延時。可藉由將一選定位元圖案載入至記憶體組構控制暫存器117中來達成其他組態。

在一項實例中，傳出SCLI 113可包含複數個傳出差動對串列路徑(DPSP)128。DPSP 128以通信方式耦合至主機處理器114且可共同輸送一傳出封包。傳出SCLI 113亦可包含耦合至複數個傳出DPSP 128之一解串列化器130。傳出SCLI亦可包含以通信方式耦合至解串列化器130之一解多工器138。在一項實施例中，DSPS、解串列化器及解多工器之組態促進資料封包或資料子封包之有效傳送。類似於

傳出 SLCI，在一項實施例中，傳入 SCLI 及 DSPS、串列化器及多工器之一類似組態促進資料封包或資料子封包之有效傳送。

圖 3 係根據各種實例性實施例之一 MVC(例如，MVC 106)及相關聯模組之一方塊圖。MVC 106 可包含一可程式化儲存庫控制邏輯(PVCL)組件 310。PVCL 310 將 MVC 106 介接至對應記憶體儲存庫(例如，記憶體儲存庫 110)。PVCL 310 產生與對應記憶體儲存庫 110 相關聯之一個或多個控制信號及/或定時信號。

PVCL 310 可經組態以使 MVC 106 適應於一選定組態或一選定技術之一記憶體儲存庫 110。因此，舉例而言，記憶體裝置 100 最初可使用當前可用 DDR2 DRAM 組態。隨後，記憶體裝置 100 可藉由重新組態 PVCL 310 以包含 DDR3 庫控制及定時邏輯而適應於容許基於 DDR3 之記憶體儲存庫技術。

MVC 106 包含以通信方式耦合至 PVCL 310 之一記憶體定序器 314。記憶體定序器 314 基於用於實施相關聯記憶體儲存庫 110 之技術執行一組記憶體技術相依作業。舉例而言，記憶體定序器 314 可執行與對應記憶體儲存庫 110 相關聯之命令解碼作業、記憶體位址多工作業、記憶體位址解多工作業、記憶體再新作業、記憶體儲存庫訓練作業及/或記憶體儲存庫預提取作業。在某些實施例中，記憶體定序器 314 可包括一 DRAM 定序器。在某些實施例中，記憶體再新作業可始發於一單獨再新控制器(圖中未繪示)中。

記憶體定序器314可經組態以使記憶體裝置100適應於一選定組態或技術之一記憶體儲存庫110。舉例而言，記憶體定序器314可經組態以與其他與記憶體裝置100相關聯之記憶體定序器同步運作。此一組態可用於回應於一單個快取線請求而將來自多個記憶體儲存庫之一寬資料字遞送至與主機處理器114相關聯之一快取線(圖中未繪示)。

MVC 106亦可包含一寫入緩衝器316。寫入緩衝器316可耦合至PVCL 310以緩衝自主機處理器114到達MVC 106之資料。MVC 106可進一步包含一讀取緩衝器317。讀取緩衝器317可耦合至PVCL 310以緩衝自對應記憶體儲存庫110到達MVC 106之資料。

MVC 106亦可包含一失序請求佇列318。失序請求佇列318建立對包含於記憶體儲存庫110中之複數個記憶體庫之讀取及/或寫入作業之一有序序列。該有序序列經挑選以避免對任一單個記憶體庫之連續作業以降低庫衝突且減少讀取至寫入周轉時間。

MVC 106亦可包含一記憶體映射邏輯(MML)組件324。MML 324管理若干個作業，例如使用TWI修復邏輯328之TWI修復作業或其他修復作業。在一項實例中，MML 324針對3D記憶體陣列200之多個部分追蹤多個錯誤資料。可使用MML 324來追蹤若干個不同部分。在一項實例中，針對每一晶粒204追蹤錯誤資料。其他實例包含針對每一晶粒塊205、每一陣列203等追蹤錯誤資料。

圖3繪示包含一記憶體映射315之一實施例。記憶體映射

315與MML 324互動、保持追蹤3D記憶體陣列200之各個記憶體部分且儲存一特定被追蹤部分所特有之特性(例如，錯誤資料)。實例包含針對個別晶粒204、儲存庫230、晶粒塊205或3D記憶體陣列200之若干個記憶體單元之其他分組追蹤一個或多個特性。雖然將錯誤資料論述為由記憶體裝置100追蹤並使用之一特性，但本發明並不如此限制。在若干項實施例中亦追蹤每一記憶體部分所特有之其他特性。其他特性可包含(但不限於)溫度、活動級、斷電狀態及再新速率。儲存於記憶體映射315中之各種特性資料可用於選定實施例中以個別管理3D資料陣列200之不同記憶體部分。

在一項實施例中，包含一活動追蹤器326以監視3D記憶體陣列200之多個記憶體部分之個別活動級。在一項實例中，使用來自活動追蹤器326之資料來改變3D記憶體陣列200之個別記憶體部分(例如，儲存庫、晶粒、晶粒塊等)之一個別電力狀態。藉由降低未被使用或未被高度利用之部分之一電力狀態，記憶體裝置100之一電力效率得以增加。

在圖3中所圖解說明之實例中，包含若干個活動追蹤器326，每一MVC 106一個。在此組態中，每一單獨活動追蹤器326用於追蹤一相關聯儲存庫230。在某些實例中，每一活動追蹤器326進一步用於追蹤每一相關聯儲存庫230之部分(例如，個別晶粒塊212等)。雖然圖1至圖3圖解說明具有複數個活動追蹤器326之一實施例，但其他實施例包含

不同數目個活動追蹤器，例如位於邏輯晶片202上之一單個活動追蹤器。在每一MVC 106中具有一個活動追蹤器326促進對儲存庫粒度級之容易監視及電力調整。

圖4A圖解說明使用一活動追蹤器(例如，追蹤器326)之作業之一實例性方法。在作業410中，使用一本端附接之邏輯控制器(例如，圖1至圖3中所示之MVC 106)將個別記憶體部分控制在一記憶體陣列堆疊內。如上文所論述，記憶體部分之實例包含儲存庫、晶粒、晶粒塊等。

作業420陳述監視若干個不同記憶體部分中之每一者之一活動級。在一項實例中，控制並監視一完整3D記憶體陣列200，雖然本發明並不如此限制。在其他實例中，僅監視並運作一3D記憶體陣列200之一部分以僅調整該所監視部分中之電力。

在作業430中，將該等部分中之一者或多者之一電力狀態改變為對應於每一部分之活動級。在一項實例中，追蹤一活動級達一時間長度，並將其與一臨限時間長度相比較。若超出該臨限值，則改變該部分之電力狀態。活動級之一項實例包含監視完全不活動。若一部分不活動達超出該臨限值之一時間長度，則改變該部分之電力狀態。使用一活動追蹤器326或邏輯晶片202內之其他本端邏輯來監視並管理電力位準允許記憶體裝置100獨立於處理器114提供電力效率。

使用所論述之組態使若干個電力狀態位準成為可能。最簡單的電力位準包含至一記憶體部分(例如，被完全接通

或完全關斷之一記憶體儲存庫230)之電力。在一項實施例中，亦包含若干個中間電力位準。在一項實施例中，使一部分(例如，一記憶體儲存庫230)通電，但不將任何再新信號發送至彼部分。在一項實施例中，一再新速率端視該記憶體部分之一活動級而增加或降低。在一項實施例中，基於該記憶體部分之一活動級使其他支援電路(例如，記憶體部分與處理器之間的資料鏈路)斷電或被供電。資料鏈路實施例包含圖1中所示且上文所論述之SCLI 112。除上文所列舉之個別組件實施例以外，亦可在選定實施例中使組件之組合被供電或斷電。

上文使用一本端附接之活動追蹤器326闡述對記憶體部分之活動監視及相關聯電力位準調整。在其他實施例中，不利用一本端活動追蹤器326，且根據一個或多個處理器114來控制電力位準調整。圖4B圖解說明一種方法，其中在作業440中，自一主機處理器(例如，處理器114)接收一封包命令以改變一記憶體陣列堆疊之一記憶體儲存庫(例如，儲存庫230)之一電力狀態。在作業450中，使用本端附接至該記憶體陣列堆疊之一邏輯控制器來實施該封包命令。

一本端附接之邏輯控制器之一項實施例包含MVC 106。在圖3中，舉例而言，可由發送至MVC 106之一封包命令來控制電力狀態選項之以上實施例中之任一者。一項具體實施例包含因改變一儲存庫230內之活動而在一封包命令接收至一MVC 106時改變儲存庫230之一再新速率。一封包命令

之另一實例包含使一選定MVC 106通電或斷電。一封包命令之另一實例包含使一選定SCLI通電或斷電。

選定系統實施例包含耦合至多個處理器(例如，一多核心處理器)之一記憶體裝置，例如裝置100。在一項實施例中，記憶體裝置100之一部分係與一對應處理器或處理器核心直接相關聯。在一項實例中，若使一處理器或處理器核心斷電，或將其設定為一降低之電力狀態，則亦使記憶體裝置100之對應部分斷電。舉例而言，當使一相關聯處理器或處理器核心斷電時，使一儲存庫230斷電。同樣地，當使一處理器或處理器核心供電至一較高位準時，亦使相關聯儲存庫或其他記憶體部分供電至一較高狀態。

在一項實例中，一活動追蹤器(例如，來自圖3之追蹤器326)監視一相關聯處理器或處理器核心，且位於邏輯晶粒202上之本端邏輯使該記憶體部分被供電或斷電。在另一實例中，當一封包命令改變處理器電力狀態時，自處理器或處理器核心發送該封包命令。接著，位於邏輯晶粒202上之本端邏輯相應地做出回應並改變該記憶體裝置之該部分之一電力狀態。

各種實施例之設備及系統可用於除一高密度、多鏈路、高輸送量半導體記憶體子系統以外之應用中。因此，本發明之各種實施例並不如此限制。對記憶體裝置100之圖解說明意欲提供對各種實施例之結構之一通常理解。該等圖解說明並非意欲用作對可使用本文中所闡述結構之設備及系統之所有元件及特徵之一完全說明。

如上文所論述，在本發明中闡述包含3D記憶體裝置及處理器之系統。此等系統之實例包含(但不限於)電視、蜂巢式電話、個人資料助理(PDA)、個人電腦(例如，膝上型電腦、桌上型電腦、手持電腦、平板電腦等)、工作站、無線電、視訊播放器、音訊播放器(例如，MP3(動畫專家群音訊層3)播放器)、車輛、醫療裝置(例如，心臟監視器、血壓監視器等)、視訊轉換器及其他裝置。

在圖5中包含一個人電腦之一高階實例以繪示本發明之一個可能較高階裝置應用。圖5係併入有根據本發明之一實施例之至少一個記憶體裝置506之一資訊處置系統500之一方塊圖。

在此實例中，資訊處置系統500包括一資料處理系統，該資料處理系統包含一系統匯流排502以耦合該系統之各種組件。系統匯流排502在資訊處置系統500之各種組件中間提供通信鏈路且可實施為一單個匯流排、實施為一匯流排組合或以任一其他適合方式實施。

晶片總成504耦合至系統匯流排502。晶片總成504可包含任一電路或多個電路之運作相容組合。在一項實施例中，晶片總成504包含可係任一類型之一處理器508或多個處理器。如本文中所使用，「處理器」意指任一類型之計算電路，例如(但不限於)一微處理器、一微控制器、一圖形處理器、一數位信號處理器(DSP)或任一其他類型之處理器或處理電路。如本文中所使用，「處理器」包含多個處理器或多個處理器核心。

在一項實施例中，一記憶體裝置506包含於晶片總成504中。一記憶體裝置(例如，一DRAM)係此一記憶體裝置506之一項實例。一DRAM裝置之一項實例包含具有如以上實施例中所闡述之一整合式邏輯晶片之一堆疊式記憶體晶片3D記憶體裝置。記憶體506亦可包含非揮發性記憶體(例如，快閃記憶體)。

資訊處置系統500亦可包含一外部記憶體511，該外部記憶體又可包含適於特定應用之一個或多個記憶體元件，例如，一個或多個硬碟機512及/或處置可抽換媒體513(例如，快閃記憶體驅動器、壓縮磁碟(CD)、數位視訊磁碟(DVD)及類似物)之一個或多個驅動器。

資訊處置系統500亦可包含一顯示器裝置509(例如，一監視器)、額外周邊組件510(例如，揚聲器等)及一鍵盤及/或控制器514，其可包含一滑鼠、軌跡球、遊戲控制器、語音辨識裝置或准許一系統使用者將資訊輸入至資訊處置系統500中及自資訊處置系統500接收資訊之任一其他裝置。

雖然闡述了本發明之若干項實施例，但以上列表並非意欲窮舉。雖然本文中已圖解說明及闡述了具體實施例，但熟習此項技術者將瞭解，經計算以達成相同目的之任何配置皆可替代所顯示之具體實施例。此申請案意欲涵蓋對本發明之任何修改或變型。應理解，以上說明意欲為說明性而非限制性。在審閱以上說明時，熟習此項技術者將明瞭以上實施例之組合及其他實施例。

【圖式簡單說明】

圖1繪示根據本發明之一實施例之一記憶體系統之一方塊圖；

圖2繪示根據本發明之一實施例之具有一邏輯晶粒之一堆疊式晶粒3D記憶體之一剖面概念視圖；

圖3繪示根據本發明之一實施例之一記憶體儲存庫控制器及相關聯模組之一方塊圖；

圖4A繪示根據本發明之一實施例之運作一記憶體裝置之一方法；

圖4B繪示根據本發明之一實施例之運作一記憶體裝置之另一方法；及

圖5繪示根據本發明之一實施例之一資訊處置系統之一方塊圖。

【主要元件符號說明】

100	記憶體裝置
102	記憶體儲存庫
104	記憶體儲存庫控制器(MVC)
106	MVC
110	堆疊式陣列記憶體「儲存庫」
112	可組態序列化通信鏈路介面(SCLI)
113	SCLI傳出群組
114	主機處理器
115	SCLI傳入群組
116	開關

117	記憶體組構控制暫存器
128	傳出差動對串列路徑(DPSP)
130	解串列化器
138	解多工器
200	堆疊式晶粒3D記憶體陣列
202	邏輯晶粒/邏輯晶片
203	記憶體陣列
204	堆疊式晶粒
205A	晶粒塊
205B	晶粒塊
205C	晶粒塊
208	堆疊式記憶體陣列晶粒塊組
212B	晶粒塊
212C	晶粒塊
212D	晶粒塊
224	傳導路徑
230	記憶體儲存庫
240	記憶體陣列
310	可程式化儲存庫控制邏輯(PVCL)組件
314	記憶體定序器
315	記憶體映射
316	寫入緩衝器
317	讀取緩衝器
318	佇列

324	記憶體映射邏輯(MML)組件
326	活動追蹤器
328	TWI修復邏輯
500	資訊處置系統
502	系統匯流排
504	晶片總成
506	記憶體裝置
508	處理器
509	顯示器裝置
510	額外周邊組件
511	外部記憶體
512	硬碟機
513	可抽換媒體
514	鍵盤/控制器

七、申請專利範圍：

1. 一種記憶體裝置，其包括：

一記憶體陣列堆疊；

一邏輯控制器，其位於與該記憶體陣列堆疊堆疊在一起之一晶粒上；

一活動追蹤器，其位於該邏輯控制器中以監視該記憶體陣列堆疊之複數個部分中之至少一者之不同活動級，其中該邏輯控制器經組態以將該至少一個部分之一電力狀態調整為對應於該至少一個部分之該活動級，且其中該等部分包含複數個垂直記憶體儲存庫；

複數個序列化通信鏈路介面，其將該複數個垂直記憶體儲存庫耦合至一主機處理器；及

一矩陣開關，其達成將該複數個序列化通信鏈路介面之每一者交叉連接至該垂直記憶體儲存庫之一選定者。

2. 如請求項1之記憶體裝置，其中該記憶體陣列堆疊係一記憶體晶粒堆疊之一部分。

3. 如請求項1之記憶體裝置，其中該邏輯控制器包括複數個儲存庫控制器，且每一儲存庫控制器包含一活動追蹤器。

4. 如請求項1之記憶體裝置，其中該邏輯控制器經組態以改變一個或多個序列化通信鏈路介面之一電力狀態。

5. 如請求項1之記憶體裝置，其中該邏輯控制器經組態以按複數個可能再新速率中之一者改變一電力狀態。

6. 一種記憶體裝置，其包括：

一記憶體晶粒堆疊；

一邏輯晶粒，其與該記憶體晶粒堆疊堆疊在一起；

一活動追蹤器，其位於該邏輯晶粒中以監視該記憶體晶粒堆疊之至少一個部分之活動級，其中該邏輯晶粒經組態以將該至少一個部分之一電力狀態調整為對應於該至少一個部分之該活動級，且其中該等部分包含複數個垂直記憶體儲存庫；

複數個串列化通信鏈路介面，其將該複數個垂直記憶體儲存庫耦合至一主機處理器；及

一矩陣開關，其達成將該複數個串列化通信鏈路介面之每一者交叉連接至該垂直記憶體儲存庫之一選定者。

7. 如請求項6之記憶體裝置，其中該垂直記憶體儲存庫之每一者係與位於該邏輯晶粒中之一各別儲存庫控制器相關聯，且每一儲存庫控制器包含一活動追蹤器。

8. 如請求項7之記憶體裝置，其中該邏輯晶粒經組態以改變一個別儲存庫控制器之一電力狀態。

9. 如請求項7之記憶體裝置，其中該邏輯晶粒經組態以改變耦合至該等儲存庫控制器之一個或多個串列化通信鏈路介面之一電力狀態。

10. 如請求項6之記憶體裝置，其中該邏輯晶粒經組態以按複數個可能再新速率中之一者改變一電力狀態。

11. 一種記憶體裝置，其包括：

一記憶體晶粒堆疊；

若干個始發裝置；

一邏輯晶粒，其與該記憶體晶粒堆疊堆疊在一起以介接在該記憶體晶粒堆疊與該若干個始發裝置之間，其中該邏輯晶粒經組態以將該記憶體晶粒堆疊之一部分之一電力狀態改變為對應於該若干個始發裝置中之一者之一電力狀態，且其中該記憶體晶粒堆疊包含若干個垂直記憶體儲存庫；

複數個序列化通信鏈路介面，其將該若干個垂直記憶體儲存庫耦合至一主機處理器；及

一矩陣開關，其達成將該複數個序列化通信鏈路介面之每一者交叉連接至該垂直記憶體儲存庫之一選定者。

12. 如請求項11之記憶體裝置，其中該若干個始發裝置包括若干個處理器。
13. 如請求項12之記憶體裝置，其中該若干個處理器包括一多核心處理裝置之若干個處理器核心。
14. 如請求項11之記憶體裝置，其中該邏輯晶粒經組態以改變該垂直記憶體儲存庫之一個或多者之一電力狀態。
15. 如請求項14之記憶體裝置，其中每一垂直記憶體儲存庫係與位於該邏輯晶粒中之一對應儲存庫控制器相關聯，且每一儲存庫控制器包含一活動追蹤器以監視一相關聯始發裝置之一電力狀態。
16. 如請求項14之記憶體裝置，其中該邏輯晶粒經組態以自該等始發裝置中之一者或多者接收一封包命令以改變該電力狀態。
17. 一種運作一記憶體裝置之方法，其包括：

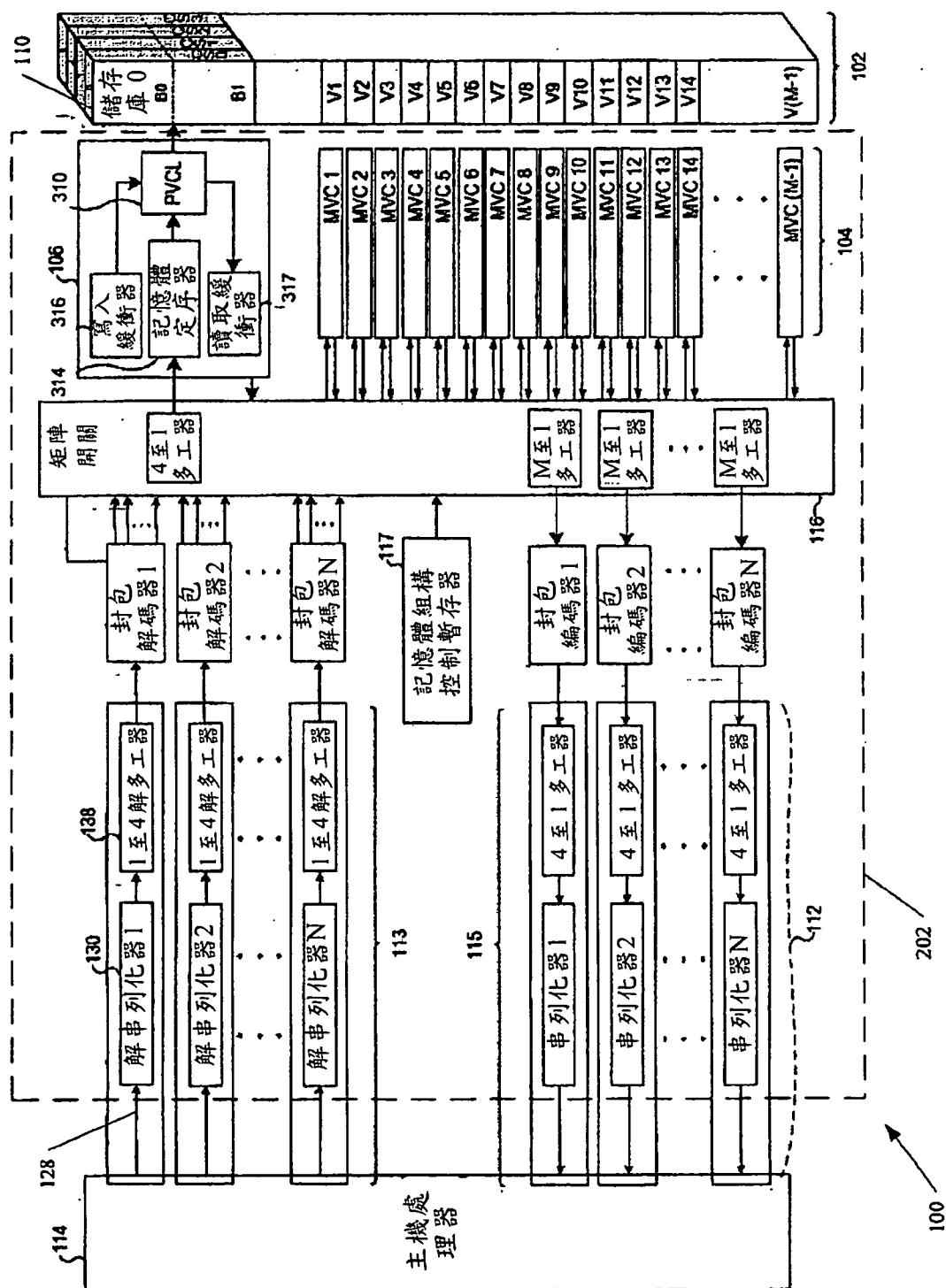
使用一本端附接之邏輯控制器個別控制一記憶體陣列堆疊之若干個不同記憶體部分，其中該等部分包含複數個垂直記憶體儲存庫，其中複數個序列化通信鏈路介面將該複數個垂直記憶體儲存庫耦合至一主機處理器，且其中一矩陣開關達成將該複數個序列化通信鏈路介面之每一者交叉連接至該垂直記憶體儲存庫之一選定者；

監視該若干個不同記憶體部分中之至少一者之一活動級；及

將一個或多個部分之一電力狀態調整為對應於該一個或多個部分之該活動級。

18. 如請求項17之方法，其進一步包含：比較該若干個不同記憶體部分中之該至少一者之該活動級與一臨限時間長度。
19. 如請求項17之方法，其中個別控制一記憶體陣列堆疊之若干個不同記憶體部分包含控制該複數個垂直記憶體儲存庫。
20. 如請求項17之方法，其中調整一個或多個部分之一電力狀態進一步包括：對應於一個或多個相關聯處理器核心之一電力狀態調整一個或多個部分之一電力狀態。

八、圖式：



1回

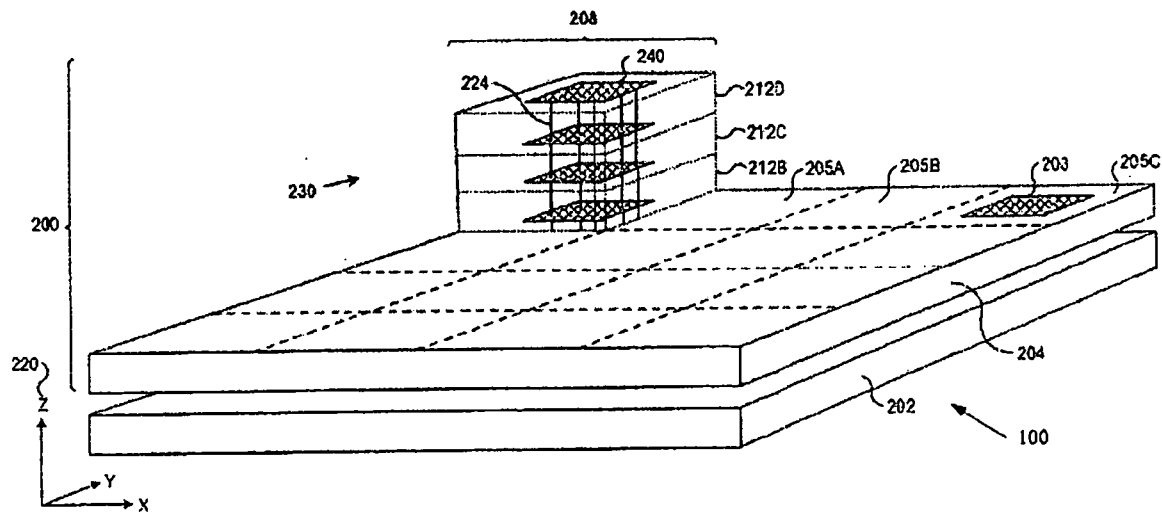


圖 2

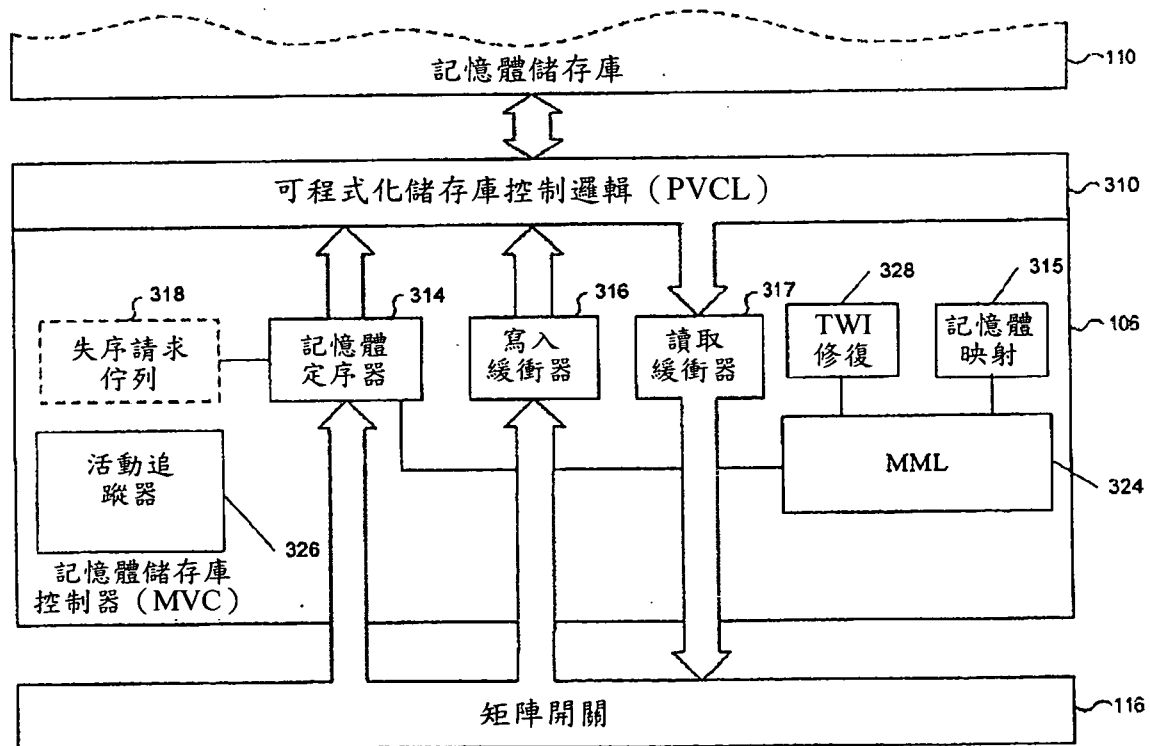


圖 3

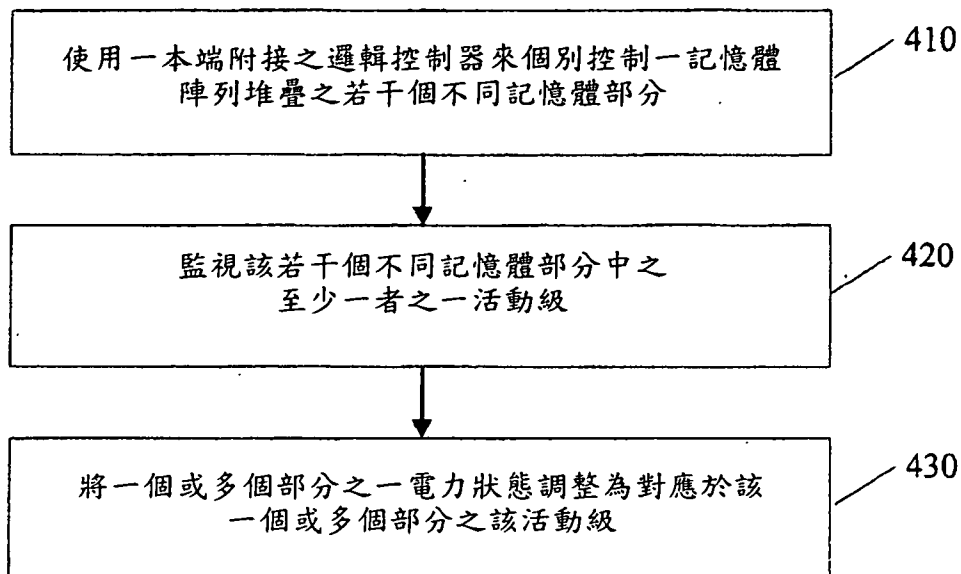


圖 4A

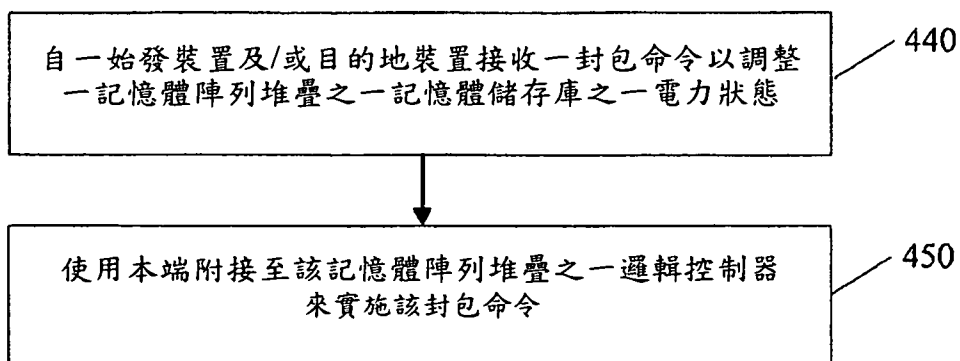


圖 4B

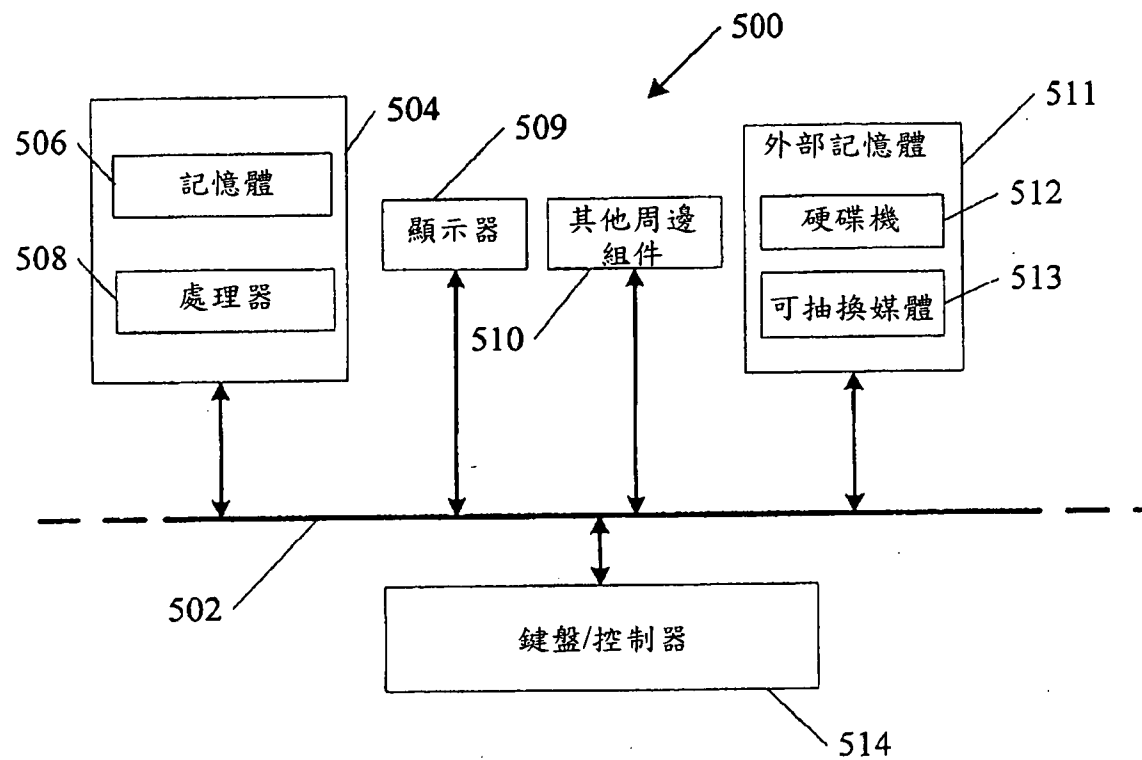


圖 5