

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-522776

(P2013-522776A)

(43) 公表日 平成25年6月13日(2013.6.13)

(51) Int.Cl.

G06F 12/16

(2006.01)

F 1

G06F 12/16

320H

テーマコード(参考)

5B018

審査請求 未請求 予備審査請求 未請求 (全 25 頁)

(21) 出願番号 特願2013-500173 (P2013-500173)
 (86) (22) 出願日 平成23年3月16日 (2011.3.16)
 (85) 翻訳文提出日 平成24年11月5日 (2012.11.5)
 (86) 国際出願番号 PCT/US2011/028637
 (87) 国際公開番号 WO2011/116071
 (87) 国際公開日 平成23年9月22日 (2011.9.22)
 (31) 優先権主張番号 12/726,200
 (32) 優先日 平成22年3月17日 (2010.3.17)
 (33) 優先権主張国 米国(US)

(71) 出願人 512241911
 サンディスク エンタープライズ アイピ
 エルエルシー
 SANDISK ENTERPRISE
 IP LLC
 アメリカ合衆国、カリフォルニア 950
 35, ミルピタス、マッカーシー ブール
 バード 601, サンディスク コーポレ
 ション内
 c/o SanDisk Corpora
 tion, 601 McCarthy B
 lvd. Milpitas, Calif
 ornia 95035, United
 States of America

最終頁に続く

(54) 【発明の名称】マルチレベルセルのセルフRAIDフラッシュデータ保護

(57) 【要約】

マルチレベルセルフラッシュメモリデバイスにおけるページベースの格納データの2次元セルフRAID保護方法。

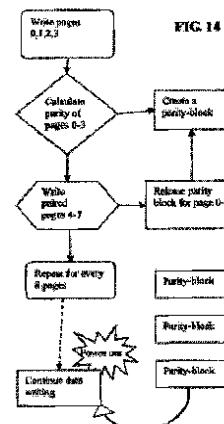
保護方式は、各データページに渡って一つのパリティセクタを予約すること、列パリティのような一つのパリティページを予約すること、パリティグループを形成するための特定のページ数を選択すること、パリティグループに属するページに格納されたデータに対するグループパリティ値を前記パリティページに書き込むことを含む。

パリティセクタは、第1の次元のRAID技術の適用を表わす。

グループパリティは、第2の次元のRAID技術の適用を表わす。

データ保護は、破壊されたデータセクタを2次元のRAIDデータによって回復することができるので達成される。

【選択図】図14



【特許請求の範囲】**【請求項 1】**

複数のページを有するブロックを含むように論理的に構成されたマルチレベルセルフラッシュメモリの管理方法であって、各ページが複数のセクタを含み、

- (a) 各ページにパリティセクタを選択し、
 - (b) 前記ブロックに属するページを1またはそれ以上のグループに割り当て、各グループにパリティページを選び、
 - (c) 各ページに対して、前記ページのセクタに格納されたデータに対するセクタパリティ値を算出し、前記セクタパリティ値を前記ページのパリティセクタに格納し、
 - (d) 前記グループの前記ページに格納されたデータのグループパリティ値を算出し、前記パリティページに前記グループパリティ値を格納する、
- ステップを有することを特徴とする管理方法。

【請求項 2】

さらに、

- (e) 各グループに対して、ステップ(c)および(d)を繰り返すことを特徴とする請求項1に記載のフラッシュメモリの管理方法。

【請求項 3】

前記各ページのセクタにそれぞれセクタ番号が割り当てられており、さらに、

- (f) 列パリティページを選択し、前記ブロックに属する前記ページの前記セクタ番号を有する全てのセクタに対する列パリティを前記各セクタ番号に対して算出することを特徴とする請求項2に記載のフラッシュメモリの管理方法。

【請求項 4】

各マルチレベルセルは、前記ブロックの少なくとも2つのページによって共有されることを特徴とする請求項1に記載のフラッシュメモリの管理方法。

【請求項 5】

各グループは8ページからなることを特徴とする請求項1に記載のフラッシュメモリの管理方法。

【請求項 6】

各マルチレベルセルを共有する前記ページは、異なるグループに割り当てられることを特徴とする請求項4に記載のフラッシュメモリの管理方法。

【請求項 7】

前記グループはそれぞれグループ番号を割り当てられており、ページを共有するマルチレベルセルは、連続するグループ番号を割り当てられることを特徴とする請求項6に記載のフラッシュメモリの管理方法。

【請求項 8】

1またはそれ以上の前記グループは、前記ブロックの残余の前記グループのそれぞれに割り当てるよう、半分の数のページに割り当てられることを特徴とする請求項7に記載のフラッシュメモリの管理方法。

【請求項 9】

それぞれ複数のページを有する1またはそれ以上のブロックにおいて論理的に構成されたマルチレベルセルフラッシュメモリの管理方法であって、それぞれのページが複数のセクタを含み、

- (a) 前記ブロックからパリティブロックを選び、
- (b) 各ページにパリティセクタを選択し、
- (c) 前記ブロックに属するページを複数のグループに割り当て、
- (d) 各ページに対して、各ページのセクタに格納されたデータに対するセクタパリティ値を算出し、前記パリティセクタ内に前記セクタパリティ値を格納し、
- (e) グループに属する全てのページへのデータ書き込みに先だって、前記グループに属するページのサブセットに対するサブセットグループパリティを算出し、
- (f) 前記パリティブロック内に前記サブセットグループパリティを格納する、

10

20

30

40

50

ステップを有することを特徴とする管理方法。

【請求項 10】

さらに、

(h) ステップ(d)からステップ(f)を繰り返す、ことを特徴とする請求項9に記載のフラッシュメモリの管理方法。

【請求項 11】

前記各ページのセクタのそれぞれにセクタ番号が割り当てられており、さらに、

(f) 列パリティページを選択し、前記ブロックに属する前記ページの前記セクタ番号を有する全てのセクタに対する列パリティを前記各セクタ番号に対して算出することを特徴とする請求項9に記載のフラッシュメモリの管理方法。

10

【請求項 12】

各グループは8ページからなることを特徴とする請求項9に記載のフラッシュメモリの管理方法。

【請求項 13】

各マルチレベルセルは、同一グループの2ページによって共有されていることを特徴とする請求項9に記載のフラッシュメモリの管理方法。

【請求項 14】

前記パリティブロックは、前記フラッシュメモリの外側に存在することを特徴とする請求項9に記載のフラッシュメモリの管理方法。

【請求項 15】

前記パリティブロックは、不揮発性メモリの外側に存在することを特徴とする請求項9に記載のフラッシュメモリの管理方法。

20

【請求項 16】

前記パリティブロックに書き込まれたグループの前記サブセットグループパリティは、前記グループのページにデータが完全に書き込まれた後で消去されることを特徴とする請求項9に記載のフラッシュメモリの管理方法。

【請求項 17】

前記パリティブロックに書き込まれたグループの前記サブセットグループパリティは、前記グループのページにデータが完全に書き込まれた後でセーブされることを特徴とする請求項9に記載のフラッシュメモリの管理方法。

30

【請求項 18】

前記サブセットグループパリティは、前記グループの半分のページのデータから算出されることを特徴とする請求項9に記載のフラッシュメモリの管理方法。

【請求項 19】

請求項1に記載の方法によって動作可能なフラッシュメモリデータ記憶システム。

【請求項 20】

請求項9に記載の方法によって動作可能なフラッシュメモリデータ記憶システム。

【請求項 21】

それぞれ複数のページを有するブロックにおいて論理的に構成されたマルチレベルセルフラッシュメモリの管理方法であって、それぞれのページが0から連続的に番号付けされた複数のセクタを含み、

40

(a) 予め決定された速度でページ上にデータを書き込みおよび消去し、

(b) ブロックの各ページに対する誤り率を検出し、前記誤り率に基づいて高い誤りページのグループを識別し、そして

(c) 前記予め決定された速度よりも遅い速度で前記識別した高い誤りページのデータの書き込みおよび消去を行なう、

ことを特徴とする管理方法。

【請求項 22】

検出回路を含むマルチレベルセルフラッシュメモリの管理方法であって、

(a) 第1の検出電圧を用いて、マルチレベルセルの電荷レベルを検出し、それぞれ

50

の前記マルチレベルセルのそれぞれの電荷レベルと前記第1の検出電圧との間の第1の相関表を編集し、

(b) 前記第1の検出電圧よりも低い第2の検出電圧を選択し、前記第2の検出電圧を用いて前記マルチレベルセルの電荷レベルを検出し、それぞれの前記マルチレベルセルのそれぞれの電荷レベルと前記第2の検出電圧との間の第2の相関表を編集し、

(c) 前記第1の相間表を前記第2の相間表に置き換える、

ことを特徴とする管理方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

(関連出願の相互参照)

本出願は、2010年3月17日に出願された米国特許出願番号12/726,200に関連しており、その優先権を主張している。

【0002】

本明細書に記載の発明は、半導体フラッシュメモリにおけるデータ記憶管理に関し、特に、万一の電源遮断時にマルチレベルセル(MLC)メモリデバイスにおけるデータの破損を防止するためのデータ記憶保護方法に関する。

【背景技術】

【0003】

20

現在の業務レベルにおける大容量記憶装置は、典型的には3.5インチ方式で15,000回転/分のスピンドルモータを有し、記憶容量が73ギガバイト(GB)および450ギガバイトの間で特徴づけられるハードディスクドライブ(hard drives)に依存している。機械設計は、単一のアクチュエータおよび8つの表面を横切って移動する8つの読み取り/書き込みヘッドを有する伝統的なハードディスクドライブに従っている。ヘッド/メディア技術の制約は、一度に一つの作動中のヘッドの使用しかできないという読み取り/書き込み能力で制限されることである。駆動部(drive)に送信される全てのデータ要求が、作動の間に長い遅延を伴うシリアルの方法で処理されるからである。つまり、アクチュエータが要求された位置に読み取り/書き込みヘッドを動かすため、および、メディアが読み取り/書き込みヘッドの下にデータを位置させるために回転するための長い遅延が伴う。

30

【0004】

固体メモリデバイスは、業務用における大容量記憶環境で魅力的である。この環境においてフラッシュメモリは、ハードディスクドライブに関連する機械的な遅延がないので、より高い性能の割により低いコスト、および消費電力とスペースのより良い利用を許容しており、種々の固体メモリデバイスの中で良い候補である。

【0005】

40

フラッシュメモリは、例えばEEPROM(電気的消去可能プログラマブル読み出し専用メモリ)のように、不揮発性メモリの形態である。フラッシュメモリアレイのメモリセルは、一般的に、基板内に形成された制御ゲート、ドレイン、およびソース拡散領域を有するトランジスタを含む。トランジスタは、このように電子記憶デバイスを形成しており、制御ゲートの下にフローティングゲートを有する。チャネル領域はフローティングゲートの下に位置しており、絶縁層(例えば、トンネル酸化膜)によってチャネルとフローティングゲートとの間が絶縁されている。フローティングゲートの内外への電荷担体の動きに逆らって絶縁層にかかるエネルギー障壁は、絶縁層を横切る充分に高い電界の印加によって乗り越えることができる。フローティングゲートに蓄積された電荷は、セルに格納されたデータを表わすセルのしきい値電圧(V_t)を決定する。フローティングゲートに蓄積された電荷は、セルにより高いしきい値電圧をもたらす。セルのしきい値電圧をより高い値か低い値かに変化させるために、フローティングゲートに蓄積された電荷は、適切な電圧を制御ゲート、ドレイン、ソース拡散領域およびチャネル領域に印加することにより、増加または減少される。適切な電圧は、これらの領域の一つまたはそれ以上と、絶縁層

50

を介したフローティングゲートとの間の電荷の移動を生じさせる。

【0006】

シングルレベルセル (SLC) フラッシュメモリデバイスは、単一のしきい値電圧 V_t を有しており、セル当たり 1 ビットのデータを格納することができる。マルチレベルセル (MLC) フラッシュメモリデバイスは、複数のしきい値電圧を有しており、フローティングゲートに蓄積された電荷量に応じて 1 ビットより多くのデータを表わすことができる。マルチレベルセルフラッシュメモリデバイスは、セルごとに複数データビットの格納ができるため、高密度大容量記憶装置用途 (512 メガビット (Mb) およびそれ以上) が容易に達成可能である。典型的な 4 レベルの 2 ビットマルチレベルセルフラッシュメモリデバイスは、セルのしきい値電圧 V_t をデータ「00」、「01」、「10」、「11」の 4 つのいずれかを表わすために設定することができる。メモリセルを所定のレベルに書き込むことにより (to program)、セルには複数回の書き込みがされることがある。各書き込みの前に、フラッシュメモリアレイは、アレイ中の全てのセルをデフォルト状態にリセットするために消去される。結果として、同じセルおよびそれらの電子状態 (従って、それらのしきい値電圧 V_t の状態) を共有する複数のデータビットは、予期しない電源遮断が予測できない結果を引き起こしうるという点で相互依存している。メモリセルの電子状態の変動は、また、実システムにおけるしきい値電圧の範囲内における変動を引き起こす。次の表 1 に 2 ビットマルチレベルセルのしきい値電圧範囲および電子状態を示す。

10

【0007】

【表 1】

20

2ビットマルチレベルセルメモリセルのしきい値電圧とビット値

しきい値電圧(V_t)	ビット 1	ビット 2
-4.25V ~ -1.75V	1	1
-1.75V ~ 0.75V	1	0
0.75V ~ 3.25V	0	1
3.25V ~ 5.75V	0	0

30

【0008】

シングルレベルセルを超えるマルチレベルセルの長所にも関わらず、マルチレベルセルフラッシュメモリデバイスはデータの破損を最も深刻な課題の一つとする、いくつかの技術的な制約のため、従来から使用されていない。

【0009】

全てのフラッシュメモリは、有限数の消去 - 書き込みサイクルを有する。マルチレベルセルフラッシュメモリデバイスは、シングルレベルセルフラッシュメモリデバイスに比べて、データの破損においてより脆弱である。それぞれのフラッシュメモリのページに対する典型的な消去サイクル限界は、シングルレベルセルフラッシュメモリデバイスでは典型的に約 10 万サイクルであり、マルチレベルセルフラッシュメモリデバイスでは、約 1 万サイクルである。マルチレベルセルフラッシュメモリデバイスのより低いサイクル限界は、予測できないデータストリーム (data streams) を伴って稼働するデータセンタにとって特有の問題をもたらす。予測できないデータストリームは、消去サイクルを多数受けているメモリの高頻度使用領域に結果として「ホットスポット」を引き起こす。

40

【0010】

加えて、通常の正規の種々の動作においても、読み取り妨害または書き込み妨害を含めたフラッシュメモリの整合性に影響を与える。これらの妨害は、結果として、妨害された

50

セルの近傍の読み取りまたは書き込みメモリセルのメモリセル内のデータビットの予測不可能な損失につながる。予期しない電源遮断によるマルチレベルセルフラッシュメモリデバイス内の突然のデータ損失は、頻繁にデータの回復を必要とする。いくつかのデータレベルを達成するために一つ以上の書き込み動作を必要とし、および、データの1ビット以上を同じメモリセルで共有しているため、書き込み動作中における電源変動や書き込みエラー (program error) は、誤った状態でデータを残す。電源が回復したときに、メモリセルは、不安定な状態になりうる。従って、電源遮断は、マルチレベルセルフラッシュメモリデバイスに格納されたデータの整合性に対する主要なリスクである。

【0011】

フラッシュメディアは、典型的に「ページ」と呼ばれる単位で書き込みされる。各ページは、典型的に2000バイトから8000バイトの間のデータサイズを含む。フラッシュメディアは、典型的に「ブロック」と呼ばれる単位で消去される。各ブロックは、典型的に16～64ページを含む。マルチレベルセルフラッシュメモリデバイスのページは、対になったページに組み合わされている。対になったページの数は、2ビットマルチレベルセルに対しては2つであり、より高いビットを有するマルチレベルセルに対しては、3から4、またはそれ以上であろう。対になったページは、共有されたマルチレベルセルフラッシュメモリセルに存在することができる。仮に、電源障害が、マルチレベルセルのフラッシュメディアの内容を変更する動作中に生じた場合（例えば、データのページを書き込みしている途中、または、データのブロックを消去している途中）、中断されたページまたはブロックの電気的状態は、デバイスの電源再投入後においては予測できない。電気的状態はでたらめにさえなり得る。なぜならば、影響を受けたビットのいくつかは、動作によってそれらに割り当てられた状態にすでになっているからである。しかしながら、他のビットは遅れており、未だそれらの目標値に到達していない。その上、いくつかのビットは中間状態に捉えられているかもしれない、これは信頼できないモードであり、それらのビットを読み取ると異なる読み取りに対して異なる結果が返ってくることになる。従って、あるページの書き込み中の電源喪失は、対になったページを破損することがある。

10

20

30

40

【0012】

先行技術において、誤り訂正符号 (ECC) および安価なディスクの冗長アレイ (RAID) 技術は、データの破損を軽減するために用いられている。一例では、データの破損は、異なる別のページアドレスにパリティページを書き込むことによって防止される。これらの技術は、追加のメモリ、または電源が回復した後の複雑な誤り探索および再構築手順、のいずれかを必要とする。このような要求または解決策は、実装するための工程および場所を高価にし、および、通常、単一のプロセッサだけを含む従来のフラッシュメモリコントローラの処理能力を大きく制約する。その上、仮にページの書き込み中に電源障害が発生したら、対になったページのデータは、マルチレベルセルフラッシュメモリデバイス内で破損しうる。従って、従来の対になったページ技術でさえも、突然の電源遮断には影響されやすい。事実、破損可能性の深刻さは高い。いくつかの事例では、10回ごとにデータビットが失われる可能性がある。信頼性のあるマルチレベルセルフラッシュメモリシステムを作成するために従来のECC技術に頼ることは、実装上、実用的ではない。

【0013】

NAND (NAND) フラッシュメモリのデータ破損は、また、書き込み消去サイクルの摩耗に起因する。電子は、薄い酸化絶縁膜を通ってトンネリングにより注入され除去される。繰り返される書き込み/消去サイクルは、酸化物を損傷し、その有効性を減らす。デバイス寸法（例えば、酸化膜の厚さ）の縮小につれて、デバイスの摩耗によるデータの整合性問題はより深刻になりうる。この摩耗過程に影響を与える一つの要素は、書き込みおよび消去サイクルが行われる際のスピードである。しかしながら、仮に、摩耗を避けるために書き込みおよび消去サイクルのスピードを遅くすると、総合的な性能に重大な影響を及ぼす。

【0014】

現在、メモリデバイスの寿命を延ばす目的でフラッシュメモリの電荷状態を測定するた

50

めに、より低い検出電圧 (sense voltage) を印加する技術がある。フラッシュメモリデバイスは、セルが指定された電荷 (charge) レベルを含んでいるかどうかを検出する検出回路 (sense circuits) を使用する電荷トラップデバイスである。しかしながら、デバイスが摩耗するにつれて、その電荷を蓄積する能力が弱体化してくる。摩耗したメモリデバイスは、フローティングゲート上に蓄積された電荷をリークさせる。その結果、検出回路は、デバイスから減少された電圧を検出する。現在の一復旧メカニズムは、セルが含んでいる論理値を決定するために用いられている検出電圧を減少する。しかしながら、より低い検出電圧は、また、より低い感知電圧となり、その結果、誤った電荷探知 (tracking) になる。

【発明の概要】

10

【0015】

(発明の要約)

本発明は、マルチレベルセルフラッシュメモリデバイスにおいて、電源喪失に対して、ページに基づいた格納データを保護するための2次元のセルフ-R A I D法を提供する。この方法はR A I D（「第1の次元のR A I D」）技術の適用下における各データページ内のパリティセクタ (parity sector) を予約しておくことを含み、これにより、予め決定されたページの数を含むパリティグループを形成する。および、前記方法は、R A I Dの第2の適用下（第2の次元のR A I D）における全てのそれ以降のデータページに対するパリティグループ分けを繰り返すことを含む。従って、もし、それ以降の書き込みが対になったページで破損した場合には、喪失したデータは、2次元のR A I Dデータを用いて回復することができる。

20

【0016】

本発明における第1の次元のパリティは、データページに関連付けられている。このページ内の一つのセクタは、第1の次元のR A I Dデータのために予約されている。このパリティセクタは、セクタのE C C能力の範囲において任意の一つのセクタの回復を許容する。R A I Dデータのこのレベルは、コントローラがチップバッファにデータを転送するときにおける使用可能なデータから算出することができる。

30

【0017】

本発明における第2の次元のパリティは、予め決定された数のページにおけるセクタの列に渡って算出される。特定のページ数が注意深く選択されたとき、対になったページの欠陥を回復できる。

【0018】

電源遮断に対する完全なデータ保護が達成される。なぜならば、任意の破損したデータセクタは、ページセクタパリティの範囲内から、または横断セクタページパリティからのR A I Dデータによって回復することができるからである。

【0019】

本発明は、万一電源喪失が発生した場合における、書き込み中のページに基づいた (page-based) フラッシュメモリの整合性を維持する方法を提供する。本発明は、マルチレベルセル (M L C) を有するフラッシュメモリを管理するために用いることができる。

40

【0020】

本発明の1実施態様によれば、多数のメモリページを含むマルチレベルセルフラッシュメモリのデータを保護するための方法が提供される。マルチレベルセルフラッシュメモリの管理方法は、複数のページを含み、各ページは複数の連続番号を有するセクタを含み、この方法は、以下を有する。

(a) 各ページにパリティセクタとしてのセクタを選択；

(b) 各ページにデータを書き込み、各ページにおける前記パリティセクタのパリティ値を算出し、前記パリティ値を予約したパリティセクタに格納し；

(c) データページを複数のグループに分割し、但し、各グループは、最初のグループと最後のグループを除いて、第1の予め決定されたページ数で構成され；

(d) 各グループにグループパリティページとしてのページを予約するとともに前記

50

グループの各ページにデータを書き込み、前記グループのパリティ値を算出するとともに前記パリティ値を予約したグループパリティページに格納し；

(e) 各グループに対して(a)から(d)までを繰り返し；

(f) 同一のセクタ番号を共有する全てのセクタの列パリティを格納するための新しいページを予約する。

【0021】

本発明の別の実施態様によれば、多数のメモリページを含むマルチレベルセルフラッシュメモリのデータを保護するための方法が提供される。マルチレベルセルフラッシュメモリの管理方法は、複数のページを含み、各ページは複数の連続番号を有するセクタを含み、前記方法は、以下を含む。

10

(a) パリティブロックを予約し；

(b) 各ページにパリティセクタとしてのセクタを選択し；

(c) 各ページにデータを書き込み、各ページにおける前記セクタのパリティ値を算出し、前記パリティ値を選択したパリティセクタに格納し；

(d) データページを複数のグループに分割し、但し、各グループは、最初のグループと最後のグループを除いて、第2の予め決定された数のページで構成され；

(e) グループのサブセットのページにデータを書き込み、前記サブセットのグループパリティを算出し；

(f) 前記サブセットのグループパリティ値を前記予約したパリティブロックに格納し；

20

(g) 前記グループの残っているページにデータを書き込み；

(h) (b)から(g)までを繰り返し；

(i) 異なるページに存在するものを除いて同一のセクタ番号を共有する全てのセクタの列パリティを格納するための新しいページを予約する。

30

【0022】

本発明によれば、上記方法が実施できるデータ記憶システムが提供される。

【0023】

本発明によれば、選択された弱いセル上の書き込みおよび消去時間を延長することによって、デバイスの摩耗に起因するデータ破損を減少するための方法が提供される。弱いセルは、それらが発生する誤りの割合によって識別される。そして、前記弱いセルに関連付けられたブロックおよびページは、他のセルよりも遅い速度で書き込まれ、消去ができる。他のより堅固なブロックと異なるように、より弱いブロックを追跡し、それらを扱うことにより、耐久性を高めることができる。なぜならば、より遅い書き込みおよび消去工程は、少ししかない弱いブロックで行なわれる所以、総合的な性能は著しく弱体化することはない。

30

多数のメモリページを有するマルチレベルセルフラッシュメモリを管理するための方法であって、前記方法は、以下を含む。

(a) 予め決定された速度でページ上にデータを書き込みおよび消去し；

(b) 各ページに対する誤り率を検出し、予め決定された値を超える誤り率に関連するページを識別し；

40

(c) 前記検出した高い誤りページの書き込みおよび消去を前記予め決定された速度よりも遅い速度に設定する。

【0024】

本発明の別の実施態様によれば、電荷レベルのシフトにより引き起こされるリークを克服するための方法が提供される。検出回路を含むマルチレベルセルフラッシュメモリを管理するための方法であって、前記方法は、以下を含む。

(a) 検出電圧を選択し；

(b) マルチレベルセルフラッシュメモリのメモリセルの電荷レベルを前記選択された検出電圧で検出し、予め決定された検出電圧と前記検出された電荷レベルとを相互に関係づける第1の表を作成し；

50

(c) 前記検出電圧を下げ、マルチレベルセルフラッシュメモリのメモリセルの電荷レベルを前記下げた検出電圧を用いて検出し、前記下げた検出電圧と前記検出された電荷レベルとを相互に関係づける第2の表を作成し；

(d) 前記第1の表を前記第2の表に置き換える。

【0025】

本発明は、以下の詳細な説明を添付図面と共に考慮することにより良く理解される。

【図面の簡単な説明】

【0026】

図面の説明。

【0027】

【図1】不揮発性データ記憶装置のためのフラッシュメディアを使用するデバイスコントローラの概略ブロック図を示す。

10

【0028】

【図2】フラッシュメモリデバイスの断面図である。

【0029】

【図3】マルチレベルセルフラッシュメモリセルの断面図およびその等価回路図を示す。

【0030】

【図4】マルチレベルセルフラッシュメモリデバイスの2ビットマルチレベルセルのしきい値範囲を示す説明図である。

20

【0031】

【図5】フラッシュメモリの対になったページを示す説明図である。

【0032】

【図6】グループパリティを除く列パリティの概念を示す表図である。

【0033】

【図7】セクタパリティまたは行パリティの概念を示す説明図である。

【0034】

【図8】各パリティセクタグループに8ページを有しているグループパリティを示す表図である。

30

【0035】

【図9】63ページ(行)および31セクタ(列)のフラッシュメモリのデータセットに示される2次元RAIDグループパリティ方式を要約する表図である。

【0036】

【図10】本発明の実施態様に従った8ページグループパリティ構成を示す説明図である。

40

【0037】

【図11】本発明の別の実施態様に従った別設定パリティロックを用いる8ページグループパリティ構成を示す説明図である。

【0038】

【図12】2次元RAID技術(例1)を用いる保護方式を示す表図である。

40

【0039】

【図13】2次元RAID技術(例2)を用いる保護方式を示す表図である。

【0040】

【図14】書き込み中の電源遮断に起因する破損に対してマルチレベルセルフラッシュメモリデバイスを保護するアルゴリズムのフローチャートである。

【発明を実施するための形態】

【0041】

図1は、不揮発性データ記憶装置における従来のNANDフラッシュメディアデバイスの高レベルの概略ブロック図である。

【0042】

図2は、従来のフラッシュメモリデバイスの断面図を示す。

50

【0043】

図3に従来のマルチレベル(MLC)フラッシュメモリセルの例が図示されている。ここで、分割チャネルデバイス(split channel device)は、2つの異なるしきい値電圧、 V_{t1} および V_{t2} を有している。参照した断面図および等価回路は、米国特許第5,045,940号明細書(Harari)から入手している。

【0044】

電子状態の変動は、現実のマルチレベルセルシステムにおけるしきい値電圧の範囲を生成する。図4に従来の2ビットマルチレベルセルデバイスのしきい値範囲が描かれている。

【0045】

同一のマルチレベルセルを共有するデータのページは、「共有ページ」(shared pages)と呼ばれている。各製造業者は、この共有ページの間で異なる距離を用いることができる。多くのメモリ販売業者はその距離を4に固定することを好む。例えば、4のペア距離(pair distance)で、ページ0はページ4と対をなし、ページ1はページ5と対をなし、ページ2はページ6と対をなし、および、ページ3はページ7と対をなす。図5は、4のペア距離という概念による対になったページ(paired pages)を示す。

10

【0046】

対になったページは、マルチレベルセルフラッシュメモリシステムにおける同一メモリセルを共有することができる。(例えば、2ビットマルチレベルセルフラッシュメモリにおいては、メモリセルのビット0およびビット1は、それぞれ対になったページの第1および第2のページからのビットである。)電源切断またはリセットの間などのように書き込み動作が異常に中止されたときには、書き込まれ損傷を受けているページデータだけでなく、対になったページのデータも、それが過去のある時点で正しく書き込まれていたにしても、また損傷を受けているかもしれない。

20

【0047】

本発明の1実施態様によれば、RAID技術は、2つの次元に沿った方法で適用される。第1の次元、つまり「第1の次元のRAID」では、この方法は同一ページ上のパリティ情報を保存する。第1の次元のRAIDは、同一ページ内の最初のセクタから最後のセクタまでを用いて算出される、行パリティまたはセクタパリティを使用する。図7に示すように、各ページ内にデータの31セクタがあり、それぞれ、セクタ00からセクタ30までラベル付けされている。各ページ内の一つのセクタは、第1の次元のRAIDデータ(例えば、行またはセクタのパリティ)を格納するために予約されている。図7において、 p_0 セクタはページ0のパリティセクタであり、 p_X はページXのパリティセクタである。1つの共通誤り訂正符号(ECC)は1ビットの誤り訂正を許容する。余分なパリティビットを用いてダブルビットの誤りが検出できる。従って、パリティセクタのパリティデータは、万一の電源遮断時にそのセクタのECCの能力内でページのいかなるセクタの回復をも許容する。セクタパリティは、データがコントローラからチップのバッファに移動するときにページ内のすべてのデータから算出することができる。

30

【0048】

第2の次元、つまり「第2の次元のRAID」では、この方法はパリティグループ内の多数のページに渡って算出されたパリティデータを保存する。このようなパリティデータは、グループパリティと呼ばれる。各パリティグループのページ数は可変である。一つの実施例では、例えば、パリティグループ内のページ数は8ページである。

40

【0049】

ロック内のすべてのページに渡って対応するセクタのために算出されるグループパリティは、列パリティと呼ばれる。図6は、64ページデータセット内の列パリティを図示する。図6において、それぞれの列パリティ値は、同一のセクタに渡って算出される。例えば、セクタXは全てのページから算出される。そのパリティ値は算出されて、つまり、ロックの全ページ内の同一セクタに対して算出された列パリティを有して、ロックに対して指定されたパリティページに書き込まれる。

50

【0050】

第2の次元のRAIDにおけるグループパリティは、フラッシュメモリデバイスに追加のパリティ保護を提供する。ブロックの全ページよりも少ないページを含むパリティグループのためのグループパリティは、図6に図示されている列パリティよりも高いレベルの保護を定める。第1ステップによれば、パリティグループ内のページの数がグループサイズとして選択される。この数は、対になったページの欠陥から十分な保護を提供するため注意深く選ばれ、しばしば、マルチレベルセルフラッシュメモリ製造業者によって選択される。ペアリング選定のために典型的なグループサイズは8である。図8は、各パリティセクタグループ内に8ページを有するグループパリティを示す。図8において、ページ3、11、58はパリティページである。

10

【0051】

図10は、本発明の1実施態様による図8に示す構成に適用できるパリティグループ分けの構成を図示する。図10に図示するように、第1のグループ(例えば、グループ1)は、半分のグループである。8ページからなるその次の各グループにおいて、最初の4ページは、前のグループ内の4ページと対をなしている。例えば、仮に、マルチレベルセルにおけるページ対化の手順(page pairing sequence)が0-4、1-5、2-6、および3-7であれば、(例えば、ページ0はページ4と対になり、ページ1はページ5と対になり、ページ2は、ページ6と対になり、およびページ3はページ7と対になる)、それは0、1、2ページの各書き込みに対して、対応する2次元のRAIDグループパリティ書き込みがグループパリティページ3上に実行できる。万一、4-6のいずれかのページにおける引き続く書き込みにおいて対応する対になったページ0、1、または2が破損したときには、このデータ損失は前に書き込まれたグループパリティページ3からのRAIDデータを用いて回復できる。このように、グループパリティページは4ページのパリティグループ1内のページ0-2を保護する。グループ2のパリティページはページ11であり、ページ8、9、10をページ12-14の書き込み中の電源遮断により生じる損傷から保護している。図9は、63ページ(行)および31セクタ(列)のフラッシュメモリデータセットを示す2次元RAIDグループパリティを要約する表である。図9に示すように、ページ3、ページ11、...およびページ59は、8ページグループに対するグループパリティページとして選択されている。各グループの最初の半分は、同一のマルチレベルセルフラッシュメモリデバイス上に対になっている、または、前のグループの2番目の半分とともに存在している。

20

30

30

【0052】

図11は、本発明の別の実施態様におけるパリティグループ分けの構成を図示する。図11では、全てのグループは8ページを含む。マルチレベルセルにおけるページ対化の手順は、0-4、1-5、2-6、および3-7である。(例えば、ページ0はページ4と対をなし、ページ1はページ5と対をなし、ページ2はページ6と対をなし、および、ページ3はページ7と対をなす。)ページ0から3に対するグループパリティは、データページの外側のパリティブロック内の別設定パリティページ(set-aside parity page)に書き込まれる。仮に、ページ4から7のいずれかの書き込み中に電源遮断があれば、別設定パリティブロック(set-aside parity block)内のパリティページは、ページ0から3の損傷されたデータを回復するために用いることができる。仮に、ページ4-7が成功裏に書き込まれてもデータページ外のパリティブロック内のページ0から3に対するパリティページは将来の参照のために保存しておくことができ、また、もし所望すれば消去することもできる。この方法は全ての8ページに対して繰り返される。

40

【0053】

このタイプのRAIDの他の長所は、書き込み時にパリティデータを生成するための読み取りを必要としないことである。ただ、書き込まれているページのためにパリティキッシュが必要なだけである。これは、パリティ生成のために必要なアルゴリズムを簡単にして、書き込み性能における不利益を引き起こさない。万一、ハードのエラーに遭遇するとき、データの再構築の間ににおける時間性能だけは影響を受ける。

50

【 0 0 5 4 】

なお、発明の詳細な説明においてグループのページの数として用いられている 8 は例示的なものであり、本発明において、グループのページ数は 8 に限定されない。

【 0 0 5 5 】

図 1 1 に示す方式を実装するために、第 1 の次元において、64 ページのそれぞれには、パリティセクタ（例えば、各ページの第 2 のセクタ内に配置されている）が供給される。各ページのパリティセクタは、第 1 の次元の R A I D を提供する。第 2 の次元において、パリティ保護の 2 つのレベルがある。第 1 に、全てのページに対する列パリティである。列パリティページ内にては、各セクタは、全てのページについて一致するセクタ全てに基づいて算出された列パリティを格納している。第 2 に、グループパリティは、また、選択されたグループサイズに従ってグループ分けされたページに対応して記録されている。グループパリティは別設定パリティブロックに書き込まれてもよい。代替的に、グループパリティは、4 番目、11 番目、19 番目、・・・59 番目のページというように、データページに沿って、グループパリティページを格納することができる。別設定パリティブロックを用いる 1 実施態様によれば、対になったページの第 2 の半分のグループがいかなる電源遮断もなしに書き込まれた後で、第 1 の対になったページに対して書き込まれた別設定セットパリティブロックは、消去すること、または、将来の参照のために保存することができる。

10

【 0 0 5 6 】

図 1 2 は、本発明の 1 実施態様において訂正できないセクタの数が生じるときに 2 次元 R A I D 保護がどのように働くか、を図示する。（破損したセクタは、図 1 2 に濃く線を引いたブロックによって表わされる。）例えば、ページ 4 のセクタ 0 0、ページ 5 のセクタ 0 2 はそれぞれのページにおいて单一の誤りがある。従って、対応するセクタのデータ喪失はそれらのページ上のそれぞれのパリティセクタからそれぞれ回復できる。しかしながら、ページ 7 においては、2 つのセクタが破損しており、ページ 7 のセクタ 0 0 の破損は、グループパリティページ 1 1 から回復できる。同様に、ページ 9 のセクタ 0 2 の破損は、グループパリティページ 1 1 から回復できる。上記の訂正に引き続い、ページ 7 のセクタ 3 0 およびページ 9 のセクタ 3 0 は、それぞれページ 7 およびページ 9 のパリティセクタから回復できる。これは、これらのページの他のセクタは既に回復していることによる。従って、1 ページまたは 1 列に 2 つの不良セクタがあっても、データの回復ができる。

20

【 0 0 5 7 】

対になっているページの数が单一のページまたは单一の列に影響を与えるより厳しい電源遮断のシナリオの場合、グループセクタパリティは、行パリティ、列パリティ、およびグループパリティを組み合わせることによって破損したデータを回復することができる。複数のハードエラーが存在しているとき（エラーセクタは、濃く線を引いたブロックで表わされる）の回復方式の一例が図 1 3 に図示されている。ページ 0 内のセクタ 0 0、ページ 1 内のセクタ 0 2 および、ページ 5 内のセクタ 0 2 は、対応するページに一つのエラーがある。従って、それらは、それぞれ、それらのページ内のパリティセクタから回復することができる。ページ 9 内のセクタ 2 9 は、ページ 1 1 のセクタ 2 9 のグループパリティから回復することができる。これらの訂正が行われた後で、ページ 3 のセクタ 0 0 は、ページ 0 - 2 に渡るセクタ 0 0 のグループパリティの再算出によって回復することができる。ページ 9 のセクタ 0 2 は、ページ 1 1 のセクタ 0 2 のグループパリティから回復することができる。これらの訂正に引き続い、ページ 7 のセクタ 0 0 は、ページ 1 1 のグループパリティから訂正でき、ページ 1 3 のセクタ 0 2 およびページ 1 3 のセクタ 2 9 は、グループパリティページ 1 9 から回復することができる。上記の訂正に引き続い、ページ 3 のセクタ 3 0、ページ 7 のセクタ 3 0、ページ 9 のセクタ 3 0 およびページ 1 3 のセクタ 3 0 は、関連するページ内の他の誤ったセクタが回復されたので、対応するパリティセクタから回復することができる。従って、一つの列の中にハードエラーを伴う 4 つのセクタがあっても、データを回復することができる。

30

40

50

【 0 0 5 8 】

データページの外側の別設定パリティブロックがグループパリティの保存に使用される本発明の1実施態様において、データが電源遮断時における書き込み破損に対して保護されるとき、アルゴリズムは、データ書き込み工程に対して書き込むことができる。このアルゴリズムは、8ページのパリティグループに対して次の手順を備える。

(a) ページ 0 からページ 3 までのページを書き込み、ページ 0 からページ 3 に対するグループパリティを算出；

(b) 前記グループパリティページをデータメモリ外部のパリティブロックに書き込み；

(c) ページ 4 から 7 を書き込み；

(d) ページ0から3のパリティブロックを解放し、使用したパリティブロックを保存または消去可能にし；

(e) (a) から (d) までの工程を 8 ページの全ての引き続くグループに対して繰り返し:

(f) 仮に最後のグループが8ページ未満でも、最後のグループも同じように取り扱う。

〔 0 0 5 9 〕

このアルゴリズムを図 1.4 に図示する。

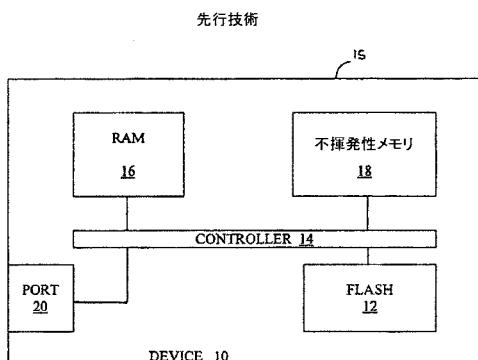
【 0 0 6 0 】

前述の説明は、添付の特許請求の範囲によって規定される発明の説明を目的としたものであり、その限定を意図したものではない。他の実施態様は、本開示の範囲内である。

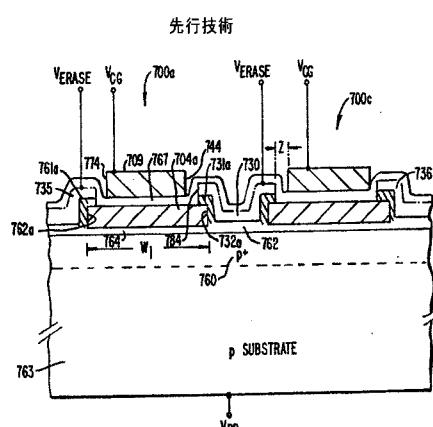
10

20

〔 図 1 〕

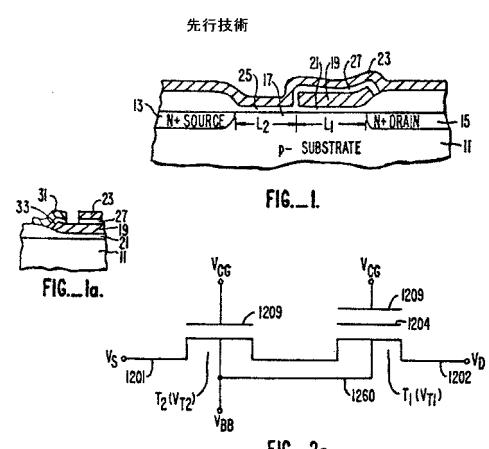


【図2】

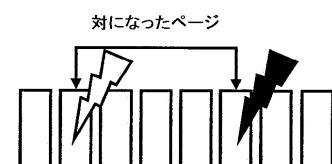


注記: 709はコントロールゲートであり、
704aは絶縁されたフローティングゲートである。

〔 図 3 〕



【 5 】



【図6】

列parity

Page no	sector X parity	sec 00 parity
Page 63	Sec X	Sec 00
Page 62	Sec X	Sec 00
Page 61	Sec X	Sec 00
Page 60	Sec X	Sec 00
Page 59	Sec X	Sec 00
Page 13	Sec X	Sec 00
Page 12	Sec X	Sec 00
Page 11	Sec X	Sec 00
Page 10	Sec X	Sec 00
Page 9	Sec X	Sec 00
Page 8	Sec X	Sec 00
Page 7	Sec X	Sec 00
Page 6	Sec X	Sec 00
Page 5	Sec X	Sec 00
Page 4	Sec X	Sec 00
Page 3	Sec X	Sec 00
Page 2	Sec X	Sec 00
Page 1	Sec X	Sec 00
Page 0	Sec X	Sec 00

セクタXparityは、全ページのセクタX内の全データを一括する。

【図8】

それぞれ8ページを有する各グループのグループparity

Page no	sector X parity	sector 00 parity
Page 63	Sec X	Sec 00
Page 62	Sec X	Sec 00
Page 61	Sec X	Sec 00
Page 60	Sec X	Sec 00
Page 59	Sec X	Sec 00
Page 13	Sec X	Sec 00
Page 12	Sec X	Sec 00
Page 11	Sec X	Sec 00
Page 10	Sec X	Sec 00
Page 9	Sec X	Sec 00
Page 8	Sec X	Sec 00
Page 7	Sec X	Sec 00
Page 6	Sec X	Sec 00
Page 5	Sec X	Sec 00
Page 4	Sec X	Sec 00
Page 3	Sec X	Sec 00
Page 2	Sec X	Sec 00
Page 1	Sec X	Sec 00
Page 0	Sec X	Sec 00

グループparityページは、[]のように陰を付けたブロックである。

【図7】

フラッシュメモリの第1の次元のRAID—セクタparity

Page X	pX	←	Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 0	p0	←	Sec 30	Sec 29	Sec 02	Sec 01	Sec 00

pXは、ページX内の31セクタに渡るparityセクタ(陰を付けたブロック)である。[pX]

セクタparityは、[]のように陰を付けて示す。

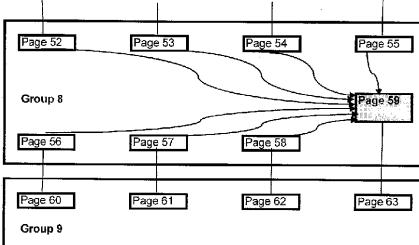
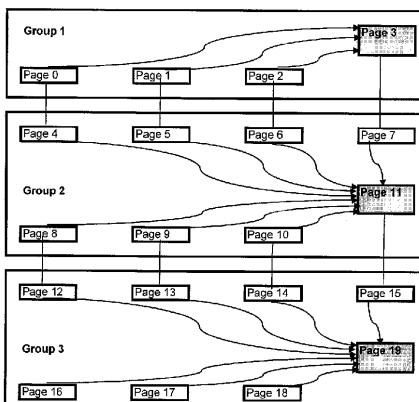
【図9】

2次元RAID表

Page no	group	page parity	sector 30 parity	sector 29 parity	sector 02 parity	sector 01 parity	sector 00 parity	
Page 63	p63	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 62	p62	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 61	p61	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 60	p60	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 59 52 to 58	p59	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
	
Page 13	p13	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 12	p12	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 11 4 to 10	p11	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 10	p10	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 9	p9	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 8	p8	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 7	p7	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 6	p6	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 5	p5	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 4	p4	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 3 0 to 2	p3	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 2	p2	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 1	p1	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00
Page 0	p0	...	← Sec 30	Sec 29	Sec 02	Sec 01	Sec 00

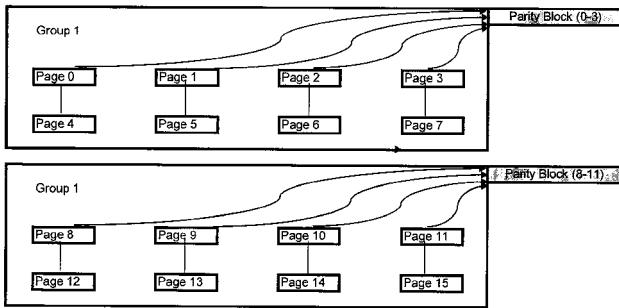
パリティセクタおよびグループparityページは、[]のように陰を付けたブロックである。

【図10】



【図11】

パーティプロックのグループ分け



【図12】

2次元RAID保護-1

Page no	page parity	sec 30 parity	sec 29 parity	sec 02 parity	sec 01 parity	sec 00 parity
Page 62	p62	< Sec 30	Sec 29	Sec 02	sec 30 parity Sec 00
Page 61	p61	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 60	p60	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 59	p59	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
					
Page 13	p13	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 12	p12	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 11	p11	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 10	p10	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 9	p9	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 8	p8	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 7	p7	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 6	p6	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 5	p5	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 4	p4	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 3	p3	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 2	p2	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 1	p1	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 0	p0	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00

【図13】

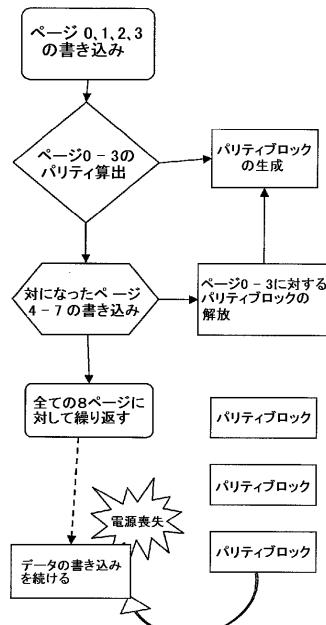
2次元RAID保護-2

Page no	page parity	sec 30 parity	sec 29 parity	sec 02 parity	sec 01 parity	sec 00 parity
Page 62	p62	< Sec 30	Sec 29	Sec 02	sec 30 parity Sec 00
Page 61	p61	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 60	p60	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 59	p59	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
					
Page 13	p13	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 12	p12	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 11	p11	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 10	p10	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 9	p9	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 8	p8	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 7	p7	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 6	p6	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 5	p5	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 4	p4	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 3	p3	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 2	p2	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 1	p1	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00
Page 0	p0	< Sec 30	Sec 29	Sec 02	Sec 01 Sec 00

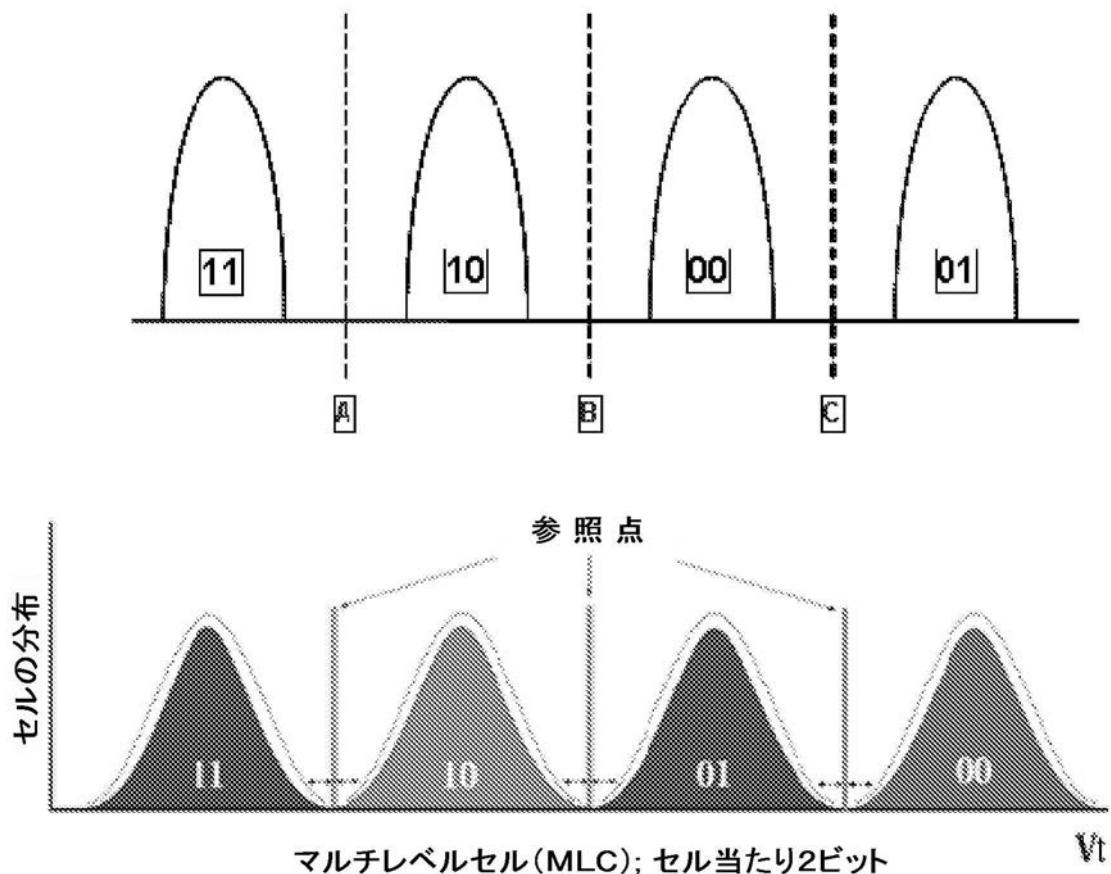
パーティセクタおよびパーティページは、■のように陰を付けたブロックであり、

破損したセクタは、■のようなブロックである。

【図14】



【図4】



【手続補正書】

【提出日】平成25年2月27日(2013.2.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のページを有するブロックを含み、各ページが複数のセクタを含むように論理的に構成されたマルチレベルセルフラッシュメモリの管理方法であって、

前記ブロックを構成する前記複数のページに属する各ページ内にパリティセクタを選択し、

前記ブロックを構成する前記ページを2またはそれ以上のグループに割り当て、各グループに前記グループのパリティページとしてのページを選択し、

各ページに対して、前記ページの前記セクタに格納されたデータに対するセクタパリティ値を算出し、前記ページの前記パリティセクタに前記セクタパリティ値を格納し、

前記ブロックを構成する前記ページのうち、それぞれのグループに属する前記ページに格納されたデータのグループパリティ値を算出し、前記それぞれのグループの前記パリティページに前記グループパリティ値を格納する、

ことを特徴とする管理方法。

【請求項2】

さらに、前記ブロックを構成するページのそれぞれのグループに対する前記グループパリティ値を算出することを繰り返すことを特徴とする請求項1に記載のフラッシュメモリの管理方法。

【請求項 3】

各ページの前記セクタにそれぞれセクタ番号が割り当てられており、さらに、

前記ブロックに対する列パリティページを選び、前記ブロックを構成する前記ページの前記セクタ番号を有する全てのセクタに対する列パリティを各セクタ番号に対して算出することを特徴とする請求項 2 に記載のフラッシュメモリの管理方法。

【請求項 4】

各グループは 8 ページからなることを特徴とする請求項 1 から 3 のいずれかに記載のフラッシュメモリの管理方法。

【請求項 5】

各マルチレベルセルは、前記ブロックの少なくとも 2 つのページによって共有されることを特徴とする請求項 1 から 3 のいずれかに記載のフラッシュメモリの管理方法。

【請求項 6】

各マルチレベルセルを共有する前記ページは、異なるグループに割り当てられることを特徴とする請求項 5 に記載のフラッシュメモリの管理方法。

【請求項 7】

前記グループはそれぞれグループ番号を割り当てられており、前記各マルチレベルセルを共有する前記ページは、連続するグループ番号を割り当てられることを特徴とする請求項 6 に記載のフラッシュメモリの管理方法。

【請求項 8】

1 またはそれ以上の前記グループは、それぞれ、ページ数の半分を前記ブロックの残りの前記グループから割り当てるよう割り当てられることを特徴とする請求項 7 に記載のフラッシュメモリの管理方法。

【請求項 9】

それぞれ消去ユニットを備えて複数のページを有する複数のブロックを備え、それぞれのブロックが複数のグループページを含み、各グループページは割り当てられたパリティページを含むフラッシュメモリセルアレイと、

各ブロックの各ページが、割り当てられたパリティセクタを含む複数のセクタを有したマルチレベルセルフラッシュメモリデータ記憶デバイスであって、

前記デバイスが、各ページに対して、

前記各ページのデータセクタにデータを格納し、

前記各ページのセクタ内に格納されたデータのセクタパリティ値を前記各ページの前記割り当てられたパリティセクタに格納するように動作可能であり、

前記デバイスが、各グループページに対して、

前記各グループページのデータページにデータを格納し、

前記各グループの前記データページに格納された前記データのグループパリティ値を前記各グループの前記パリティページに格納するように動作可能であることを特徴とするマルチレベルセルフラッシュメモリデータ記憶デバイス。

【請求項 10】

前記デバイスが、前記各グループページとは別個の複数のグループページからなる第 2 のグループページに対して、

前記第 2 のグループページのデータページにデータを格納し、

前記第 2 のグループページの前記データページに格納された前記データのグループパリティ値を前記第 2 のグループページの前記パリティページに格納するように動作可能であることを特徴とする請求項 9 に記載のマルチレベルセルフラッシュメモリデータ記憶デバイス。

【請求項 11】

各ページの前記セクタにセクタ番号がそれぞれ割り当てられており、前記デバイスが、前記各グループページに対して前記各ブロックに対する列パリティページを選び、前記ブロックの前記ページ内の前記セクタ番号を有する全てのセクタに対する列パリティを、各セクタ番号に対して算出するように、動作可能であることを特徴とする請求項 10 に記載

のマルチレベルセルフラッシュメモリデータ記憶デバイス。

【請求項 1 2】

各グループは 8 ページからなることを特徴とする請求項 9 - 1 1 に記載のマルチレベルセルフラッシュメモリデータ記憶デバイス。

【請求項 1 3】

前記マルチレベルセルフラッシュメモリデバイスの各マルチレベルセルは、前記ブロックの少なくとも 2 つのページによって共有されていることを特徴とする請求項 9 - 1 1 に記載のマルチレベルセルフラッシュメモリデータ記憶デバイス。

【請求項 1 4】

各マルチレベルセルを共有する前記ページは、異なるグループに割り当てられることを特徴とする請求項 1 3 に記載のマルチレベルセルフラッシュメモリデータ記憶デバイス。

【請求項 1 5】

前記グループはそれぞれグループ番号を割り当てられており、前記各マルチレベルセルを共有する前記ページは、連続するグループ番号を割り当てられることを特徴とする請求項 1 4 に記載のマルチレベルセルフラッシュメモリデータ記憶デバイス。

【請求項 1 6】

1 またはそれ以上の前記グループは、それぞれ、ページ数の半分を前記ブロックの残りの前記グループから割り当てるよう割り当てられることを特徴とする請求項 1 5 に記載のマルチレベルセルフラッシュメモリデータ記憶デバイス。

【請求項 1 7】

請求項 1 から 3 のいずれかに記載の方法に従って動作可能なフラッシュメモリデータ記憶システム。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2011/028637
A. CLASSIFICATION OF SUBJECT MATTER		
G06F 12/02(2006.01)i, G06F 12/16(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06F 12/02; H03M 13/21; G11C 16/02; H03M 13/07; G06F 12/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: flash, parity, page, sector		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2008-0282128 A1 (CHARLES CHUNG LEE et al.) 13 November 2008 See [0034] – [0076].	1-22
A	US 2008-0147964 A1 (DAVID Q. CHOW et al.) 19 June 2008 See [0008] – [0131].	1-22
A	US 2009-0037652 A1 (FRANK YU et al.) 05 February 2009 See [0036] – [0160].	1-22
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>		
Date of the actual completion of the international search 27 OCTOBER 2011 (27.10.2011)		Date of mailing of the international search report 27 OCTOBER 2011 (27.10.2011)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 189 Cheongsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer KWON, Oh Seong Telephone No. 82-42-481-8526

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2011/028637

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2008-0282128 A1	13.11.2008	None	
US 2008-0147964 A1	19.06.2008	CN 101403997 A TW 200917256 A	08.04.2009 16.04.2009
US 2009-0037652 A1	05.02.2009	AU 1999-29734 A1 AU 1999-60212 A1 AU 1999-61310 A1 AU 2000-20200 A1 AU 2001-26352 A1 AU 2001-47725 A1 AU 2001-69765 A1 AU 2002-15644 A1 AU 2002-15644 B2 AU 2002-362087 A1 AU 2003-267265 A1 AU 2003-301638 A1 CA 2280865 A1 CA 2345300 A1 CA 2345463 A1 CA 2373569 A1 CA 2402552 A1 CA 2412426 A1 CA 2461338 A1 CA 2469001 A1 CA 2499993 A1 CA 2521079 A1 CN 101097551 A CN 101118783 A CN 101122865 A CN 101122865 B CN 101122867 A CN 101398764 A CN 101398785 A CN 101399075 A CN 101399076 A CN 101409111 A CN 101425324 A CN 101630375 A CN 101644995 A CN 101727976 A CN 101923512 A CN 1373166 A0 CN 1806356 A EP 0937764 A1 EP 0985007 A1 EP 0985007 B1 EP 0985007 B2 EP 1007308 A1	06.09.1999 21.03.2000 21.03.2000 03.04.2000 16.07.2001 03.10.2001 17.12.2001 29.08.2002 06.07.2006 23.06.2003 08.04.2004 13.05.2004 27.08.1998 09.03.2000 23.03.2000 28.08.2002 27.09.2001 13.12.2001 17.04.2003 19.06.2003 01.04.2004 04.11.2004 02.01.2008 06.02.2008 13.02.2010 14.07.2010 13.02.2008 01.04.2009 01.04.2009 01.04.2009 01.04.2009 15.04.2009 06.05.2009 20.01.2010 10.02.2010 09.06.2010 22.12.2010 09.10.2002 19.07.2006 25.08.1999 15.03.2000 17.05.2006 03.11.2010 14.06.2000

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2011/028637

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
	EP 1007308 B1		12.11.2003
	EP 1127098 A1		29.08.2001
	EP 1236776 A1		04.09.2002
	EP 1236776 B1		21.12.2005
	EP 1236776 B2		25.11.2009
	EP 1268054 A1		02.01.2003
	EP 1309396 A2		14.05.2003
	EP 1309396 B1		21.09.2011
	EP 1358124 A2		05.11.2003
	EP 1358124 B1		11.03.2009
	EP 1386708 A2		04.02.2004
	EP 1386708 A3		04.06.2008
	EP 1448725 A2		25.08.2004
	EP 1450725 A2		01.09.2004
	EP 1542592 A1		22.06.2005
	EP 1559165 A2		03.08.2005
	EP 1629549 A2		01.03.2006
	EP 1889970 A1		20.02.2008
	JP 03-274433 B2		01.02.2002
	JP 03-338417 B2		09.08.2002
	JP 04-097944 B2		11.06.2008
	JP 04-178170 B2		12.11.2008
	JP 04-471342 B2		12.03.2010
	JP 04-704563 B2		18.03.2011
	JP 11-335658 A		07.12.1999
	JP 2001-005945 A		12.01.2001
	JP 2001-118046 A		27.04.2001
	JP 2001-513697 A		04.09.2001
	JP 2001-513828 A		04.09.2001
	JP 2002-309151 A		23.10.2002
	JP 2002-523610 A		30.07.2002
	JP 2003-527735 A		16.09.2003
	JP 2003-528419 A		24.09.2003
	JP 2004-507341 A		11.03.2004
	JP 2005-511186 A		28.04.2005
	JP 2005-537386 A		08.12.2005
	JP 2006-508501 A		09.03.2006
	JP 2006-524898 A		02.11.2006
	JP 2007-332523 A		27.12.2007
	JP 2008-173635 A		31.07.2008
	JP 2009-084577 A		23.04.2009
	JP 2010-272544 A		02.12.2010
	JP 3274433 B2		15.04.2002
	JP 3388417 B2		28.10.2002
	KR 10-0797125 B1		22.01.2008
	KR 10-0893564 B1		17.04.2009
	KR 10-0988295 B1		18.10.2010
	TW 200813713 A		16.03.2008
	TW 200826575 A		16.06.2008
	TW 200842887 A		01.11.2008

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2011/028637

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
	TW 200915080 A		01.04.2009
	TW 200917017 A		16.04.2009
	TW 200926394 A		16.06.2009
	TW 201005652 A		01.02.2010
	US 06103393A A		15.08.2000
	US 06153123A A		28.11.2000
	US 06159267A A		12.12.2000
	US 6188731 B1		02.01.2001
	US 6180029 B1		30.01.2001
	US 6193908 B1		27.02.2001
	US 6197218 B1		06.03.2001
	US 6210604 B1		03.04.2001
	US 6277169 B1		21.08.2001
	US 6316100 B1		13.11.2001
	US 6338809 B1		15.01.2002
	US 6360562 B1		26.03.2002
	US 6507349 B1		14.01.2003
	US 6547130 B1		15.04.2003
	US 6555022 B2		29.04.2003
	US 6592608 B2		15.07.2003
	US 6602439 B1		05.08.2003
	US 6623856 B1		23.09.2003
	US 6627115 B2		30.09.2003
	US 6635348 B1		21.10.2003
	US 6645398 B1		11.11.2003
	US 6660185 B2		09.12.2003
	US 6660680 B1		09.12.2003
	US 6679937 B1		20.01.2004
	US 6685727 B2		03.02.2004
	US 6689186 B1		10.02.2004
	US 6699304 B1		02.03.2004
	US 6709408 B2		23.03.2004
	US 6730245 B2		04.05.2004
	US 6753108 B1		22.06.2004
	US 6770226 B2		03.08.2004
	US 6780350 B1		24.08.2004
	US 6854984 B1		15.02.2005
	US 6866929 B2		15.03.2005
	US 6872185 B2		29.03.2005
	US 6874044 B1		29.03.2005
	US 6875372 B1		05.04.2005
	US 6890309 B2		10.05.2005
	US 6899329 B2		31.05.2005
	US 6908440 B2		21.06.2005
	US 6911412 B2		28.06.2005
	US 6955601 B2		18.10.2005
	US 6967183 B2		22.11.2005
	US 6991754 B2		31.01.2006
	US 6993934 B2		07.02.2006
	US 6994802 B2		07.02.2006

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2011/028637

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
	US 7001410 B2		21.02.2006
	US 7004794 B2		28.02.2006
	US 7004994 B2		28.02.2006
	US 7005085 B2		28.02.2006
	US 7021971 B2		04.04.2006
	US 7022261 B2		04.04.2006
	US 7035110 B1		25.04.2006
	US 7037451 B2		02.05.2006
	US 7066976 B2		27.06.2006
	US 7067070 B2		27.06.2006
	US 7073010 B2		04.07.2006
	US 7083747 B2		01.08.2006
	US 7087198 B2		08.08.2006
	US 7087341 B2		08.08.2006
	US 7094074 B2		22.08.2006
	US 7094370 B2		22.08.2006
	US 7095617 B1		22.08.2006
	US 7097686 B2		29.08.2006
	US 7098163 B2		29.08.2006
	US 7103684 B2		05.09.2006
	US 7103765 B2		05.09.2006
	US 7104848 B1		12.09.2006
	US 7108560 B1		19.09.2006
	US 7125287 B1		24.10.2006
	US 7125919 B2		24.10.2006
	US 7128852 B2		31.10.2006
	US 7130958 B2		31.10.2006
	US 7138159 B2		21.11.2006
	US 7138354 B2		21.11.2006
	US 7141528 B2		28.11.2006
	US 7150920 B2		19.12.2006
	US 7172663 B2		06.02.2007
	US 7174628 B1		13.02.2007
	US 7182646 B1		27.02.2007
	US 7186147 B1		06.03.2007
	US 7211345 B2		01.05.2007
	US 7226547 B2		05.06.2007
	US 7229572 B2		12.06.2007
	US 7249978 B1		31.07.2007
	US 7255954 B2		14.08.2007
	US 7257714 B1		14.08.2007
	US 7259967 B2		21.08.2007
	US 7264992 B2		04.09.2007
	US 7269004 B1		11.09.2007
	US 7296345 B1		20.11.2007
	US 7297024 B2		20.11.2007
	US 7301776 B1		27.11.2007
	US 7316725 B2		08.01.2008
	US 7316790 B2		08.01.2008
	US 7333364 B2		19.02.2008

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2011/028637

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
	US 7347736 B2		25.03.2008
	US 7354471 B2		08.04.2008
	US 7381136 B2		03.06.2008
	US 7383362 B2		03.06.2008
	US 7384447 B2		10.06.2008
	US 7394661 B2		01.07.2008
	US 7407393 B2		05.08.2008
	US 7427217 B2		23.09.2008
	US 7428605 B2		23.09.2008
	US 7438562 B2		21.10.2008
	US 7440286 B2		21.10.2008
	US 7457897 B1		25.11.2008
	US 7467290 B2		16.12.2008
	US 7471556 B2		30.12.2008
	US 7475174 B2		06.01.2009
	US 7476105 B2		13.01.2009
	US 7479039 B2		20.01.2009
	US 7517606 B2		14.04.2009
	US 7582134 B2		01.09.2009
	US 7597769 B2		06.10.2009
	US 7606111 B2		20.10.2009
	US 7621976 B2		24.11.2009
	US 7625420 B1		01.12.2009
	US 7642213 B2		05.01.2010
	US 7643334 B1		05.01.2010
	US 7660938 B1		09.02.2010
	US 7680977 B2		16.03.2010
	US 7713899 B2		11.05.2010
	US 7727630 B2		01.06.2010
	US 7769944 B2		03.08.2010
	US 7830666 B2		09.11.2010
	US 7849242 B2		07.12.2010
	US 7866562 B2		11.01.2011
	US 7869218 B2		11.01.2011
	US 7869219 B2		11.01.2011
	US 7872871 B2		18.01.2011
	US 7872873 B2		18.01.2011
	US 7873837 B1		18.01.2011
	US 7873885 B1		18.01.2011
	US 7874067 B1		25.01.2011
	US 7877542 B2		25.01.2011
	US 7878852 B2		01.02.2011
	US 7886108 B2		08.02.2011

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,R,S,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人 100092897

弁理士 大西 正悟

(72)発明者 オルブリッヂ,アーロン ケー.

アメリカ合衆国,カリフォルニア 95037,モーガン ヒル,アサートン サークル 145
25

(72)発明者 プリンス,ダグラス エー.

アメリカ合衆国,カリフォルニア 92653,ラグナ ヒルズ,ヒドゥン トレイル ロード
27096

F ターム(参考) 5B018 GA02 GA04 HA12 HA14 HA35 MA22 NA06 QA15 QA16