



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA DI INVENZIONE NUMERO	102018000005280
Data Deposito	11/05/2018
Data Pubblicazione	11/11/2019

Classifiche IPC

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	02	M	3	158

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	02	M	3	156

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	02	M	1	088

Titolo

CIRCUITO DI CONTROLLO PER CONVERTITORI, DISPOSITIVO CONVERTITORE E
PROCEDIMENTO CORRISPONDENTI

DESCRIZIONE dell'invenzione industriale dal titolo:

"Circuito di controllo per convertitori, dispositivo convertitore e procedimento corrispondenti"

di: STMicroelectronics S.r.l., di nazionalità italiana, via C. Olivetti, 2 - 20864 Agrate Brianza (MB)

Inventori designati: Alberto CATTANI, Stefano RAMORINI, Alessandro GASPARINI

Depositata il: 11 maggio 2018

TESTO DELLA DESCRIZIONE

Campo tecnico

La descrizione è relativa alle tecniche per controllare convertitori.

Una o più forme di attuazione possono essere applicate a convertitori che si basano su un partizionamento della potenza ("power partitioning"), per es. che comportano tecniche di controllo dinamico dei transistori. Per esempio, una o più forme di attuazione possono essere applicate a convertitori DC/DC controllati in corrente.

Sfondo tecnologico

I convertitori, come i convertitori DC/DC, sono una classe di circuiti largamente usati in molte applicazioni per generare i livelli di tensione di alimentazione richiesti per il funzionamento di sistemi elettronici sofisticati, come gli smartphone, i laptop o altri dispositivi. Una tensione di alimentazione stabile e precisa fornita all'uscita di un convertitore può anche facilitare il raggiungimento delle prestazioni attese da tali sistemi elettronici.

In molte applicazioni, i convertitori possono essere

progettati considerando l'efficienza energetica, per es. al fine di ridurre il consumo di energia.

Per esempio, un basso consumo di energia dei convertitori può facilitare l'aumento della vita operativa di dispositivi elettronici alimentati con batterie.

Nel caso di dispositivi alimentati con cavo, un basso consumo di energia può essere benefico, per es., avendo come risultato inferiori stress termici dovuti alla dissipazione di potenza nel dispositivo.

Un'efficienza soddisfacente complessiva dei convertitori può essere cercata progettando circuiti convertitori che presentano una bassa corrente di riposo ("quiescent current") nel caso in cui il carico accoppiato all'uscita del convertitore sia piccolo.

D'altra parte, può essere cercata un'efficienza elevata dei circuiti convertitori anche nel caso in cui il carico accoppiato a essi sia grande, quando può essere coinvolta una capacità di corrente di uscita elevata.

Si nota che, nel quadro della presente descrizione, un carico piccolo è da intendersi come un carico ad alta impedenza, che comporta perciò una bassa corrente di uscita dal circuito convertitore, e un carico grande è da intendersi come un carico a bassa impedenza, che comporta perciò una alta corrente di uscita dal circuito convertitore.

Una possibile soluzione per migliorare l'efficienza energetica dei circuiti convertitori sia in condizioni di piccolo carico di uscita sia in condizioni di grande carico di uscita è un partizionamento dei transistori di potenza, per es. transistori di potenza MOS, che sono compresi nello stadio di potenza del circuito convertitore. Tecniche che traggono vantaggio da un partizionamento dei transistori di

potenza nei convertitori possono essere dette tecniche di controllo dinamico dei transistori.

Scopo e sintesi

Nonostante l'estesa attività in questo campo, sono desiderabili ulteriori soluzioni migliorate.

Per esempio, sono desiderabili soluzioni che possano facilitare, per es., fornire transizioni graduali ("smooth") tra possibili stati operativi di un convertitore che si basa su tecniche di controllo dinamico dei transistori, fornendo con ciò una tensione di uscita regolata del convertitore che può essere influenzata scarsamente da tali transizioni.

Inoltre, sono desiderabili soluzioni che possano facilitare una compensazione delle transizioni tra gli stati operativi di un convertitore che si basa su tecniche di controllo dinamico dei transistori per più condizioni operative del convertitore, per es. per differenti valori della tensione di ingresso, della tensione di uscita, della corrente di uscita, e/o della temperatura operativa.

Un'altra caratteristica desiderabile è fornire una compensazione delle transizioni di un convertitore che si basa su un controllo dinamico dei transistori senza influire sul valore della tensione di controllo del convertitore.

Uno scopo di una o più forme di attuazione è di contribuire a fornire tali soluzioni migliorate.

Secondo una o più forme di attuazione, tale scopo può essere raggiunto per mezzo di un circuito avente le caratteristiche esposte nelle rivendicazioni che seguono.

Una o più forme di attuazione possono essere relative a un dispositivo convertitore corrispondente.

Una o più forme di attuazione possono essere relative a un procedimento corrispondente.

Le rivendicazioni sono parte integrante dell'insegnamento tecnico qui fornito con riferimento alle forme di attuazione.

Una o più forme di attuazione possono fornire una soluzione hardware per gestire le transizioni di un convertitore che si basa su tecniche di controllo dinamico dei transistori, operando una compensazione per differenti condizioni operative del convertitore.

In una o più forme di attuazione, una compensazione (di tensione) può essere applicata in un convertitore alla tensione di drain-source rilevata nei transistori di potenza in un dispositivo a semiponte ("half-bridge"), fornendo così un segnale compensato il cui contributo è indipendente dalla dimensione dei transistori di potenza che sono fatti funzionare nel dispositivo a semiponte.

In una o più forme di attuazione, il segnale di controllo di un convertitore può essere mantenuto fisso durante le transizioni da uno a un altro dei possibili stati operativi del dispositivo a semiponte, per es. a causa del funzionamento del convertitore che comporta un controllo dinamico dei transistori.

Una o più forme di attuazione possono così facilitare una riduzione di variazioni indesiderate della tensione regolata di uscita di un convertitore che comporta un controllo dinamico dei transistori.

Una o più forme di attuazione possono essere applicabili a differenti generi di topologie di convertitori che comportano un controllo dinamico dei transistori.

Una o più forme di attuazione possono essere

applicate, per es., a circuiti integrati di gestione della potenza per convertitori per fornire un'alimentazione regolata a pannelli/display AMOLED.

Breve descrizione delle figure

Una o più forme di attuazione saranno ora descritte, a puro titolo di esempio, con riferimento alle figure annesse, nelle quali:

- la Figura 1 è uno schema esemplificativo di un layout di un convertitore,

- le Figure 2a e 2b sono di esemplificative di circuiti di compensazione e controllo adatti per l'uso nel layout della Figura 1,

- la Figura 3 è esemplificativa di un possibile comportamento nel tempo di segnali nei circuiti delle Figure 2a e 2b,

- la Figura 4 è esemplificativa di una possibile architettura circuitale in forme di attuazione, e

- la Figura 5 è esemplificativa di un possibile comportamento nel tempo di segnali in forme di attuazione.

Descrizione dettagliata

Nella descrizione che segue, sono illustrati uno o più dettagli specifici, allo scopo di fornire una comprensione approfondita di esempi di forme di attuazione di questa descrizione. Le forme di attuazione possono essere ottenute senza uno o più dei dettagli specifici o con altri procedimenti, componenti, materiali, ecc. In altri casi, operazioni, materiali o strutture note non sono illustrate o descritte in dettaglio in modo tale che certi aspetti delle forme di attuazione non saranno resi poco chiari.

Un riferimento a "una forma di attuazione" nel quadro della presente descrizione intende indicare che una particolare configurazione, struttura, o caratteristica descritta con riferimento alla forma di attuazione è compresa in almeno una forma di attuazione. Per cui, le frasi come "in una forma di attuazione" che possono essere presenti in uno o più punti della presente descrizione non fanno necessariamente riferimento proprio alla stessa forma di attuazione. Inoltre, particolari conformazioni, strutture o caratteristiche possono essere combinate in un modo adeguato qualsiasi in una o più forme di attuazione.

I riferimenti usati qui sono forniti semplicemente per convenienza e quindi non definiscono l'ambito di protezione o l'ambito delle forme di attuazione.

A titolo di introduzione a una descrizione dettagliata di esempi di forme di attuazione, si può fare riferimento in primo luogo alla Figura 1. La Figura 1 è esemplificativa di un anello di retroazione controllato in corrente di un dispositivo convertitore 1, per es. un circuito convertitore DC/DC, che comporta un controllo dinamico dei transistori.

Inoltre, sebbene in questa descrizione si farà riferimento per semplicità ai convertitori DC/DC, si apprezzerà che una o più forme di attuazione non sono limitate ai convertitori DC/DC.

Un dispositivo convertitore DC/DC come esemplificato nella Figura 1 può comprendere:

- un dispositivo a semiponte HB, avente un nodo di ingresso V_{IN} , nodi di ingresso V_{HS1} , V_{HS2} , V_{LS1} , V_{LS2} , e un nodo di uscita V_{OUT} ,
- un blocco circuitale generatore di rampa 12,
- un blocco circuitale di rilevazione di corrente 14,

accoppiato a un transistor high-side nel dispositivo a semiponte HB,

- un nodo sommatore 15, che somma i segnali di uscita dal blocco circuitale generatore di rampa 12 e dal blocco circuitale di rilevazione di corrente 14,

- un blocco circuitale divisore (di tensione) di retroazione 16, accoppiato al nodo di uscita V_{OUT} del dispositivo a semiponte HB,

- un circuito differenziale 18, per es. un amplificatore differenziale, avente un primo ingresso accoppiato a un nodo di tensione di riferimento V_{REF} e un secondo ingresso accoppiato al nodo di uscita V_{FB} dal blocco circuitale divisore (di tensione) di retroazione 16,

- un comparatore 20, per es. un comparatore di tensione, avente un primo ingresso accoppiato all'uscita V_{DS_sum} del nodo sommatore 15 e un secondo ingresso accoppiato al nodo di uscita V_c (segnale di controllo) del circuito differenziale 18,

- un blocco circuitale digitale controllore 22, accoppiato all'uscita PWM del comparatore 20 e configurato per ricevere un segnale di controllo (logico) DTC, e

- un blocco circuitale di pilotaggio ("driver") high-side e low-side 10, accoppiato all'uscita del blocco circuitale digitale controllore 22 e che fornisce segnali di uscita V_{HS1} , V_{HS2} , V_{LS1} , V_{LS2} agli ingressi del dispositivo a semiponte HB.

Un dispositivo a semiponte HB compreso in un dispositivo convertitore DC/DC come esemplificato nella Figura 1 può comprendere almeno due transistori di potenza HS1, HS2, per es. transistori a effetto di campo MOS, aventi i loro percorsi di corrente accoppiati tra il nodo di ingresso V_{IN} e un nodo intermedio V_{DS} , almeno due

transistori di potenza LS1, LS2, per es. transistori a effetto di campo MOS, aventi i loro percorsi di corrente accoppiati tra il nodo intermedio V_{DS} e il nodo di uscita V_{OUT} , e un induttore L accoppiato tra il nodo intermedio V_{DS} e un nodo di riferimento (di tensione).

I transistori di potenza HS1, HS2, LS1, LS2 nel dispositivo a semiponte HB possono avere diodi "di body" D_{HS1} , D_{HS2} , D_{LS1} , D_{LS2} corrispondenti. Per esempio, nel caso in cui i transistori di potenza HS1, HS2, LS1, LS2 siano transistori a effetto di campo MOS a canale n come esemplificato nella Figura 1, i diodi di body D_{HS1} , D_{HS2} , D_{LS1} , D_{LS2} hanno i catodi accoppiati ai nodi di drain dei rispettivi transistori e gli anodi accoppiati ai nodi di source dei rispettivi transistori.

Si apprezzerà che i diodi di body D_{HS1} , D_{HS2} , D_{LS1} , D_{LS2} , nonostante siano rappresentati come delle entità separate dai loro rispettivi transistori HS1, HS2, LS1, LS2 puramente per semplicità di illustrazione, sono in effetti presenti intrinsecamente nei transistori HS1, HS2, LS1, LS2, com'è noto all'esperto nella tecnica.

Si noterà anche che, sebbene la Figura 1 sia esemplificativa di una possibile implementazione del dispositivo a semiponte HB, altre implementazioni del dispositivo a semiponte possono anche essere adatte, per es. per realizzare differenti topologie di convertitori.

Per esempio, in una o più forme di attuazione, i transistori di potenza LS1, LS2 possono avere i loro percorsi di corrente accoppiati tra il nodo intermedio V_{DS} e il nodo di riferimento, e l'induttore L può essere accoppiato tra il nodo intermedio V_{DS} e il nodo di uscita V_{OUT} .

In un circuito come esemplificato nella Figura 1,

tecniche di partizionamento della potenza possono essere coinvolte nel funzionamento del dispositivo a semiponte HB.

I transistori high-side HS1 e HS2 possono avere differenti dimensioni, per es. una differente larghezza. Per esempio, il transistore HS2 può essere largo il doppio del transistore HS1. Similmente, anche i transistori low-side LS1 e LS2 possono avere differenti dimensioni, per es., il transistore LS2 può essere largo il doppio del transistore LS1.

Perciò, nel caso in cui il carico (non visibile nella Figura 1) accoppiato al nodo di uscita V_{OUT} del dispositivo convertitore DC/DC 1 sia piccolo o in cui al convertitore non sia accoppiato alcun carico, i segnali V_{HS1} , V_{HS2} , V_{LS1} , V_{LS2} possono essere tali per cui il dispositivo a semiponte HB funzioni usando (soltanto) i (piccoli) transistori HS1 e LS1, per es. per ridurre il consumo di energia complessivo del dispositivo convertitore DC/DC 1.

Per contro, nel caso in cui il carico accoppiato al nodo di uscita V_{OUT} del dispositivo convertitore DC/DC sia grande e sia coinvolta una capacità di corrente di uscita elevata, i segnali V_{HS1} , V_{HS2} , V_{LS1} , V_{LS2} possono essere tali per cui il dispositivo a semiponte HB funzioni usando (soltanto) i (larghi) transistori HS2 e LS2, per es. per aumentare l'efficienza complessiva del dispositivo convertitore DC/DC 1 riducendo la resistenza R_{ds} dei transistori di potenza nel semiponte HB.

In alternativa, nel caso in cui il carico accoppiato al nodo di uscita V_{OUT} del dispositivo convertitore DC/DC sia grande, i segnali V_{HS1} , V_{HS2} , V_{LS1} , V_{LS2} possono essere tali per cui il dispositivo a semiponte HB funzioni usando sia i transistori high-side HS1 e HS2, sia i transistori low-side LS1 e LS2, per es. per ridurre ulteriormente la

resistenza R_{ds} dei transistori di potenza nel semiponte HB e per aumentare la capacità di corrente di uscita.

In un circuito come esemplificato nella Figura 1, un partizionamento di potenza può essere ottenuto usando un controllo dinamico dei transistori per commutare tra un primo stato operativo del dispositivo convertitore DC/DC, in cui il semiponte HB funziona per mezzo di (piccoli) transistori HS1 e LS1, un secondo stato operativo, in cui il semiponte HB funziona per mezzo di (larghi) transistori HS2 e LS2, e un terzo stato operativo, in cui il semiponte HB funziona per mezzo di coppie di transistori HS1 + HS2 e LS1 + LS2. Perciò, tecniche di controllo dinamico dei transistori possono fornire differenti opzioni di attivazione per i transistori high-side e low-side nel semiponte HB.

In dispositivi convertitori come descritti in precedenza, transizioni tra stati operativi del dispositivo a semiponte HB possono condurre a variazioni indesiderate del segnale (di tensione) di uscita V_{OUT} che possono indurre problemi, per es. problemi di prestazioni, per il carico accoppiato al nodo di uscita V_{OUT} , per es. un dispositivo elettronico alimentato dal convertitore DC/DC 1.

Per esempio, tale dispositivo elettronico alimentato dal convertitore DC/DC 1 e accoppiato al nodo di uscita V_{OUT} può essere, in una o più forme di attuazione, uno schermo di visualizzazione AMOLED, o un dispositivo simile.

Se non è intrapresa alcuna azione aggiuntiva, la tensione regolata di uscita del convertitore DC/DC 1 può essere influenzata e/o disturbata come risultato di una transizione tra stati operativi del dispositivo a semiponte HB.

Perciò, tali circuiti convertitori DC/DC che usano

tecniche di controllo dinamico dei transistori possono essere configurati per operare una compensazione al fine di facilitare transizioni graduali che possono non generare variazioni del segnale di uscita V_{OUT} quando si commuta tra stati operativi del dispositivo a semiponte HB.

Le Figure 2a e 2b sono esemplificative di possibili circuiti che possono facilitare l'applicazione di una compensazione al segnale di controllo V_c in un anello di retroazione di un convertitore DC/DC e fornire transizioni graduali tra gli stati operativi del dispositivo a semiponte HB.

In tutte le figure qui annesse, parti o elementi simili sono indicati con riferimenti/numeri simili e una descrizione corrispondente non sarà ripetuta per brevità.

In un circuito come esemplificato nella Figura 2a o nella Figura 2b, il segnale V_c (per es., un segnale di tensione) fornito all'uscita del circuito differenziale 18 può essere compensato prima di essere fornito al comparatore 20.

In un circuito come esemplificato nella Figura 2a o nella Figura 2b, un resistore R ha un primo terminale accoppiato al nodo di uscita V_c del circuito differenziale 18, e un secondo terminale accoppiato al secondo ingresso del comparatore 20.

In un circuito come esemplificato nella Figura 2a, un generatore di corrente 24 può essere accoppiato selettivamente tra un rail di alimentazione SV e il secondo ingresso del comparatore 20, tale accoppiamento selettivo essendo abilitato da uno switch elettronico 28 attivato da un segnale (logico) DTC.

In alternativa, in un circuito come esemplificato nella Figura 2b, un generatore di corrente 24 può essere

accoppiato selettivamente tra il secondo ingresso del comparatore 20 e un nodo di riferimento, tale accoppiamento selettivo essendo abilitato da uno switch elettronico 28 attivato da un segnale (logico) DTC.

In un circuito come esemplificato nella Figura 2a o nella Figura 2b, il fatto che lo switch 28 sia in uno stato conduttivo può avere come risultato che una corrente, fornita dal generatore di corrente 24, scorra attraverso il resistore R, avendo così come risultato una caduta di tensione sul resistore R, tale caduta di tensione dipendendo dal valore della resistenza del resistore R e dal valore della corrente generata dal generatore di corrente 24.

Perciò, un segnale V_{C_comp} al secondo ingresso del comparatore 20 può essere differente dal segnale V_C all'uscita del circuito differenziale 18 come risultato del fatto che il segnale DTC innesca l'attivazione dello switch 28.

Si noterà che circuiti come esemplificati nelle Figure 2a e 2b differiscono per il fatto che possono fornire una compensazione del segnale V_C con segni opposti. Per esempio, se un funzionamento di un circuito come esemplificato nella Figura 2a può avere come risultato un segnale V_{C_comp} che è più alto del segnale V_C , allora un funzionamento di un circuito come esemplificato nella Figura 2b può avere come risultato un segnale V_{C_comp} che è più basso del segnale V_C .

Scegliere i valori del resistore R e della corrente generata dal generatore di corrente 24 può avere come risultato una variazione del segnale di controllo compensato V_{C_comp} , dovuta all'attivazione dello switch 28, che è adattata per concordare con una variazione del

segnale V_{DS_sum} in caso di una transizione del dispositivo a semiponte HB da uno a un altro dei suoi possibili stati operativi.

Come risultato di tale compensazione del segnale di controllo V_C di un convertitore DC/DC quando il convertitore commuta tra stati operativi, il duty cycle del segnale PWM può essere non influenzato e il segnale di uscita V_{OUT} del convertitore DC/DC 1 può non presentare cambiamenti (rilevanti).

La Figura 3 è esemplificativa di un possibile comportamento nel tempo di segnali V_{C_comp} , V_{DS_sum} , PWM e DTC in un circuito come esemplificato nelle Figure 2a o 2b.

A un certo istante t_s , il convertitore DC/DC può commutare da uno stato operativo (per es., in cui funzionano i transistori HS1 e LS1 nel dispositivo a semiponte HB) a un altro stato operativo (per es., in cui funzionano i transistori HS2 e LS2, o in cui funzionano le coppie di transistori HS1 + HS2 e LS1 + LS2).

Tale cambiamento dello stato operativo del semiponte HB può avere come risultato un differente comportamento nel tempo del segnale V_{DS_sum} , per es. una minore ampiezza del segnale V_{DS_sum} a causa della minore resistenza R_{ds} dei transistori HS2, LS2 rispetto alla resistenza R_{ds} dei transistori HS1, LS1 (o, in alternativa, a causa della minore resistenza R_{ds} dei transistori HS1 + HS2 e LS1 + LS2 rispetto alla resistenza R_{ds} dei transistori HS1 e LS1 da soli).

Compensare il segnale di controllo V_C al fine di produrre un segnale di controllo compensato V_{C_comp} attivando il segnale (logico) DTC può facilitare il fatto di mantenere un duty-cycle costante del segnale PWM, avendo così come risultato un segnale di uscita V_{OUT} costante, per

es. una tensione regolata di uscita costante.

Un circuito come esemplificato nella Figura 2a o nella Figura 2b può avere alcuni inconvenienti. Per esempio, siccome la quantità di compensazione di tensione sul segnale V_c è relativa alla caduta di tensione sul resistore R , la compensazione può essere ottimizzata soltanto per una certa condizione operativa del dispositivo convertitore DC/DC 1, per es. soltanto per una certa combinazione dei valori dei parametri V_{IN} , V_{OUT} , I_{LOAD} (corrente di uscita fornita al carico), temperatura, ecc.

Inoltre, in un circuito come esemplificato nella Figura 2a o nella Figura 2b, una compensazione della tensione può migliorare le prestazioni, ma può anche essere una sorgente di deterioramento delle prestazioni complessive del dispositivo convertitore DC/DC in alcune condizioni operative.

Come ulteriore inconveniente, possono essere richieste simulazioni lunghe e accurate per impostare correttamente la corrente di compensazione, vale a dire la corrente fornita dal generatore di corrente 24. Inoltre, il valore di tale corrente di compensazione può dipendere anche dalle resistenze e dalle capacità parassite (non visibili nelle Figure 2a e 2b), rendendo così ancora più difficile impostare il suo valore.

Inoltre, il segnale di controllo V_c è un segnale critico del convertitore DC/DC 1, e altri tipi di compensazioni possono essere già effettuati su tale segnale. Così, operare una compensazione al nodo V_c per transizioni dovute a un controllo dinamico dei transistori può indurre un'iniezione di rumore o altri problemi in un dispositivo convertitore DC/DC.

La Figura 4 è rappresentativa di una possibile

architettura circuitale in forme di attuazione.

Un circuito 2 come esemplificato nella Figura 4 può comprendere:

- un circuito differenziale 18, per es. un amplificatore differenziale, avente un primo ingresso accoppiato a un nodo di tensione di riferimento V_{REF} e un secondo ingresso accoppiato all'uscita V_{FB} da un blocco circuitale divisore (di tensione) di retroazione 16 (non visibile nella Figura 4),

- un blocco circuitale di guadagno 40, per es. un blocco circuitale di guadagno variabile, avente un primo ingresso accoppiato al nodo intermedio V_{DS} di un dispositivo a semiponte HB (non visibile nella Figura 4) e, opzionalmente, un secondo ingresso accoppiato a un generatore di rampa che fornisce un segnale V_{ramp} , in modo tale che il segnale di uscita V_{DS_sum} possa corrispondere in effetti alla somma del segnale V_{ramp} e del segnale V_{DS} , quest'ultimo essendo scalato per il guadagno applicato dal blocco circuitale di guadagno 40, e

- un comparatore 20, per es. un comparatore di tensione, avente un primo ingresso accoppiato all'uscita V_{DS_sum} del blocco circuitale di guadagno 40 e un secondo ingresso accoppiato all'uscita V_C del circuito differenziale 18, il comparatore 20 fornendo un segnale di uscita PWM a un blocco circuitale digitale controllore 22 (non visibile nella Figura 4).

Si noterà che il primo terminale dell'induttore L esemplificato nella Figura 4 è accoppiato al nodo di riferimento, coerentemente con l'esempio della Figura 1. Ciononostante, tale accoppiamento dell'induttore L al nodo di riferimento è puramente a titolo di esempio, e sono possibili altre configurazioni del circuito a semiponte HB,

come indicato precedentemente, per es. per realizzare differenti topologie di convertitori.

Un circuito di compensazione (di tensione) come esemplificato nella Figura 4 può non alterare il segnale di controllo V_c di un circuito convertitore DC/DC. Invece, tale circuito di compensazione può introdurre un blocco circuitale di guadagno 40, per es. un blocco circuitale di guadagno variabile, nel percorso di segnale dal nodo V_{DS} al nodo V_{DS_sum} dell'anello di retroazione del convertitore DC/DC.

Siccome il segnale V_{DS} può essere relativo alla corrente che scorre nell'induttore L del convertitore, operare una compensazione nel percorso di segnale dal nodo V_{DS} al nodo V_{DS_sum} può anche facilitare un controllo dei picchi di corrente nell'induttore del convertitore DC/DC.

Una o più forme di attuazione possono comportare gestire le transizioni di un convertitore DC/DC che si basa su un controllo dinamico dei transistori al fine di mantenere un duty-cycle costante del segnale PWM nel caso in cui il semiponte HB commuti da uno a un altro dei suoi possibili stati operativi, per es. dal funzionamento dei (piccoli) transistori HS1 e LS1 al funzionamento dei (larghi) transistori HS2 e LS2 o al funzionamento delle coppie di transistori HS1 + HS2 e LS1 + LS2, facilitando così la fornitura di un segnale di uscita V_{OUT} stabile.

La Figura 5 è esemplificativa di un possibile comportamento nel tempo di segnali in una o più forme di attuazione come esemplificate nella Figura 4.

In una o più forme di attuazione, un valore logico basso (per es., "0") del segnale DTC (si veda la Figura 5, $t < t_s$) può essere indicativo, per esempio, del fatto che il semiponte HB nel convertitore DC/DC 1 funziona con il

transistore high-side (piccolo) HS1 e il transistore low-side (piccolo) LS1, mentre i transistori HS2 e LS2 sono mantenuti inattivi.

Un funzionamento del semiponte HB con i transistori HS1 e LS1 può avere come risultato un segnale V_{DS} come esemplificato nella Figura 5 quando $t < t_s$, in cui la pendenza del segnale V_{DS} dipende dalla corrente che scorre nell'induttore L e dalla resistenza di drain-source R_{ds} dei transistori HS1 e LS1.

In tale condizione, il blocco di guadagno variabile 40 può avere un guadagno uguale a 1, avendo come risultato che il segnale di uscita V_{DS_sum} è uguale alla somma del segnale di ingresso V_{DS} e del segnale di rampa V_{ramp} . Il segnale V_{DS_sum} , che è usato per chiudere l'anello di controllo del convertitore, può così raggiungere il valore del segnale di controllo V_c in un certo intervallo di tempo t_{cl} . Tale intervallo di tempo t_{cl} può determinare perciò il duty-cycle del segnale PWM.

In una o più forme di attuazione, a un certo istante t_s il convertitore può operare una transizione a un altro stato operativo, per es. uno stato operativo in cui il semiponte HB funziona con il transistore high-side (largo) HS2 e il transistore low-side (largo) LS2, mentre i transistori HS1 e LS1 sono mantenuti inattivi (si veda la Figura 5, $t > t_s$).

Per esempio, il transistore HS2 può essere largo il doppio del transistore HS1, lo stesso applicandosi ai transistori LS2 e LS1. Come risultato, la resistenza di drain-source R_{ds} del transistore HS2 può essere circa metà della resistenza di drain-source del transistore HS1, lo stesso applicandosi ai transistori LS2 e LS1.

Perciò, nel caso in cui la corrente di uscita fornita

dal convertitore DC/DC al carico sia mantenuta costante al valore precedente, dopo tale transizione del convertitore, il segnale V_{DS} può avere una pendenza differente, per es. circa metà della pendenza precedente.

Nel caso in cui non sia intrapresa alcuna azione, tale pendenza ridotta del segnale V_{DS} avrebbe come risultato un cambiamento del duty-cycle del segnale PWM, siccome i fronti di discesa del segnale PWM sono determinati dal comparatore 20 come risultato del fatto che il segnale V_{DS} raggiunge il segnale di controllo V_C . Un cambiamento del duty-cycle del segnale PWM genererebbe un cambiamento indesiderato del segnale di uscita V_{OUT} del convertitore DC/DC.

Soluzioni come esemplificate nelle Figure 2a e 2b sono configurate per compensare un cambiamento della pendenza del segnale V_{DS} cambiando il valore del segnale di controllo V_C al fine di ripristinare il duty-cycle atteso del segnale PWM.

In una o più forme di attuazione come esemplificate nella Figura 4, invece, un duty-cycle atteso del segnale PWM può essere ripristinato senza influire sul segnale di controllo V_C , fornendo una possibilità di introdurre un guadagno variabile nel percorso di segnale dal nodo V_{DS} al nodo V_{DS_sum} .

Per esempio, in una o più forme di attuazione, un blocco circuitale di guadagno (variabile) 40 può produrre un segnale di uscita V_{DS_sum} in cui il contributo del segnale di ingresso V_{DS} al segnale di uscita V_{DS_sum} dipende dal valore del guadagno GAIN del blocco circuitale di guadagno (variabile) 40, come esemplificato nella Figura 5.

Per esempio, quando $DTC = 0$ e il dispositivo a semiponte HB funziona con l'insieme dei transistori HS1,

LS1 (si veda la Figura 5, $t < t_s$), allora $GAIN = 1$, mentre quando $DTC = 1$ e il dispositivo a semiponte HB funziona con l'insieme dei transistori HS2, LS2 (si veda la Figura 5, $t > t_s$), allora $GAIN = 2$.

In generale, il blocco circuitale di guadagno 40 può introdurre un guadagno $GAIN$ variabile nel percorso di segnale dal nodo V_{DS} al nodo V_{DS_sum} , il valore di $GAIN$ dipendendo dal valore di almeno un segnale di controllo (logico) DTC , al fine di facilitare una compensazione delle variazioni del segnale V_{DS} e una generazione di un segnale V_{DS_sum} la cui ampiezza è indipendente dallo stato operativo del semiponte HB, per es. dalle dimensioni e/o dal numero dei transistori di potenza che sono fatti funzionare nel semiponte HB.

Per esempio, come esemplificato nella Figura 5, quando $t > t_s$ il blocco di guadagno variabile 40 può avere un guadagno uguale a 2, avendo come risultato che il segnale di uscita V_{DS_sum} è uguale alla somma del segnale di ingresso V_{DS} , scalato di un fattore 2, e del segnale di rampa V_{ramp} . Perciò, il segnale V_{DS_sum} può raggiungere il valore del segnale di controllo V_c in un certo intervallo di tempo t_{c2} che è uguale al precedente intervallo di tempo t_{c1} , avendo così come risultato lo stesso duty-cycle del segnale PWM.

In una o più forme di attuazione, un segnale di rampa V_{ramp} può essere fornito da un circuito generatore di rampa simile al blocco circuitale generatore di rampa 12 esemplificato nella Figura 1.

Si noterà che, sebbene siano stati usati qui i valori logici basso ("0") e alto ("1") del segnale DTC per indicare stati operativi del convertitore DC/DC che comportano rispettivamente un basso guadagno e un alto guadagno, può anche essere effettuata una scelta

complementare.

Si noterà anche che, sebbene si faccia riferimento qui ai possibili valori 1 e 2 per il parametro GAIN nel caso di transistori HS1 e HS2 (così come LS1 e LS2) che hanno resistenza di drain-source approssimativamente uguali rispettivamente a R_{ds} e $R_{ds}/2$, il valore del parametro GAIN può essere variato al fine di compensare altre scelte possibili delle dimensioni dei transistori HS1, HS2, LS1, LS2.

Si noterà anche che, in una o più forme di attuazione, possono essere forniti più stati operativi del circuito a semiponte HB. Per esempio, il circuito a semiponte HB può comprendere una pluralità di transistori high-side HS1, HS2, ..., HS n e una pluralità di transistori low-side LS1, LS2, ..., LS n che hanno dimensioni differenti, in modo tale che possano essere forniti almeno n stati operativi possibili (ciascuno basandosi sul funzionamento di certi insiemi di transistori high-side e di transistori low-side).

In una o più forme di attuazione, come già indicato, stati operativi del circuito a semiponte HB possono anche corrispondere al funzionamento di una pluralità di transistori high-side e di una pluralità di transistori low-side. Per esempio, in un circuito a semiponte provvisto di due transistori high-side HS1, HS2 e di due transistori low-side LS1, LS2, uno stato operativo per l'uso nella condizione di carico elevato accoppiato all'uscita può basarsi sul funzionamento di entrambi i transistori high-side HS1, HS2 in parallelo, e di entrambi i transistori low-side LS1, LS2 in parallelo. Valori per il parametro GAIN del blocco circuitale di guadagno (variabile) 40 possono essere calcolati di conseguenza.

Perciò, in un circuito a semiponte HB comprendente una pluralità di transistori high-side HS1, HS2, ..., HS_n e una pluralità di transistori low-side LS1, LS2, ..., LS_n, sono possibili più di n stati operativi, grazie alla possibilità di definire insiemi di transistori che lavorano in parallelo.

Tale pluralità di possibili stati operativi di un dispositivo convertitore DC/DC 1 può facilitare un adattamento dell'efficienza energetica complessiva a differenti carichi accoppiati al convertitore DC/DC.

In tal caso, il parametro GAIN può assumere più valori così da facilitare una compensazione del segnale V_{DS} per una pluralità di stati operativi. Similmente, il segnale logico DTC può assumere almeno n valori differenti, per es. che sono codificati con più di 1 bit.

In una o più forme di attuazione, il segnale V_{DS_sum} può avere un'ampiezza che è indipendente dalla condizione operativa del dispositivo convertitore DC/DC, avendo come risultato la possibilità di ottenere un duty-cycle atteso del segnale PWM per differenti condizioni operative del dispositivo convertitore DC/DC senza cambiare il valore del segnale di controllo V_c .

Tale stabilità del duty-cycle del segnale PWM durante transizioni di un convertitore DC/DC che si basa su un controllo dinamico dei transistori per un'efficienza energetica migliorata può avere come risultato un segnale di uscita stabile V_{OUT} , per es. una tensione regolata di uscita.

Si noterà che la presente descrizione può applicarsi a differenti generi di topologie di convertitori DC/DC che usano un anello controllato in corrente con un sistema di partizionamento della potenza.

Una o più forme di attuazione come esemplificate nella Figura 4 possono fornire un certo numero di vantaggi.

Per esempio, la possibilità di variare il valore del parametro GAIN con continuità facilita fornire una compensazione soddisfacente per differenti condizioni operative del convertitore DC/DC, come differenti tensioni di ingresso V_{IN} , tensioni di uscita V_{OUT} , correnti di uscita I_{LOAD} , temperature, ecc.

Un altro vantaggio di una o più forme di attuazione è la possibilità di effettuare una compensazione senza influire sul segnale di controllo V_c , che è teoricamente un segnale critico di un convertitore DC/DC.

Per il resto, si apprezzerà che uno stadio di guadagno (di tensione) può già essere presente in alcuni convertitori DC/DC a seconda della topologia e del tipo di anello di controllo, per es. perché il segnale V_{DS} non è riferito a un nodo di tensione fissa, cosicché una o più forme di attuazione possono essere particolarmente vantaggiose per il fatto che possono comportare un aumento trascurabile di area di silicio e di consumo di energia del circuito convertitore.

Inoltre, in una o più forme di attuazione, il processo di progettazione e di ottimizzazione del blocco circuitale di guadagno 40 può essere facilitato essendo relativo (soltanto) ai vincoli progettuali di partizionamento della potenza dei transistori HS1, HS2, LS1, LS2, per es. le dimensioni di tali transistori.

Un circuito (per es., 2) secondo una o più forme di attuazione può comprendere:

- un circuito differenziale (per es., 18) avente un primo nodo di ingresso configurato per ricevere un segnale (di tensione) di riferimento (per es., V_{REF}) e un secondo

nodo di ingresso configurato per ricevere un segnale di retroazione (per es., V_{FB}) che è funzione del segnale di uscita (per es., V_{OUT}) da un dispositivo convertitore (per es., 1) comprendente un dispositivo a semiponte (per es., HB) di switch elettronici high-side (per es., HS1, HS2) e di switch elettronici low-side (per es., LS1, LS2), il circuito differenziale avendo un nodo di uscita,

- un comparatore (per es., 20) avente un nodo di uscita del comparatore configurato per produrre un segnale modulato PWM (per es., PWM) per controllare (per es., 22, 10) il dispositivo convertitore in funzione del duty-cycle del segnale modulato PWM, il comparatore avendo un primo nodo di ingresso (per es., V_{DS_sum}) configurato per essere accoppiato a un nodo (per es., V_{DS}) intermedio tra gli switch elettronici high-side e gli switch elettronici low-side nel dispositivo a semiponte nel dispositivo convertitore, e un secondo nodo di ingresso (per es., V_C) accoppiato al nodo di uscita del circuito differenziale.

Una o più forme di attuazione possono comprendere un blocco circuitale di guadagno (per es., 40) accoppiato tra il nodo intermedio nel dispositivo a semiponte e il primo nodo di ingresso del comparatore, il blocco circuitale di guadagno configurato per applicare al primo nodo di ingresso del comparatore un segnale di rampa che è funzione del segnale al nodo intermedio nel dispositivo a semiponte, in cui il blocco circuitale di guadagno può comprendere un blocco circuitale di guadagno variabile.

In una o più forme di attuazione, il blocco circuitale di guadagno può essere configurato per ricevere almeno un segnale di stato operativo (per es., DTC) indicativo di uno stato operativo del dispositivo a semiponte nel dispositivo convertitore e per variare il guadagno del blocco

circuitale di guadagno in funzione dell' almeno un segnale di stato operativo.

In una o più forme di attuazione, il dispositivo a semiponte nel dispositivo convertitore può comprendere switch elettronici high-side e low-side (per es., HS1, LS1; HS2, LS2) disposti in più insiemi attivabili in differenti opzioni di attivazione (per esempio: HS2, LS2 al posto di HS1, LS1; HS2 + HS1, LS2 + LS1 al posto di HS1, LS1; e così via) e il blocco circuitale di guadagno può essere sensibile a un segnale di stato operativo (per es., DTC) indicativo dell'opzione di attivazione degli switch elettronici high-side e low-side attivata tra dette differenti opzioni di attivazione, il blocco circuitale di guadagno essendo configurato per variare il guadagno del blocco circuitale di guadagno in funzione di detto segnale di stato operativo indicativo di detta opzione di attivazione.

In una o più forme di attuazione, il blocco circuitale di guadagno può essere configurato per ricevere un segnale di rampa (per es., V_{ramp}) di ingresso, in cui il segnale di rampa applicato al primo nodo di ingresso del comparatore dal blocco circuitale di guadagno è una combinazione lineare del segnale al nodo intermedio nel dispositivo a semiponte e del segnale di rampa di ingresso.

Un dispositivo convertitore (per es., 1) secondo una o più forme di attuazione può comprendere:

- un dispositivo a semiponte (per es., HB) comprendente switch elettronici high-side e switch elettronici low-side aventi tra loro un nodo intermedio, il dispositivo convertitore comprendendo un nodo di uscita configurato per fornire il segnale di uscita (per es., V_{OUT}) dal dispositivo convertitore e nodi di pilotaggio (per es.,

V_{HS1} , V_{HS2} , V_{LS1} , V_{LS2}) accoppiati agli switch elettronici high-side e agli switch elettronici low-side nel dispositivo a semiponte,

- un circuito (per es., 2) secondo una o più forme di attuazione disposto con:

- a) il secondo nodo di ingresso del circuito differenziale accoppiato (per es., 16) al nodo di uscita del dispositivo convertitore e sensibile al segnale di uscita al nodo di uscita del dispositivo convertitore, e

- b) il primo nodo di ingresso del comparatore accoppiato al nodo intermedio tra gli switch elettronici high-side e gli switch elettronici low-side nel dispositivo a semiponte, e il nodo di uscita del comparatore accoppiato al dispositivo a semiponte nel dispositivo convertitore per controllare il dispositivo convertitore in funzione del duty-cycle del segnale modulato PWM.

Secondo una o più forme di attuazione, un procedimento per fare funzionare un circuito secondo una o più forme di attuazione o un dispositivo convertitore secondo una o più forme di attuazione può comprendere variare il guadagno del blocco circuitale di guadagno ponendosi come obiettivo un valore costante per il duty-cycle del segnale modulato PWM.

Un procedimento secondo una o più forme di attuazione può comprendere, con il dispositivo a semiponte nel dispositivo convertitore comprendente switch elettronici high-side e low-side disposti in più insiemi attivabili in differenti opzioni di attivazione:

- cambiare il funzionamento del dispositivo convertitore da una a un'altra delle differenti opzioni di attivazione di detti insiemi di switch elettronici high-side e low-side, e

- variare il guadagno di detto blocco circuitale di

guadagno mantenendo un valore costante per il duty-cycle di detto segnale modulato PWM indipendentemente dal fatto che il funzionamento del dispositivo convertitore cambi da una a un'altra delle differenti opzioni di attivazione di detti insiemi di switch elettronici high-side e low-side in detto dispositivo a semiponte.

Fermi restando i principi di fondo, i dettagli e le forme di attuazione possono variare, anche in modo apprezzabile, rispetto a quanto è stato descritto, puramente a titolo di esempio, senza uscire dall'ambito di protezione.

L'ambito di protezione è definito dalle rivendicazioni annesse.

RIVENDICAZIONI

1. Circuito (2), comprendente:

- un circuito differenziale (18) avente un primo nodo di ingresso configurato per ricevere un segnale di riferimento (V_{REF}) e un secondo nodo di ingresso configurato per ricevere un segnale di retroazione (V_{FB}) che è funzione del segnale di uscita (V_{OUT}) da un dispositivo convertitore (1) comprendente un dispositivo a semiponte (HB) di switch elettronici high-side (HS1, HS2) e di switch elettronici low-side (LS1, LS2), detto circuito differenziale (18) avendo un nodo di uscita,

- un comparatore (20) avente un nodo di uscita del comparatore configurato per produrre un segnale modulato PWM (PWM) per controllare (22, 10) detto dispositivo convertitore (1) in funzione del duty-cycle di detto segnale modulato PWM, detto comparatore (20) avendo un primo nodo di ingresso (V_{DS_sum}) configurato per essere accoppiato a un nodo (V_{DS}) intermedio tra gli switch elettronici high-side (HS1, HS2) e gli switch elettronici low-side (LS1, LS2) in detto dispositivo a semiponte (HB) in detto dispositivo convertitore (1), e un secondo nodo di ingresso (V_C) accoppiato a detto nodo di uscita di detto circuito differenziale (18),

caratterizzato da un blocco circuitale di guadagno (40) accoppiato tra detto nodo intermedio (V_{DS}) in detto dispositivo a semiponte (HB) e detto primo nodo di ingresso (V_{DS_sum}) di detto comparatore (20), il blocco circuitale di guadagno (40) configurato per applicare a detto primo nodo di ingresso (V_{DS_sum}) di detto comparatore (20) un segnale di rampa che è funzione del segnale a detto nodo intermedio (V_{DS}) in detto dispositivo a semiponte (HB), in cui il

blocco circuitale di guadagno (40) comprende un blocco circuitale di guadagno variabile.

2. Circuito (2) secondo la rivendicazione 1, in cui detto blocco circuitale di guadagno (40) è configurato per ricevere almeno un segnale di stato operativo (DTC) indicativo di uno stato operativo di detto dispositivo a semiponte (HB) in detto dispositivo convertitore (1) e per variare il guadagno del blocco circuitale di guadagno (40) in funzione di detto almeno un segnale di stato operativo (DTC).

3. Circuito (2) secondo la rivendicazione 2, in cui detto dispositivo a semiponte (HB) in detto dispositivo convertitore (1) comprende switch elettronici high-side e low-side (HS1, LS1; HS2, LS2) disposti in più insiemi attivabili in differenti opzioni di attivazione, in cui detto blocco circuitale di guadagno (40) è sensibile a un segnale di stato operativo (DTC) indicativo dell'opzione di attivazione degli switch elettronici high-side e low-side (HS1, LS1; HS2, LS2) attivata tra dette differenti opzioni di attivazione, il blocco circuitale di guadagno (40) essendo configurato per variare il guadagno del blocco circuitale di guadagno (40) in funzione di detto segnale di stato operativo (DTC) indicativo di detta opzione di attivazione.

4. Circuito (2) secondo una qualsiasi delle rivendicazioni precedenti, in cui detto blocco circuitale di guadagno (40) è configurato per ricevere un segnale di rampa (V_{ramp}) di ingresso, in cui detto segnale di rampa applicato a detto primo nodo di ingresso (V_{DS_sum}) di detto

comparatore (20) dal blocco circuitale di guadagno (40) è una combinazione lineare del segnale a detto nodo intermedio (V_{DS}) in detto dispositivo a semiponte (HB) e di detto segnale di rampa (V_{ramp}) di ingresso.

5. Dispositivo convertitore (1), comprendente:

- un dispositivo a semiponte (HB) comprendente switch elettronici high-side (HS1, HS2) e switch elettronici low-side (LS1, LS2) aventi tra loro un nodo intermedio (V_{DS}), il dispositivo convertitore (1) comprendendo un nodo di uscita configurato per fornire detto segnale di uscita (V_{OUT}) dal dispositivo convertitore (1) e nodi di pilotaggio (V_{HS1} , V_{HS2} , V_{LS1} , V_{LS2}) accoppiati agli switch elettronici high-side (HS1, HS2) e agli switch elettronici low-side (LS1, LS2) nel dispositivo a semiponte (HB),

- un circuito (2) secondo una qualsiasi delle rivendicazioni precedenti disposto con:

- a) il secondo nodo di ingresso (V_{FB}) del circuito differenziale (18) accoppiato (16) al nodo di uscita del dispositivo convertitore (1) e sensibile al segnale di uscita (V_{OUT}) a detto nodo di uscita del dispositivo convertitore (1), e

- b) il primo nodo di ingresso (V_{DS_sum}) del comparatore (20) accoppiato a detto nodo intermedio (V_{DS}) tra gli switch elettronici high-side (HS1, HS2) e gli switch elettronici low-side (LS1, LS2) nel dispositivo a semiponte (HB), e il nodo di uscita (PWM) del comparatore (20) accoppiato (22, 10) al dispositivo a semiponte (HB) in detto dispositivo convertitore (1) per controllare il dispositivo convertitore (1) in funzione del duty-cycle del segnale modulato PWM.

6. Procedimento per fare funzionare un circuito (2) secondo una qualsiasi delle rivendicazioni da 1 a 4 o un dispositivo convertitore (1) secondo la rivendicazione 5, il procedimento comprendendo variare il guadagno di detto blocco circuitale di guadagno (40) ponendosi come obiettivo un valore costante per il duty-cycle di detto segnale modulato PWM.

7. Procedimento secondo la rivendicazione 6, comprendente, con il dispositivo a semiponte (HB) nel dispositivo convertitore (1) comprendente switch elettronici high-side e low-side (HS1, LS1; HS2, LS2) disposti in più insiemi attivabili in differenti opzioni di attivazione:

- cambiare il funzionamento del dispositivo convertitore (1) da una a un'altra delle differenti opzioni di attivazione di detti insiemi di switch elettronici high-side e low-side (HS1, LS1; HS2, LS2), e

- variare il guadagno di detto blocco circuitale di guadagno (40) mantenendo un valore costante per il duty-cycle di detto segnale modulato PWM indipendentemente dal fatto che il funzionamento del dispositivo convertitore (1) cambi da una a un'altra delle differenti opzioni di attivazione di detti insiemi di switch elettronici high-side e low-side (HS1, LS1; HS2, LS2) in detto dispositivo a semiponte (HB).

FIG. 1

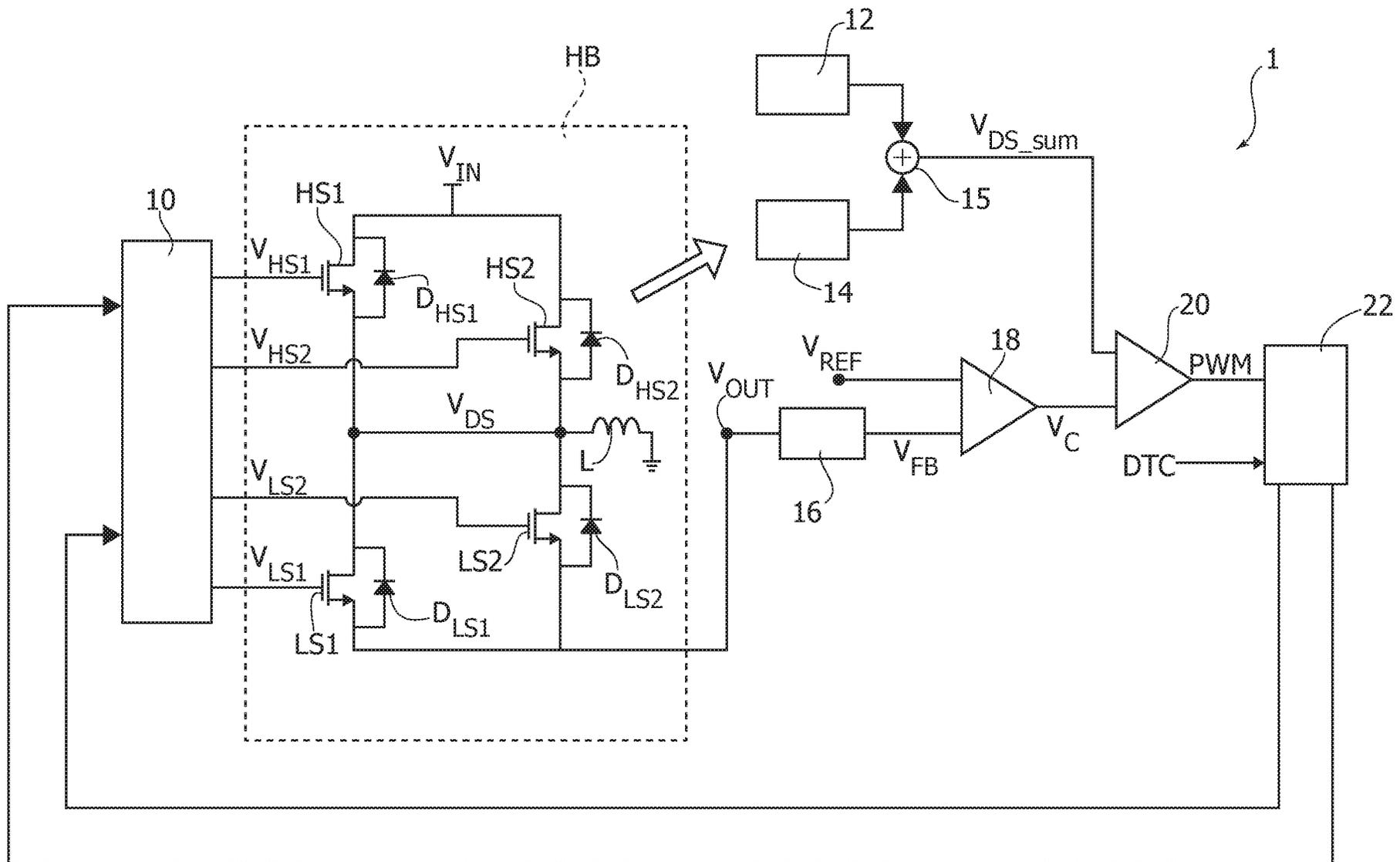


FIG. 2a

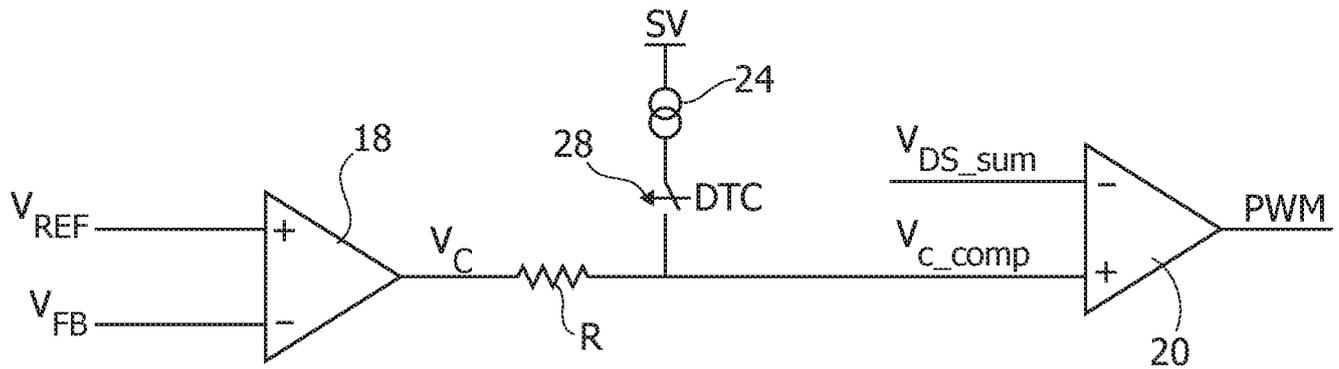


FIG. 2b

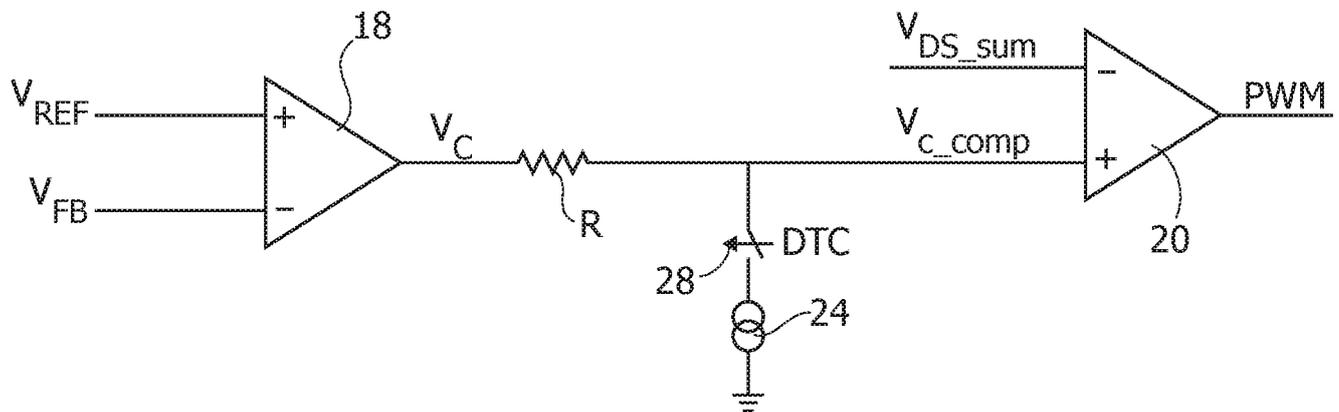


FIG. 3

