

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY PATENTU TYMCZASOWEGO

93948

Patent tymczasowy dodatkowy
do patentu _____

Zgłoszono: 19.01.74 (P. 168252)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 02.05.75

Opis patentowy opublikowano: 31.12.1977

MKP G11b 5/46
G11c 11/06

Int. Cl.² G11B 5/46
G11C 11/06

CZYTELNIA

Urząd Patentowy
PRL

Twórcy wynalazku: Jerzy Krzemień, Jacek Tylec

Uprawniony z patentu tymczasowego: Instytut Maszyn Matematycznych Oddział Śląski,
Katowice (Polska)

Układ stabilizacji prądów wybierania rdzeni w pamięci ferrytowej

Przedmiotem wynalazku jest układ stabilizacji prądów wybierania rdzeni w pamięci ferrytowej, zapewniający termiczną kompensację zmian prądów wybierających.

W znanych układach wybierania rdzeni stabilizacja prądów wybierania rdzeni jest realizowana przez zastosowanie generatora prądu wytwarzającego prąd o stałym natężeniu (w najprostszym układzie jest to rezystor). Generator może zmieniać wartość natężenia wytwarzanego prądu zgodnie z charakterystykami cieplnymi rdzeni. W znanych rozwiązaniach generator ten jest połączony z jednym z biegunów źródła zasilającego układ, a drugie wyjście generatora połączone jest z grupą kluczy elektronicznych załączających zależnie od adresu wybranej komórki pamięci odpowiednie nitki adresowe tak, by wymusić w nich przepływ prądu wybierającego pochodzącego z generatora w odpowiednich kierunkach dla cykli odczytu i zapisu. Klucze elektroniczne nie zmieniają ustalonej przez generator prądu wartości prądu wybierania. Ich jedynym zadaniem jest załączenie odpowiadającej adresowi nitki adresowej. Klucze te pracują dwustanowo, przewodzą prąd lub nie przewodzą. Grupa kluczy połączona jest z drugim biegunem źródła napięcia zasilającego o wartości kilkakrotnie przekraczającej 5 V. Wspólną cechą tych układów jest konieczność ostrej selekcji elementów i kłopotliwa regulacja tym bardziej jest to istotne, im niższe jest napięcie zasilające. Zasilanie układów logicznych jest standardowe i wynosi 5 V. Pamięć z dotychczasowym układem wybierania wymaga osobnego zasilacza.

Istotą wynalazku jest układ stabilizacji prądów wybierania i podział funkcji pomiędzy elementy tworzące ten układ. W skład układu wchodzi wzmacniacze prądów wybierania posiadające wejścia adresowe i wejścia sterowania wartością prądu wybierającego. Znane układy selekcji nitek adresowych są połączone ze wzmacniaczami wybierającymi przez dołączenie w punktach szeregowego połączenia każdej pary wzmacniaczy. Wyjścia układów sterowania wzmacniaczy prądów wybierających są połączone z wejściami sterowania wartością prądu wybierającego wzmacniaczy wybierających. Wejście układu sterowania jest połączone z wyjściem wzmacniacza błędu. Wzmacniacz błędu ma dwa wejścia, połączone z zależnym od temperatury źródłem napięcia odniesienia i źródłem napięcia proporcjonalnego do stabilizowanego prądu wybierania. Różnica tych napięć steruje wzmacniaczem błędu.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, który przedstawia schemat blokowy układu.

Źródła napięcia U uzależnione od temperatury i rezystor R_p , na którym powstaje napięcie proporcjonalne do stabilizowanego prądu wybierania są połączone z wejściami wzmacniacza błędu WB. Rezystor R_p jest połączony ze wzmacniaczami wybierania $W_1, W_3 \dots W_{2N-1}$ i $V_{2N-1}, \dots V_3, V_1$. Każdy z tych wzmacniaczy jest połączony kaskadowo z drugim identycznym, odpowiednio z $W_2, W_4 \dots W_{2N}$ i V_{2N}, V_4, V_2 . Obwód przepływu prądu wybierania zamyka źródło napięcia zasilającego układ E, połączone ze wzmacniaczami wybierającymi $W_2, W_4 \dots W_{2N}$ i $V_{2N}, V_4 \dots V_2$ i rezystorem R_p . Wyjście wzmacniacza błędu WB jest połączone z układem sterującym US, który jest połączony z układami sterowania wzmacniaczy wybierania WZ w cyklu zapisu i WO w cyklu odczytu. Wyjście układu sterowania wzmacniaczy wybierania WZ w cyklu zapisu jest połączone ze wzmacniaczami wybierania $V_2, V_4 \dots V_{2N}$ i $W_1, W_3 \dots W_{2N-1}$. Wyjście układu sterowania wzmacniaczy wybierania WO w cyklu odczytu jest połączone ze wzmacniaczami wybierania $V_1, V_3 \dots V_{2N-1}$ i $W_2, W_4 \dots W_{2N}$.

Układ działa na zasadzie ujemnego sprzężenia zwrotnego obejmującego grupę wzmacniaczy prądów wybierania $W_1, W_2 \dots W_{2N}, V_1 \dots V_{2N}$. Pętla sprzężenia jest zamknięta, gdy komórki pamięci są wybierane, wówczas układy sterowania logicznego decydują o kierunku przepływu prądów wybierania w nitkach odpowiadających adresowi komórki pamięci zadanemu logicznie. Gdy komórki pamięci nie są wybierane i prądy w nitkach wybierania nie płyną, pętla sprzężenia jest otwarta. Wzmacniacze wybierające $W_1, W_2 \dots W_{2N}, V_1, V_2 \dots V_{2N}$ posiadają wejścia sterowania wartością prądu wybierania, prądowe lub napięciowe oraz wejścia adresowe. Prąd wybierania płynie przez jeden ze wzmacniaczy wybierających $W_1 \dots W_{2N}, V_1 \dots V_{2N}$ i nitkę adresową, gdy na wejście adresowe A lub B tego wzmacniacza zostanie podana jedynka logiczna i jednocześnie wejście sterowania wartością prądu wybierającego jest pobudzane sygnałem o odpowiedniej wartości amplitudy.

Gdy na wejściu adresowym jest zero logiczne, prąd wybierania nie płynie niezależnie od stanu wejścia sterującego. Układy sterowania wzmacniaczy wybierania WZ w cyklu zapisu i WO w cyklu odczytu wartością prądu wybierania, współpracują zawsze z jednym wybranym adresem wzmacniaczem wybierania $W_1 \dots W_{2N}$ i jednym wzmacniaczem wybierania $V_1 \dots V_{2N}$. Zawsze wybrany jest jeden wzmacniacz o parzystym indeksie z grupy V i nieparzystym z grupy W lub też jeden wzmacniacz o parzystym indeksie z grupy W i nieparzystym z grupy V.

Gdy komórki pamięci nie są wybierane, sygnały Z i O są w stanie logicznej jedynki. Pętla sprzężenia zwrotnego jest przerywana przez układ sterowania US. W cyklu odczytu sygnał Z pozostaje w stanie jedynki logicznej, a sygnał O jest w stanie zera logicznego. Sygnał z wyjścia wzmacniacza błędu WB jest przekazywany przez układ sterowania US na wejście układu sterowania wzmacniaczy wybierania w cyklu odczytu WO i z jego wyjścia zostaje wysterowany jeden wybrany adresem A wzmacniacz wybierania W_2 lub $W_4 \dots$ lub W_{2N} i jeden wybrany adresem B wzmacniacz wybierania V_1 lub $V_3 \dots$ lub V_{2N-1} . Wzmacniacze te zapewniają przepływ prądu wybierania przez nitkę adresową dołączoną bezpośrednio lub za pośrednictwem układu selekcji nitek do punktów C i D oraz przez rezystor R_p . Spadek napięcia wywołany przepływem prądu wybierania przez rezystor R_p sumuje się z napięciem U i różnica tych napięć stanowi napięcie błędu wzmacnione przez wzmacniacz błędu WB. Ponieważ pętla sprzężenia jest teraz zamknięta, sterowanie następuje zgodnie z regułami ujemnego sprzężenia zwrotnego. W cyklu zapisu sygnał O jest w stanie jedynki logicznej, a sygnał Z w stanie zera logicznego.

Jeżeli adres wybranej komórki jest ten sam, co w cyklu odczytu, to prąd wybierania popłynie teraz w tej nitce co poprzednio, ale w kierunku przeciwnym, bowiem sterowany jest wybrany adresem A jeden ze wzmacniaczy W_1 lub $W_3 \dots W_{2N-1}$ i jeden wybrany adresem B ze wzmacniaczy V_2 lub $V_4 \dots V_{2N}$. Ponieważ kierunek spadku napięcia na rezystorze R_p nie ulega zmianie, sprzężenie zwrotne działa jak w cyklu odczytu. Wartość prądu wybierającego w obu cyklach zależy w istotny sposób jedynie od wartości rezystancji R_p i wartości napięcia. Nieistotny jest rozrzut pozostałych parametrów w granicach poprawnej pracy układu sprzężenia zwrotnego. Odpowiedni dobór dryftu napięcia zapewnia pożądaną zmianę termiczną wartości prądu wybierania.

Układ według wynalazku znajduje zastosowanie w pamięciach ferrytowych.

Zastrzeżenie patentowe

Układ stabilizacji prądów wybierania rdzeni w pamięci ferrytovej składający się ze wzmacniaczy prądów wybierania posiadających wejścia adresowe i wejścia sterowania wartością prądu wybierającego, układów selekcji nitek adresowych połączonych z tymi wzmacniaczami przez dołączenie w punktach szeregowego połączenia każdych z dwu wzmacniaczy, układów sterowania wzmacniaczy wybierania w cyklach zapisu i odczytu

i wzmacniacza błędu, z n a m i e n n y t y m, że wzmacniacze wybierające (V_1), (V_3) ... (V_{2N-1}) i (W_1), (W_3) ... (W_{2N-1}) są połączone z rezystorem (R_p) i wejściem wzmacniacza błędu (WB), którego drugie wejście jest połączone z jednym biegunem zależnego od temperatury źródła napięcia (U), a drugi biegun tego źródła napięcia jest połączony z drugą końcówką rezystora (R_p) i źródłem napięcia zasilającego układ (E), przy czym wyjście wzmacniacza błędu (WB) jest połączone z wejściem układu sterowania (US), którego wyjście zapisu jest połączone z wejściem układu sterowania wzmacniaczy wybierania (WZ) w cyklu zapisu, a wyjście odczytu układu (US) jest połączone z wejściem układu sterowania wzmacniaczy wybierających (WO) w cyklu odczytu, przy czym wyjście układu sterowania wzmacniaczy wybierających (WZ) w cyklu zapisu jest połączone z wejściami sterującymi wartością prądu wybierającego wzmacniaczy wybierania (V_2), (V_4), ... (V_{2N}) i (W_1), (W_3) ... (W_{2N-1}), a wyjście układu sterowania wzmacniaczy wybierających (WO) w cyklu odczytu jest połączone z wejściem sterowania wartością prądu wybierającego wzmacniaczy wybierania (V_1), (V_3) ... (V_{2N-1}) i (W_2), (W_4), ... (W_{2N}).

