



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I508155 B

(45)公告日：中華民國 104 (2015) 年 11 月 11 日

(21)申請案號：101124228

(22)申請日：中華民國 101 (2012) 年 07 月 05 日

(51)Int. Cl. : **H01L21/304 (2006.01)**

(30)優先權：2011/07/11 美國

13/180,021

(71)申請人：應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：雷偉生 LEI, WEI-SHENG (CN)；伊頓貝德 EATON, BRAD (US)；亞拉曼奇里麥德
哈瓦饒 YALAMANCHILI, MADHAVA RAO (US)；辛沙拉傑特 SINGH,
SARAVJEET (US)；庫默亞傑 KUMAR, AJAY (US)；伊爾亞帕爾納 IYER,
APARNA (US)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

US 6306731B1

US 20070099439A1

US 20100173474A1

審查人員：陳英豪

申請專利範圍項數：12 項 圖式數：9 共 48 頁

(54)名稱

使用混合式分裂射束雷射劃線製程及電漿蝕刻的晶圓切割

WAFER DICING USING HYBRID SPLIT-BEAM LASER SCRIBING PROCESS WITH PLASMA
ETCH

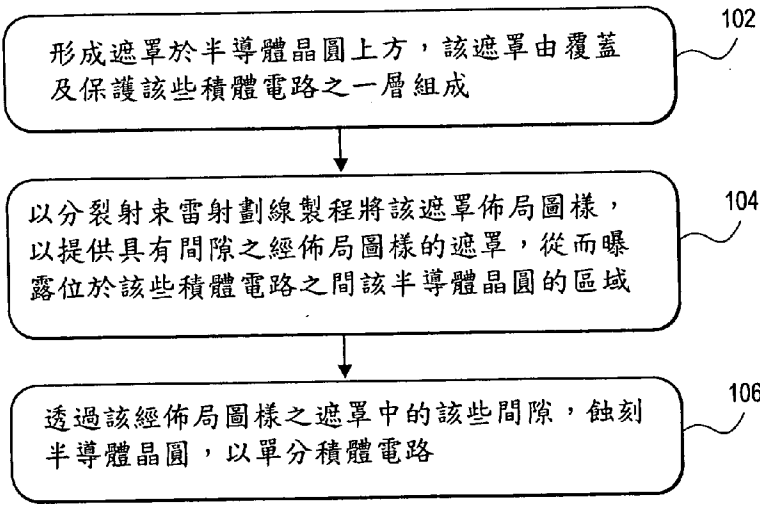
(57)摘要

本發明揭示切割各具有複數個積體電路之半導體晶圓的方法。該方法包括形成遮罩於該半導體晶圓上方。該遮罩由覆蓋及保護該些積體電路之一層所組成。以分裂射束雷射劃線製程將該遮罩圖案化，以提供具有複數間隙之經圖案化之遮罩。該圖案化曝露該些積體電路之間該半導體晶圓之區域。之後，透過經圖案化之遮罩上之該些間隙，蝕刻該半導體晶圓，以單分該些積體電路。

Methods of dicing semiconductor wafers, each wafer having a plurality of integrated circuits, are described. A method includes forming a mask above the semiconductor wafer. The mask is composed of a layer covering and protecting the integrated circuits. The mask is patterned with a split-beam laser scribing process to provide a patterned mask with gaps. The patterning exposes regions of the semiconductor wafer between the integrated circuits. The semiconductor wafer is then etched through the gaps in the patterned mask to singulate the integrated circuits.

流程圖100

- 100 . . . 流程圖
- 102 . . . 操作
- 104 . . . 操作
- 106 . . . 操作



第1圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※申請案號：101124228

※申請日期：101年07月05日

※IPC分類：

1401L2/104 2006.01

一、發明名稱：(中文/英文)

使用混合式分裂射束雷射劃線製程及電漿蝕刻的晶圓切割

WAFER DICING USING HYBRID SPLIT-BEAM LASER SCRIBING
PROCESS WITH PLASMA ETCH

二、中文發明摘要：

本發明揭示切割各具有複數個積體電路之半導體晶圓的方法。該方法包括形成遮罩於該半導體晶圓上方。該遮罩由覆蓋及保護該些積體電路之一層所組成。以分裂射束雷射劃線製程將該遮罩圖案化，以提供具有複數間隙之經圖案化之遮罩。該圖案化曝露該些積體電路之間該半導體晶圓之區域。之後，透過經圖案化之遮罩上之該些間隙，蝕刻該半導體晶圓，以單分該些積體電路。

三、英文發明摘要：

Methods of dicing semiconductor wafers, each wafer having a plurality of integrated circuits, are described. A method includes forming a mask above the semiconductor wafer. The mask is composed of a layer covering and protecting the integrated circuits. The mask is patterned with a split-beam laser scribing process to provide a patterned mask with gaps. The patterning exposes regions of the

semiconductor wafer between the integrated circuits. The semiconductor wafer is then etched through the gaps in the patterned mask to singulate the integrated circuits.

四、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

100 流 程 圖

102 操 作

104 操 作

106 操 作

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明實施例係關於半導體處理領域，特別是關於切割半導體晶圓的方法，其中每一晶圓在該晶圓上具有複數個積體電路。

【先前技術】

在半導體晶圓製程中，將積體電路形成於由矽或其他半導體材料所組成的晶圓(亦被稱作基板)上。通常，會利用半導體、導電或絕緣之不同的材料層來形成積體電路。使用各種習知製程來摻雜、沉積及蝕刻這些材料，以形成積體電路。處理每一晶圓以形成大量含有積體電路的個別區域，該些個別區域即為所知的晶粒。

在形成積體電路的製程之後，「切割」晶圓以將個別晶粒彼此分離，以進行封裝，或者在較大的電路內以未封裝的形式使用。用於晶圓切割的兩種主要技術是劃線及鋸切。藉由劃線，金剛石尖頭劃線器沿預成形之劃割線移動越過晶圓表面。這些劃割線沿晶粒之間的間隔延伸。這些間隔通常被稱作「切割道(street)」。金剛石劃線器沿著切割道在晶圓表面中形成淺劃痕。在施加壓力後，諸如以滾軸來施加壓力，晶圓沿著劃割線分開。晶圓的斷裂會循著晶圓基板的晶格結構。劃線可用於厚度約 10 密耳(千分之一吋)或更小的晶圓。對於較厚的晶圓

而言，目前鋸切是較佳的切割方法。

藉由鋸切，以每分鐘高轉數旋轉的金剛石尖頭鋸接觸晶圓表面，並沿切割道鋸切晶圓。晶圓被安裝於諸如薄膜框架上伸展之黏合薄膜的支撐構件上，且鋸反覆施加於垂直切割道與水平切割道兩者。劃線或鋸切的一個問題是：切屑及挖傷可沿著該些晶粒之切斷邊緣而形成。此外，裂紋可由該些晶粒的邊緣形成並前進至基板中，致使積體電路失效。特別是劃線會有切削和破裂的問題，因為正方形或矩形晶粒僅有一側可沿著結晶結構 $\langle 110 \rangle$ 方向被劃線。因此，該晶粒另一側的劈裂會產生鋸齒狀的分隔線。由於切削及破裂，故於晶圓上的晶粒之間需要額外間隔，以防止積體電路損壞，例如，將切屑及裂紋和實際積體電路保持一定距離。間隔的要求，導致在一標準尺寸晶圓上無法形成同樣多的晶粒，且浪費了原本可用於電路之晶圓空間(real estate)。使用鋸加重半導體晶圓上之晶圓空間的浪費。鋸刀約 15 微米厚。因此，為了確保由鋸所造成的切口周圍之裂紋及其他損壞不損傷積體電路，常須將每一晶粒中之電路分隔三百至五百微米。另外，在切割後，每一晶粒需要實質上的清潔，以移除由鋸切製程所產生的微粒及其他污染物。

電漿切割也已經被使用，但也同樣具有侷限性。舉例而言，成本可為阻礙電漿切割實施的一個侷限。用於圖案化光阻之標準微影操作可能導致實施成本過高。另一個可能阻礙實施電漿切割的侷限為，在沿切割道切割

中，常見金屬(例如銅)的電漿處理可能造成生產問題或產量的限制。

【發明內容】

本發明之實施例包含切割半導體晶圓之方法，其中每一晶圓在該晶圓上具有複數個積體電路。

在一實施例中，切割具有複數個積體電路之半導體晶圓的方法包括：形成一遮罩在該半導體晶圓上方，該遮罩由覆蓋及保護該些積體電路之一層所組成。然後以一分裂射束雷射劃線製程將該遮罩圖案化，以提供具有複數間隙之經圖案化之遮罩，從而曝露介於該些積體電路之間該半導體晶圓的區域。接著透過在該經圖案化之遮罩中的該些間隙，蝕刻該半導體晶圓以單分該些積體電路。

在另一實施例中，切割具有複數個積體電路之半導體晶圓的方法包括：形成一遮罩在該半導體晶圓上方，該遮罩由一覆蓋及保護該些積體電路之一層所組成。然後以一分裂射束雷射劃線製程將該遮罩圖案化，以提供具有複數間隙之經圖案化之遮罩，從而曝露介於該些積體電路之間該半導體晶圓的區域。該分裂射束雷射劃線製程包括將一雷射光束分裂成一 $M \times N$ 點的陣列，其中， M 及 N 兩者皆大於 1。透過該經圖案化之遮罩中的該些間隙單分該些積體電路。

在又一實施例中，用來切割一半導體晶圓的系統包括

一工廠介面。一雷射劃線設備耦接於該工廠介面，且包括一雷射，該雷射耦接於一射束分裂器。一電漿蝕刻腔室也耦接於該工廠介面。

【實施方式】

已描述切割半導體晶圓的方法，其中每一晶圓在該晶圓上具有複數個積體電路。在以下描述中，進一步說明諸多特定細節，例如分裂射束雷射劃線方式及電漿蝕刻條件以及材料狀況，以對本發明實施例提供透徹理解。對於熟習該技術領域者而言，將顯而易見本發明實施例可在沒有這些特定細節的情況下實施。在其他實例中，諸如積體電路製備之已知的態樣不做詳細的描述，以免不必要地使本發明實施例難以理解。此外，應理解，附圖中所示之各種實施例為說明性表示，且無需按比例繪製。

混合式晶圓或基板切割製程有關於初始的雷射劃線及後續的電漿蝕刻，可被實施以單分晶粒。可使用雷射劃線製程清除遮罩層、有機及無機介電層以及元件層。而後，可在曝露或部分蝕刻該晶圓或基板後終止雷射蝕刻製程。然後，可運用切割製程的電漿蝕刻部分來蝕刻穿過大部分晶圓或基板，諸如穿過大部分單結晶矽，以產生晶粒或晶片的單分及切割。在本發明一實施例，提供藉著使用分裂射束陣列於晶圓之飛秒雷射劃線的方法及

系統。在一個這類的實施例中，可達到乾淨的雷射劃線，同時又維持所要求的製程產量。

聚合物、介電質及金屬相較於矽，通常較難自諸如矽基板或已薄化的矽基板上被蝕刻掉。過融熔矽(Over-melted silicon)相較於常態矽而言，也被發現較難被蝕刻，雖然仍不清楚該機制。為確保混合式切割方案之電漿蝕刻部分成功，以及在整個晶圓上達到一致性的溝道寬度，並達到具有良好再現性的全厚度蝕刻，可能需要施以某些條件。舉例而言，在一實施例中，對於乾淨的混合式切割方式而言，需要將聚合物、介電質(如：氧化物)層及金屬層移除乾淨，使聚合物、介電質層及金屬層在劃線通道留下最小殘餘量。該方式可曝露位於劃線溝道底部矽之最大有效表面區域。另外，在一實施例中，雷射剖面(laser aspect)應被提供和劃線切口寬度一致。

對於雷射劃線而言，為了達到上述的條件或要求，通常使用多程劃線技術(multiple-pass scribing techniques)，在該多程劃線技術中，單一射束沿著劃線痕(scribe line)來回掃描多程。通常第一程會移除大部分材料，而在後續幾程清潔該劃線通道，以確保沿著每一通道的潔淨度。然而，多程之方式可對雷射劃線產量或有效劃線速度(例如：等效於單程劃線速度)造成顯著影響。舉例而言，假如劃一條線以大約每秒 800 毫米的速度劃 2 程，等效劃線速度只有大約每秒 400 毫米。

既然雷射劃線速度可能需要與雷射脈衝重複率相互匹配，多程劃線方式通常要求較高的脈衝重複率。舉例而言，假如使用中雷射的脈衝重複率低，劃線速度通常會被降低以產生點對點高度重疊，來形成一條連續的切割線。與二極體激發固態(DPSS)雷射一樣，飛秒雷射可能展現相同的趨勢，脈衝能量隨著脈衝重複率增加而降低。針對雷射劃線製程所要求的脈衝能量，可能提供了所能應用之脈衝重複率的上限值。

因此，在本發明的一個態樣中，組合分裂射束雷射劃線製程及電漿蝕刻製程，可用以將半導體晶圓切割為單分化之積體電路。第 1 圖是根據本發明一實施例，顯示切割半導體晶圓方法之操作流程圖 100，該半導體晶圓具有複數個積體電路。第 2A 至 2C 圖示根據本發明一實施例，在執行切割半導體晶圓之方法時，具有複數個積體電路之半導體晶圓之橫截面圖，該些橫截面圖分別對應於流程圖 100 之操作。

參看流程圖 100 之操作 102 及對應的第 2A 圖，遮罩 202 形成於半導體晶圓或基板 204 上方。該遮罩 202 由一覆蓋及保護該些積體電路 206 之一層所組成，該些積體電路 206 形成於半導體晶圓 204 的表面上。遮罩 202 亦覆蓋介入切割道 207，介入切割道 207 形成在積體電路 206 中每一者之間。

依據本發明一實施例，形成遮罩 202 包含形成一層，諸如(但不限於)一光阻層或一自交系(I-line)圖案化層。

舉例而言，一聚合物層，諸如：一光阻層，可由另外適合用於微影製程之材料所組成。在一實施例中，該光阻層由正光阻材料組成，諸如(但不限於)：248 奈米(nm)抗蝕劑、193 奈米(nm)抗蝕劑、157 奈米(nm)抗蝕劑、極紫外線(extreme ultra-violet;EUV)抗蝕劑或含有重氮基苯醌敏化劑的酚醛樹脂介質。在另一實施例中，該光阻層由負光阻材料組成，諸如(但不限於)：聚順異戊二烯及聚肉桂酸乙烯酯。

在一實施例中，半導體晶圓或基板 204 由適合經受製造程序的材料所組成，且可將半導體處理層適當安置於該材料上。舉例而言，在一實施例中，半導體晶圓或基板 204 由基於 IV 族之材料所組成，諸如(但不限於)結晶矽、鍺或矽/鍺。在一特定實施例中，提供半導體晶圓 204 包括：提供單晶矽基板。在一特定實施例中，該單晶矽基板摻雜有雜質原子。在另一實施例中，半導體晶圓或基板 204 由 III-V 族材料組成，例如用於發光二極體(light emitting diode;LED)製造之 III-V 族材料基板。

在一實施例中，半導體晶圓或基板 204 具有安置於半導體晶圓或基板 204 上或半導體晶圓或基板 204 中的半導體元件陣列，該些半導體元件作為該些積體電路 206 之一部分。此類半導體元件之實例包括(但不限於)：製造於矽基板中且裝於介電層中的記憶體元件或互補式金屬氧化物半導體(complimentary metal-oxide-semiconductor; CMOS)電晶體。在該些元件

或電晶體上方及介電層周圍，可形成複數個金屬內連線並可用來電性耦合於該些元件或電晶體，以形成積體電路 206。組成切割道 207 的材料可相似或相同於用來形成積體電路 206 之彼等材料。舉例而言，切割道 207 可由多層介電材料、半導體材料及金屬化所組成。在一實施例中，切割道 207 之一者或多者包含測試元件，該測試元件相似於積體電路 206 之實際元件。

請參看流程圖 100 之操作 104 及對應的第 2B 圖，以分裂射束雷射劃線製程將該遮罩 202 圖案化，以提供具有複數間隙 210 之經圖案化之遮罩 208，從而曝露介於該些積體電路 206 之間該半導體晶圓或基板 204 的區域。因此，雷射劃線製程用於移除原本形成於該些積體電路 206 間之切割道 207 的材料。依據本發明一實施例，以分裂射束雷射劃線製程圖案化該遮罩 202 包括：形成溝道 212 部分進入介於該積體電路 206 之間的該半導體晶圓 204 區域，如第 2B 圖所示。在一實施例中，以分裂射束雷射劃線製程將該遮罩 202 圖案化包括：使用一雷射，諸如(但不限於)奈秒雷射、皮秒雷射(picoseconds laser)或飛秒雷射。

舉一實例，第 3 圖圖示依據本發明一實施例，分裂射束雷射劃線製程之示意圖 300。請參看第 3 圖，雷射 302 提供光束至擴束器及準直器 304。可替換地，例如，在該光束是高斯型光束(Gaussian-shaped beam)的情況下，該光束可穿過高斯分佈訊號源(Gaussian)至頂帽光束整

形模組(top-hat beam shaping module)306。所產生之光束，不是來自於擴束器及準直器 304，就是來自於高斯分佈訊號源至頂帽光束整形模組 306，或是來自於擴束器及準直器 304 及高斯分佈訊號源至頂帽光束整形模組 306 二者，該光束穿過射束分裂模組 (beam splitting module)308 以提供分裂射束。該分裂射束穿過遠心鏡 (telecentric lens)310 並用於將工件 312 劃線。第 3 圖中也顯示標明在示意圖 300 中的 A-A 視圖及 B-B 視圖。亦如同第 3 圖中所示的方塊圖，可理解 A-A 視圖及 B-B 視圖亦可為矩形圖案。

做為一個實例，第 4 圖圖示依據本發明一實施例，一射束分裂器之示意圖 400。繞射射束分裂操作主要包含穿過繞射元件 (DOE)404 的入射雷射光束 402。具有多重焦點的聚焦鏡 406 提供多個射束、光點或光斑至工作區域 408。在一實施例中，使用繞射射束分裂器將一主要光束複製為以指定好的角度定位於一維或二維陣列的多個射束。在一特定實施例中，入射直徑會等於每一複製射束的出射直徑。

依據本發明一實施例，雷射輸出的雷射光束經由射束分裂光學組件被分裂為 $M \times N$ (M 及 N 其中之一者或二者為等於或大於 2 的正整數) 的點矩陣圖案。然後，該點矩陣圖案透過遠心聚焦鏡被聚焦於工作表面，在該工作表面上，已聚焦後點與點的距離等於單分所要求的晶粒尺寸。在一實施例中，雷射被操作於最大脈衝重複率或接

近於最大脈衝重複率，該最大脈衝重複率供給 $M \times N$ 點矩陣的每一焦點所需的脈衝能量。在一特定實施例中， $M=N$ ，雷射光束相對於該工件移動，且共有 N 條線被劃線以在單程掃描中製作 $(N-1)$ 個單分晶粒。

在一實施例中，使用繞射光學元件(DOE)作為射束分裂器。該繞射光學元件保持入射光束的發散角、輪廓、直徑及偏振性(polarization)。因此，在一些實施例中，每一分裂射束可以得到等量的脈衝能量，並將於工作表面上供應標稱相等的聚焦光斑以及通量。然而，在其他實施例中，是提供具有非相等能量分佈於分裂射束的光束。在一實施例中，使用遠心聚焦鏡以確保該入射光束點被垂直地傳送於工作表面上，因為在分裂雷射光束通過例如：繞射射束分裂器之後，可能存在非零度分裂角(non-zero split angle)。

在一實施例中，二維射束分裂將單一雷射光束劃分為具有預定間隔及射束圖案對稱的 $N \times N$ 條射束。在一個這樣的實施例中，使用適當焦距的匹配遠心聚焦鏡來提供 $N \times N$ 條射束，以具有等同於將被單分之晶粒尺寸之間距。在一特定實施例中，雷射光束被使用於其高斯剖面。可替換地，在另一特定實施例中，該入射光束在入射到射束分裂光學裝置前，先透過光束整形光學模組(beam shaping optics module)轉換成頂帽式光束剖面(top-hat beam profile)。

在一實施例中，分裂射束方式允許單程多重光斑的劃

線製程。在一實施例中，連續的多重光斑切除確保平整的劃線溝道(scribe trench)形成，一致地橫跨正進行單分的晶圓。在一實施例中，藉由使用這樣的方式，顯著提升產量。舉例而言，在一特定實施例中，假設每射束需要約 5uJ 用以將工作表面劃線，雷射在約 100kHz 供應約 45 uJ，在約 200kHz 供應約 20uJ，在約 300kHz 供應約 10 uJ，及在大約 400kHz 供應約 5 uJ。假設對於劃線製程而言，光斑需要相隔約 1 微米，例如：當在約 100kHz 操作雷射時，劃線速度是大約 100 mm/sec(或者在約 200kHz，劃線速度大約 200 mm/sec 等等)。

在上述實例中，習知的方式可使用約 5 uJ，大約 400kHz 的單一射束以大約 400 mm/sec 的速度劃線多次，例如：2 程。每單程的等效劃線速度約 200 mm/sec (等於 400 (mm/sec)/2)。相較之下，在一實施例中，一光束分裂為 $2 \times 2 = 4$ 條射束，該些射束具有預定義的間距，該光束在大約 200 kHz，供應約 5 uJ 於每一分裂射束。使用 2×2 分裂射束，以單程約 200 mm/sec 的速度來對晶圓劃線，會同時產生兩條劃線痕。每單一射束等效劃線速度是大約 $(200 \text{ mm/sec}) \times 2 = 400 \text{ mm/sec}$ ，該速度為習知方式以 400 kHz 劃線的兩倍。

在另一實施例中，入射雷射光束分裂為 $3 \times 3 = 9$ 條射束，該些射束具有預定義之間距。該入射雷射光束在約 100kHz 供應 5 uJ 於每一分裂射束。在一個這類的實施例中，使用該些 3×3 分裂射束以大約 100 mm/sec 的速度對

晶圓劃線單程，並同時產生三條劃線痕。每單一射束之等效劃線速度約 100 mm/sec 乘以 3 倍，要求大約 300 mm/sec。在一實施例中，一 3×3 分裂射束用於提供劃線溝道之平整度的一致性。

因此，在一實施例中，以分裂射束雷射劃線製程將一遮罩圖案化包括：將一雷射光束分裂為一 $M \times N$ 點的陣列， M 及 N 其中之一者大於 1。在一個這類的實施例中， M 及 N 兩者皆大於 1。在另一個這類的實施例中， $M \times N$ 點的陣列中的全部點具有相同的能量。在另一個這類的實施例中，該些點中的第一點相較該些點中的第二點，具有不同的能量，例如：點至點的能量分裂比例可有所差異。在一特定的實施例中， M 及 N 皆等於 2 ($M=2$, $N=2$)，且 $M \times N$ 點的陣列具有諸如(但不限於):正方形或矩形的形狀。

在一實施例中，參照流程圖 100 之操作 104，可能使用雷射脈衝之分裂波列(split train)。取決於正被切除層之複雜性，單一脈衝的分裂波列可能無法為切除性能提供最佳化的能量。然而，在單一脈衝供應較大強度可能導致缺陷的形成。相反，在一實施例中，是使用多脈衝串的分裂波列來切除。

聯同分裂射束雷射劃線的使用，基於飛秒之雷射(相對於例如：基於皮秒之雷射或基於奈秒之雷射)的使用，可能被進一步用於最佳化正進行單分製程層之複雜堆疊之切除性能。因此，在一實施例中，以雷射劃線製程將遮

罩 202 圖案化包括：使用具有飛秒範圍內之脈衝寬度之雷射。具體而言，具有在可見光譜加紫外線 (ultra-violet; UV) 及紅外線 (infra-red; IR) 範圍 (總計寬頻光譜) 內之波長的雷射可用於提供基於飛秒之雷射，亦即具有量級為飛秒 (10^{-15} 秒) 之脈衝寬度的雷射。在一實施例中，切除不依賴於或基本不依賴於波長，且因此適合於複合薄膜，諸如遮罩 202 之薄膜、切割道 207 之薄膜及可能一部分半導體晶圓或基板 204 之薄膜。

第 5 圖圖示依據本發明一實施例，使用飛秒範圍內之雷射脈衝與較長脈衝時間比較之效果。參照第 5 圖，與較長脈衝寬度比較 (例如，藉由皮秒處理通孔 500B 產生損壞 502B 及藉由奈秒處理通孔 500A 產生顯著損壞 502A)，使用具有飛秒範圍內之脈衝寬度的雷射緩解或消除了熱損壞問題 (例如，藉由飛秒處理通孔 500C 最小化至無損壞 502C)。在形成通孔 500C 期間損壞的消除或緩解可歸因於缺乏低能量再耦合 (如見於基於皮秒之雷射切除) 或熱平衡 (如見於基於奈秒之雷射切除)，如第 5 圖所示。

雷射參數選擇，諸如脈衝寬度，對於發展成功的雷射劃線及切割製程可能是關鍵，成功的雷射劃線及切割製程將切削、微裂及分層降至最低，以達成平整的雷射切口。雷射劃線切口愈平整，則用於最終之晶粒單分而執行之蝕刻製程愈平順。在半導體元件晶圓中，許多不同材料類型 (例如導體、絕緣體、半導體) 及厚度之功能層

通常安置於半導體元件晶圓上。此類材料可包括(但不限於)諸如聚合物之有機材料、金屬或諸如二氧化矽及氮化矽之無機介電質。

安置於晶圓或基板上之個別積體電路之間的切割道可包括與該些積體電路本身相似或相同之層。舉例而言，第 6 圖圖示依據本發明之一實施例，材料之堆疊的橫截面圖，該些材料可用於半導體晶圓或基板之切割道區域中。

參照第 6 圖，切割道區域 600 包括矽基板之頂部部分 602、第一二氧化矽層 604、第一蝕刻終止層 606、第一低介電常數介電層 608(例如，具有小於二氧化矽之介電常數 4.0 之介電常數)、第二蝕刻終止層 610、第二低介電常數介電層 612、第三蝕刻終止層 614、無摻雜矽玻璃(undoped silica glass;USG)層 616、第二二氧化矽層 618 及光阻層 620，其中圖示相對厚度。銅金屬 622 安置於第一蝕刻終止層 606 與第三蝕刻終止層 614 之間，且穿過第二蝕刻終止層 610。在一特定實施例中，第一蝕刻終止層 606、第二蝕刻終止層 610 及第三蝕刻終止層 614 由氮化矽組成，而低介電常數介電層 608 及 612 由摻雜碳之氧化矽材料所組成。

習知雷射照射(諸如基於奈秒或基於皮秒之雷射照射)下，切割道 600 之材料在光吸收及切除機制方面表現相當不同。舉例而言，在正常情況下諸如二氧化矽之介電層對所有市售之雷射波長基本上是透明的。相比之下，

金屬、有機物(例如：低介電常數材料)及矽能夠非常容易地耦合光子，特別是響應於基於奈秒或基於皮秒之雷射照射。在一實施例中，以基於飛秒之雷射劃線製程使用分裂射束雷射劃線製程對二氧化矽層、低介電常數材料層及銅層圖案化，藉著先切除二氧化矽層，之後切除低介電常數材料層及銅層。

依據本發明之一實施例，適合的基於飛秒之雷射製程特徵為高峰值強度(照射度)，該高峰值強度通常在不同材料中導致非線性的相互作用。在一個這類的實施例中，飛秒雷射源具有約 10 飛秒至 500 飛秒範圍的脈衝寬度，雖然脈衝寬度較佳是在 100 飛秒至 400 飛秒的範圍內。在一實施例中，飛秒雷射源具有約 1570 奈米至 200 奈米的波長範圍，雖然較佳的波長範圍是在 540 奈米至 250 奈米內。在一實施例中，雷射及對應的光學系統在工作表面提供範圍大約 3 微米至 15 微米之焦點，雖然較佳的範圍是在大約 5 微米至 10 微米內。

最終會被分裂的空間光束剖面可能是一單模(高斯)或具有頂帽形狀之剖面。在一實施例中，雷射源於工作表面供應範圍大約 0.5 μJ 至 100 μJ 的脈衝能量，雖然較佳的範圍是在大約 1 μJ 至 5 μJ 內。在一實施例中，雷射劃線製程沿著工件表面以大約 300 mm/sec 至 5 m/sec 的範圍內的速度執行，雖然較佳的速度範圍是在 500 mm/sec 至 2 m/sec 內。

分裂射束劃線製程可以僅執行單程或執行多程，但

是，在一實施例中，較佳為 1 至 2 程。在一實施例中，在工件表面的劃線深度範圍大約 5 微米至 50 微米深，較佳的範圍是大約 10 微米至 20 微米深。在一實施例中，雖然在矽晶圓上劃線/切割，在元件/矽之介面所量測的切口寬度較佳的範圍大約 6 微米至 10 微米，但雷射光束產生的切口寬度範圍大約在 2 微米至 15 微米內。

可以選擇具有益處或優點之雷射參數，諸如提供足夠高的雷射強度以達到無機介電質(例如：二氧化矽)之離子化，且在直接切除無機介電質之前，將由底層損壞所造成的分層及切削減少至最小。又，可以選擇參數，以精確控制的切削寬度(例如：切口寬度)及深度，以對於工業應用提供有意義的製程產量。如上所述，相較於基於皮秒之雷射及基於奈秒之雷射切除製程，基於飛秒的雷射更遠遠適合於提供此類優點。

然而，即使在基於飛秒之雷射切除光譜中，某些波長可提供比其他波長更好的效能。舉例而言，在一實施例中，相較於具有更接近或在紅外線範圍內的波長，基於飛秒之雷射製程具有更接近或在紫外線範圍內的波長提供了較平整的切除製程。在一特定實施例中，基於飛秒適合於半導體晶圓或基板劃線之雷射製程，係基於具有波長約小於或等於 540 奈米之雷射。在特別是這類的實施例中，使用約小於或等於 400 飛秒之脈衝的雷射，該雷射具有約小於或等於 540 奈米的波長。然而，在一替代實施例中，使用雙雷射波長(例如，紅外線雷射與紫

外線雷射之組合)。

參照流程圖 100 之操作 106，及對應的第 2C 圖，透過經圖案化之遮罩 208 中的該些間隙 210，蝕刻半導體晶圓 204，以單分積體電路 206。依據本發明之一實施例，蝕刻半導體晶圓 204 包括：藉由蝕刻初始由分裂射束雷射劃線製程所形成之溝道 212，以最終完全蝕刻穿過半導體晶圓 204，如第 2C 圖所示。

在一實施例中，蝕刻半導體晶圓 204 包括使用電漿蝕刻製程。在一實施例中，使用矽通孔型(through-silicon via type)蝕刻製程。舉例而言，在一特定實施例中，半導體晶圓 204 的材料蝕刻速率大於每分鐘 25 微米。超高密度電漿源可用於晶粒單分製程的電漿蝕刻部分。適合於執行此類電漿蝕刻製程的處理腔室之實例為可購自 Applied Materials (Sunnyvale, CA, USA) 之 Applied Centura® Silvia™ Etch 系統。Applied Centura® Silvia™ Etch 系統組合電容及感應射頻(radio frequency; RF)耦合，較僅電容性耦合甚至磁性增強所提供改良之可能情況，電容性與感應射頻耦合給予離子密度及離子能量更多獨立控制。此組合使離子密度能夠與離子能量有效地去耦，以便即使在非常低的壓力下，達到不具有可能有害之高直流偏壓位階(direct current; DC)相對較高密度的電漿。這造成一個異常寬的製程視窗。然而，可使用任何能蝕刻矽之電漿蝕刻腔室。在一示例性實施例中，使用深矽蝕刻以大於習知矽蝕刻速率約 40%之蝕刻速率

蝕刻單晶矽基板或晶圓 204，同時維持基本上精準的剖面控制及實質上無扇形之側壁。在一特定實施例中，使用矽通孔型(through-silicon via type)蝕刻製程。該蝕刻製程是基於由反應性氣體所產生的電漿，該反應性氣體通常為氟基氣體，諸如 SF_6 、 C_4F_8 、 CHF_3 、 XeF_2 或能以相對快的反應速率蝕刻矽的任何其他反應性氣體。在一實施例中，在單分製程後，移除遮罩層 208，如第 2C 圖所示。

因此，請再參照流程圖 100 及第 2A 圖至第 2C 圖，藉由初始切除而執行晶圓切割，該初始切除使用分裂射束雷射劃線製程切除穿過遮罩層，穿過晶圓切割道(包括金屬化)，且部分進入矽基板。之後，藉著後續之穿矽電漿深蝕刻完成晶粒單分。依據本發明一實施例，下文將描述結合第 7A 至 7D 圖用於切割之材料堆疊之特定實例。

參照第 7A 圖，用於混合式雷射切除及電漿蝕刻切割之材料堆疊包括遮罩層 702、元件層 704 及基板 706。遮罩層 702、元件層 704 及基板 706 被安置於晶粒黏著薄膜 708 上方，該晶粒黏著薄膜 708 附著至襯帶(backing tape)710。在一實施例中，遮罩層 702 為光阻層，諸如前述結合於遮罩 202 之光阻層。元件層 704 包括安置於單層或多層金屬層(諸如銅層)，及單層或多層低介電常數介電層(諸如摻碳氧化物層)上方之無機介電層(諸如二氧化矽)。元件層 704 也包括設置於積體電路之間的切割道，該些切割道包括相同或相似於積體電路之層。基板

706 為塊狀單晶矽基板。

在一實施例中，塊狀單晶矽基板 706 會自背側先削薄，再貼附晶粒黏著薄膜 708。可藉由背側研磨製程執行該削薄步驟。在一實施例中，塊狀單晶矽基板 706 被削薄至厚度大約在 50 微米至 100 微米的範圍內。在一實施例中，重要的是應注意，削薄步驟是在雷射切除及電漿蝕刻切割製程之前執行。在一實施例中，光阻層 702 具有大約 5 微米之厚度，且元件層 704 具有大約 2 微米至 3 微米之厚度範圍。在一實施例中，晶粒黏著薄膜 708(或任何合適於能將已削薄或薄晶圓或基板黏接至襯帶 710 之替代物)具有約 20 微米的厚度。

參照第 7B 圖，以分裂射束雷射劃線製程 712 將遮罩 702、元件層 704 及一部分基板 706 圖案化，以在基板 706 上形成溝道 714。參照第 7C 圖，使用穿矽電漿深蝕刻製程 716 以將溝道 714 向下延伸至晶粒黏著薄膜 708，從而曝露晶粒黏著薄膜 708 之頂部部分並單分該矽基板 706。在穿矽深電漿蝕刻製程 716 期間，藉由光阻層 702 保護元件層 704。

參照第 7D 圖，單分製程可進一步包括將晶粒黏著薄膜 718 圖案化，從而曝露襯帶 710 頂部並單分晶粒黏著薄膜 708。在一實施例中，藉由雷射製程或藉由蝕刻製程單分晶粒黏著薄膜。進一步實施例可包括後續由襯帶 710 移除基板 706(例如：作為個別積體電路)已單分的部分。在一實施例中，已單分的晶粒黏著薄膜 708 留存在基板

706 已單分部份之背側。其他實施例可包括由元件層 704 移除遮罩光阻層 702。在一可替換的實施例中，在基板 706 比約 50 微米更薄的情況下，使用雷射切除製程 712 以徹底單分基板 706，而未使用額外的電漿製程。

在一實施例中，繼單分晶粒黏著薄膜 708 後，自元件層 704 移除遮罩光阻層 702。在一實施例中，自襯帶 710 移除已單分之積體電路，以用於封裝。在一個這類實施例中，經圖案化之晶粒黏著薄膜 708 留存於每一積體電路之背側上，且一併於最後封裝。然而，在另一實施例中，在單分製程期間或在單分製程後，移除經圖案化之晶粒黏著薄膜 708。

單一製程工具可經配置，以執行混合具有分裂射束雷射切割之雷射及電漿蝕刻單分製程中之許多或全部操作。舉例而言，第 8 圖圖示依據本發明一實施例，用於雷射或電漿切割晶圓或基板之工具佈局方塊圖。

參照第 8 圖，製程工具 800 包括工廠介面 802(factory interface; FI)，該工廠介面 802 具有與工廠介面 802 耦接之複數個負載鎖室 804。群集工具 806 耦接於工廠介面 802。群集工具 806 包括一個或多個電漿蝕刻腔室，諸如電漿蝕刻腔室 808。雷射劃線設備 810 也耦接於工廠介面 802。在一實施例中，製程工具 800 之整個佔地面積，約 3500 毫米(3.5 公尺)乘以約 3800 毫米(3.8 公尺)，如第 8 圖所示。

在一實施例中，雷射劃線設備 810 安放已配置來執行

分裂射束雷射劃線製程之雷射設備。該雷射可適合於執行混合式雷射及蝕刻單分製程的雷射切除部份，諸如上述之雷射切除製程。在一實施例中，雷射劃線設備 810 亦包括射束分裂器。在一特定實施例中，射束分裂器相似於結合第 3 圖及第 4 圖所述之其中一個射束分裂器。在一實施例中，雷射劃線設備 810 的整個佔地面積可為約 2240 毫米乘以約 1270 毫米，如第 8 圖所示。

在一實施例中，雷射劃線設備 810 的射束分裂器經配置以將來自於雷射的雷射光束分裂為 $M \times N$ 點的陣列， $M \times N$ 點的陣列中 M 或 N 其中一者大於 1。在一個這類實施例中， M 及 N 二者皆大於 1。在另一個這類實施例中， $M \times N$ 點的陣列中的全部點具有相同的能量。在另一個這類實施例中，該些點的第一點相較於該些點的第二點具有不同的能量。在一特定的實施例中， $M=2$ 且 $N=2$ ，且 $M \times N$ 點的陣列具有諸如(但不限於):正方形或矩形的形狀。

在一實施例中，一個或多個電漿蝕刻腔室 808 經配置用以透過經圖案化之遮罩中的該些間隙，蝕刻晶圓或基板，以單分複數個積體電路。在一個這類的實施例中，一個或多個電漿蝕刻腔室 808 經配置來執行深矽蝕刻製程。在一特定實施例中，一個或多個電漿蝕刻腔室 808 為可購自 Applied Materials (Sunnyvale, CA, USA) 之 Applied Centura® Silvia™ Etch 系統。可為深矽蝕刻特別設計蝕刻腔室，該深矽蝕刻用以創造安放於單晶矽基

板或晶圓之上，或單晶矽基板或晶圓之中的單分化積體電路。在一實施例中，電漿蝕刻腔室 808 包括高密度電漿源以促進高的矽蝕刻速率。在一實施例中，製程工具 800 的群集工具 806 部分中，包括超過一個蝕刻腔室，以使單分或切割製程中能具有高製造產量。

工廠介面 802 可為合適的大氣埠，該大氣埠通向具有雷射劃線設備 810 之外部製造設施與群集工具 806 之間的介面。工廠介面 802 可包括具有臂桿或葉片的機械臂，該些機械臂用來將晶圓(或該些晶圓之運載架)由儲存單元(諸如前開口式晶圓盒)傳送進入群集工具 806 或雷射劃線設備 810 或該兩者中。

群集工具 806 可包括適合於在單分方法中執行功能的其他腔室。舉例而言，在一實施例中，群集工具 806 包括沉積腔室 812，來取代額外的蝕刻腔室。沉積腔室 812 可經配置用以在晶圓或基板的雷射劃線之前，將遮罩沉積於晶圓或基板之元件層上或上方。在一個這類的實施例中，沉積腔室 812 適合於用來沉積光阻層。在另一實施例中，群集工具 806 包括濕潤/乾燥站 814，以取代額外的蝕刻腔室。濕潤/乾燥站適合於在基板或晶圓的雷射劃線及電漿蝕刻單分製程之後，清除殘留物及碎片，或用來移除遮罩。在一實施例中，群集工具 806 也包括做為製程工具 800 之部件的量測站。

本發明實施例可被提供做為電腦程式產品或軟體，該電腦程式產品或軟體可包括機器可讀媒體，該機器可讀

媒體上儲存有指令，該些指令可用來程式化電腦系統(或其他電子元件)以執行依據本發明實施例之製程。在一實施例中，電腦系統與結合於第 8 圖所描述的製程工具 800 耦接。機器可讀媒體包括用來儲存或傳遞機器(例如：電腦)可讀格式的資訊之任何機構。舉例來說，機器可讀(例如：電腦可讀)媒體包括：機器(例如：電腦)可讀儲存媒體(例如：唯讀記憶體(read only memory; ROM)、隨機存取記憶體(random access memory; RAM)、磁碟儲存媒體、光學儲存媒體、快閃記憶體元件等等)、機器(例如：電腦)可讀傳輸媒體(電類比、光學、聲學或其他傳播訊號格式(例如：紅外線訊號、數位訊號等等))，等等。

第 9 圖圖示以電腦系統 900 為示例性形式之機器圖解表示，在該電腦系統中執行一組指令，用以使機器執行任何本文所描述之方法中之一者或多者。在替代的實施例中，機器可在區域網路(Local Area Network; LAN)、企業內部網路、企業外部網路或網際網路中連結(例如：網路連接)於其他機器。該機器可於客戶端-伺服器網路環境中，做為伺服器或客戶端機器操作，或者在同級間(或分散式)網路環境中，做為同級機器操作。該機器可以是個人電腦(personal computer; PC)、平板 PC、機上盒(set-top box; STB)、個人數位助理(personal digital assistant; PDA)、行動電話、網路設備、伺服器、網路路由器、切換器或橋接器，或能夠執行由該機器所採取之指定動作之一組指令(順序操作或其他方式)的任何機

器。此外，雖僅有圖示單一機器，術語「機器」亦應被視為包括任何機器(例如：電腦)之集合，該些機器個別或共同執行一組(或多組)指令，以執行本文所描述之方法中的任何一者或多者。

示例性電腦系統 900 包括處理器 902、主記憶體 904(例如：唯讀記憶體(read-only memory; ROM)、快閃記憶體、諸如同步 DRAM(SDRAM)或 Rambus DRAM (RDRAM)等等之動態隨機存取記憶體(dynamic random access memory; DRAM))、靜態記憶體 906(例如：快閃記憶體、靜態隨機存取記憶體(static random access memory; SRAM)等等)、及輔助記憶體 918(例如：資料儲存元件)，該些設備經由匯流排 930 相互通訊。

處理器 902 代表一個或多個一般用處理器元件，諸如：微處理器、中央處理單元或類似的元件。更特別地，處理器 902 可以是複雜指令集計算(complex instruction set computing; CISC)微處理器、精簡指令集計算(reduced instruction set computing; RISC)微處理器、超長指令集計算(very long instruction word; VLIW)微處理器、實施其他指令集之處理器或實施指令集組合之處理器。處理器 902 亦可為一個或多個專用處理器元件，諸如：特殊應用積體電路(application specific integrated circuit; ASIC)、現場可程式化閘陣列(field programmable gate array; FPGA)、數位訊號處理器(digital signal processor; DSP)、網路處理器或這類元件。處理器 902 經

配置以執行用於執行本文所述操作之處理邏輯 926。

電腦系統 900 可更進一步包括網路介面元件 908。電腦系統 900 亦可包括視訊顯示單元 910(例如：液晶顯示器(liquid crystal display; LCD)、發光二極體顯示器(light emitting diode display ; LED)或陰極射線管(cathode ray tube; CRT))、文數輸入元件 912(例如：鍵盤)、游標控制元件 914(例如：滑鼠)及訊號產生元件 916(例如：揚聲器)。

輔助記憶體 918 可包括機器可存取儲存媒體 931(或更具體而言，電腦可讀儲存媒體)，該機器可存取儲存媒體 931 上可儲存一組或多組指令(例如：軟體 922)，該些指令實現本文所描述之任何一者或多者之方法或功能。在電腦系統 900、主記憶體 904 及亦構成機器可讀媒體之處理器 902 執行軟體 922 期間，軟體 922 亦可完整或至少部份地常駐於主記憶體 904 及/或處理器 902 內部。可經由網路介面元件 908 在網路 920 上進一步傳輸或接收軟體 922。

儘管在示例性實施例中將機器可存取儲存媒體 931 圖示為單個媒體，術語「機器可讀取儲存媒體」應被視為包括單個媒體或多個媒體(例如集中式或分散式資料庫，及/或相關聯之快取記憶體及伺服器)，儲存一組或多組指令。術語「機器可讀取儲存媒體」亦應被視為包括能夠儲存或編碼一組指令的任何媒體，以由機器執行並使機器執行本發明之方法中任何一者或多者。術語「機

器可讀取儲存媒體」應該因此而被視為包括(但不限於)固態記憶體，及光學及磁性媒體。

依據本發明之實施例，可使資料處理系統執行切割半導體晶圓方法之指令儲存於機器可存取儲存媒體上，該半導體晶圓具有複數個積體電路。該方法包括形成遮罩於半導體晶圓上方，該遮罩由覆蓋及保護積體電路之一層組成。之後，以分裂射束雷射劃線製程將該遮罩圖案化，以提供具有間隙之經圖案化的遮罩。在該些積體電路之間曝露該半導體晶圓區域。之後，透過該經圖案化之遮罩中的該些間隙，將該半導體晶圓蝕刻，以單分積體電路。

因此，切割半導體晶圓之方法已被揭示，每一晶圓具有複數個積體電路。依據本發明一實施例，該切割具有複數個積體電路的半導體晶圓之方法包括以下步驟：形成遮罩於半導體晶圓上方，該遮罩由覆蓋及保護該積體電路之一層組成。該方法亦包括以分裂射束雷射劃線製程將該遮罩圖案化，以提供具有間隙之經圖案化的遮罩，從而曝露位於該些積體電路之間的該半導體晶圓區域。該方法亦包括透過該經圖案化之遮罩中的該些間隙，蝕刻半導體晶圓以單分該些積體電路。在一實施例中，以分裂射束雷射劃線製程將該遮罩圖案化之步驟包括：將雷射光束分裂成一 $M \times N$ 點的陣列，其中， M 及 N 其中一者大於 1。在一實施例中，以分裂射束雷射劃線製程將該遮罩圖案化之步驟包括：使用基於飛秒之雷射。

【圖式簡單說明】

第 1 圖 為依據本發明一實施例，顯示切割半導體晶圓方法之操作流程圖，該半導體晶圓具有複數個積體電路。

第 2A 圖 圖示依據本發明一實施例，在執行切割半導體晶圓之方法時，具有複數個積體電路之半導體晶圓之橫截面圖，該橫截面圖對應於第 1 圖之流程圖之操作 102。

第 2B 圖 圖示依據本發明一實施例，在執行切割半導體晶圓之方法時，具有複數個積體電路之半導體晶圓之橫截面圖，該橫截面圖對應於第 1 圖之流程圖之操作 104。

第 2C 圖 圖示依據本發明一實施例，在執行切割半導體晶圓之方法時，具有複數個積體電路之半導體晶圓之橫截面圖，該橫截面圖對應於第 1 圖之流程圖之操作 106。

第 3 圖 圖示依據本發明一實施例，一分裂射束雷射劃線製程之示意圖。

第 4 圖 圖示依據本發明一實施例，一射束分裂器之示意圖。

第 5 圖 圖示依據本發明一實施例，使用飛秒範圍內之雷射脈衝與較長脈衝時間比較之效果。

第 6 圖 圖示依據本發明一實施例，材料堆疊之橫截面

圖，該些材料可用於半導體晶圓或基板之切割道區域。

第 7A 至 7D 圖 圖示依據本發明一實施例，切割半導體晶圓方法中，不同操作之橫截面圖。

第 8 圖 圖示依據本發明一實施例，用於雷射及電漿切割晶圓或基板之工具佈局方塊圖。

第 9 圖 圖示依據本發明一實施例，示例性電腦系統之方塊圖。

【主要元件符號說明】

100	流程圖
102	操作
104	操作
106	操作
202	遮罩
204	半導體晶圓或基板
206	積體電路
207	切割道
208	遮罩
210	間隙
212	溝道
300	示意圖
302	雷射
304	擴束器及準直器

- 306 頂帽光束整形模組
- 308 射束分裂模組
- 310 遠心鏡
- 312 工件
- 400 射束分裂器示意圖
- 402 雷射光束
- 404 繞射元件
- 406 聚焦鏡
- 408 工作區域
- 500A 通孔
- 500B 通孔
- 500C 通孔
- 502A 損壞
- 502B 損壞
- 502C 損壞
- 600 切割道區域/切割道
- 602 頂部部分
- 604 第一二氧化矽層
- 606 第一蝕刻終止層
- 608 第一低介電常數介電層
- 610 第二蝕刻終止層
- 612 第二低介電常數介電層
- 614 第三蝕刻終止層
- 616 無摻雜矽玻璃層

- 618 第二二氧化矽層
- 620 光阻層
- 622 銅金屬
- 702 遮罩層 / 光阻層 / 遮罩
- 704 元件層
- 706 基板
- 708 晶粒黏著薄膜
- 710 襯帶
- 712 分裂射束雷射劃線製程 / 雷射切除製程
- 714 溝道
- 716 穿矽電漿深蝕刻製程
- 800 製程工具
- 802 工廠介面
- 804 負載鎖室
- 806 群集工具
- 808 電漿蝕刻腔室
- 810 雷射劃線設備
- 812 沉積腔室
- 814 濕潤 / 乾燥站
- 900 電腦系統
- 902 處理器
- 904 主記憶體
- 906 靜態記憶體

908	網路介面元件
910	視訊顯示單元
912	文數輸入元件
914	游標控制元件
916	訊號產生元件
918	輔助記憶體
920	網路
922	軟體
926	處理邏輯
930	匯流排
931	機器可存取儲存媒體

七、申請專利範圍：

1. 一種切割一半導體晶圓的方法，該半導體晶圓包含一前表面，該前表面上具有複數個積體電路，且該半導體晶圓具有一後表面與該前表面相對，該方法包含以下步驟：

形成一遮罩於該半導體晶圓的該前表面上，該遮罩包含覆蓋並保護該些積體電路之一層；

以一分裂射束雷射劃線製程將該遮罩及該半導體晶圓的一部分圖案化，以提供一經圖案化之遮罩，並形成多個溝道，該些溝道部分進入但不穿過介於該些積體電路之間的該半導體晶圓，該些溝道中的各溝道在該半導體晶圓中具有一開口，在該半導體晶圓中之該開口具有一寬度；及

在該經圖案化之遮罩曝露的情況下，透過該些溝道電漿蝕刻該半導體晶圓，以形成多個對應的溝道延伸並單分該些積體電路，該些對應的溝道延伸中的各對應的溝道延伸具有該寬度。

2. 如申請專利範圍第 1 項所述的方法，其中，以該分裂射束雷射劃線製程將該遮罩及該半導體晶圓的該部分圖案化之步驟包含以下步驟：將一雷射光束分裂為一 $M \times N$ 點的陣列，其中， M 及 N 中之一者大於 1。

3.如申請專利範圍第 2 項所述的方法，其中， M 及 N 兩者皆大於 1。

4.如申請專利範圍第 2 項所述的方法，其中，該 $M \times N$ 點的陣列中的全部點具有相同能量。

5.如申請專利範圍第 2 項所述的方法，其中，該些點之一第一點具有的能量不同於該些點之一第二點具有的能量。

6.如申請專利範圍第 3 項所述的方法，其中， $M=2$ 且 $N=2$ ，且該 $M \times N$ 點的陣列具有一形狀，該形狀選自由一正方形及一矩形所組成的群組。

7.如申請專利範圍第 1 項所述的方法，其中，以該分裂射束雷射劃線製程將該遮罩及該半導體晶圓的該部分圖案化之步驟包含以下步驟：使用一基於飛秒之雷射。

8.一種切割一半導體晶圓的方法，該半導體晶圓包含一前表面，該前表面上具有複數個積體電路，且該半導體晶圓具有一後表面與該前表面相對，該方法包含以下步驟：

形成一遮罩於該半導體晶圓的該前表面上，該遮罩包含覆蓋並保護該些積體電路之一層；

以一分裂射束雷射劃線製程將該遮罩及該半導體晶圓的一部分圖案化，以提供一經圖案化之遮罩，並形成多個溝道，該些溝道部分進入但不穿過介於該些積體電路之間的該半導體晶圓，該些溝道中的各溝道在該半導體晶圓中具有一開口，在該半導體晶圓中之該開口具有一寬度，其中，該分裂射束雷射劃線製程包含將一雷射光束分裂為一 $M \times N$ 點的陣列，其中， M 及 N 二者皆大於 1；及

在該經圖案化之遮罩曝露的情況下，使用與該分裂射束雷射劃線製程不同之一製程，透過該些溝道單分該些積體電路，以形成多個對應的溝道延伸，該些對應的溝道延伸中的各對應的溝道延伸具有該寬度。

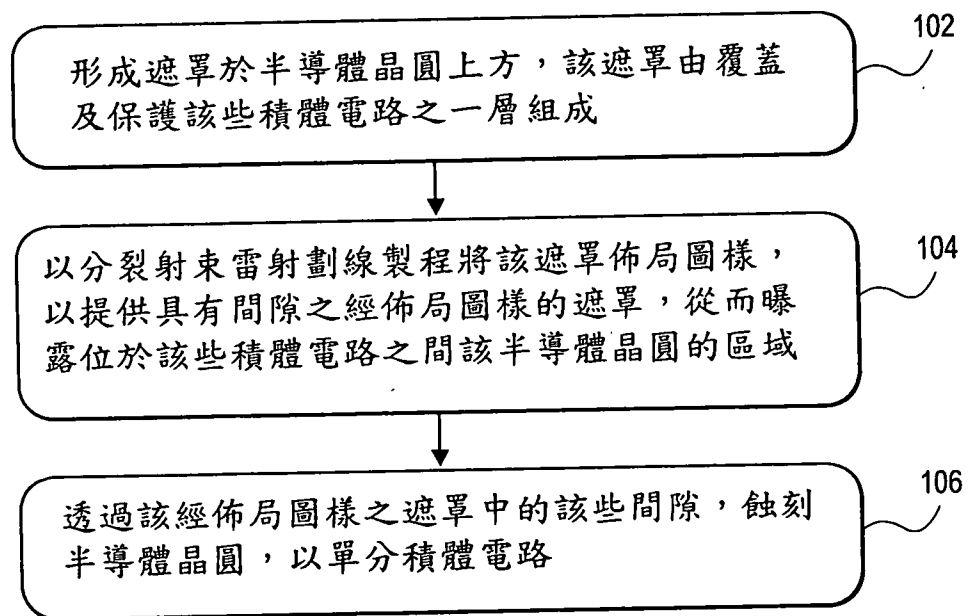
9.如申請專利範圍第 8 項所述的方法，其中，該 $M \times N$ 點的陣列中的全部點具有相同能量。

10.如申請專利範圍第 8 項所述的方法，其中，該些點之一第一點具有的能量不同於該些點之一第二點具有的能量。

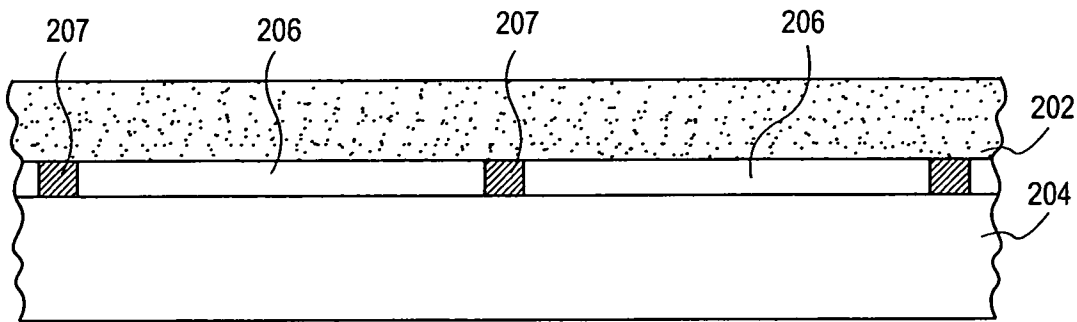
11.如申請專利範圍第 8 項所述的方法，其中， $M=2$ 且 $N=2$ ，且該 $M \times N$ 點的陣列具有一形狀，該形狀選自由一正方形及一矩形所組成的群組。

12.如申請專利範圍第 8 項所述的方法，其中，以該分裂射束雷射劃線製程將該遮罩及該半導體晶圓的該部分圖案化之步驟包含以下步驟：使用一基於飛秒之雷射。

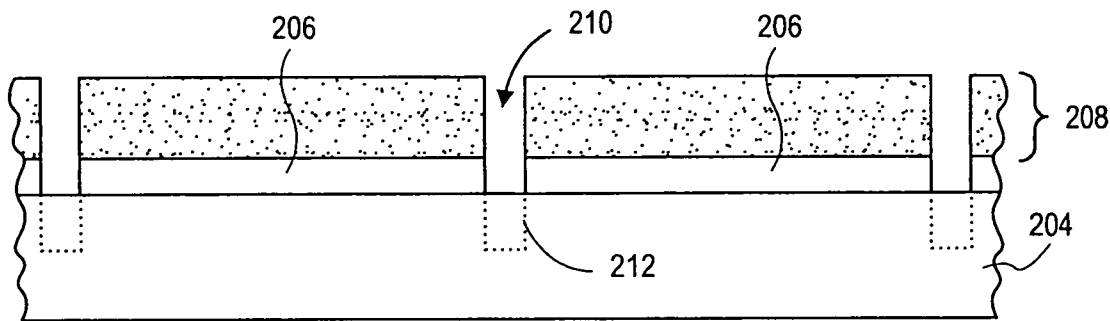
流程圖100



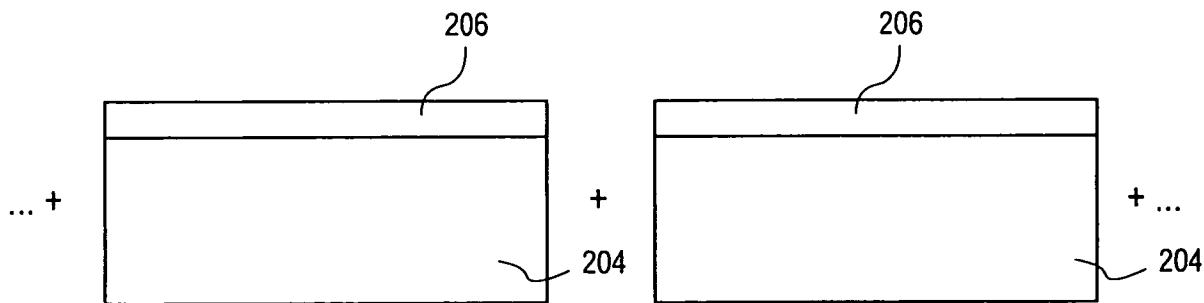
第1圖



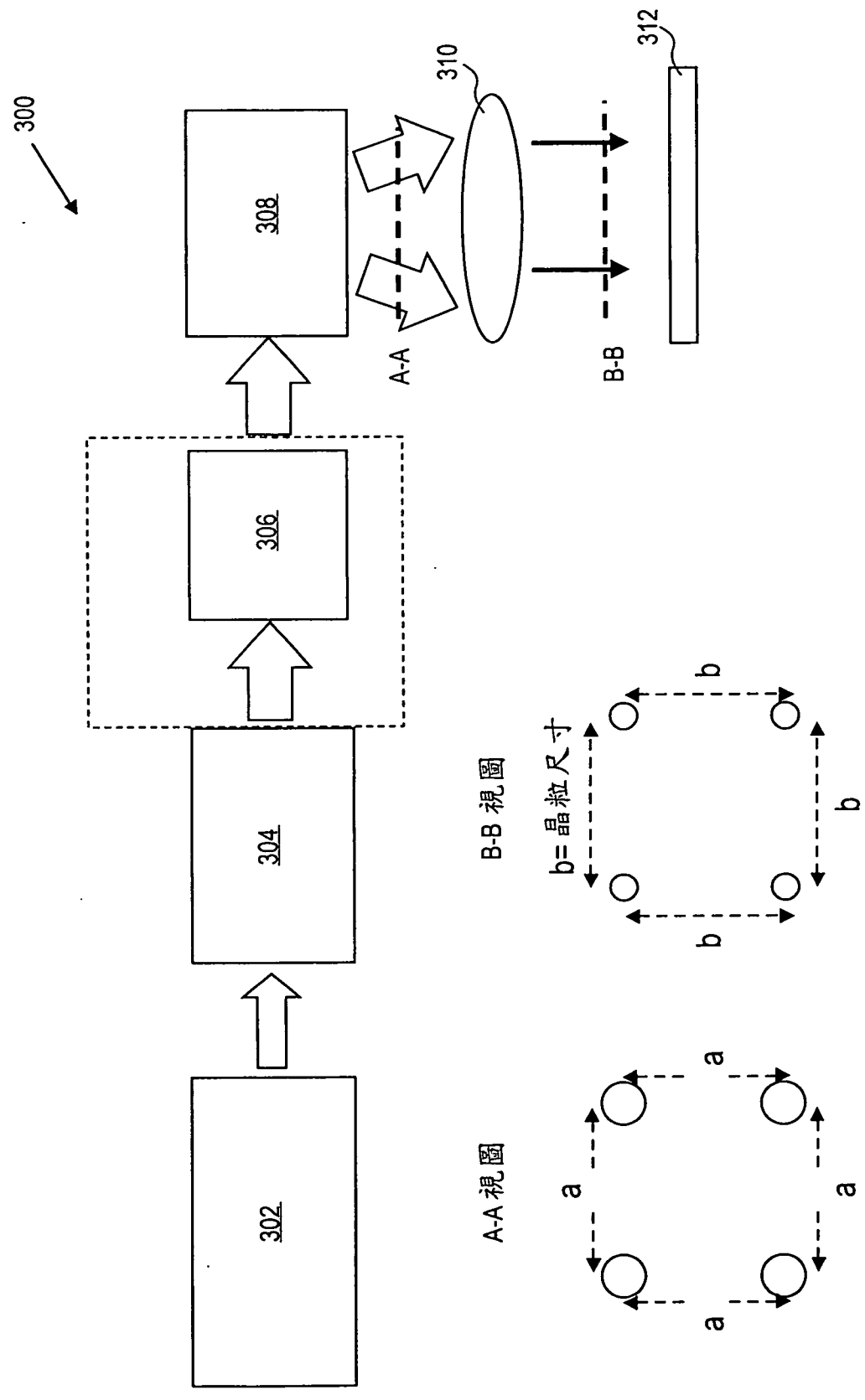
第2A圖



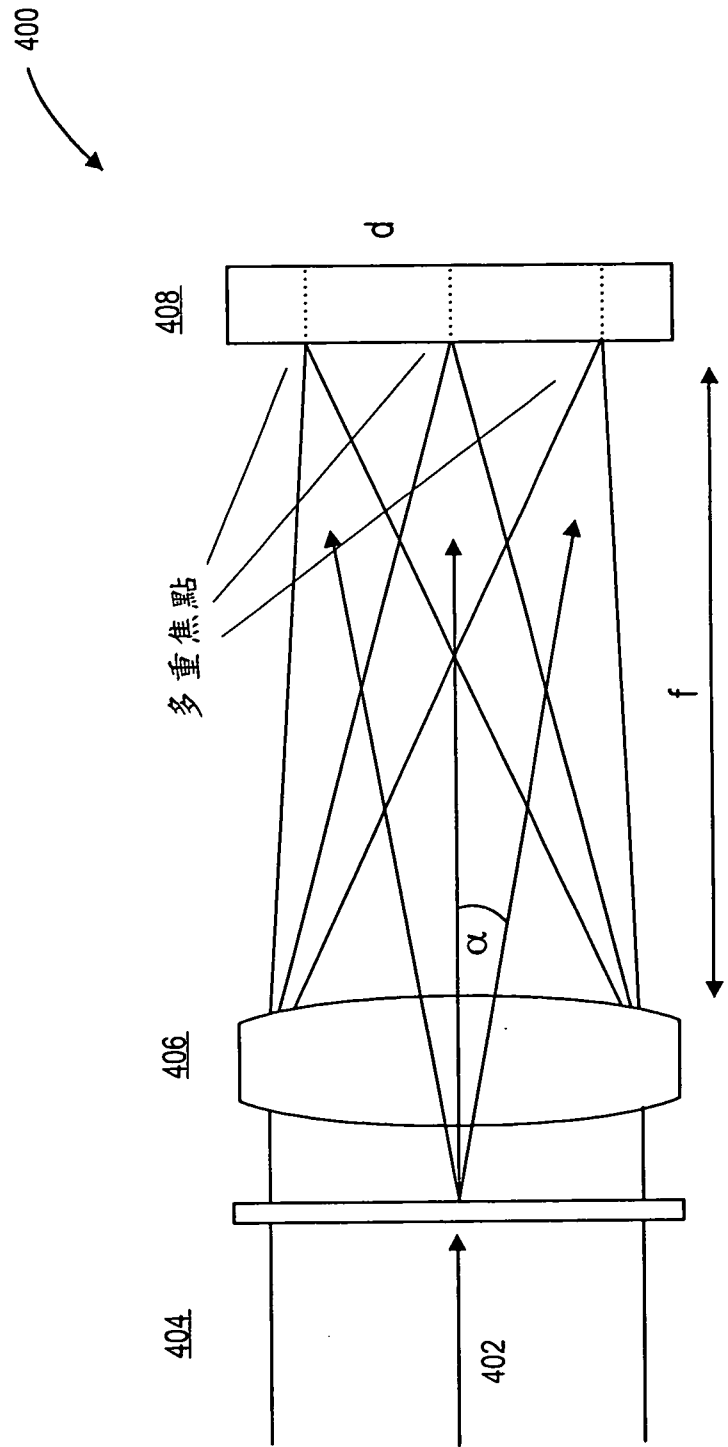
第2B圖



第2C圖



第3圖

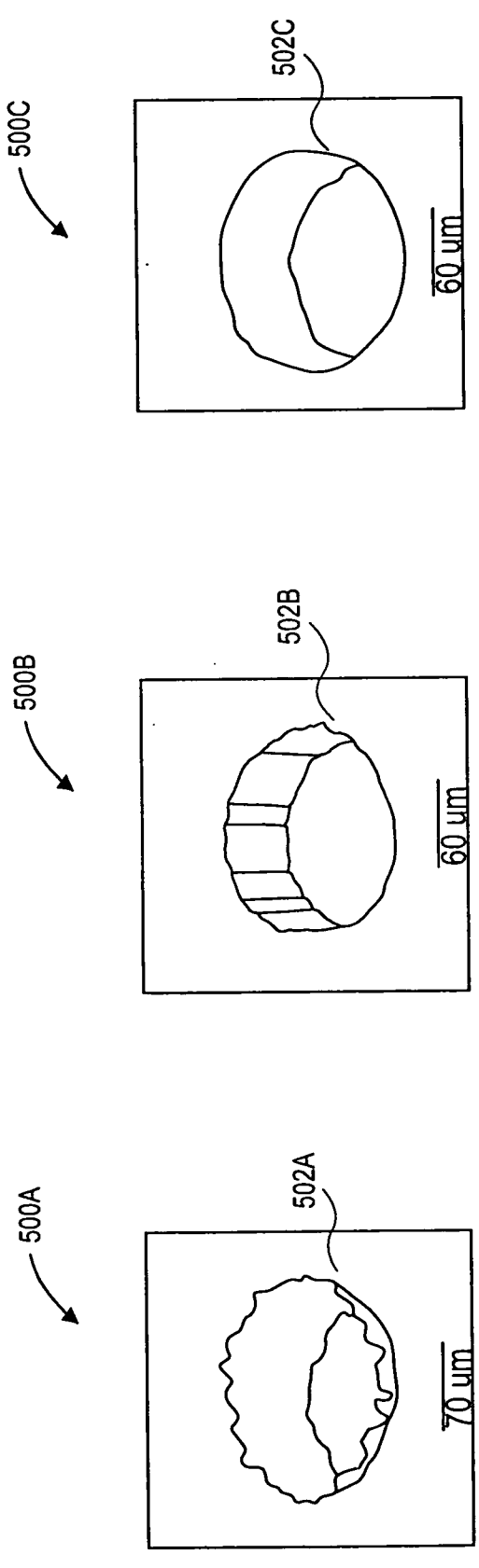


α 分離角 (Separation angle)

f 透鏡之聚焦長度 (Focus length of lens)

d 依據 α 及 f 之光斑距離 (Spot distance according to α and f)

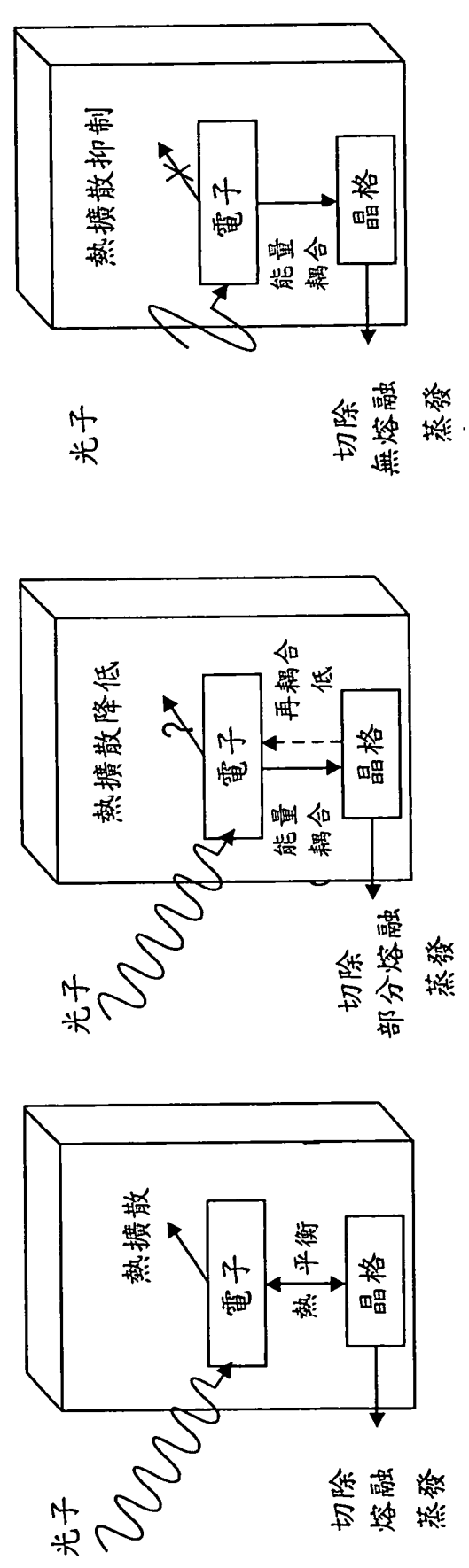
第4圖



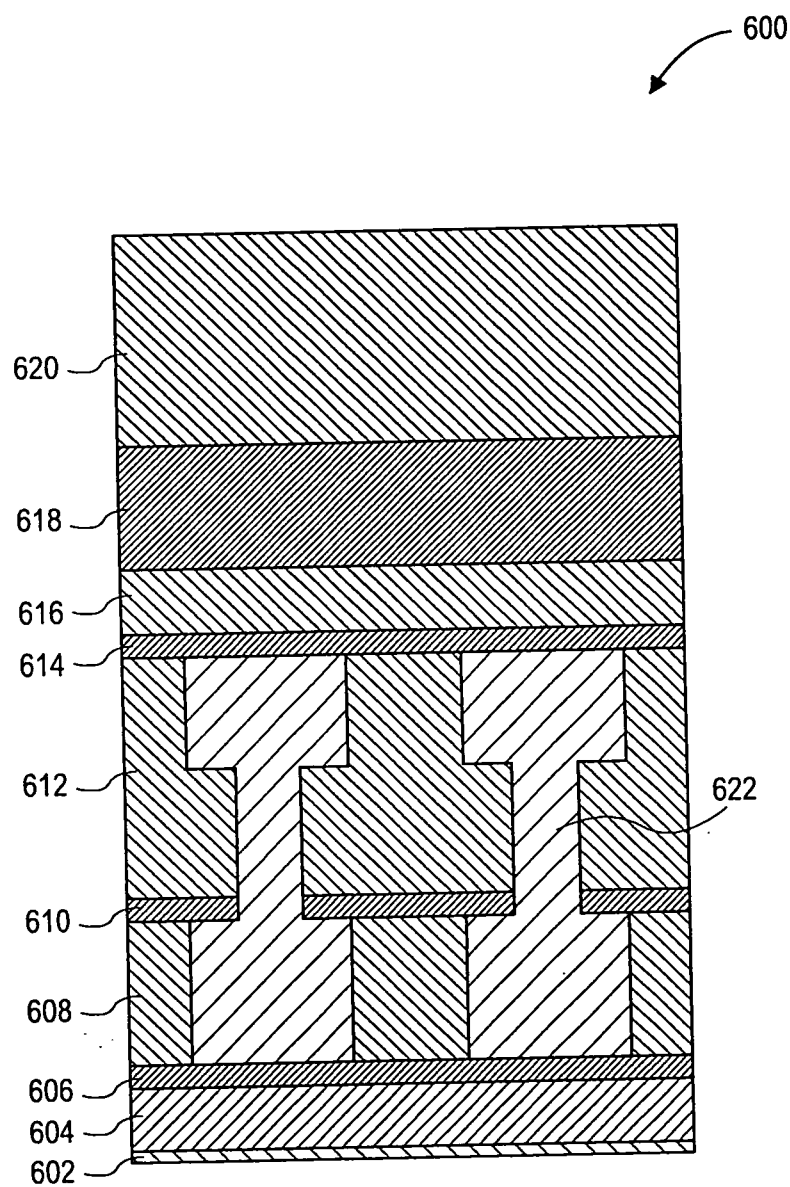
奈秒

皮秒

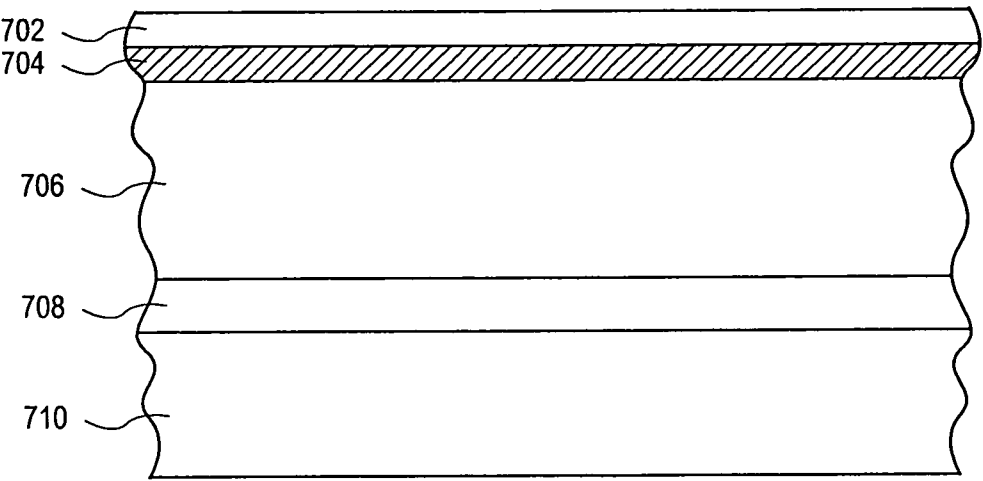
飛秒



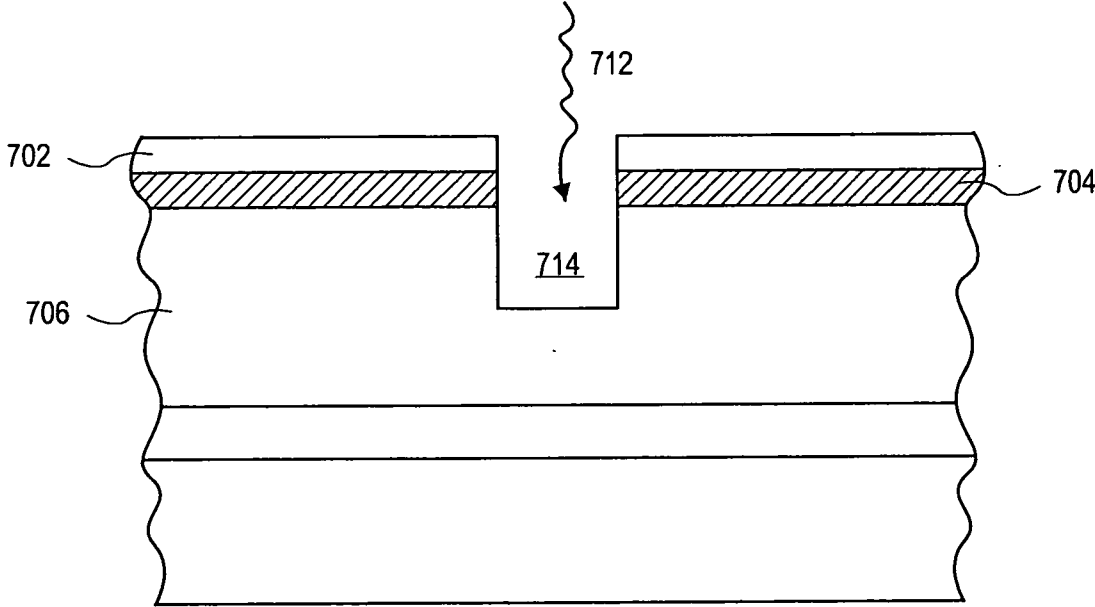
第5圖



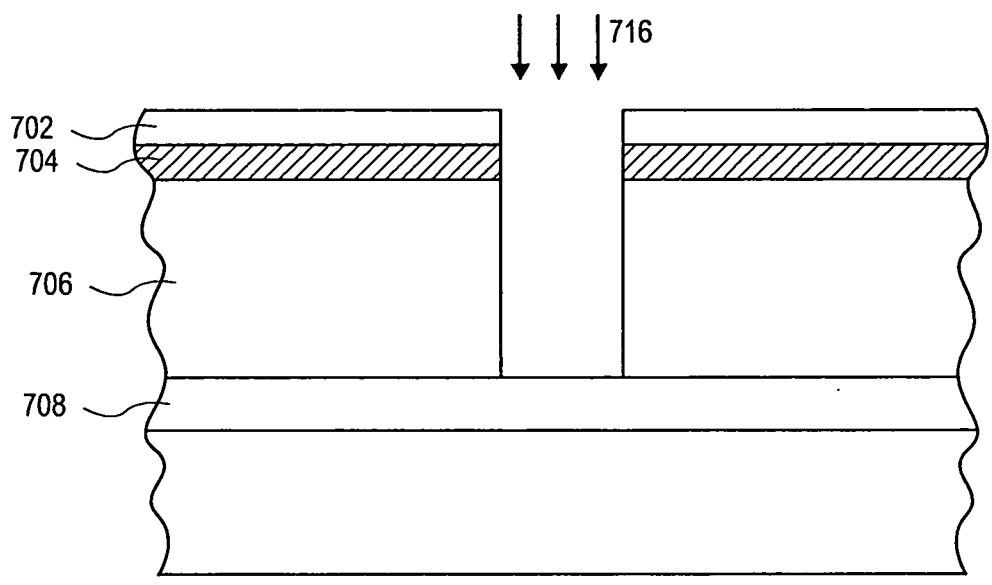
第6圖



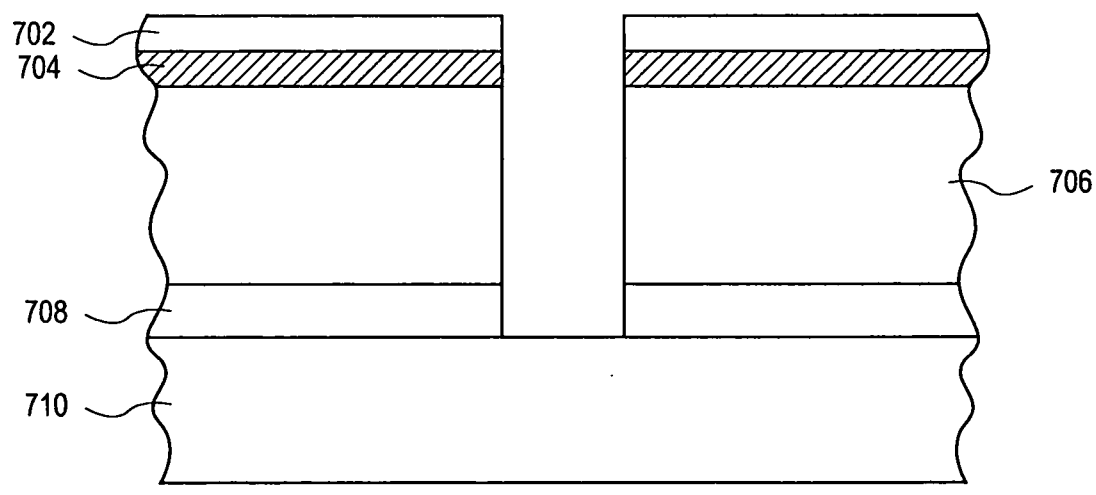
第7A圖



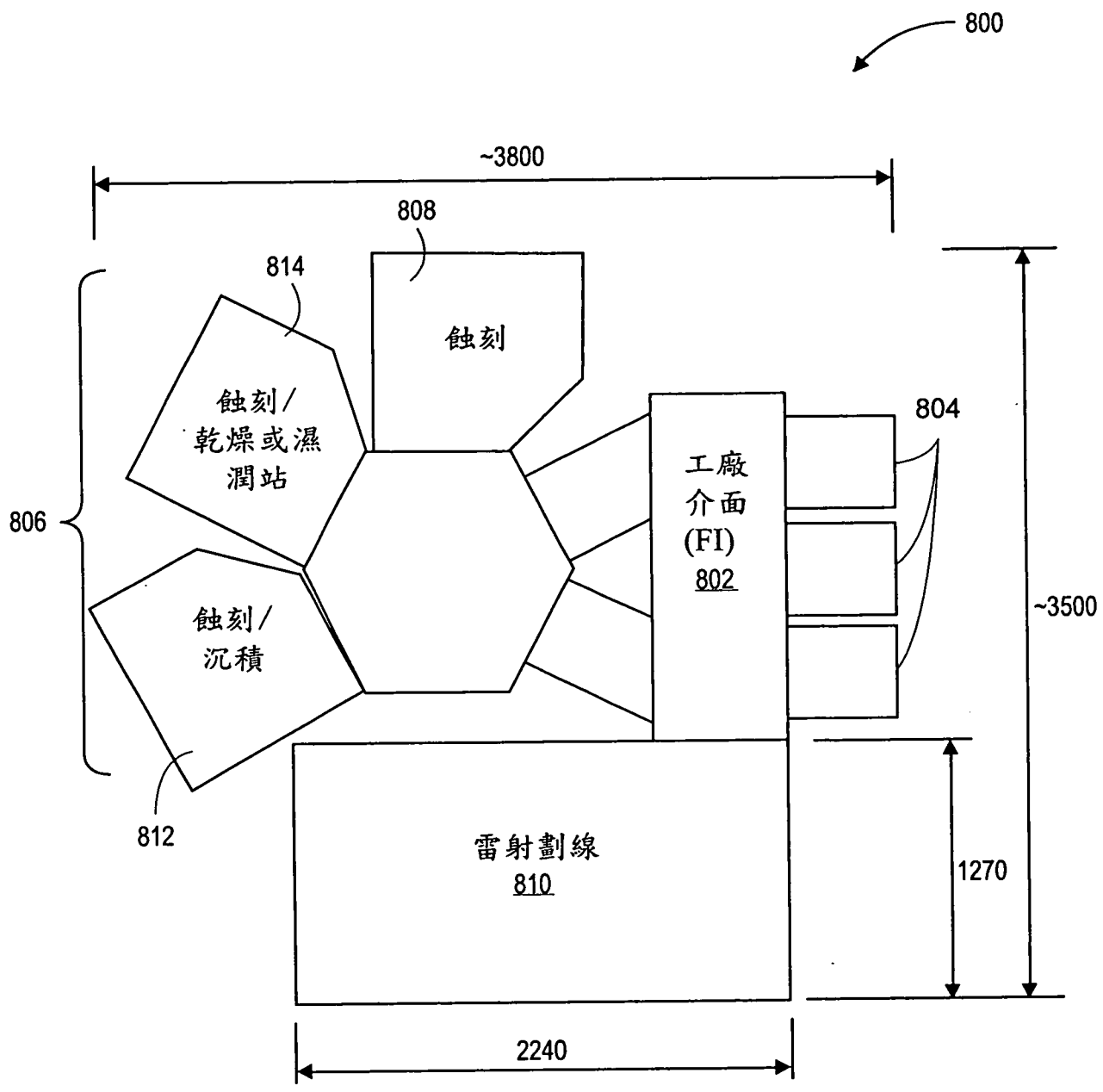
第7B圖



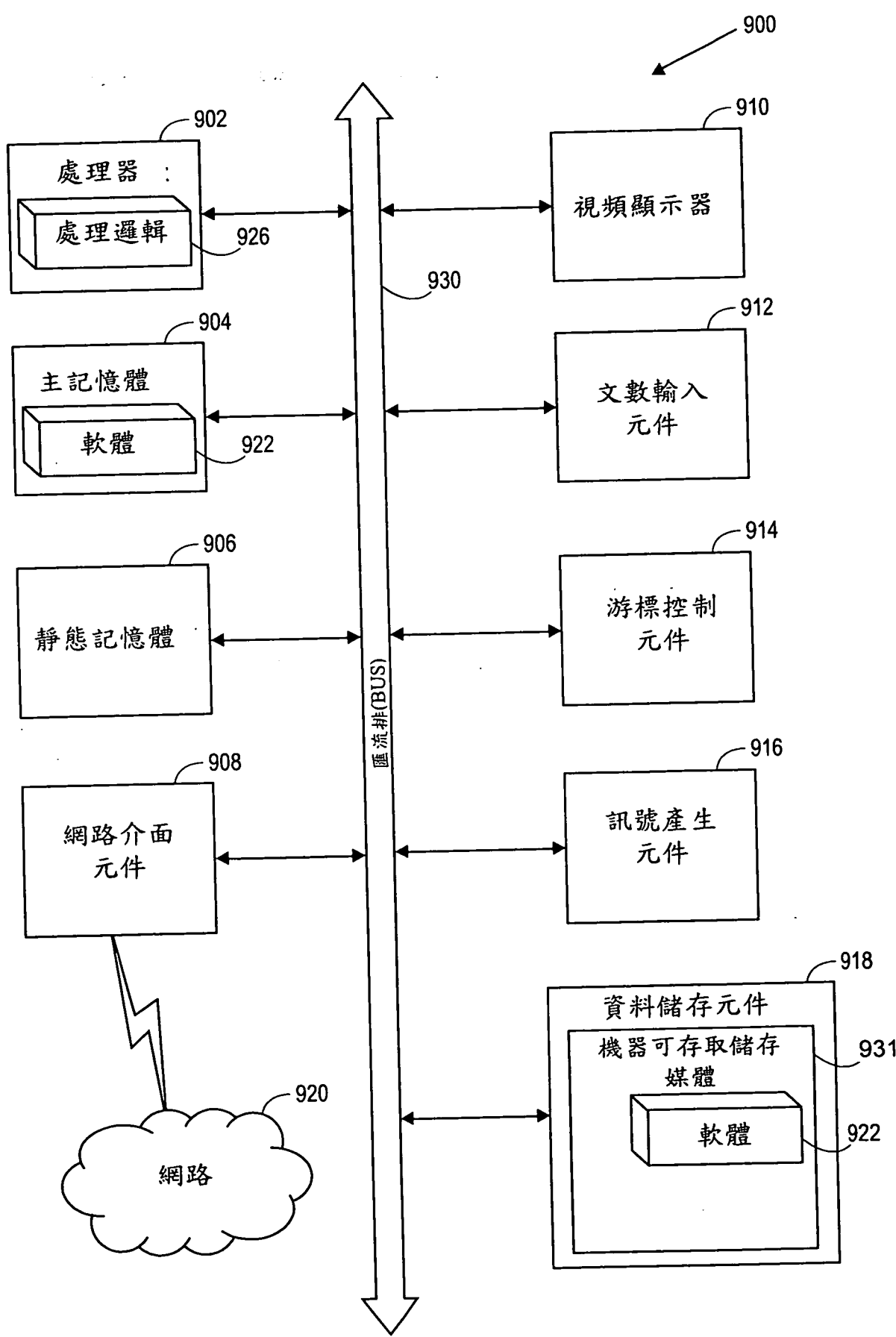
第7C圖



第7D圖



第8圖



第9圖