

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4120829号
(P4120829)

(45) 発行日 平成20年7月16日(2008.7.16)

(24) 登録日 平成20年5月9日(2008.5.9)

(51) Int.Cl.

F I

H03F 3/217 (2006.01)

H03F 3/217

H03F 3/34 (2006.01)

H03F 3/34

A

請求項の数 7 (全 18 頁)

(21) 出願番号 特願2004-223462 (P2004-223462)
 (22) 出願日 平成16年7月30日(2004.7.30)
 (65) 公開番号 特開2006-42272 (P2006-42272A)
 (43) 公開日 平成18年2月9日(2006.2.9)
 審査請求日 平成18年1月19日(2006.1.19)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100091546
 弁理士 佐藤 正美
 (72) 発明者 秋山 卓郎
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 増田 稔彦
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 審査官 野元 久道

最終頁に続く

(54) 【発明の名称】 パワーアンプ装置およびDC成分除去方法

(57) 【特許請求の範囲】

【請求項1】

デジタル信号に対してDC(Direct Current)ディザを重畳させるディザ重畳手段と、
 前記ディザ重畳手段によって前記DCディザが重畳された前記デジタル信号を互いに逆
 レベルとなるハイサイドとローサイドを形成する一対のドライブパルスに変換するスイッ
 チング信号生成手段と、

前記スイッチング信号生成手段によって変換された前記ドライブパルスのハイサイドと
 ローサイドのパルス幅の比率を可変することによって、前記DCディザによって付加され
 たDC(Direct Current)成分を打ち消すキャンセル信号生成手段と

を備えることを特徴とするパワーアンプ装置。

10

【請求項2】

請求項1に記載のパワーアンプ装置であって、
 前記キャンセル信号生成手段は、
 前記ハイサイドのドライブパルスと前記ローサイドのドライブパルスとの一方に対して
 、あるいは、両方のそれぞれに対して、
 前記ドライブパルスを所定量遅延させる遅延手段を備え、
 前記遅延手段からの遅延ドライブパルスと、遅延されていない前記ドライブパルスとの
 論理演算を行って、前記ドライブパルスのパルス幅の比率を可変する
 ことを特徴とするパワーアンプ装置。

【請求項3】

20

請求項 1 に記載のパワーアンプ装置であって、
前記キャンセル信号生成手段は、
前記スイッチング信号生成手段によって生成された前記ハイサイドと前記ローサイドの
前記ドライブパルスのスイッチングを行う閾値を調整する閾値調整手段を備え、
前記閾値調整手段によって前記ドライブパルスのパルス幅の比率を可変する
ことを特徴とするパワーアンプ装置。

【請求項 4】

請求項 1 に記載のパワーアンプ装置であって、
一対のスイッチング素子がブッシュアップ接続されて構成されるスイッチング手段
を備えることを特徴とするパワーアンプ装置。

10

【請求項 5】

デジタル信号に対して D C (Direct Current) ディザを重畳させるディザ重畳ステップ
と、

前記ディザ重畳ステップによって前記 D C ディザが重畳された前記デジタル信号を互い
に逆レベルとなるハイサイドとローサイドを形成する一対のドライブパルスに変換するス
イッチング信号生成ステップと、

前記スイッチング信号生成ステップによって変換された前記ドライブパルスの前記ハイ
サイドと前記ローサイドのパルス幅の比率を可変することによって、前記 D C ディザによ
って付加された D C (Direct Current) 成分を打ち消すキャンセル信号生成ステップと
を備えることを特徴とする D C 成分除去方法。

20

【請求項 6】

請求項 5 に記載の D C 成分除去方法であって、
前記キャンセル信号生成ステップにおいては、
前記ハイサイドのドライブパルスと前記ローサイドのドライブパルスとの一方に対して
、あるいは、両方のそれぞれに対して、
前記ドライブパルスを所定量遅延させ、
遅延させたドライブパルスと、遅延されていない前記ドライブパルスとの論理演算を行っ
て、前記ドライブパルスのパルス幅の比率を可変する
ことを特徴とする D C 成分除去方法。

【請求項 7】

請求項 5 に記載の D C 成分除去方法であって、
前記キャンセル信号生成ステップにおいては、
前記スイッチング信号生成ステップによって生成された前記ハイサイドと前記ローサイ
ドのドライブパルスのスイッチングを行う閾値を調整する閾値調整ステップを備え、
前記閾値調整ステップによって前記ドライブパルスのパルス幅の比率を可変する
ことを特徴とする D C 成分除去方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、いわゆる D 級アンプと呼ばれる電力増幅器（この明細書においてはパワー
アンプ装置という。）に関する。

40

【背景技術】

【0002】

オーディオ用のパワーアンプ装置として、いわゆる D 級アンプと呼ばれるデジタルアン
プがある。この D 級アンプは、スイッチングにより電力増幅を行うものであるが、例えば
図 1 1 に示すように構成される。

【0003】

すなわち、デジタルオーディオ信号 P i n が、入力端子 T i n を通じて P W M (Pulse
Width Modulation) 変調回路 1 1 に供給されると共に、クロック生成部 1 2 から所定の周
波数のクロック信号が P W M 変調回路 1 1 に供給され、デジタルオーディオ信号 P i n は

50

、1対のPWM信号PA、PBに変換される。

【0004】

この場合、図13に示すように、PWM信号PA、PBのパルス幅は、デジタルオーディオ信号Pinの示すレベル(信号PinをD/A変換したときの瞬時レベル。以下同様)に対応して変化するものであるが、一方のPWM信号のPAのパルス幅は、デジタルオーディオ信号Pinの示すレベルの大きさとされ、他方のPWM信号PBのパルス幅は、デジタルオーディオ信号Pinの示すレベルの2の補数の大きさとされる。

【0005】

なお、図13に示した例の場合には、PWM信号PA、PBは、その立ち上がり時点が、PWM信号PA、PBの1サイクル期間TCの開始時点に固定され、その立ち下がり時点がデジタルオーディオ信号Pinの示すレベルに対応して変化するものとされる。

10

【0006】

さらに、PWM信号PA、PBのキャリア周波数 $f_c (= 1 / TC)$ は、例えば図12Fに示すように、デジタルオーディオ信号Pinのサンプリング周波数 f_s の例えば16倍とされ、 $f_s = 48 \text{ kHz}$ とすれば、

$$f_c = 16 f_s = 16 \times 48 \text{ kHz} = 768 \text{ kHz}$$

とされる。

【0007】

そして、このPWM変調回路11から的一方のPWM信号PAがドライブ回路13に供給されて図12Aに示すように、信号PAと同レベルおよびレベル反転した1対のドライブ用のパルス電圧(ドライブパルス)+PA、-PAが形成され、これらパルス電圧+PA、-PAが、1対のスイッチング素子、例えばnチャンネルのMOS-FET(Metal Oxide Semiconductor Type Field Effect Transistor)(Q11、Q12)のゲートにそれぞれ供給される。

20

【0008】

この場合、FET(Field Effect Transistor)(Q11、Q12)は、プッシュプル回路15を構成するものであり、FET(Q11)のドレインが電源端子TPWRに接続され、そのソースがFET(Q12)のドレインに接続され、このFET(Q12)のソースが接地に接続される。また、電源端子TPWRには、安定した直流電圧+VDDが電源電圧として供給される。なお、電圧+VDDは、例えば20V~50Vである。

30

【0009】

そして、FET(Q11)のソースおよびFET(Q12)のドレインが、コイルおよびコンデンサを有するローパスフィルタ17を通じてスピーカー19の一端に接続される。

【0010】

また、PWM変調回路11から他方のPWM信号PBに対しても、PWM信号PAに対してと同様に構成される。すなわち、PWM信号PBがドライブ回路14に供給されて図12Bに示すように、信号PBと同レベルおよびレベル反転した1対のドライブ用のパルス電圧(ドライブパルス)+PB、-PBが形成され、これらパルス電圧+PB、-PBが、プッシュプル回路16を構成する1対のnチャンネルのMOS-FET(Q13、Q14)のゲートにそれぞれ供給される。

40

【0011】

そして、FET(Q13)のソースおよびFET(Q14)のドレインが、コイルおよびコンデンサを有するローパスフィルタ18を通じてスピーカー19の他端に接続される。

【0012】

したがって、+PA="H"のときには、-PA="L"であり、FET(Q11)がオンになるとともに、FET(Q12)がオフになるので、FET(Q11、Q12)の接続点の電圧VAは、図12Cに示すように、電圧+VDDとなる。また、逆に、+PA="L"のときには、-PA="H"であり、FET(Q11)がオフになると共に、F

50

FET (Q12) がオンになるので、 $V_A = 0$ となる。

【0013】

同様に、 $+P_B = "H"$ のときには、 $-P_B = "L"$ であり、FET (Q13) がオンになるとともに、FET (Q14) がオフになるので、FET (Q13、Q14) の接続点の電圧 V_B は、図12Dに示すように、電圧 $+V_{DD}$ となる。また、逆に、 $+P_B = "L"$ のときには、 $-P_B = "H"$ であり、FET (Q13) がオフになるとともに、FET (Q14) がオンになるので、 $V_B = 0$ となる。

【0014】

そして、 $V_A = +V_{DD}$ 、かつ、 $V_B = 0$ の期間には、図11および図12Eに示すように、FET (Q11、Q12) の接続点から、ローパスフィルタ17→スピーカ19→ローパスフィルタ18のラインを通じて、FET (Q13、Q14) の接続点へと、電流 i が流れる。

10

【0015】

また、 $V_A = 0$ 、かつ、 $V_B = +V_{DD}$ の期間には、FET (Q13、Q14) の接続点から、ローパスフィルタ18→スピーカ19→ローパスフィルタ17のラインを通じて、FET (Q11、Q12) の接続点へと、逆向きに電流 i が流れる。さらに、 $V_A = V_B = +V_{DD}$ の期間、および $V_A = V_B = 0$ の期間には、電流 i は流れない。つまり、プッシュプル回路15、16がBTL (Bridge Tied Load) 回路を構成している。

【0016】

そして、電流 i の流れる期間は、もとのPWM信号 P_A 、 P_B が立ち上がっている期間に対応して変化するとともに、電流 i がスピーカ19を流れるとき、電流 i はローパスフィルタ17、18により積分されるので、結果として、スピーカ19を流れる電流 i は、デジタルオーディオ信号 P_{in} の示すレベルに対応したアナログ電流であって、電力増幅された電流となる。つまり、電力増幅された出力がスピーカ19に供給されることになる。

20

【0017】

こうして、図11の回路は、パワーアンプ装置として動作するが、このとき、FET (Q11~Q14) は、入力されたデジタルオーディオ信号 P_{in} に対応して電源電圧 $+V_{DD}$ をスイッチングして、電力増幅をするので、効率がよく、また、大出力を得ることができる。

30

【0018】

このようなパワーアンプ装置については、後に記す例えば特許文献1や特許文献2等に開示されており、省電力化や高性能化などが図られている。

【特許文献1】特開2004-072707号公報

【特許文献2】特開2004-023216号公報

【発明の開示】

【発明が解決しようとする課題】

【0019】

ところで、オーディオ信号のA/D (Analog/Digital) 変換用、D/A (Digital/Analog) 変換用として、1ビット精度のA/D変換器、D/A変換器を用いて、16ビット以上の精度を得ることができるデルタ・シグマ ($\Delta \cdot \Sigma$) 変調法が、いわゆるハイレゾオーディオの分野で用いられている。デルタ・シグマ変調法においては、微小信号入力時のアイドリングノイズ (ビート) を回避するために、DC (Direct Current) ディザを付加するという信号処理が一般的に用いられる。しかし、DCディザを使用すると、オーディオ信号にDC成分が重畳されてしまう。

40

【0020】

上述のような、いわゆるD級アンプと呼ばれるパワーアンプ装置においても、デルタ・シグマ変調を用いるとともに、オーディオ信号に対してDCディザを用いるようにすることが考えられるが、DCディザによるDC成分がスピーカ出力に現れてしまう可能性がある。スピーカの出力に現れるDC成分は、いわゆるPOPノイズの原因となるだけで

50

なく、パワーアンプ装置自体においても故障の原因になる可能性も含んでおり好ましくない。

【 0 0 2 1 】

このような D C 成分を除去する方法として、従来から信号ラインにカップリングコンデンサを挿入する方法がある。しかし、この方法をパワーアンプ装置の出力に用いた場合、いわゆる P O P ノイズの原因となるし、音質的に好ましくないという場合もある。また、大出力アンプの場合、許容リップル電流が大きなコンデンサを使用しなければならず、コンデンサでの発熱、コンデンサによる歪率の悪化などの問題を生じてしまう可能性もある。

【 0 0 2 2 】

また、D C ディザによる D C 成分は、オーディオ信号自体に重畳してしまうため、パワーアンプ装置の出力段を B T L (Bridge Tied Load) 接続 (フルブリッジ構成) にしても、カップリングコンデンサを挿入しない場合、その D C 成分はスピーカー出力に現れてしまう可能性が高い。

【 0 0 2 3 】

以上のことにかんがみ、この発明は、いわゆる D 級アンプと呼ばれるパワーアンプ装置であって、カップリングコンデンサを用いることなく、D C ディザによる D C 成分を除去することが可能なパワーアンプ装置を提供するとともに、当該パワーアンプ装置で用いられる D C 成分除去方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 2 4 】

上記課題を解決するため、請求項 1 に記載の発明のパワーアンプ装置は、
デジタル信号に対して D C (Direct Current) ディザを重畳させるディザ重畳手段と、
前記ディザ重畳手段によって前記 D C ディザが重畳された前記デジタル信号を互いに逆
レベルとなるハイサイドとローサイドを形成する一対のドライブパルスに変換するスイッチング信号生成手段と、

前記スイッチング信号生成手段によって変換された前記ドライブパルスのハイサイドと
ローサイドのパルス幅の比率を可変することによって、前記 D C ディザによって付加され
た D C (Direct Current) 成分を打ち消すキャンセル信号生成手段と

を備えることを特徴とする。

【 0 0 2 5 】

この請求項 1 に記載の発明のパワーアンプ装置によれば、当該パワーアンプ装置は、スイッチング手段と、パルス変調手段と、スイッチング信号生成手段とを備えたいわゆる D 級アンプであり、キャンセル信号生成手段により、スイッチング信号生成手段において形成されたハイサイドとローサイドの 1 対のドライブパルスに対して、D C ディザにより入力信号に生じている D C 成分をキャンセルするためのキャンセル成分が含まれるようにされる。

【 0 0 2 6 】

これにより、入力信号に重畳されている D C ディザにより生じる D C 成分をキャンセルし、いわゆる P O P ノイズを発生させることもなく、また、入力信号に重畳された D C ディザの影響を受けてパワーアンプ装置が故障することもないようにすることができる。

【 0 0 2 7 】

また、請求項 2 に記載の発明のパワーアンプ装置は、請求項 1 に記載のパワーアンプ装置であって、

前記キャンセル信号生成手段は、

前記ハイサイドのドライブパルスと前記ローサイドのドライブパルスとの一方に対して、あるいは、両方のそれぞれに対して、

前記ドライブパルスを所定量遅延させる遅延手段を備え、

前記遅延手段からの遅延ドライブパルスと、遅延されていない前記ドライブパルスとの論理演算を行って、前記ドライブパルスのパルス幅の比率を可変する

10

20

30

40

50

ことを特徴とする。

【 0 0 2 8 】

この請求項 2 に記載のパワーアンプ装置によれば、キャンセル信号生成手段において、ハイサイドのドライブパルスとローサイドのドライブパルスとの一方、または、両方のそれぞれについて、遅延手段によりドライブパルスを遅延させ、この遅延させたドライブパルスと遅延させていないドライブパルスとの論理演算を行って、当該ドライブパルスのパルス幅が調整するようにされる。そして、パルス幅が調整されたドライブパルスが、スイッチング手段に供給するようにされる。

【 0 0 2 9 】

このように、入力信号に D C ディザを重畳することにより生じる D C 成分に応じて、ハイサイドのドライブパルスとローサイドのドライブパルスと一方または両方のパルス幅が調整されることにより、D C ディザにより生じる D C 成分とは逆極性の D C 成分をキャンセル成分として発生させるようにし、入力信号に重畳された D C ディザにより生じる D C 成分を精度よく確実に除去することができるようになる。これにより、いわゆる P O P ノイズを発生させることもなく、また、入力信号に重畳された D C ディザの影響を受けてパワーアンプ装置が故障することもないようにすることができる。

【 0 0 3 0 】

また、請求項 3 に記載の発明のパワーアンプ装置によれば、請求項 1 に記載のパワーアンプ装置であって、

前記キャンセル信号生成手段は、

前記スイッチング信号生成手段によって生成された前記ハイサイドと前記ローサイドの前記ドライブパルスのスイッチングを行う閾値を調整する閾値調整手段を備え、

前記閾値調整手段によって前記ドライブパルスのパルス幅の比率を可変する

ことを特徴とする。

【 0 0 3 1 】

この請求項 3 に記載の発明のパワーアンプ装置によれば、キャンセル信号生成手段は、ハイサイドのドライブパルスとローサイドのドライブパルスとを一時蓄積するバッファを備えている。このバッファに蓄積されたハイサイドのドライブパルスとローサイドのドライブパルスの読み出し時において、ドライブパルスのオン / オフの識別のための閾値が閾値調整手段により調整されることによって、ハイサイドのドライブパルスとローサイドのドライブパルスの一方または両方のそれぞれのパルス幅が調整される。そして、パルス幅が調整されたドライブパルスがスイッチング手段に供給するようにされる。

【 0 0 3 2 】

このように、入力信号に D C ディザを重畳することにより生じる D C 成分に応じて、ハイサイドのドライブパルスとローサイドのドライブパルスと一方または両方のパルス幅が調整されることにより、D C ディザにより生じる D C 成分とは逆極性の D C 成分をキャンセル成分として発生させるようにし、入力信号に重畳された D C ディザにより生じる D C 成分を確実に除去することができるようになる。これにより、いわゆる P O P ノイズを発生させることもなく、また、入力信号に重畳された D C ディザの影響を受けてパワーアンプ装置が故障することもないようにすることができる。

【発明の効果】

【 0 0 3 3 】

いわゆる D 級アンプと呼ばれるパワーアンプ装置において、D C ディザを用いてもスピーカー出力に現れる D C 成分を、ほぼゼロに近づけることができる。特に、パワースwitching素子の電源電圧が大きくなるほど、D C ディザによる D C 重畳成分が大きくなるため、ハイパワーのパワーアンプになるほど効果が大きい。また、これにより、出力のカップリングコンデンサを用いる必要はなく、音質的にも有利となり、P O P ノイズの発生要因やスピーカーの故障要因についても解消することができる。

【発明を実施するための最良の形態】

【 0 0 3 4 】

以下、図を参照しながらこの発明による装置、方法の一実施の形態について説明する。以下に説明する実施の形態においては、デジタル方式のノンフィードバックのD級アンプ（パワーアンプ装置）にこの発明による装置、方法を適用した場合を例にして説明する。

【0035】

図1は、ノンフィードバック方式のD級アンプの構成例を説明するためのブロック図である。ここでは、図1に示したノンフィードバックのD級アンプとの構成と動作の概要について説明する。なお、図1に示したノンフィードバックのD級アンプの基本的な機能は、図11～図13を用いて説明した従来のD級アンプと同様のものである。

【0036】

図1に示したように、デジタル方式のノンフィードバックのD級アンプは、デジタル入力部1、入力信号処理部2、スイッチング信号生成部3、パワースwitching部4、LCフィルタ5を備えたものである。

【0037】

そして、デジタル入力部1を通じて入力されたデジタルオーディオ信号は、入力信号処理部2に供給される。個々で供給を受けたデジタルオーディオ信号は、デルタ・シグマ変調が用いられてデジタル信号とされたものである。入力信号処理部2は、これに供給されたデジタルオーディオ信号に対して、微小信号時のアイドルノイズを回避するためにDCディザを処理信号に重畳するなどの処理を行い、処理後のデジタルオーディオ信号をスイッチング信号生成部3に供給する。

【0038】

スイッチング信号生成部3は、入力信号処理部2からのデジタルオーディオ信号についてPWM変調を行って1対のPWM信号OUT1、OUT2を形成するとともに、形成した1対のPWM信号からドライブ用のパルス電圧（ドライブパルス）を形成し、これをパワースwitching部4に供給する。

【0039】

この場合において、スイッチング信号生成部3において形成される1対のPWM信号OUT1、OUT2のパルス幅は、デジタルオーディオ信号の示すレベルに対応して変化するものであるが、一方のPWM信号OUT1のパルス幅は、デジタルオーディオ信号の示すレベルの大きさとされ、他方のPWM信号OUT2のパルス幅は、デジタルオーディオ信号の示すレベルの2の補数の大きさとされる。

【0040】

そして、これら1対のPWM信号OUT1、OUT2のそれぞれから、レベル反転させないそのままの信号と、レベル反転させた信号の1対のドライブパルスを形成し、これらをパワースwitching部4に供給する。すなわち、PWM信号OUT1からは、そのままの信号OUT1+と、反転信号OUT1-とが形成され、PWM信号OUT2からは、そのままの信号OUT2+と、反転信号OUT2-とが形成される。そして、これら、ドライブパルス信号OUT1+、OUT1-、OUT2+、OUT2-がパワースwitching部4に供給される。

【0041】

パワースwitching部4は、スイッチング素子によりプッシュプル回路の構成とされており、デジタルオーディオ信号に対して電源電圧をスイッチングして電力増幅し、電力増幅した電流をローパスフィルタを構成するLCフィルタ5を通じてスピーカー6に供給する。

【0042】

これにより、デジタルオーディオ信号の示すレベルに対応したアナログ電流であって、電力増幅された電流がスピーカー6に供給されることとなり、入力されたアナログオーディオ信号に応じた音声をスピーカー6から放音することができるようになっている。

【0043】

そして、上述したように、図1に示したデジタル方式のノンフィードバックのD級アンプの場合には、デジタル入力部1の直後の入力信号処理部2においてDCディザが付加さ

10

20

30

40

50

れる。このため、この実施の形態のノンフィードバックのD級アンプにおいては、入力信号処理部2において付加されたDCディザによるDC成分を、パワースイッチング部4において打ち消すようにしている。

【0044】

図2は、この実施の形態のノンフィードバックのD級アンプのパワースイッチング部4を説明するためのブロック図であり、前後の接続関係を明確にするため、パワースイッチング部4の前端に設けられるスイッチング信号生成部3と、パワースイッチング部4の後段に設けられるLCフィルタ5、スピーカー6をも含めて示している。

【0045】

そして、上述もしたように、パワースイッチング部4には、1対のPWM信号OUT1、OUT2から形成されるドライブパルスOUT1+、OUT1-、OUT2+、OUT2-が供給するようにされている。

【0046】

パワースイッチング部4は、図2に示すように、デットタイムコントロール部41(1)、41(2)、ゲートドライバ42(1)、42(2)、スイッチング回路部43を備えたものである。デットタイムコントロール部41(1)、41(2)は、詳しくは後述もするが、スイッチング回路部43のハイサイドとローサイドのスイッチング素子が同時にオフ(OFF)となる時間をコントロールするためのものである。ゲートドライバ42(1)、42(2)は、スイッチング素子に供給するドライブパルス信号を形成するものである。そして、スイッチング回路部43が、スイッチング動作により、スピーカー6に供給する電流を増幅処理する部分である。

【0047】

ここでは、スイッチング回路部43の構成についてまず説明する。図3は、図2に示したパワースイッチング部4のスイッチング回路部43を説明するための図である。この図3においては、LCフィルタ5を構成するLCフィルタ51、52の構成も含んでいる。

【0048】

図3に示すように、この実施の形態のノンフィードバックのD級アンプのスイッチング回路部43は、1つのプッシュプル回路を構成する例えばnチャンネルのMOS-FET(Q1、Q2)と、もう1つのプッシュプル回路を構成する例えばnチャンネルのMOS-FET(Q3、Q4)とを備えている。

【0049】

そして、FET(Q1)のドレインが電源端子PVDDに接続され、そのソースがFET(Q2)のドレインに接続され、このFET(Q2)のソースが接地に接続される。同様に、FET(Q3)のドレインが電源端子PVDDに接続され、そのソースがFET(Q4)のドレインに接続され、このFET(Q4)のソースが接地に接続される。電源端子PVDDには、安定した直流電圧+VDDが電源電圧として供給される。

【0050】

そして、FET(Q1)のソースおよびFET(Q2)のドレインが、コイルL1およびコンデンサC1を有するLCフィルタ51を通じてスピーカー6の一端に接続され、FET(Q3)のソースおよびFET(Q4)のドレインが、コイルL2およびコンデンサC2を有するLCフィルタ52を通じてスピーカー6の一端に接続される。

【0051】

この場合、FET(Q1)のゲートには、PWM信号OUT1そのままの信号であるドライブパルスOUT1+が供給され、FET(Q2)のゲートには、PWM信号OUT1の反転信号であるドライブパルスOUT1-が供給される。同様に、FET(Q3)のゲートには、PWM信号OUT2そのままの信号であるドライブパルスOUT2+が供給され、FET(Q4)のゲートには、PWM信号OUT2の反転信号であるドライブパルスOUT2-が供給される。

【0052】

これにより、図11を用いて説明したD級アンプの場合と同様に、OUT1+=“H”

10

20

30

40

50

のときには、 $OUT1- = "L"$ であり、 $FET(Q1)$ がオンになるとともに、 $FET(Q2)$ がオフになるので、 $FET(Q1, Q2)$ の接続点の電圧 V_A は、電圧 $+V_{DD}$ となる。また、逆に、 $OUT1+ = "L"$ のときには、 $OUT1- = "H"$ であり、 $FET(Q1)$ がオフになると共に、 $FET(Q2)$ がオンになるので、 $FET(Q1, Q2)$ の接続点の電圧 $V_A = 0$ となる。

【0053】

同様に、 $OUT2+ = "H"$ のときには、 $OUT2- = "L"$ であり、 $FET(Q3)$ がオンになるとともに、 $FET(Q4)$ がオフになるので、 $FET(Q3, Q4)$ の接続点の電圧 V_B は、電圧 $+V_{DD}$ となる。また、逆に、 $OUT2+ = "L"$ のときには、 $OUT2- = "H"$ であり、 $FET(Q3)$ がオフになるとともに、 $FET(Q4)$ がオンになるので、 $FET(Q3, Q4)$ の接続点の電圧 $V_B = 0$ となる。

10

【0054】

そして、 $V_A = +V_{DD}$ 、かつ、 $V_B = 0$ の期間には、 $FET(Q1, Q2)$ の接続点から、ローパスフィルタ51→スピーカ6→ローパスフィルタ52のラインを通じて、 $FET(Q3, Q4)$ の接続点へと、電流 i が流れる。

【0055】

また、 $V_A = 0$ 、かつ、 $V_B = +V_{DD}$ の期間には、 $FET(Q3, Q4)$ の接続点から、ローパスフィルタ52→スピーカ6→ローパスフィルタ51のラインを通じて、 $FET(Q1, Q2)$ の接続点へと、逆向きに電流 i が流れる。さらに、 $V_A = V_B = +V_{DD}$ の期間、および $V_A = V_B = 0$ の期間には、電流 i は流れない。

20

【0056】

そして、電流 i の流れる期間は、もとのPWM信号 $OUT1$ 、 $OUT2$ が立ち上がっている期間に対応して変化するとともに、電流 i がスピーカ6を流れるとき、電流 i はローパスフィルタ51、52により積分されるので、結果として、スピーカ6を流れる電流 i は、デジタルオーディオ信号の示すレベルに対応したアナログ電流であって、電力増幅された電流となる。つまり、電力増幅された出力がスピーカ6に供給されることになる。

【0057】

なお、この実施の形態においては、図3に示したように、PWM信号 $OUT1$ 、 $OUT2$ のそのままの信号 $OUT1+$ 、 $OUT2+$ が供給するようにされる $FET(Q1)$ 、 $FET(Q3)$ 側をハイサイド(HO)と呼び、PWM信号 $OUT1$ 、 $OUT2$ の反転信号 $OUT1-$ 、 $OUT2-$ が供給するようにされる $FET(Q2)$ 、 $FET(Q4)$ 側をローサイド(LO)と呼ぶこととする。

30

【0058】

そして、ノンフィードバックのD級アンプにおいて、アンプ出力にカップリングコンデンサを用いない場合には、図3に示すようなフルブリッジ出力段構成となる。ここで、仮にDCディザによって、スピーカ6の+ (プラス) 側の極性にDCディザが生じたとする。この場合、ハードウェア的に- (マイナス) 側の極性にDC成分を作り出し、キャンセルすればよいことになる。

【0059】

スイッチング FET の駆動波形がPWM信号の場合、 $OUT2$ 側のハイサイド(HO)入力がハイ(High)となる時間を増やすか、 $OUT1$ 側のローサイド(LO)入力がロー(Low)となる時間を増やす、またはこれらを組み合わせることで、DC成分を作り出し、DCディザによるDC重畳成分をキャンセルすることが可能となる。

40

【0060】

そこで、この実施の形態のノンフィードバックのD級アンプにおいては、パワースwitchング部4において、ハイサイドとローサイドが同時にオフ(OFF)となる時間をコントロールするデッドタイムコントロール部41で、ハイサイドとローサイドのパルス幅をそれぞれ調整し、DC成分をキャンセルするための信号成分を作るようにしている。

【0061】

50

すなわち、D級アンプでは、パワースイッチング部4のデッドタイムコントロール部41において、電源から接地（GND）に大電流が流れないようにするために、ハイサイド、ローサイドのスイッチングFETが共にオフ（OFF）となる時間（デッドタイム）を生成するようにしている。

【0062】

図4は、この実施の形態のD級アンプのパワースイッチング部4のデッドタイムコントロール部41（1）の構成例を説明するための図である。図4に示すように、デッドタイムコントロール部41（1）は、ハイサイド用にAND回路IC1、コンデンサC11、抵抗素子R11が設けられ、ローサイド用にAND回路IC3、コンデンサC12、抵抗素子R12が設けられたものである。

10

【0063】

そして、AND回路IC1には、ドライブパルスOUT1+と、このドライブパルスOUT1+を、コンデンサC11、抵抗素子R11によって遅延させた遅延ドライブパルスとが供給される。同様に、AND回路IC3には、ドライブパルスOUT1-と、このドライブパルスOUT1-を、コンデンサC12、抵抗素子R12によって遅延させた遅延ドライブパルスとが供給される。

【0064】

図5は、デッドタイムコントロール部41において形成されるハイサイド用の信号HOとローサイド用の信号LOとを説明するための図である。図4に示したAND回路IC1には、図5（A）において、実線で示したドライブパルスOUT1+と、点線で示した信号OUT1+を遅延させた遅延ドライブパルスとが供給され、これらのAND演算が行われるので、図5（B）に示すように、ドライブパルスOUT1+に対して、ハイレベル期間が短くなり、ローレベル期間が長くなったハイサイド用の信号HOが形成される。

20

【0065】

また、図4に示したAND回路IC3には、図5（C）において、実線で示したドライブパルスOUT1-と、点線で示した信号OUT1-を遅延させた遅延ドライブパルスとが供給され、これらのAND演算が行われるので、図5（D）に示すように、ドライブパルスOUT1-に対して、ローレベル期間が長くなり、ハイレベル期間が短くなったローサイド用の信号LOが形成される。

【0066】

30

このようにして形成されたハイサイド用の信号HOが、ゲートドライバIC2を通じてスイッチング回路部43のハイサイドのFET（Q1）のゲートに供給され、ローサイド用の信号LOが、ゲートドライバIC4を通じてスイッチング回路部43のローサイドのFET（Q2）のゲートに供給するようにされ、スピーカ6の+側の極性に生じたDCディザに対応するDC成分を除去することができるようになる。

【0067】

なお、図4に示したデッドタイムコントロール部41（1）において、ハイサイドとローサイドとで同じだけ、ドライブパルスOUT1+、OUT1-を遅延（Delay）させた場合、DC成分は生成できない。しかし、ハイサイドとローサイドとで、ドライブパルスOUT1+、OUT1-の遅延時間を変えた場合には、DC成分を作り出すことが可能である。

40

【0068】

遅延時間を変えるには、コンデンサC11、C12か、抵抗素子R11、R12の定数を変えればよい。これを、DCディザによるDC重畳成分とキャンセルさせるように発生させることで、スピーカ出力のDC成分を打ち消すことができるようにされる。DCディザは固定値のものである。このため、入力信号に重畳するDCディザに応じて生じるDC成分を除去するための当該DC成分とは逆極性のDC成分を発生させるためにドライブパルスをどれだけ遅延させるかは予め求めることが可能である。

【0069】

なお、図4は、デッドタイムコントロール部41（1）の構成例を示したものであり、

50

ハイサイドのFETに供給するドライブパルスとローサイドのFETに供給するドライブパルスとのパルス幅を変更することが可能であれば、他の構成にすることももちろん可能であり、スピーカー出力のDC成分をキャンセルすることが可能である。

【0070】

例えば、図6に示すように、コンデンサC11と抵抗素子R11との間に、抵抗素子R13を設け、また、コンデンサC12と抵抗素子R12との間に、抵抗素子R14を設けた、デットタイムコントロール部を構成することもできる。このようにして、抵抗素子R13、R14の定数を変えることにより、パルス幅を変えるようにすることも可能である。

【0071】

なお、ここでは、スピーカーの+側の極性にDCディザによるDC成分が生じた場合として説明したが、スピーカーの-側の極性にDCディザによるDC成分が生じた場合にも同様にして対処することが可能である。すなわち、OUT1側のハイサイド(HO)入力がハイ(High)となる時間を増やすか、OUT2側のローサイド(LO)入力がロー(LOW)となる時間を増やす、またはこれらを組み合わせることで、DC成分を作り出し、DCディザによるDC重畳成分をキャンセルすることが可能である。

【0072】

また、ここでは、図4、図6に示したように、ハイサイド側とローサイド側とで同様の構成を有するようにしたが、ハイサイド側とローサイド側とのいずれか一方だけに、AND回路とコンデンサと抵抗素子とからなる構成を設けるようにし、ハイサイド側とローサイド側とのいずれか一方のドライブパルスのパルス幅を調整するだけでもよい。しかし、オーディオ信号の歪を改善するためには、ハイサイド側とローサイド側との両方でドライブパルスのパルス幅を調整することが好ましい。

【0073】

[DCディザによるDC成分を除去するためのDC成分を生成する他の例]

また、上述したように、デットタイムコントロール部41において、DCディザによるDC成分のキャンセル信号を形成する他にも、パワースイッチング部4において、ドライブパルスのオン(ON)/オフ(OFF)を識別するための閾値Vthをハイサイドとローサイドで変えることにより、パルス幅を調整し、DCディザキャンセル用のDC成分を生成することも可能である。

【0074】

この場合には、図7に示すように、パワースイッチング部4にバッファ45(1)、45(2)を設けるようにする。これ以外のデットタイムコントロール部46(1)、46(2)、ゲートドライバ47(1)、47(2)、スイッチング回路部48は、図2に示したデットタイムコントロール部41(1)、41(2)、ゲートドライバ42(1)、42(2)、スイッチング回路部43と同様に構成され同様の機能を実現するものである。

【0075】

ただし、デットタイムコントロール部46(1)、46(2)は、図2に示したデットタイムコントロール部41(1)、41(2)とはその機能の一部が異なり、ハイサイドとローサイドが同時にオフ(OFF)となる時間をコントロールするものであり、DC成分をキャンセルするための信号成分を作る機能は有しないものである。

【0076】

そして、図7に示すように、スイッチング信号生成部3からドライブパルスOUT1+、OUT1-がパワースイッチング部4に設けられたバッファ45(1)に一度格納され、読み出される場合に、ドライブパルスOUT1+と、ドライブパルスOUT1-とでオン/オフを認識するための閾値を変えるようにする。

【0077】

図8は、ドライブパルスOUT1+、OUT1-のオン/オフの認識のための閾値を変更することにより、ドライブパルスOUT1+とドライブパルスOUT1-とのパルス幅

10

20

30

40

50

を変更する方式を説明するための図である。ドライブパルス信号OUT1+、OUT1-の立ち上がり、立ち下がりとは図8(A)に示すように若干の傾きを持っている。すなわち、波形の立ち上がり時間、立ち下がり時間は、0秒ということではなく、ある程度の時間を経て変化する。

【0078】

このため、図8(A)の左側に閾値Vth1、Vth2が示すように、入力信号であるドライブパルスOUT1+、OUT1-のオン/オフを判別する閾値Vthを変えることにより、ドライブパルスOUT1+、OUT1-のパルス幅を変更することができる。

【0079】

つまり、図8(A)において、比較的に低い閾値Vth1を用いて、入力信号のオン/オフを判断するようにした場合には、図8(B)に示したように、パルス幅を広くすることが可能である。これに対して、閾値Vth1よりもレベルが高い閾値Vth2を用いてオン/オフを判別するようにすると、閾値Vth1よりも高い閾値Vth2を基準として信号のオン/オフを判別するので、図8(C)に示したように、閾値Vth1を用いた場合よりも、信号のパルス幅を狭くすることができるのである。

10

【0080】

実際には、図9に示すように、電源を閾値として用いるようにし、ドライブパルスOUT1+を読み出すときにはそのまま、ドライブパルスOUT1-を読み出すときには、ダイオードD1を介して閾値としての電源を供給することにより、ドライブパルスOUT1+と、ドライブパルスOUT1-とで、そのパルス幅を変えるようにすることが可能である。

20

【0081】

そして、この場合においても、仮にDCディザによって、図3に示したスピーカ6の+（プラス）側の極性にDCディザが生じたとする。この場合、ハードウェア的に-（マイナス）側の極性にDC成分を作り出し、キャンセルすればよいことになる。この場合には、スイッチングFETの駆動波形がPWM信号の場合、OUT2側のハイサイド(HO)入力がハイ(High)となる時間を増やすか、OUT1側のローサイド(LO)入力がロー(LOW)となる時間を増やす、またはこれらを組み合わせることで、DC成分を作り出し、DCディザによるDC重畳成分をキャンセルすることが可能である。

【0082】

30

このように、パワースwitchング部4の受けのバッファ45で、ハイサイド(OUT1+)とローサイド(OUT1-)のオン/オフの識別のための閾値Vthを変えることにより、パルス幅を調整してDCディザにより生じたDC成分をキャンセルするためのキャンセル用のDC成分を作る事ができる。

【0083】

すなわち、ドライブパルスの立ち上がり、立ち下がりの時間が0秒で有れば、閾値Vthを変えても、パルス幅は変わらないが、実際には立ち上がり時間は0秒ではなく、ある傾斜を持って立ち上がり、立ち下がるので、閾値Vthを変えるとパルス幅を調整することができる。閾値Vthを調整する方法としては、図9に示したように、電源電圧をずらすなどの方法によって、本来の波高値を変えることで、実質的な閾値Vthをずらすことが可能となる。

40

【0084】

また、この例の場合にも、ハイサイドのドライブパルスとローサイドのドライブパルスの一方だけパルス幅を調整するようにしてもよいし、ハイサイドのドライブパルスとローサイドのドライブパルスの両方のパルス幅を調整するようにしてもよい。

【0085】

[その他]

上述した実施の形態においては、デジタル方式のノンフィードバックのD級アンプにこの発明を適用した場合を例にして説明したが、これに限るものではない。例えば、図10に示すようなデジタル方式のフィードバックありのD級アンプにもこの発明を適用するこ

50

とが可能である。

【 0 0 8 6 】

すなわち、図 1 0 に示すデジタル方式のフィードバックありの D 級アンプは、デジタル入力部 2 - 1、入力信号処理部 2 - 2、スイッチング信号生成部 2 - 3、パワースイッチング部 2 - 4、LC フィルタ 2 - 5 に加えて、A / D コンバータ 2 - 7、フィードバックフィルタ 2 - 8 が設けられたものである。

【 0 0 8 7 】

しかし、デジタル方式のフィードバックありの D 級アンプの場合も、図 1 0 に示したように、入力信号処理部 2 - 2 で DC ディザが付加するようにされるので、この場合にも、図 1 に示したノンフィードバックの D 級アンプの場合と同様に、パワースイッチング部 2 - 4 において、DC ディザを付加したことにより生じる DC 成分を除去するための信号を形成し、オーディオ信号に含まれる DC ディザにより生じた DC 成分を除去することができる。

【 0 0 8 8 】

また、上述の実施の形態においては、スイッチング回路部 4 3、4 8 は、図 3 に示したように、いわゆる 1 対のスイッチング素子を 2 つ用いたフルブリッジの構成であるものとして説明したが、これに限るものではない。いわゆる、1 つのスイッチング素子を用いたいわゆるハーフブリッジの構成のパワーアンプ装置であって、カップリングコンデンサを用いないように構成したものにも適用することができる。

【 0 0 8 9 】

また、上述の実施の形態においては、デジタルオーディオ信号の入力を受け付けるデジタルオーディオ入力のいわゆる D 級アンプに適用した場合を説明したが、これに限るものではない。例えば、アナログオーディオ信号の供給を受けて、これをデルタ・シグマ変調法を用いてデジタル信号に変換する場合にもこの発明を適用することができるというまでもない。つまり、アナログオーディオ信号入力を受け付けるデジタル方式の D 級アンプにもこの発明を適用することができる。

【図面の簡単な説明】

【 0 0 9 0 】

【図 1】この発明の装置、方法の一実施の形態が適用されるノンフィードバックの D 級アンプを説明するためのブロック図である。

【図 2】図 1 に示したパワースイッチング部 4 を説明するためのブロック図である。

【図 3】図 2 に示したパワースイッチング部 4 のスイッチング回路部 4 4 を説明するための図である

【図 4】パワースイッチング部 4 のデットタイムコントロール部 4 1 の構成例を説明するための図である。

【図 5】デットタイムコントロール部 4 1 (1) において形成されるハイサイド用の信号 H O とローサイド用の信号 L O とを説明するための図である。

【図 6】デットタイムコントロール部 4 1 (1) の他の構成例を説明するための図である。

【図 7】図 1 に示したパワースイッチング部 4 の他の例を説明するためのブロック図である。

【図 8】パルス幅を変更する方式を説明するための図である。

【図 9】パルス幅を変更する方式の具体例を説明するための図である。

【図 1 0】この発明の適用が可能な D 級アンプの構成例を説明するためのブロック図である。

【図 1 1】従来の D 級アンプの構成例を説明するための図である。

【図 1 2】従来の D 級アンプを説明するための図である。

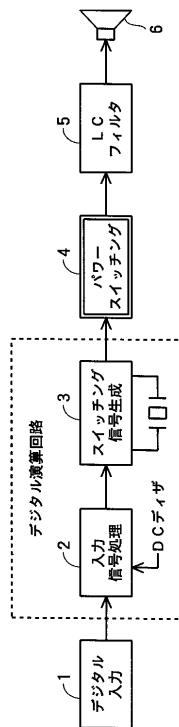
【図 1 3】従来の D 級アンプを説明するための図である。

【符号の説明】

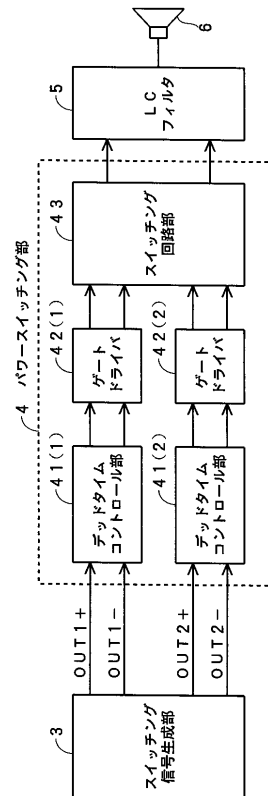
【 0 0 9 1 】

3 ... スイッチング信号生成部、4 ... パワースイッチング部、5 ... LCフィルタ、6 ... スピーカー、41 ... デットタイムコントロール部、42、43 ... ゲートドライバ、44 ... スイッチング回路部、Q1、Q2 ... スイッチングFET、Q3、Q4 ... スイッチングFET、51、52 ... LCフィルタ、45 ... バッファ、46 ... デットタイムコントロール部、47、48 ... ゲートドライバ、49 ... スイッチング回路部、

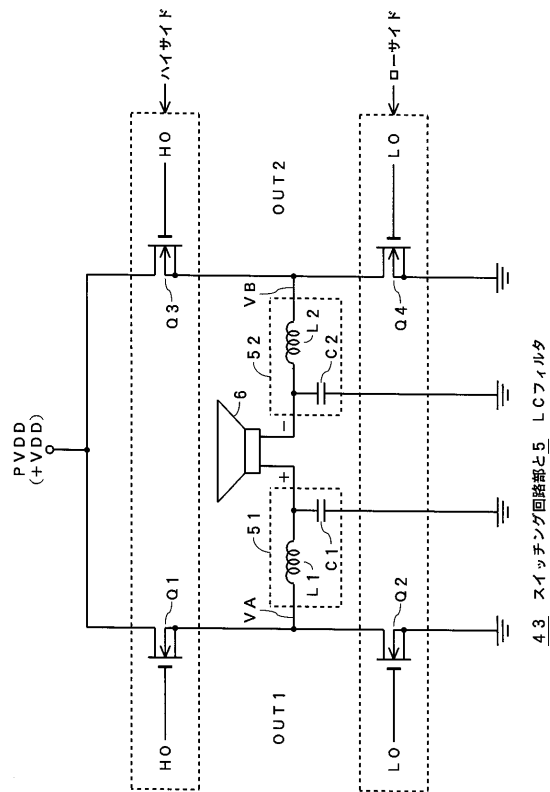
【図1】



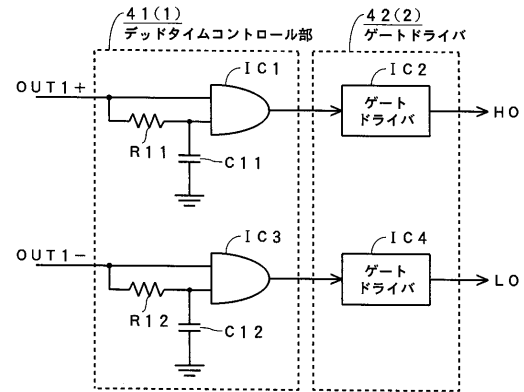
【図2】



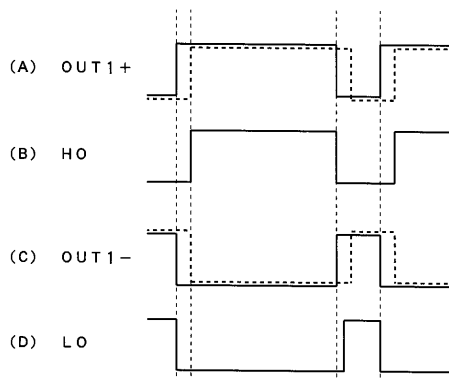
【図 3】



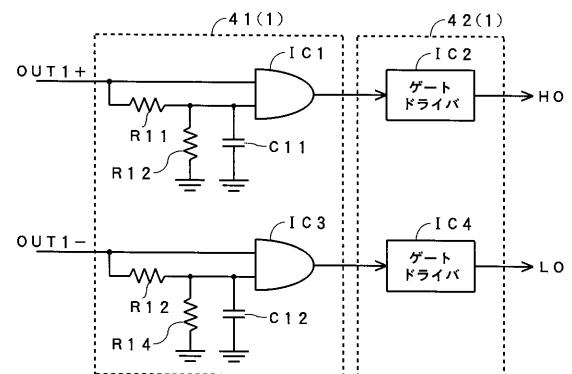
【図 4】



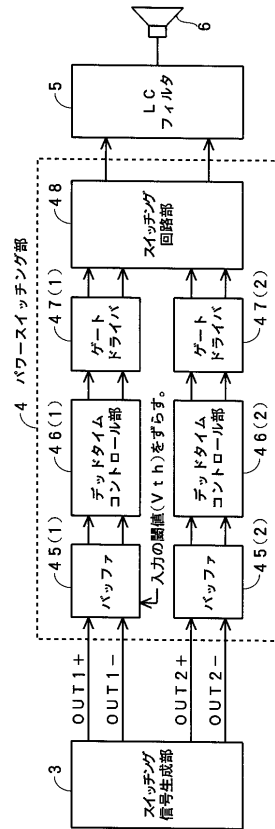
【図 5】



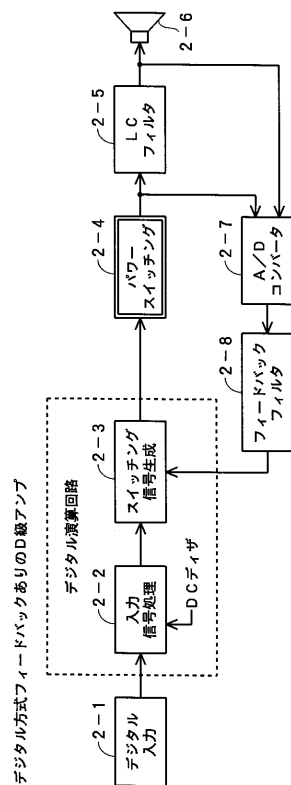
【図 6】



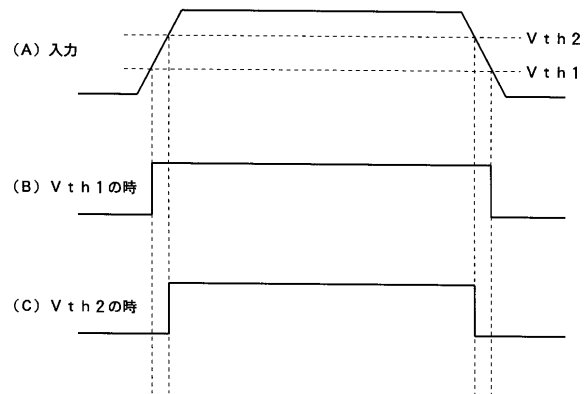
【図 7】



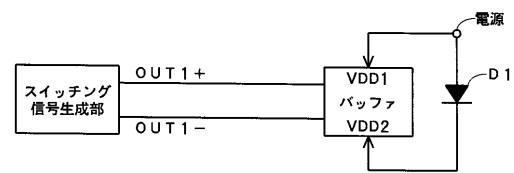
【図 10】



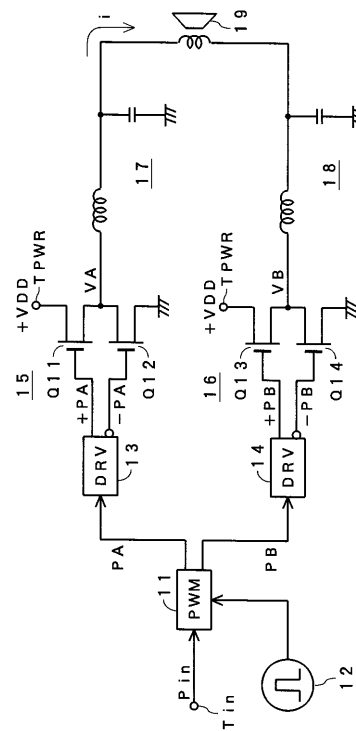
【図 8】



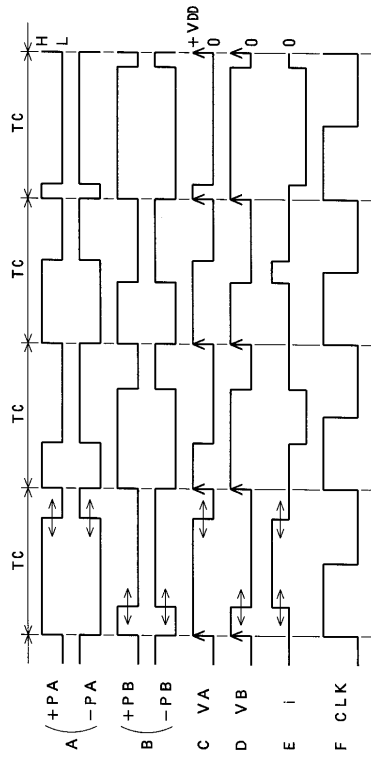
【図 9】



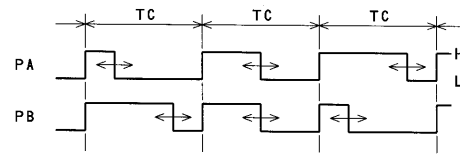
【図 11】



【図 1 2】



【図 1 3】



フロントページの続き

(56)参考文献 特開2005-064720(JP,A)
特開2004-146868(JP,A)
特開2002-230905(JP,A)
特開平01-101027(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03F 3/217
H03F 3/34