(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/04

(45) 공고일자 1999년08월02일
(11) 등록번호 10-0213839
(24) 등록일자 1999년05월17일

(21) 출원번호 10-1996-0003001
(22) 출원일자 1996년02월08일
(65) 공개번호 특1997-0003925
(43) 공개일자 1997년01월29일
(30) 우선권주장 95-150045 1995년06월16일 일본(JP)

(73) 특허권자 후지쓰 가부시끼가이샤 아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1
(72) 발명자 우치다 도시야
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015 반지 후지쓰 가부시키가이샤 나이
(74) 대리인 나영환, 이상섭

심사관 : 정해곤

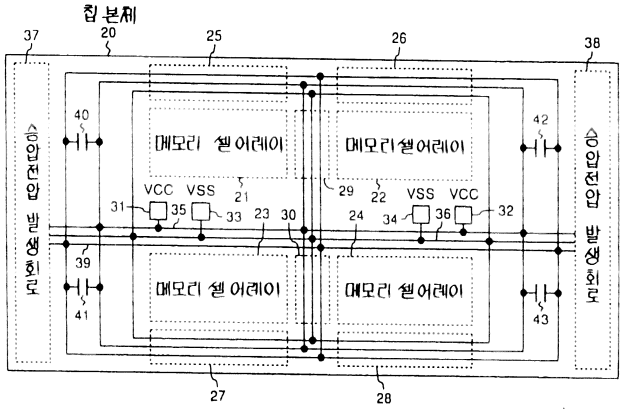
(54) 반도체 장치

요약

승압 전압 발생 회로를 구비하여 이루어지는 반도체 장치, 예컨데, DRAM에 관하여, 승압 전압용 안정화 용량의 전극간의 게이트 절연층에 결함이 존재하는 경우에 있어서도, 승압 전압용 안정화 용량이 파괴되어 버리는 일이 없도록 한다.

승압 전압용 안정화 용량(40~43)은 일단을 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(35)에 접속하며, 승압 전압용 안정화 용량(40~43)의 전극간에 인가되는 전압을 감소시킨다.

대표도



명세서

[발명의 명칭]

반도체 장치

[도면의 간단한 설명]

제1도는 본 발명의 원리 설명도.

제2도는 본 발명의 제1 실시예의 주요부를 도시하는 개략적 평면도.

제3도는 본 발명의 제1 실시예의 승압 전압용 안정화 용량의 일구성예를 도시하는 도면.

제4도는 본 발명의 제1 실시예의 승압 전압용 안정화 용량의 다른 구성예를 도시하는 도면.

제5도는 본 발명의 제2 실시예의 주요부를 도시하는 개략적 평면도.

제6도는 본 발명의 제3 실시예의 주요부를 도시하는 개략적 평면도.

제7도는 본 발명의 제4 실시예의 주요부를 도시하는 개략적 평면도.

제8도는 본 발명의 제4 실시예의 주요부를 도시하는 개략적 평면도.

제9도는 본 발명의 제5 실시예의 주요부를 도시하는 개략적 평면도.

제10도는 본 발명의 제5 실시예의 주요부를 도시하는 개략적 평면도.

제11도는 종래의 반도체 장치의 일 예의 주요부를 도시하는 블록 회로도.

* 도면의 주요부분에 대한 부호의 설명

8,17,40～43 : 승압 전압용 안정화 용량

[발명의 상세한 설명]

본 발명은 외부에서 공급되는 외부 고전위측 전원 전압보다도 고전압의 승압 전압을 발생시키는 승압 전압 발생 회로를 구비하여 이루어지는 반도체 장치에 관한 것이다.

근래, 반도체 장치에 있어서는, 소비 전력의 감소화나, 소자의 신뢰성의 향상을 도모하기 위해서 외부 고전위측 전원 전압을 저하시키는 경향이지만, 이 때문에, 예컨데, 반도체 메모리에 있어서는 , 0/1의 정보로서 사용되는 전압의 폭이 작아지고 있다.

그래서, 예컨데, 반도체 메모리의 일종인 다이나믹·랜덤·액세스·메모리(이하, DRAM이라 한다)에 있어서는, 통상 메모리 셀의 전송용 트랜지스터로서 nMOS 트랜지스터가 사용되고 있다.

이러한 DRAM에 있어서는, 논리 「1」의 정보를 메모리 셀에 기록하는 경우, 메모리 셀의 전송용 트랜지스터에 의한 임계치 손실을 없애기 위해서, 외부에서 공급되는 외부 고전위측 전원 전압보다도 높은 전압을 메모리 셀의 전송용 트랜지스터의 게이트에 인가할 필요가 있다.

그래서, 이와 같이, 외부 고전위측 전원 전압보다도 높은 전압을 필요로 하는 반도체 장치에 있어서는, 외부 고전위측 전원 전압을 승압하여 이루어지는 승압 전압을 발생시키는 승압 전압 발생 회로가 내부에 설치된다.

여기에서, 승압 전압 발생 회로는 용량에 대하여 펌핑 동작을 행하여, 승압 전압을 얻는 것으로 하고, 전류 공급 능력이 낮으므로, 통상 큰 용량치를 갖는 승압 전압용 안정화 용량을 설치하며, 이 승압 전압용 안정화 용량에 전하를 저장하고, 필요분을 상기 용량으로부터 인출하여 사용분을 보충하는 방법이 이용되고 있다.

제11도는 종래의 반도체 장치의 일 예의 주요부를 도시하는 블록 회로도이며, 제11도 중, 1은 장치 본체, 2는 외부 고전위측 전원 전압(VCC)이 공급되는 외부 단자, 3은 외부 저전위측 전원 전압(VSS)이 공급되는 외부 단자이다.

또한, 4는 외부 단자(2)를 통하여 공급되는 외부 고전위측 전원 전압(VCC)을 내부 회로에 공급하기 위한 VCC 전원선, 5는 외부 단자(3)를 통하여 공급되는 외부 저전위측 전원 전압(VSS)을 내부 회로에 공급하기 위한 VSS 전원선이다.

또한, 6은 외부 고전위측 전원 전압(VCC)을 승압하여 이루어지는 승압 전압(SVCC)을 발생시키는 승압 전압 발생 회로, 7은 승압 전압 발생 회로(6)로부터 출력되는 승압 전압(SVCC)을 내부 회로에 공급하기 위한 SVCC 전압선, 8은 승압 전압(SVCC)의 안정화를 도모하기 위한 승압 전압용 안정화 용량이다.

또한, 9는 외부 고전위측 전원 전압(VCC) 및 외부 저전위측 전원 전압(VSS)이 공급되는 회로, 10은 외부 고전위측 전원 전압(VCC), 외부 고전위측 전원 전압(VSS) 및 승압 전압(SVCC)이 공급되는 회로이다.

이와 같이, 승압 전압 발생 회로(6)를 필요로 하는 종래의 장치에 있어서는, 승압 전압(SVCC)의 안정화를 위해 설치되는 승압 전압용 안정화 용량(8)은 일단을 SVCC 전압선(7)에 접속하고, 타단을 VSS 전원선(5)에 접속하고 있었다.

그래서, 승압 전압용 안정화 용량(8)은 통상 MOS 트랜지스터의 게이트 절연막을 이용하여 구성되지만, 승압 전압용 안정화 용량(8)을 구성하는 게이트 절연막은 면적이 크기 대문에, 결함이 발생할 확률이 매우 높다고 말할 수 있다.

그럼에도 불구하고, 종래의 반도체 장치에 있어서는, 승압 전압용 안정화 용량(8)을 구성하는 게이트 절연막에 고전압을 인가하고 있으므로, 승압 전압용 안정화 용량(8)이 파괴되는 확률이 매우 높다고 하는 문제점이 있었다.

본 발명은 이러한 점에 감안하여, 승압 전압용 안정화 용량의 전극간의 유전체층에 결함이 존재하는 경우에 있어서도, 승압 전압용 안정화 용량이 파괴되는 일이 없게 하고, 신뢰성의 향상을 도모할 수 있도록 한 반도체 장치으 제공을 목적으로 한다.

제1도는 본 발명의 원리 설명도이며, 12는 장치 본체, 13은 외부에서 공급되는 외부 고전위측 전원 전압(VCC)을 내부 회로에 공급하기 위한 VCC 전원선, 14는 외부에서 공급되는 외부 저전위측 전원 전압(VSS)을 내부 회로에 공급하기 위한 VSS 전원선이다.

또한, 15는 외부 고전위측 전원 전압(VCC)보다도 고전압의 승압 전압(SVCC)을 발생시키는 승압 전압 발생 회로, 16은 승압 전압 발생 회로(15)로부터 출력되는 승압 전압(SVCC)을 내부 회로에 공급하기 위한 SVCC 전압선, 17은 승압 전압 발생 회로(15)로부터 출력되는 승압 전압(SVCC)의 안정화를 위한 승압 전압용 안정화 용량이다.

즉, 본 발명의 반도체 장치에 있어서는, 승압 전압용 안정화 용량(17)은 일단에 승압 전압(SVCC)이 인가되고, 타단에 외부 고전위측 전원 전압(VCC)이 인가되도록, 예컨데, 일단을 SVCC 전압선(16)에 접속하며, 타단을 VCC 전원선(13)에 접속한다.

본 발명에 있어서는, 승압 전압용 안정화 용량(17)은 일단에 승압 전압(SVCC)이 인가되고, 타단에 외부

고전위측 전원 전압(VCC)이 인가되므로, 그 전극간에 인가되는 전압은 감소된다.

따라서, 승압 전압용 안정화 용량(17)의 전극간의 유전체층에 결함이 존재하는 경우에 있어서도, 승압 전압용 안정화 용량(17)이 파괴되는 것을 막을 수 있다.

이하, 제2도 내지 제10도를 참조하여, 본 발명의 제1 실시예 내지 제5 실시예에 관하여 본 발명을 리드·온·칩(Lead On Chip)형의 DRAM에 적용한 경우를 예로서 설명한다.

제1 실시예 · · · 제2도～제4도

제2도는 본 발명의 제1 실시예의 주요부를 도시하는 개략적 평면도이며, 제2도 중, 20은 칩 본체, 21～24는 메모리 셀이 배열되어 이루어지는 메모리 셀 어레이, 25～28은 로우 디코더 등의 주변 회로, 29, 30은 컬럼 디코더 등의 주변 회로이다.

또한, 31,32는 외부 고전위측 전원 전압(VCC)이 공급되는 내부 단자를 이루는 본딩·패드, 33, 34는 외부 저전위측 전원전압(VSS)이 공급되는 내부 단자를 이루는 본딩·패드이다. 또한 35는 본딩·패드(31, 32)를 통하여 공급되는 외부 고전위측 전원 전압(VCC)을 내부 회로에 공급하기 위한 VCC 전원선, 36은 본딩·패드(33,34)를 통하여 공급되는 외부 저전위측 전원 전압(VSS)을 내부 회로에 공급하기 위한 VSS 전원선이다.

또한, 37, 38은 외부 고전위측 전원 전압을 승압하여 이루어지는 승압 전압(SVCC)을 발생시키는 승압 전압 발생 회로, 39는 승압 전압 발생 회로(37, 38)로부터 출력되는 승압 전압(SVCC)을 내부 회로에 공급하기 위한 SVCC 전압선, 40～43은 승압 전압(SVCC)의 안정화를 위한 승압 전압용 안정화 용량이다.

여기에서, 승압 전압용 안정화 용량(40, 41)은 일단을 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(35)의 내부 회로보다도 본딩·패드(31)에 가까운 위치에 접속하고 있다.

이것은 VCC 전원선(35)의 본딩·패드(31)로부터의 저항치가 작은 위치에서 승압 전압용 안정화 용량(41, 41)을 접속하는 취지이며, 따라서, 승압 전압용 안정화 용량(40, 41)과 VCC 전원선(35)과의 접속점은 본딩·패드(31)에 가까울수록 좋다.

또한, 승압 전압용 안정화 용량(42, 43)은 일단 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(35)의 내보 회로보다도 본딩·패드(32)에 가까운 위치에 접속하고 있다.

이것도, VCC 전원선(35)의 본딩·패드(32)로부터의 저항치가 작은 위치에 승압 전압용 안정화 용량(42, 43)을 접속하는 취지이며, 따라서 승압 전압용 안정화 용량(42, 43)과 VCC 전원선(35)과의 접속점은 본딩·패드(32)에 가까울수록 좋다.

그래서, 제3도는 승압 전압용 안정화 용량(40～43)의 일 구성예를 도시하는 도면이고, 제3도의 (A)는 승압 전압용 안정화 용량(40～43)의 일 구성예를 도시하는 개략적 단면도이며, 제3도의 (B)는 제3도 (A)에 도시하는 부분의 등가 회로도이다.

제3도 중, 45는 P형 실리콘 기판, 46은 이산화 실리콘으로 이루어지는 필드 산화막, 47은 nMOS 트랜지스터이고, 48은 N형 확산층으로 이루어지는 소스, 49는 N형 확산층으로 이루어지는 드레인, 50은 이산화 실리콘으로 이루어지는 게이트 절연막, 51은 폴리실리콘으로 이루어지는 게이트이다. 또, 52는 P형 확산층으로 이루어지는 접촉층이다.

이 경우에는, 승압 전압용 안정화 용량(40～43)은 게이트(51)를 한 쪽의 전극, 소스(48) 및 드레인(49)을 다른 쪽의 전극, 게이트 절연막(50)을 유전체층으로 하여 구성된다. 또한 제4도는 승압 전압용 안정화 용량(40～43)의 다른 구성예를 도시하는 도면이고, 제4도의 (A)는 승압 전압용 안정화 용량(40～43)의 다른 구성예를 도시하는 개략적 단면도이며, 제4도의 (B)는 제4도의 (A)에 도시하는 부분의 등가 회로도이다.

제4도 중, 54는 P형 실리콘 기판, 55는 이산화 실리콘으로 이루어지는 필드 산화막, 56은 N 웰, 57, 58은 N형 확산층, 59는 이산화 실리콘으로 이루어지는 게이트 절연막, 60은 게이트, 61은 P형 확산층으로 이루어지는 접촉층이다.

이 경우에는, 승압 전압용 안정화 용량(40～43)은 게이트(60)를 한 쪽의 전극, N 웰(56) 및 N 형 확간층(57, 58)을 다른 쪽의 전극으로 하고, 게이트 절연막(59)을 유전체층으로 하여 구성된다.

여기에서, 승압 전압용 안정화 용량(40～43)을 제3도에 도시된 바와 같이 구성하는 경우에는 승압 전압(SVCC)은 [외부 고전위측 전원 전압(VCC)+nMOS 트랜지스터(47)의 임계치(VTH)] 이상의 전압치로 할 필요가 있다.

그러나, 전원 기동시에 있어서는, 승압 전압(SVCC)은 외부 고전위측 전원 전압(VCC)에 비하여 그다지 높지 않거나 낮아지므로, 이 경우에는 승압 전압용 안정화 용량(40～43)의 용량치는 작아져 버리는 부적합함이 있다.

이에 대하여, 승압 전압용 안정화 용량(40～43)을 제4도 도시된 바와 같이 구성하는 경우에는, 전원 기동시에 있어서, 승압 전압(SVCC)이 외부 고전위측 전원 전압(VCC)에 비하여 너무 높지 않거나 낮아졌다 하더라도, 임계치 손실을 억제할 수 있으며, 큰 용량치를 확보할 수 있다.

이 제1 실시예에 의하면, 승압 전압용 안정화 용량(40～43)은 일단을 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(35)에 접속하고 있기 때문에, 승압 전압용 안정화 용량(40～43)의 전극간에 인가되는 전압을 감소시킬 수 있다.

따라서, 승압 전압용 안정화 용량(40～43)의 전극간의 게이트 절연막에 결함이 존재하는 경우에 있어서도, 승압 전압용 안정화 용량(40～43)이 파괴되는 것을 막고, 신뢰성의 향상을 도모할 수 있다.

또한, 이 제1 실시예에 의하면, 승압 전압용 안정화 용량(40, 41)의 타단은 VCC 전원선(35)의 본딩·패드(31)로부터의 저항치가 작은 위치에 접속하고, 승압 전압용 안정화 용량(42, 43)의 타단은 VCC 전원선

(35)의 본딩·패드(32)로부터의 저항치가 작은 위치에 접속하고 있다.

따라서, 내부 회로(25~30)의 동작에 의해 VCC 전원선(35)에 발생하는 노이즈가 승압 전압용 안정화 용량(40~43)에 영향을 주는 것을 억제할 수 있으며, 내부 회로(25~30)의 동작에 의해 VCC 전원선(35)에 발생하는 노이즈에 원인하는 승압 전압(SVCC)의 전압 변동을 억제할 수 있다.

제2실시예···제5도

제5도는 본 발명의 제2 실시예의 주요부를 도시하는 개략적 평면도이며, 이 제2 실시예는 VCC 전원선(35)과 VSS 전원선(36)의 사이에 외부 고전위측 전원 전압용 안정화 용량(62~65)을 접속하며, 그 외에 관해서는 제2도에 도시하는 제1 실시예와 같이 구성한 것이다.

이 제2 실시예에 의하면, 제1 실시예의 경우와 같이, 승압 전압용 안정화 용량(40~43)은 일단을 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(35)에 접속하고 있으므로, 승압 전압용 안정화 용량(40~43)의 전극간에 인가되는 전압을 감소시킬 수 있다.

따라서, 승압 전압용 안정화 용량(40~43)의 전극간의 게이트 절연막에 결함이 존재하는 경우에 있어서도, 승압 전압용 안정화 용량(40~43)이 파괴되는 것을 막고, 신뢰성의 향상을 도모할 수 있다.

또한, 이 제2 실시예에 의하면, 제1 실시예의 경우와 다르며, VCC 전원선(35)과 VSS 전원선(36)의 사이에 외부 고전위측 전원 전압용 안정화 용량 (62~65)을 접속하고 있다.

따라서, 내부 회로(25~30)의 동작에 의해 VCC 전원선(35)에 발생하는 노이즈가 승압 전압용 안정화 용량(40~43)에 영향을 주는 것을 제1 실시예 이상으로 억제시킬 수 있으며, 내부 회로(25~30)의 동작에 의해 VCC 전원선(35)에 발생하는 노이즈에 원인하는 승압 전압(SVCC)의 전압 변동을 제1 실시예 이상으로 억제시킬 수 있다.

제3 실시예 ···제6도

제6도는 본 발명의 제3 실시예의 주요부를 도시하는 개략적 평면도이며, 이 제3 실시예에 있어서는, VCC 전원선(35)과는 분리된 승압 전압용 안정화 용량(40, 41)에 전용 VCC 전원선(67)이 설치됨과 동시에, VCC 전원선(35)과는 분리된 승압 전압용 안정화 용량(42, 43)에 전용 VCC 전원선(68)이 설치되어 있다.

그리고, 승압 전압용 안정화 용량(40, 41)을 일단 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(67)을 통하여 본딩·패드(31)에 접속하고 있다.

또한, 승압 전압용 안정화 용량(42, 43)은 일단을 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(68)을 통하여 본딩·패드(32)에 접속하고 있으며, 그외에 관해서는 제2도에 도시하는 제1 실시예와 같이 구성되어 있다.

이 제3 실시예에 의한면, 제1 실시예의 경우와 같이, 승압 전압용 안정화 용량(40~43)은 일단을 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(35)에 접속하고 있으므로, 승압 전압용 안정화 용량(40~43)의 전극간에 인가되는 전압을 감소시킬 수 있다.

따라서, 승압 전압용 안정화 용량 (40~43)의 전극간의 게이트 절연막에 결함이 존재하는 경우에 있어서도, 승압 전압용 안정화 용량 (40~43)이 파괴되는 것을 막고, 신뢰성의 향상을 도모할 수 있다.

또한, 이 제3 실시예에 의하면, 제1 실시예의 경우와 다르며, 승압 전압용 안정화 용량(40, 41)의 타단은 VCC 전원선(67)을 통하여 본딩·패드(31)에 접속하고, 승압 전압용 안정화 용량(42, 43)의 타단은 VCC 전원선(68)을 통하여 본딩·패드(32)에 접속하며, 승압 전압용 안정화 용량(40~43)에 외부 고전위측 전원 전압(VCC)을 공급하기 위한 분리점을 제1 실시예의 경우보다도 외부 전원에 가깝게 하고 있다.

따라서 내부 회로(25~30)의 동작에 의해 VCC 전원선(35)에 발생하는 노이즈가 승압 전압용 안정화 용량(40~43)에 영향을 주는 것을 제1 실시예 이상으로 억제할 수 있으며, 내부 회로(25~30)의 동작에 의해 VCC 전원선(35)에 발생하는 노이즈로 인한 승압 전압(SVCC)의 전압 변동을 제1 실시예 이상으로 억제할 수 있다.

또, 이 제3 실시예에 있어서도, 제2 실시예의 경우와 같이 VCC 전원선(35)과 VSS 전원선(36)의 사이에 외부 고전위측 전원 전압용 안정화 용량(62~65)을 접속하도록 해도 좋다.

제4 실시예 ···제7도, 제8도

제7도는 본 발명의 제4 실시예의 주요부를 도시하는 개략적 평면도이며, 이 제4 실시예에 있어서도, VCC 전원선(35)과는 분리된 승압 전압용 안정화 용량(40, 41)에 전용 VCC 전원선(67)이 설치됨과 동시에, VCC 전원선 (35)과는 분리된 승압 전압용 안정화 용량(42, 43)에 전용 VCC 전원선(68)이 설치되어 있다.

또한, 외부 고전위측 전원 전압(VCC)의 공급구를 이루는 본딩·패드로서, 본딩·패드(31, 32)이외에 본딩·패드(70, 71)가 설치되어 있다.

그리고, 승압 전압용 안정화 용량(40, 41)은 일단을 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(67)을 통하여 본딩·패드(70)에 접속하고 있다.

또한, 승압 전압용 안정화 용량(42, 43)은 일단을 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(68)을 통하여 본딩·패드(71)에 접속하고 있다.

그래서, 제8도는 외부 고전위측 전원 전압(VCC)용 본딩·패드(31, 32, 70, 71) 및 외부 저전위측 전원 전압(VSS)용 본딩·패드(33, 34)와 리드·프레임의 접속을 도시하는 개략적 평면도이다.

제8도 중 73은 외부 고전위측 전원 전압(VCC)용 리드, 74는 외부 저전위측 전원 전압(VSS)용 리드이다.

또한, 75는 본딩·패드(70)와 리드(73)를 접속하는 본딩·와이어, 76은 본딩·패드(31)와 리드(73)를 접

속하는 본딩 · 와이어, 77은 본딩 · 패드(33)와 리드(74)를 접속하는 본딩 · 와이어이다.

또한, 78은 본딩 · 패드(34)와 리드(74)를 접속하는 본딩 · 와이어, 79는 본딩 · 패드(32)와 리드(73)를 접속하는 본딩 · 와이어, 80은 본딩 · 패드(71)와 리드(73)를 접속하는 본딩 · 와이어이다.

이 제4 실시예에 의하면, 제1 실시예의 경우와 같이, 승압 전압용 안정화 용량(40~43)은 일단을 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(35)에 접속하고 있으므로, 승압 전압용 안정화 용량(40~43)의 전극간에 인가되는 전압을 감소시킬 수 있다.

따라서, 승압 전압용 안정화 용량(40~43)의 전극간의 게이트 절연막에 결함이 존재하는 경우에 있어서도, 승압 전압용 안정화 용량(40~43)이 파괴되는 것을 막고, 신뢰성의 향상을 도모할 수 있다.

또한, 이 제4 실시예에 의하면, 제3 실시예의 경우와 다르며, 승압 전압용 안정화 용량(40, 41)의 타단은 VCC 전원선(67)을 통하여 본딩 · 패드(70)에 접속하고, 승압 전압용 안정화 용량(42, 43)의 타단은 VCC 전원선(68)을 통하여 본딩 · 패드(71)에 접속하는 것으로 하고, 승압 전압용 안정화 용량(40~43)에 외부 고전위측 전원 전압(VCC)을 공급하기 위한 분리점을 제3 실시예의 경우보다도 외부 전원에 가깝게 하고 있다.

따라서, 내부 회로(25~30)의 동작에 의해 VCC 전원선(35)에 발생하는 노이즈가 승압 전압용 안정화 용량(40~43)에 영향을 주는 것을 제3 실시예 이상으로 억제할 수 있으며, 내부 회로(25~30)의 동작에 의해 VCC 전원선(35)에 발생하는 노이즈에 원인하는 승압 전압(SVCC)의 전압 변동을 제3 실시예 이상으로 억제할 수 있다.

또, 이 제4 실시예에 있어서도, 제2 실시예의 경우와 같이, VCC 전원선(35)과 VSS 전원선(36)의 사이에 외부 고전위측 전원 전압용 안정화 용량(62~65)을 접속하도록 해도 좋다.

제5 실시예 · · · 제9도, 제10도

제9도는 본 발명의 제5 실시예의 주요부를 도시하는 개략적 평면도이며, 이 제5 실시예에 있어서도, VCC 전원선(35)과는 분리된 승압 전압용 안정화 용량(40, 41)에 전용 VCC 전원선(67)이 설치됨과 동시에, VCC 전원선(35)과는 분리된 승압 전압용 안정화 용량(42, 43)에 전용 VCC 전원선(68)이 설치되어 있다.

또한, 외부 고전위측 전원 전압(VCC)의 공급구를 이루는 본딩 · 패드로서, 본딩 · 패드(31, 32) 이외에 본딩 · 패드(70, 71)가 설치되어 있다.

그리고, 승압 전압용 안정화 용량(40, 41)은 일단을 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(67)을 통하여 본딩 · 패드(70)에 접속하고 있다.

또한, 승압 전압용 안정화 용량(42, 43)은 일단을 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(68)을 통하여 본딩 · 패드(71)에 접속하고 있다.

여기에서, 제10도는 외부 고전위측 전원 전압(VCC)용 본딩 · 패드(31, 32, 70, 71) 및 외부 저전위측 전원 전압(VSS)용 본딩 · 패드(33, 34)와 리드 · 프레임의 접속을 도시하는 개략적 평면도이다.

제10도 중, 82는 외부 고전위측 전원 전압(VCC)용 리드이고, 이 리드(82)에는 분기(83, 84)가 설치되어 있으며, 본딩 · 패드(70)는 본딩 · 와이어(75)를 통하여 분기(83)에 접속되고, 본딩 · 패드(71)는 본딩 · 와이어(80)를 통하여 분기(84)에 접속되어 있으며, 그 외에 관해서는 제4 실시예와 같이 구성되어 있다.

이 제5 실시예에 의하면, 제1 실시예의 경우와 같이, 승압 전압용 안정화 용량(40~43)은 일단을 SVCC 전압선(39)에 접속하고, 타단을 VCC 전원선(35)에 접속하고 있으므로, 승압 전압용 안정화 용량(40~43)의 전극간에 인가되는 전압을 감소시킬 수 있다.

따라서, 승압 전압용 안정화 용량(40~43)의 전극간의 게이트 절연막에 결함이 존재하는 경우에 있어서도, 승압 전압용 안정화 용량(40~43)이 파괴되는 것을 막고, 신뢰성의 향상을 도모할 수 있다.

또한, 이 제5 실시예에 의하면, 본딩 · 패드(70)는 본딩 · 와이어(75)를 통하여 분기(83)에 접속하고, 본딩 · 패드(71)는 본딩 · 와이어(80)를 통하여 분기(84)에 접속하고 있으며, 승압 전압용 안정화 용량(40~43)에 외부 고전위측 전원 전압(VCC)을 공급하기 위한 분리점을 제4 실시예의 경우보다도 외부 전원에 가깝게 하고 있다.

따라서, 내부 회로(25~30)의 동작에 의해 VCC 전원선(35)에 발생하는 노이즈가 승압 전압용 안정화 용량(40~43)에 영향을 주는 것을 제4 실시예 이상으로 억제할 수 있으며, 내부 회로(25~30)의 동작에 의해 VCC 전원선(35)에 발생하는 노이즈에 원인하는 승압 전압(SVCC)의 전압 변동을 제4 실시예 이상으로 억제할 수 있다.

또, 이 제5 실시예에 있어서도, 제2 실시예의 경우와 같이, VCC 전원선(35)과 VSS 전원선(36)의 사이에 외부 고전위측 전원 안정화 용량(62~65)을 접속하도록 해도 좋다.

이상과 같이, 본 발명에 의하면, 승압 전압용 안정화 용량은 일단에 승압 전압이 인가되고, 타단에 외부 고전위측 전원 전압이 인가되도록 접속함으로써, 승압 전압용 안정화 용량의 전극간에 인가되는 전압을 감소시킬 수 있으므로, 승압 전압용 안정화 용량의 전극간의 유전체층에 결함이 존재하는 경우에 있어서도, 승압 전압용 안정화 용량이 파괴되는 것을 막을 수 있으며, 신뢰성의 향상을 도모할 수 있다.

(57) 청구의 범위

청구항 1

외부에서 공급되는 고전위측 전원 전압(VCC)보다도 고전위인 승압 전압(SVCC)을 발생시키는 승압 전압 발생 회로(37, 38)와; 상기 승압 전압과 상기 고전위측 전원 전압 사이에 접속된 승압 전압용 안정화 용량(40~43)을 포함하는 반도체 장치에 있어서, 상기 승압 전압용 안정화 용량은 절연 게이트형 전계 효과

트랜지스터(FET)를 포함하고, 상기 FET의 게이트 전극은 상기 승압 전압에 접속되며; 상기 FET의 소스 및 드레인 전극 중 적어도 하나는 상기 전원 전압에 접속되는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 절연 게이트형 FET는 공핍형 FET인 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서, 제1 전극으로 작용하는 상기 승압 전압용 안정화 용량의 게이트 전극은 도전층이고, 상기 승압 전압용 안정화 용량의 재2 전극으로서 채널이 상기 도전층 아래에 위치되는 반도체 영역에 배치되며, 상기 반도체 영역은 겹쳐진 상태로 있는 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서, 상기 소스 및 드레인 전극 중 하나는 고전위측 전원선의 한 위치에 접속되고, 상기 위치는 상기 고전위측 전원 전압이 공급되는 내부 단자에 인접한 것을 특징으로 하는 반도체 장치.

청구항 5

제1항에 있어서, 상기 고전위측 전원 전압을 공급하는 고전위측 전원선과 저전위측 전원 전압을 공급하는 저전위측 전원선의 사이에 접속되어 상기 고전위측 전원 전압을 안정화시키는 고전위용 안정화 용량을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 6

제1항에 있어서,상기 소스 및 드레인 전극 중 하나는 전용 고전위측 전원선을 통하여 고전위측 전원 전압이 공급되는 내부 단자에 접속되는 것을 특징으로 하는 반도체 장치.

청구항 7

제1항에 있어서, 상기 소스 및 드레인 전극 중 하나는 전용 고전위측 전원선을 통해 고전위측 전원 전압이 공급되는 전용 내부 단자에 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 8

제7항에 있어서,상기 고전위측 전원 전압용 리드의 리드 분기를 더 포함하며, 상기 리드 분기는 상기 전용 내부 단자에 접속되는 것을 특징으로 하는 반도체 장치.

청구항 9

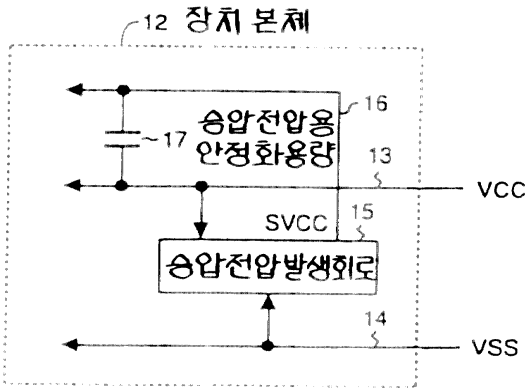
제1 전위(VSS) 및 제1 전위보다 큰 제2 전위(VCC)를 갖는 전원에 결합되어 상기 제2 전위보다 큰 제3 전위를 갖는 승압 전압(SVCC)을 출력으로 제공하는 승압 전압 발생 회로(37, 38)와; 상기 승압 발생 회로의 출력 및 상기 전원 전압의 제2 전위에 결합된 승압 전압용 안정화 용량(40~43)을 포함하는 반도체 장치에 있어서, 상기 승압 전압용 안정화 용량은 절연 게이트형 FET를 포함하고, 상기 FET의 게이트 전극은 상기 승압 전압에 접속되며; 상기 FET의 소스 및 드레인 전극 중 적어도 하나는 상기 전원 전압에 접속되는 것을 특징으로 하는 반도체 장치.

청구항 10

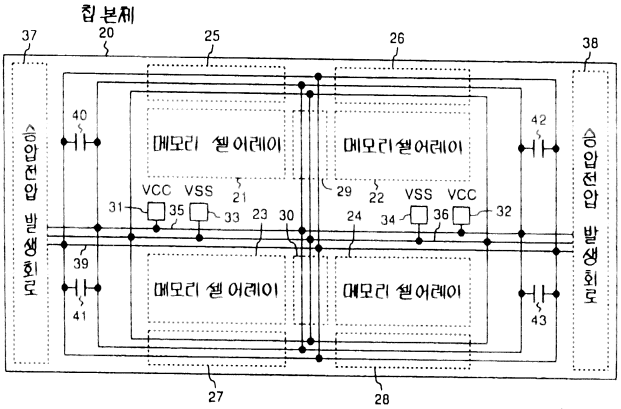
제9항에 있어서, 상기 전원 전압의 제1 전위 및 제2 전위 사이에 결합되는 고전위용 안정화 용량을 더 포함하는 것을 특징으로 하는 반도체 장치.

도면

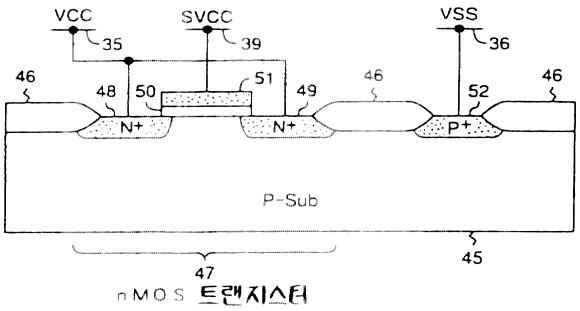
도면1



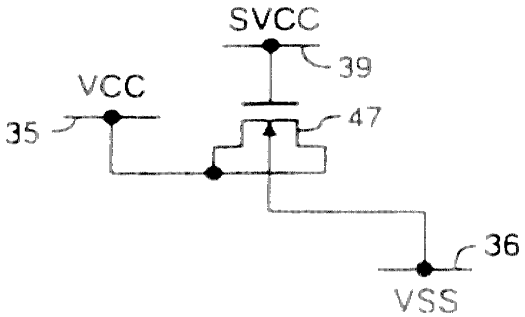
도면2



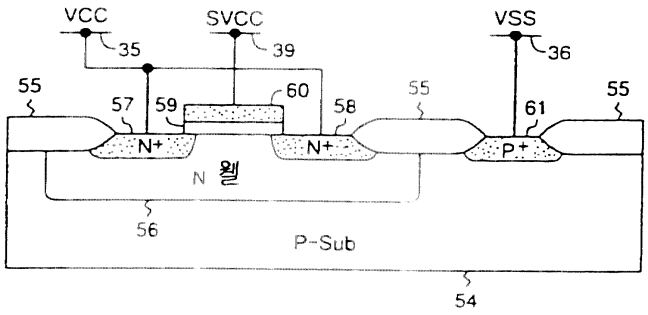
도면3a



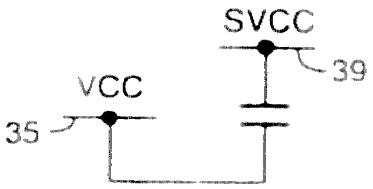
도면3b



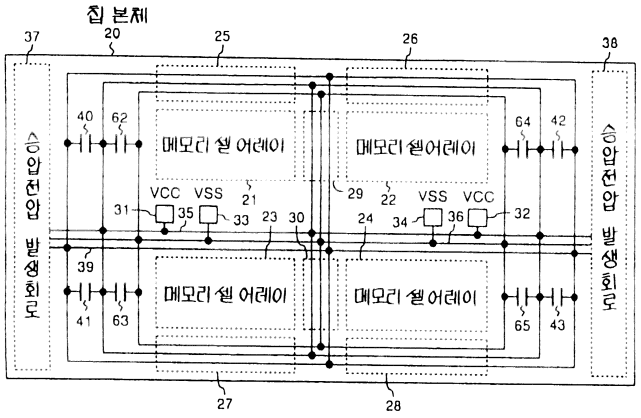
도면4a



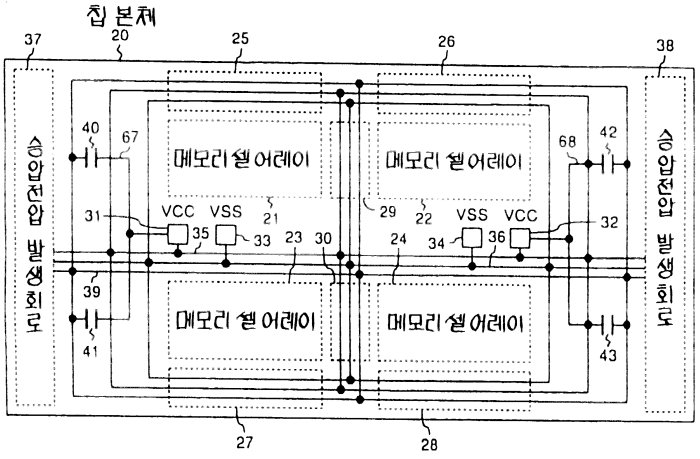
도면4b



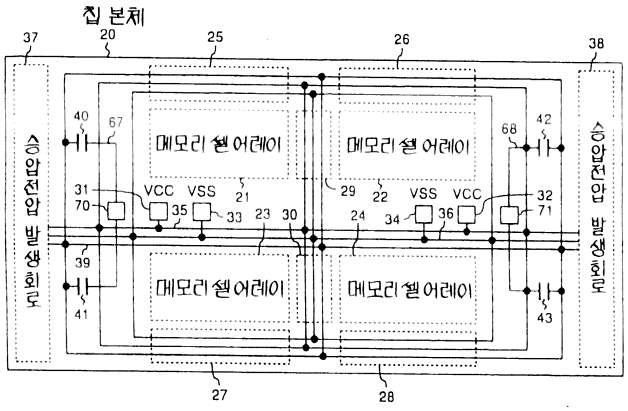
도면5



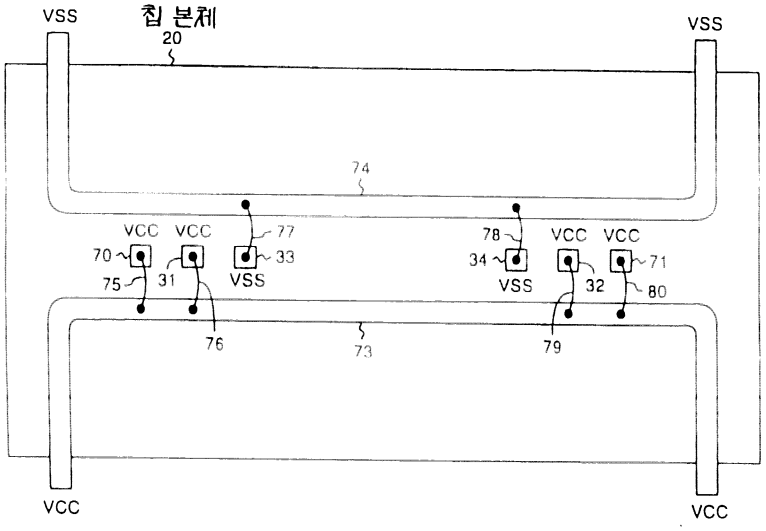
도면6



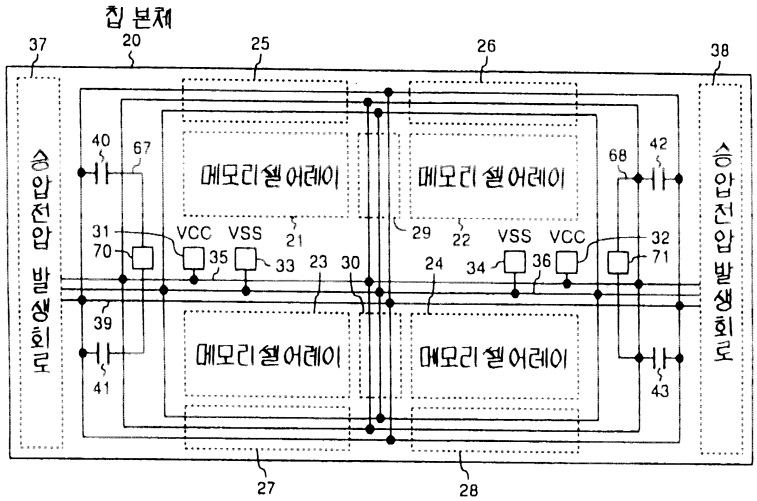
도면7



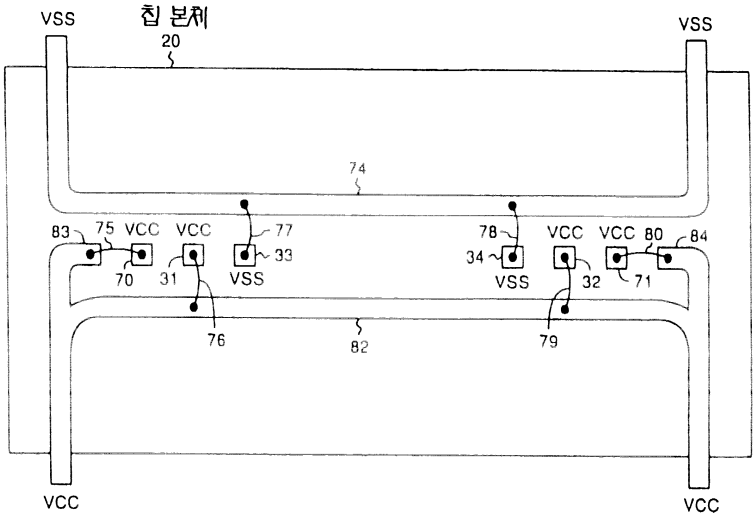
도면8


VSS
칩 본체
20
VSS
74
VCC
VCC
77
70
75
31
33
VSS
78
34
VSS
VCC
VCC
71
32
80
76
73
79
VCC
VCC

도면9


칩 본체
37
20
25
26
38
승압전압 발생회로
메모리 셀 어레이
메모리 셀 어레이
메모리 셀 어레이
메모리 셀 어레이
승압전압 발생회로
40
67
68
42
31
70
VCC
VSS
35
33
21
29
22
VSS
VCC
32
71
23
30
24
34
36
39
41
43
27
28

도면10


VSS
칩 본체
20
VSS
74
83
75
VCC
VCC
77
70
31
33
VSS
78
34
VSS
VCC
VCC
80
84
71
32
76
82
79
VCC
VCC

도면11

