(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月16日(16.09.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/181795 A1

(51) 国際特許分類:
H02M 1/08 (2006.01) *H02M 3/155* (2006.01)

(21) 国際出願番号： PCT/JP2020/047033

(22) 国際出願日： 2020年12月16日(16.12.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-042118 2020年3月11日(11.03.2020) JP

(71) 出願人: オムロン株式会社 (**OMRON CORPORATION**) [JP/JP]; 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町８０１番地 Kyoto (JP).

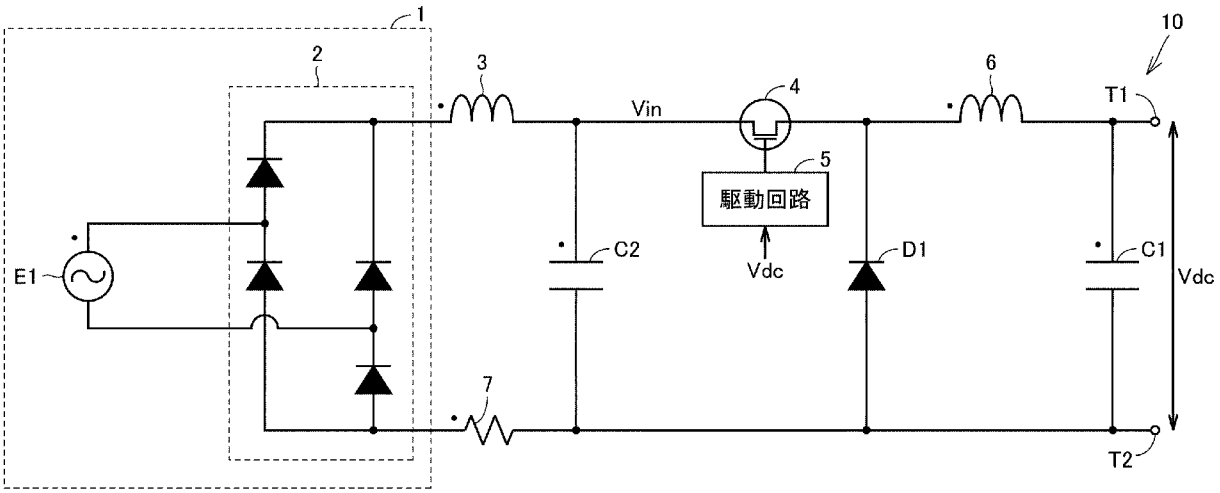
(72) 発明者: 渡邉 智紀 (**WATANABE, Tomonori**); 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町８０１番地 オムロン株式会社内 Kyoto (JP). 谷野 光平 (**TANINO, Kohei**); 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町８０１番地 オムロン株式会社内 Kyoto (JP). 長野 昌明 (**NAGANO, Masaaki**); 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町８０１番地 オムロン株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人深見特許事務所 (**FUKAMI PATENT OFFICE, P.C.**); 〒5300005 大阪府大阪市北区中之島三丁目２番４号 中之島フェスティバルタワー・ウエスト Osaka (JP).

(54) **Title:** POWER SUPPLY CIRCUIT

(54) 発明の名称： 電源回路

FIG.4



5... Drive circuit

(57) **Abstract:** A power supply circuit (10) is provided with: a transistor (4) having a drain connected to an input voltage (Vin) from a DC power supply (1), a gate, and a source; a diode (D1) connected to the source of the transistor (4) and a common voltage node (T2); a choke coil (6) having a first end connected to the source of the transistor (4) and the cathode of the diode (D1) and a second end connected to an output node (T1); a capacitor (C1) connected between the output node (T1) and the common voltage node (T2); a drive circuit (5); and a thermistor (7) provided in the current path

WO 2021/181795 A1

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

of the DC power supply (1).

(57) 要約:電源回路(１０)は、直流電源(１)からの入力電圧(Ｖｉｎ)に接続されたドレインと、ゲートと、ソースとを有するトランジスタ(４)と、トランジスタ(４)のソースと共通電圧ノード(Ｔ２)とに接続されたダイオード(Ｄ１)と、トランジスタ(４)のソースおよびダイオード(Ｄ１)のカソードに接続された第１端と、出力ノード(Ｔ１)に接続された第２端とを有するチョークコイル(６)と、出力ノード(Ｔ１)と、共通電圧ノード(Ｔ２)との間に接続されたコンデンサ(Ｃ１)と、駆動回路(５)と、直流電源(１)の電流経路に設けられるサーミスタ(７)とを備える。

明　細　書

発明の名称 ： 電源回路

技術分野

[0001] 本開示は、電源回路に関し、特に降圧チョッパ回路に関する。

背景技術

[0002] 特開２０１４－１３７８６４号公報（特許文献１）は、光源への過電流を防止することができる点灯装置を開示する。点灯装置は、入力フィルタ回路と、整流回路と、降圧チョッパ回路と、スイッチ制御部と、突入電流防止回路と、駆動回路とを備える。突入電流防止回路は、サーミスタおよびサイリスタによって構成される。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１４－１３７８６４号公報

発明の概要

発明が解決しようとする課題

[0004] 降圧チョッパ回路のハイサイドスイッチ（通常はＭＯＳＦＥＴ）を駆動するためにパルストランスを利用した駆動回路が知られている。上記駆動回路は、絶縁ゲートドライバなどを使用してハイサイドスイッチを駆動するケースに比べて、部品点数を少なくすることができるので、電源装置の低コスト化が可能である。パルストランスはコントローラにより駆動される。コントローラのドライブ端子からオン信号を出力するときにＭＯＳＦＥＴはオンする。一方、コントローラのドライブ端子からオフ信号を出力するとき（ドライブ端子の電圧が０Ｖのとき）にはＭＯＳＦＥＴはオフする。

[0005] しかし、パルストランス駆動回路は、コントローラのドライブ端子が０Ｖになっているすべての期間でＭＯＳＦＥＴのゲート－ソース間の電荷を引き抜き続けているわけではない。オフ期間でＭＯＳＦＥＴのゲート－ソース間の電荷を引き抜くことができていない期間に、ＭＯＳＦＥＴなどの寄生容量

を介してＭＯＳＦＥＴのゲート－ソース間に電荷が充電された場合には、ＭＯＳＦＥＴはオン状態となる。このような場合には、電源回路の出力電圧が上昇しやすい。電源回路の出力電圧が大きく上昇すると、電源回路の部品が損傷する可能性がある。

[0006] 特開２０１４－１３７８６４号公報は、光源の過電流を防ぐための回路を開示する。しかし、特開２０１４－１３７８６４号公報は、低温での電源装置の動作において生じうる課題について開示していない。

[0007] 本開示の目的は、低温時における出力電圧の上昇を抑制できる電源回路を提供することである。

課題を解決するための手段

[0008] 本開示に係る電源回路は、直流電源からの入力電圧に接続されたドレインと、ゲートと、ソースとを有するトランジスタと、トランジスタのソースに接続されたカソードと、共通電圧ノードに接続されたアノードとを有するダイオードと、トランジスタのソースおよびダイオードのカソードに接続された第１端と、出力ノードに接続された第２端とを有するチョークコイルと、出力ノードと、共通電圧ノードとの間に接続された第１のコンデンサと、一次巻線と、トランジスタのゲートに接続された二次巻線とを有するトランスと、出力ノードにおける電圧である出力電圧に基づいて、トランジスタをオンオフさせるための駆動信号を、トランスの一次巻線に与える制御回路と、直流電源の電流経路に設けられるサーミスタとを備える。

[0009] この開示によれば、低温時において電源回路の出力電圧の急峻な上昇を抑制できる。

上述の開示において、直流電源は、入力電圧をトランジスタのドレインに供給する第１端と、第２端とを有し、電源回路は、トランジスタのドレインに接続された第１端と、ダイオードのアノードに接続された第２端とを有する第２のコンデンサをさらに備え、サーミスタは、第２のコンデンサの第２端と、直流電源の第２端との間に接続される。

[0010] この開示によれば、簡易な構成によって、電源回路の出力電圧が低温で急

峻に上昇することを抑制できる。

[0011] 上述の開示において、直流電源は、入力電圧をトランジスタのドレインに供給する第１端と、第２端とを有し、電源回路は、トランジスタのドレインに接続された第１端と、直流電源の第２端に接続された第２端とを有する第２のコンデンサをさらに備え、サーミスタは、ダイオードのアノードと第２のコンデンサの第２端との間に接続される。

[0012] この開示によれば、簡易な構成によって、電源回路の出力電圧が低温で急峻に上昇することを抑制できる。

[0013] 上述の開示においてサーミスタは、ＮＴＣサーミスタである。

この開示によれば、低温において、電源回路に入力される入力電圧が上昇することを抑制できる。

発明の効果

[0014] 本開示によれば、低温時における出力電圧の上昇を抑制できる電源回路を提供することができる。

図面の簡単な説明

[0015] [図1]本実施の形態に従う電源回路の基本構成を示した回路図である。

[図2]駆動回路の概略的な構成を示した回路図である。

[図3]パルストランスによって、降圧チョッパのトランジスタを駆動する場合に起こりうる課題を説明する波形図である。

[図4]本発明の実施の形態に従う電源回路の１つの構成例を示した回路図である。

[図5]本発明の実施の形態に従う電源回路１０による効果を説明する波形図である。

[図6]本発明の実施の形態に従う電源回路の別の構成例を示した回路図である。

発明を実施するための形態

[0016] 以下、実施の形態について、図面を参照しながら詳細に説明する。なお、図中の同一または相当部分については、同一符号を付してその説明は繰返さ

ない。

[0017] ＜適用例＞

図１は、本実施の形態に従う電源回路の基本構成を示した回路図である。図１に示すように、この実施形態では、電源回路１０は、降圧チョッパ回路である。電源回路１０は、チョークコイル３，６と、コンデンサＣ１，Ｃ２と、トランジスタ４と、駆動回路５と、ダイオードＤ１とを備える。

[0018] トランジスタ４は、ＮチャネルＭＯＳＦＥＴである。トランジスタ４は、ドレインと、ゲートと、ソースとを有する。トランジスタ４のドレインは、入力電圧Ｖｉｎに接続される。入力電圧Ｖｉｎは、直流電源１によって生成される。

[0019] この実施の形態では、直流電源１は、交流電圧を発生させる交流電源Ｅ１と、交流電源Ｅ１からの交流電圧を整流する整流回路２とを含む。チョークコイル３およびコンデンサＣ２は、直流電源１からの電圧を平滑化する。チョークコイル３の第１端は、直流電源の第１端に接続される。チョークコイル３の第２端は、コンデンサＣ２の第１端およびトランジスタ４のドレインに接続される。したがって、トランジスタ４のドレインは、直流電源の第１端に電気的に接続される。コンデンサＣ２の第２端は、共通電圧ノード（すなわち端子Ｔ２）に接続される。

[0020] ダイオードＤ１は、トランジスタ４のソースに接続されたカソードと、共通電圧ノードに接続されたアノードとを有する。図１に示す端子Ｔ２は、共通電圧ノードに相当する。本実施形態において、共通電圧とは接地電圧である。

[0021] チョークコイル６は、トランジスタ４のソースおよびダイオードＤ１のカソードに接続された第１端と、出力ノードに接続された第２端とを有する。

[0022] コンデンサＣ１は、出力ノードと、共通電圧ノードとの間に接続される。図１に示す端子Ｔ１は、出力ノードに相当する。出力ノード（端子Ｔ１）は電源回路１０から出力電圧Ｖｄｃを出力するためのノードである。なお、図１に示すように出力電圧Ｖｄｃは、端子Ｔ１と端子Ｔ２との間の電圧である

。駆動回路５は、出力電圧Ｖｄｃに基づいてトランジスタ４を駆動する。

[0023] 図２は、駆動回路の概略的な構成を示した回路図である。図２に示すように、駆動回路５は、制御ＩＣ５１と、パルストランス５２と、抵抗５３とを有する。

[0024] パルストランス５２は、一次巻線５２ｐと、二次巻線５２ｓとを有する。一次巻線５２ｐは制御ＩＣ５１に接続される。二次巻線５２ｓは、トランジスタ４のゲートに接続される。抵抗５３は、トランジスタ４のゲートとトランジスタ４のソースとの間に接続される。

[0025] 制御ＩＣ５１は、電源回路１０の出力電圧Ｖｄｃに基づいて、トランジスタ４をオンオフさせるための駆動信号を、パルストランス５２の一次巻線５２ｐに与える制御回路である。

[0026] 図３は、パルストランスによって、降圧チョッパのトランジスタを駆動する場合に起こりうる課題を説明する波形図である。図２および図３に示すように、制御ＩＣ５１は、トランジスタ４をオンおよびオフさせる制御信号をドライブ端子から出力する。制御ＩＣ５１からの制御信号はパルストランス５２の一次巻線５２ｐに印加される。これによりパルストランス５２の二次巻線５２ｓに電圧が誘起される。

[0027] トランジスタ４のゲートはパルストランス５２の二次巻線５２ｓに接続される。基本的には、トランジスタ４のゲートの電圧（ゲート電圧Ｖｇｓ）は、制御ＩＣ５１から出力される制御信号に追随して変化する。制御ＩＣ５１からの制御信号がオフ状態になっている期間では、パルストランス５２の二次巻線５２ｓに電流が流れることにより、トランジスタ４のゲート―ソース間容量から電荷が放出される。

[0028] しかし、制御ＩＣ５１からの制御信号がオフである期間が長い場合、パルストランス５２の二次巻線５２ｓには電流が流れなくなる期間が発生する。このため、この期間に寄生容量などを介しトランジスタ４のゲート―ソース間容量に電荷が蓄積された場合、制御信号がオフ状態であるにもかかわらず、ゲート電圧Ｖｇｓが上昇することが起こりえる。

[0029] 通常では、コンデンサＣ１が出力電圧Ｖｄｃを平滑化するので、出力電圧Ｖｄｃが設定電圧を大きく上回ることが防がれる。しかし、電源回路１０の周囲温度が低い場合には、コンデンサＣ１の容量が低下する。あるいは電源回路１０の周囲温度が低い場合には、コンデンサＣ１のＥＳＲ（等価直列抵抗）が大きくなる。このような場合には、コンデンサＣ１による出力電圧の平滑化が十分でないために、図３に示すように、出力電圧Ｖｄｃが大きく上昇する可能性がある。

[0030] 図４は、本発明の実施の形態に従う電源回路の１つの構成例を示した回路図である。電源回路１０は、図１に示した構成に加えてサーミスタ７を備える。サーミスタ７は、直流電源１の電流経路に設けられる。詳細には、サーミスタ７は、コンデンサＣ２の第２端と、直流電源の第２端との間に接続される。

[0031] サーミスタ７の抵抗値は、温度に応じて変化する。これにより、電源回路１０の周囲温度に応じてトランジスタ４のドレインに入力される入力電圧Ｖｉｎを変化させることができる。

[0032] 好ましくは、サーミスタ７は、ＮＴＣサーミスタである。温度が低下するにつれてＮＴＣサーミスタの抵抗値が増大する。電源回路１０の周囲温度が低下するにつれてサーミスタ７の抵抗値が増大する。これにより電圧Ｖｉｎを低下させることができる。したがってコンデンサＣ１の両端間の電圧（すなわち出力電圧Ｖｄｃ）の上昇を抑制することができる。

[0033] さらに、電源回路１０の起動時には、コンデンサＣ２が充電されるために、電源回路１０の入力側に大きな電流が流れやすい。図４に示す回路は、サーミスタ７を備えることによって、突入電流を抑制できる。たとえば電源回路１０の入力側にブレーカを設置する場合において、そのブレーカに低容量のブレーカを採用することができる。

[0034] 図５は、本発明の実施の形態に従う電源回路１０による効果を説明する波形図である。図５には、出力電圧Ｖｄｃの上昇を示す波形が示される。サーミスタ７の抵抗が０．１Ωのときに出力電圧Ｖｄｃの上昇は大きい。一方、

サーミスタ７の抵抗が２０Ωのときには出力電圧Ｖｄｃの上昇は小さい。図５から、サーミスタ７の抵抗値が増大するほど、出力電圧Ｖｄｃの上昇が小さくなることが理解される。

[0035] 電源回路１０の周囲温度が低い場合、コンデンサＣ１の容量が低下する。あるいはコンデンサＣ１のＥＳＲ（等価直列抵抗）が大きくなる。しかし、サーミスタ７の抵抗値が増大することで、出力電圧Ｖｄｃの電圧上昇を抑制できる。したがって、電源回路１０を構成する部品（たとえばコンデンサ）の破損を防止することができる。

[0036] 図６は、本発明の実施の形態に従う電源回路の別の構成例を示した回路図である。図６に示すように、サーミスタ７は、ダイオードＤ１のアノードとコンデンサＣ２の第２端との間に接続される。図６に示された構成においても、サーミスタ７は直流電源の電流経路に設けられている。

[0037] サーミスタ７は、ＮＴＣサーミスタであることが好ましい。図６に示す構成によれば、電源回路１０の周囲温度が低下するにつれてサーミスタ７の抵抗値が増大する。これにより電圧Ｖｉｎを低下させることができる。したがってコンデンサＣ１の電圧（すなわち出力電圧Ｖｄｃ）の上昇を抑制することができる。さらに、電源回路１０の起動時において、突入電流を抑制することができる。

[0038] ＜付記＞

上述したような実施の形態は、以下のような技術思想を含む。

[0039] （構成１）

直流電源（１）からの入力電圧（Ｖｉｎ）に接続されたドレインと、ゲートと、ソースとを有するトランジスタ（４）と、

前記トランジスタ（４）の前記ソースに接続されたカソードと、共通電圧ノード（Ｔ２）に接続されたアノードとを有するダイオード（Ｄ１）と、

前記トランジスタ（４）の前記ソースおよび前記ダイオード（Ｄ１）の前記カソードに接続された第１端と、出力ノード（Ｔ１）に接続された第２端とを有するチョークコイル（６）と、

前記出力ノード（Ｔ１）と、前記共通電圧ノード（Ｔ２）との間に接続された第１のコンデンサ（Ｃ１）と、

一次巻線（５２ｐ）と、前記トランジスタ（４）の前記ゲートに接続された二次巻線（５２ｓ）とを有するトランス（５２）と、

前記出力ノード（Ｔ１）における電圧である出力電圧（Ｖｄｃ）に基づいて、前記トランジスタ（４）をオンオフさせるための駆動信号を、前記トランス（５２）の前記一次巻線（５２ｐ）に与える制御回路（５１）と、

前記直流電源（１）の電流経路に設けられるサーミスタ（７）とを備える、電源回路（１０）。

[0040] （構成２）

前記直流電源（１）は、前記入力電圧（Ｖｉｎ）を前記トランジスタの前記ドレインに供給する第１端と、第２端とを有し、

前記電源回路（１０）は、

前記トランジスタ（４）の前記ドレインに接続された第１端と、前記ダイオード（Ｄ１）の前記アノードに接続された第２端とを有する第２のコンデンサ（Ｃ２）をさらに備え、

前記サーミスタ（７）は、前記第２のコンデンサ（Ｃ２）の前記第２端と、前記直流電源（１）の前記第２端との間に接続される、構成１に記載の電源回路。

[0041] （構成３）

前記直流電源（１）は、前記入力電圧（Ｖｉｎ）を前記トランジスタ（４）の前記ドレインに供給する第１端と、第２端とを有し、

前記電源回路（１０）は、

前記トランジスタ（４）の前記ドレインに接続された第１端と、前記直流電源（１）の前記第２端に接続された第２端とを有する第２のコンデンサ（Ｃ２）をさらに備え、

前記サーミスタ（７）は、前記ダイオード（Ｄ１）の前記アノードと前記第２のコンデンサ（Ｃ２）の前記第２端との間に接続される、構成１に記載

の電源回路。

[0042] （構成４）

前記サーミスタは、ＮＴＣサーミスタである、構成１～構成３のいずれか１つに記載の電源回路。

[0043] 今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態ではなく請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0044] １　直流電源、２　整流回路、３，６　チョークコイル、４　トランジスタ、５　駆動回路、７　サーミスタ、１０　電源回路、５１　制御ＩＣ、５２　パルストランス、５２ｐ　一次巻線、５２ｓ　二次巻線、５３　抵抗、Ｃ１，Ｃ２　コンデンサ、Ｄ１　ダイオード、Ｅ１　交流電源、Ｔ１，Ｔ２　端子、Ｖｄｃ　出力電圧、Ｖｇｓ　ゲート電圧、Ｖｇｓｔｈ　閾値電圧。

請求の範囲

[請求項1] 直流電源からの入力電圧に接続されたドレインと、ゲートと、ソースとを有するトランジスタと、

前記トランジスタの前記ソースに接続されたカソードと、共通電圧ノードに接続されたアノードとを有するダイオードと、

前記トランジスタの前記ソースおよび前記ダイオードの前記カソードに接続された第１端と、出力ノードに接続された第２端とを有するチョークコイルと、

前記出力ノードと、前記共通電圧ノードとの間に接続された第１のコンデンサと、

一次巻線と、前記トランジスタの前記ゲートに接続された二次巻線とを有するトランスと、

前記出力ノードにおける電圧である出力電圧に基づいて、前記トランジスタをオンオフさせるための駆動信号を、前記トランスの前記一次巻線に与える制御回路と、

前記直流電源の電流経路に設けられるサーミスタとを備える、電源回路。

[請求項2] 前記直流電源は、前記入力電圧を前記トランジスタの前記ドレインに供給する第１端と、第２端とを有し、

前記電源回路は、

前記トランジスタの前記ドレインに接続された第１端と、前記ダイオードの前記アノードに接続された第２端とを有する第２のコンデンサをさらに備え、

前記サーミスタは、前記第２のコンデンサの前記第２端と、前記直流電源の前記第２端との間に接続される、請求項１に記載の電源回路。

[請求項3] 前記直流電源は、前記入力電圧を前記トランジスタの前記ドレインに供給する第１端と、第２端とを有し、

前記電源回路は、

前記トランジスタの前記ドレインに接続された第１端と、前記直流電源の前記第２端に接続された第２端とを有する第２のコンデンサをさらに備え、

前記サーミスタは、前記ダイオードの前記アノードと前記第２のコンデンサの前記第２端との間に接続される、請求項１に記載の電源回路。

[請求項4] 前記サーミスタは、ＮＴＣサーミスタである、請求項１～請求項３のいずれか１項に記載の電源回路。

[図1]

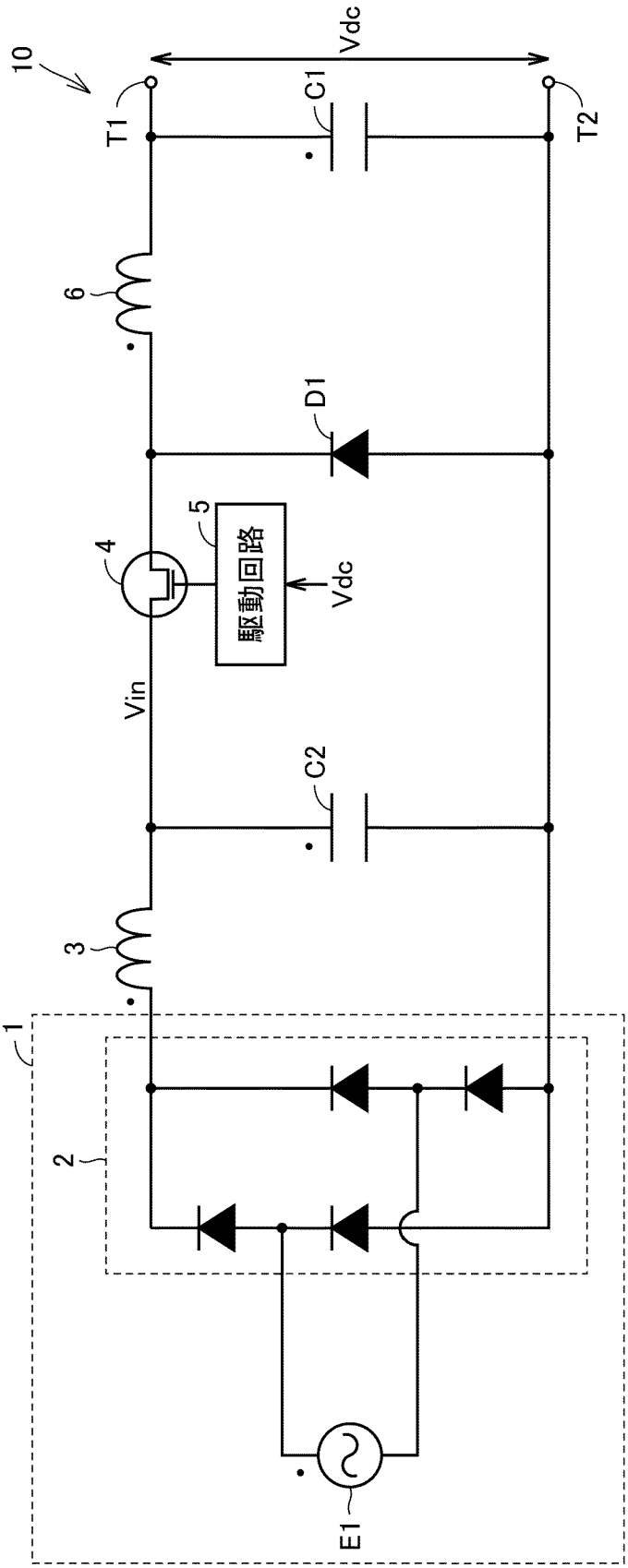
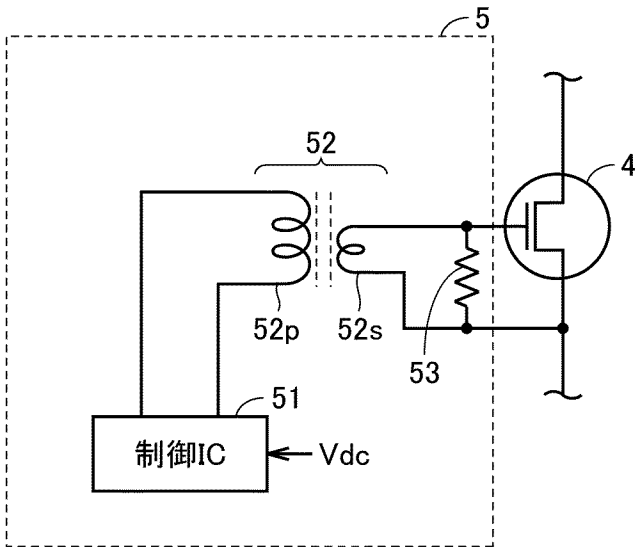


FIG.1

[図2]

FIG.2



[図3]

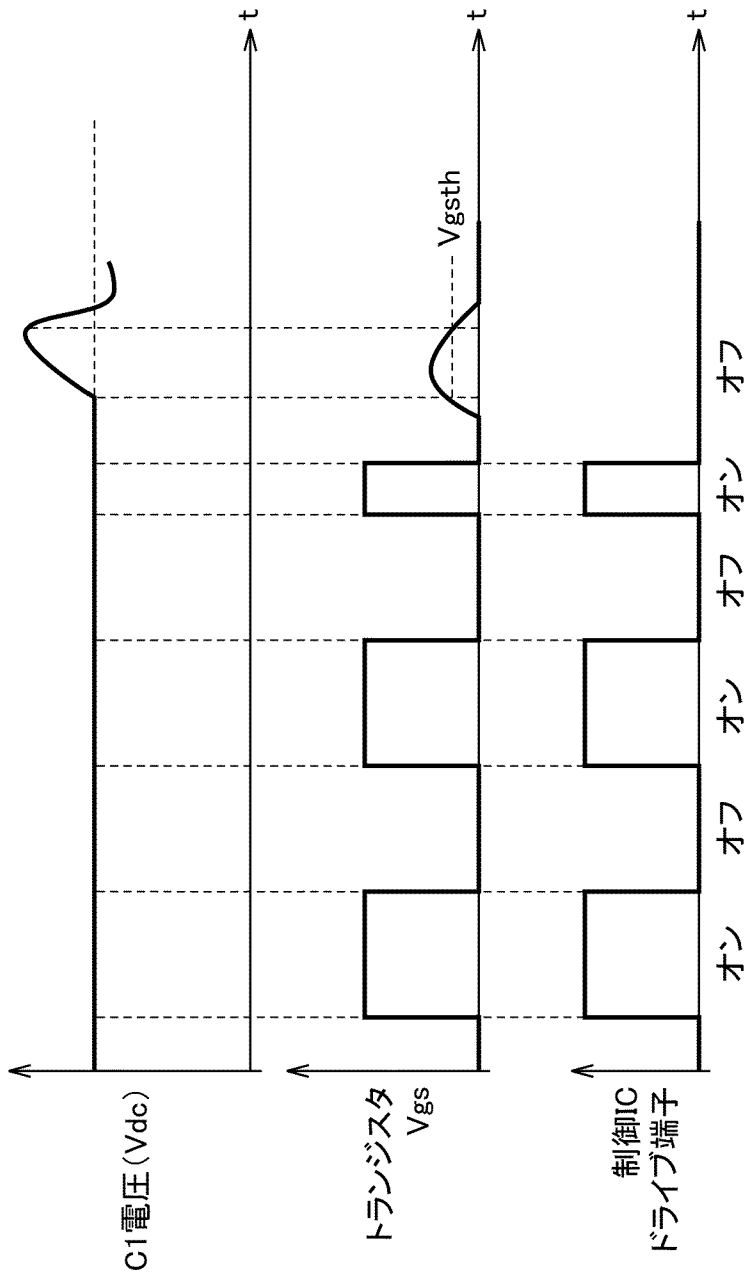


FIG.3

[図4]

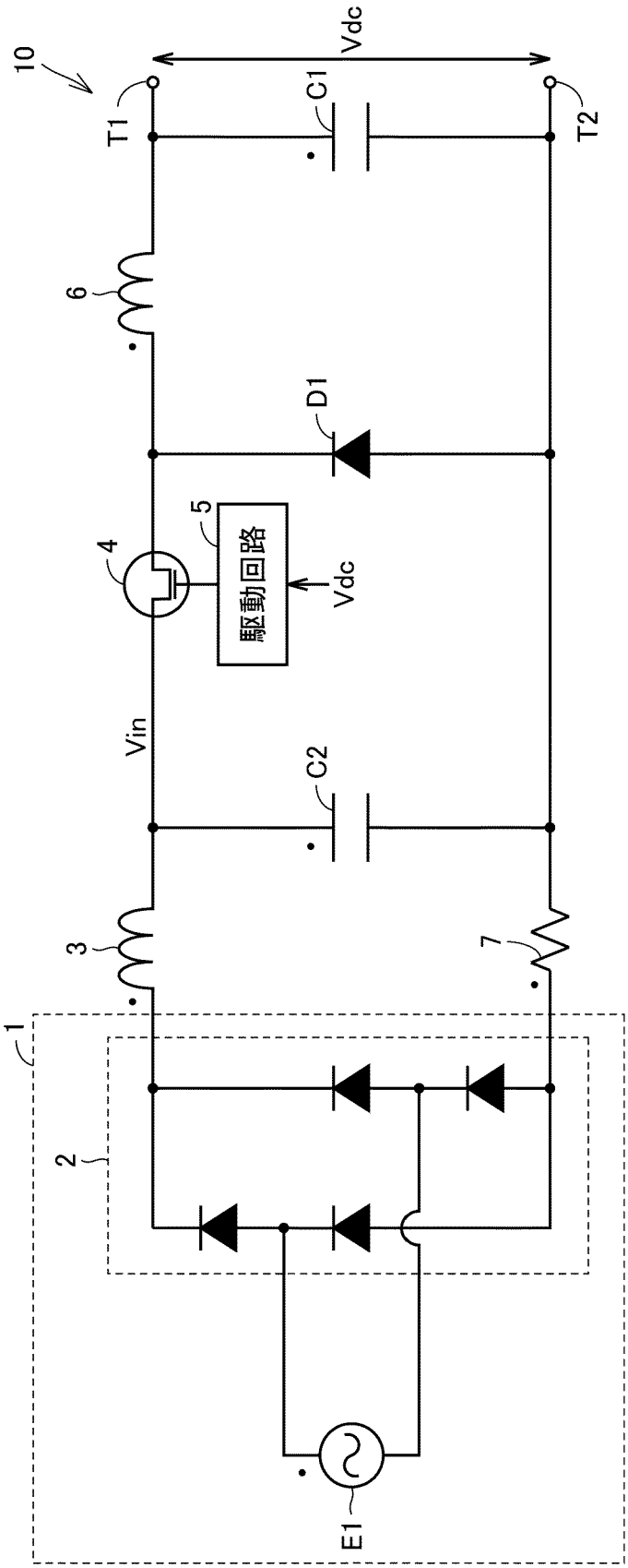
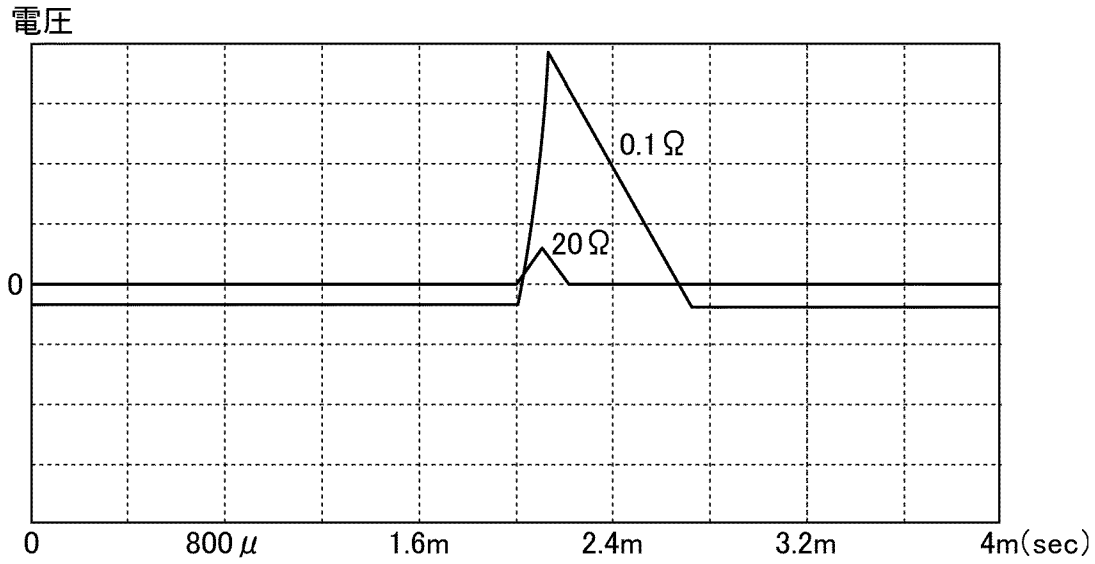


FIG.4

[図5]

FIG.5



[図6]

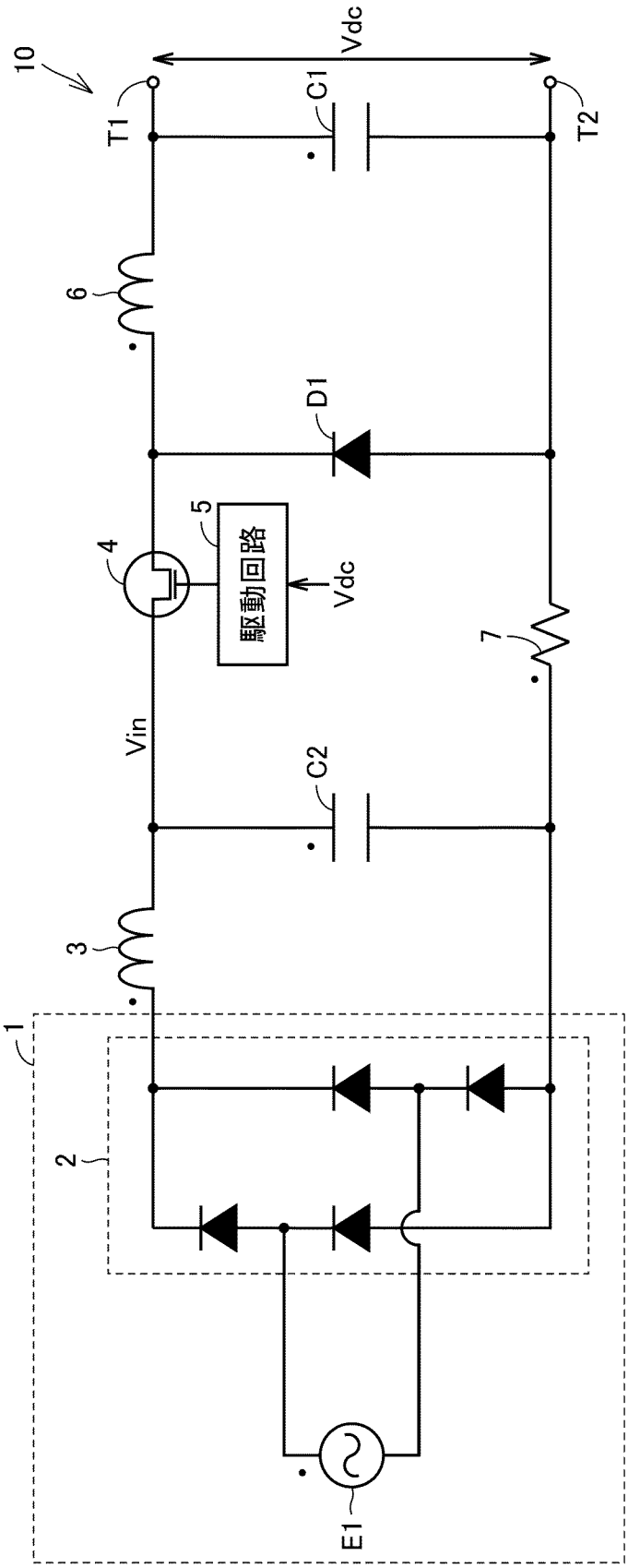


FIG.6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/047033

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H02M1/08(2006.01)i, H02M3/155(2006.01)i
FI: H02M3/155C, H02M1/08A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H02M1/08, H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-130543 A (MITSUBISHI ELECTRIC CORPORATION) 30 June 2011 (2011-06-30), entire text, all drawings	1-4
A	WO 2019/239453 A1 (MITSUBISHI ELECTRIC CORPORATION) 19 December 2019 (2019-12-19), entire text, all drawings	1-4
A	JP 2018-7345 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 11 January 2018 (2018-01-11) entire text, all drawings	1-4
A	JP 2010-130786 A (DENSO CORPORATION) 10 June 2010 (2010-06-10), entire text, all drawings	1-4

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 January 2021	09 February 2021

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

JP 2011-130543 A	30 June 2011	(Family: none)
WO 2019/239453 A1	19 December 2019	(Family: none)
JP 2018-7345 A	11 January 2018	(Family: none)
JP 2010-130786 A	10 June 2010	(Family: none)

国際調査報告

国際出願番号
PCT/JP2020/047033

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H02M 1/08(2006.01)i; H02M 3/155(2006.01)i
FI: H02M3/155 C; H02M1/08 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H02M1/08; H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-130543 A (三菱電機株式会社) 30.06.2011 (2011-06-30) 全文,全図	1-4
A	WO 2019/239453 A1 (三菱電機株式会社) 19.12.2019 (2019-12-19) 全文,全図	1-4
A	JP 2018-7345 A (パナソニックＩＰマネジメント株式会社) 11.01.2018 (2018-01-11) 全文,全図	1-4
A	JP 2010-130786 A (株式会社デンソー) 10.06.2010 (2010-06-10) 全文,全図	1-4

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
28.01.2021	09.02.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
遠藤　尊志 5G 3052

電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/047033

引用文献	公表日	パテントファミリー文献	公表日
JP 2011-130543 A	30.06.2011	（ファミリーなし）	
WO 2019/239453 A1	19.12.2019	（ファミリーなし）	
JP 2018-7345 A	11.01.2018	（ファミリーなし）	
JP 2010-130786 A	10.06.2010	（ファミリーなし）	