

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年2月5日(05.02.2015)



(10) 国際公開番号

WO 2015/015905 A1

- (51) 国際特許分類:
H03K 19/21 (2006.01) G06F 1/02 (2006.01)
- (21) 国際出願番号: PCT/JP2014/065245
- (22) 国際出願日: 2014年6月9日(09.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-157090 2013年7月29日(29.07.2013) JP
- (71) 出願人: 学校法人明星学苑(MEISEI GAKUEN) [JP/JP]; 〒1918506 東京都日野市程久保2丁目1番地1 Tokyo (JP). 株式会社バッファローメモリ(BUFFALO MEMORY CO., LTD.) [JP/JP]; 〒4608315 愛知県名古屋市中区大須3丁目30番20号 赤門通ビル Aichi (JP).
- (72) 発明者: 大塚 寛治(OTSUKA Kanji); 〒1918506 東京都日野市程久保2丁目1番地1 学校法人明星学苑 明星大学内 Tokyo (JP). 佐藤 陽一(SATO Yoichi); 〒1918506 東京都日野市程久保2丁目1番地1 学校法人明星学苑 明星大学内 Tokyo (JP). 沖永 隆幸(OKINAGA Takayuki); 〒4608315 愛知県名古屋市中区大須3丁目30番20号 赤門通ビル 株式会社バッファローメモリ内 Aichi (JP). 東 修一郎(AZUMA Shuichiro);

〒4608315 愛知県名古屋市中区大須3丁目30番20号 赤門通ビル 株式会社バッファローメモリ内 Aichi (JP).

- (74) 代理人: 竹居信利(TAKEI Nobutoshi); 〒1600022 東京都新宿区新宿6丁目7-1 エルプリメント新宿308 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: ARITHMETIC LOGIC DEVICE

(54) 発明の名称: 論理演算装置

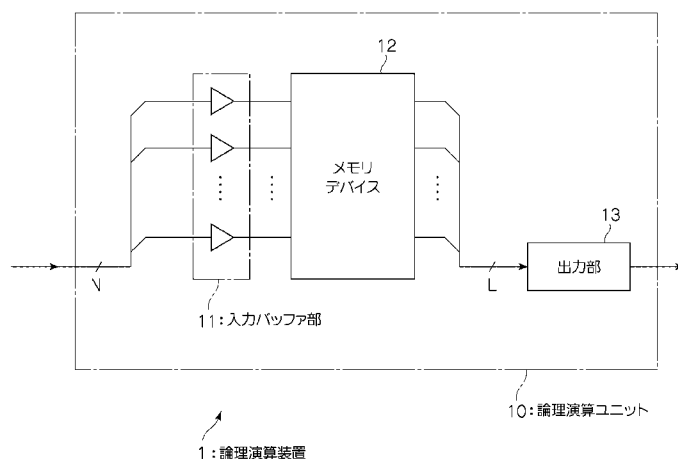


FIG. 1:
1 Arithmetic logic device
10 Arithmetic logic unit
11 Input buffer unit
12 Memory device
13 Output unit

(57) Abstract: [Problem] To provide an arithmetic logic device capable of performing a computation operation in a relatively short time using a relatively small-scale circuit configuration. [Solution] An arithmetic logic device that: includes a memory device (12), which receives an input of a bit string having a bit length of N (where N is an integer equal to or greater than 2) and stores, in an address represented by the inputted bit string, a lookup table containing multi-bit-length data which includes, in a part thereof, bits representing the result of a logical operation between each of the bits contained in the inputted bit string; accesses the memory device (12); and outputs bits contained in the data stored at the address represented by the received bit string.

(57) 要約: 【課題】比較的小規模な回路構成で、また比較的短時間に演算処理を行うことができる論理演算装置を提供する。【解決手段】N (Nは、 $N \geq 2$ の整数) ビット長のビット列の入力を受け入れて、当該入力されるビット列が表すアドレスに、当該入力されるビット列に含まれる各ビット間の論理演算結果を表すビットをその一部に含む多ビット長のデータを格納してなるルックアップテーブルを記憶するメモリデバイス12を含み、メモリデバイス12にアクセスし、受け入れたビット列が表すアドレスに格納されたデータに含まれるビットを出力する論理演算装置である。

WO 2015/015905 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：論理演算装置

技術分野

[0001] 本発明は、入力されるビット列に含まれるビット間の論理演算を行う論理演算装置に関する。

背景技術

[0002] 情報処理技術、情報通信技術の発展・普及に伴い、より高速で、より大容量の情報処理技術が要求されている。例えば近年では、情報処理時の誤り訂正処理において、より多数ビット長のデータの誤り訂正を可能にすることが求められている。

[0003] この誤り訂正の際には、入力ビットのパリティチェック等のため、入力されたビット間の排他的論理和（XORまたはEOR）を求めることが必要となる。従来、多ビット長のデータに関する排他的論理和の演算装置は、2入力の排他的論理和回路を組み合わせて構成されていた。例えば、図11は、32ビット長の排他的論理和を演算する論理演算装置の例を示したものである。

[0004] 図11に例示するように、この32ビット長の排他的論理和を演算する論理演算装置は、4つの8入力排他的論理和回路100と、3つの2入力排他的論理和回路200とを含む。また8入力排他的論理和回路100は内部に、7つの2入力排他的論理和回路200を含んでなる。

[0005] なお、多入力（3入力）の排他的論理和ゲートの例が、非特許文献1に開示されている。

先行技術文献

非特許文献

[0006] 非特許文献1：inet：“74LVC1G386 3-input EXCLUSIVE-OR gate”、[online]、2007年9月3日、[平成25年7月16日検索]、インターネット<URL：http://www.jp.nxp.com/documents/data_sheet/74LVC1G386.pdf>

発明の概要

発明が解決しようとする課題

[0007] しかしながら、近年ではますます多ビット長のデータ処理が要求されており、2入力排他的論理和回路の組み合わせによっては回路規模が大きくなり、また多段ゲートに構成することで演算処理時間も長くなってしまうという問題点があった。

[0008] 本発明は上記実情に鑑みて為されたもので、多ビット長のデータであっても比較的小規模な回路構成で、比較的短時間に演算処理を行うことができる論理演算装置を提供することを、その目的の一つとする。

課題を解決するための手段

[0009] 上記従来例の問題点を解決するための本発明は、論理演算装置であって、 N (N は、 $N \geq 2$ の整数) ビット長のビット列の入力を受け入れて、前記入力されるビット列が表すアドレスに、当該入力されるビット列に含まれる各ビット間の論理演算結果を表すビットをその一部に含む多ビット長のデータを格納してなるルックアップテーブルを記憶するメモリデバイスと、前記メモリデバイスにアクセスし、前記受け入れたビット列が表すアドレスに格納されたデータに含まれるビットを出力する出力手段と、を含むこととしたものである。

発明の効果

[0010] 本発明によると、比較的小規模な回路構成で、また比較的短時間に演算処理を行うことができる。

図面の簡単な説明

[0011] [図1]本発明の実施の形態に係る論理演算装置の構成例を表すブロック図である。

[図2]本発明の実施の形態に係る論理演算装置が備えるルックアップテーブルの内容例を表す説明図である。

[図3]本発明の実施の形態に係る論理演算装置が備えるルックアップテーブル

のもう一つの内容例を表す説明図である。

[図4]本発明の実施の形態のもう一つの例に係る論理演算装置の構成例を表すブロック図である。

[図5]本発明の実施の形態のまた別の例に係る論理演算装置の構成例を表すブロック図である。

[図6]本発明の実施の形態に係る論理演算装置のクロック供給部が出力する信号の例を表すタイミングチャート図である。

[図7]本発明の実施の形態のさらに別の例に係る論理演算装置の構成例を表すブロック図である。

[図8]本発明の実施の形態に係る論理演算装置が備えるまた別のルックアップテーブルの内容例を表す説明図である。

[図9]本発明の実施の形態に係る論理演算装置の出力段における別の回路例を表す説明図である。

[図10]本発明の実施の形態に係る論理演算装置を用いた、さらに多ビット長のビット列に係る論理演算を行う装置の例を表す説明図である。

[図11]従来の32ビット長の排他的論理和を演算する論理演算装置の例を表す説明図である。

発明を実施するための形態

[0012] 本発明の実施の形態について図面を参照しながら説明する。本発明の実施の形態に係る論理演算装置1は、図1に例示するように少なくとも一つの論理演算ユニット10を含む。またこの論理演算ユニット10は、入力バッファ部11と、メモリデバイス12と、出力部13とを含んで基本的に構成される。

[0013] 入力バッファ部11は、 N (N は、 $N \geq 2$ の整数) ビット長のビット列の入力を受け入れて、このビット列の表す信号を、メモリデバイス12のアドレスバスに供給する。すなわち、ここでの例では、 N はメモリデバイス12のアドレスバス幅にも相当する。

[0014] メモリデバイス12は、具体的には不揮発性メモリやSRAM (Static Ra

ndom Access Memory)等の半導体メモリであり、 2^N ビット× L ビット (L は、 $L \geq 2$ の整数)のメモリセルを備える。このメモリデバイス12は、その入力バッファ部11から入力されるビット列が表すアドレスに、当該入力されるビット列に含まれる各ビット間の論理演算結果を表すビットをその一部に含む多ビット長のデータを格納してなるルックアップテーブルを格納している。以下の例では、1つのアドレスによって特定される位置に、 $L = 8$ ビットのデータが格納されるものとして説明する。

[0015] 具体的に、このルックアップテーブルは図2に例示するように、 $N = 8$ ビット長のビット列「00000000」が表すアドレスには、そのMSB (最上位ビット)に当該ビット列「00000000」の排他的論理和の演算結果である「0」を含んだデータ「0XXXXXXX」(ここでXは不定でよい)が格納される。また、ビット列「00000001」が表すアドレスには、そのMSB (最上位ビット)に当該ビット列「00000001」の排他的論理和の演算結果である「1」を含んだデータ「1XXXXXXX」(Xは不定でよい)が格納される。

[0016] 出力部13は、メモリデバイス12が格納しているデータのうち、入力バッファ部11が出力するビット列が表すアドレスに格納されているデータを読み出す。この出力部13は当該読み出したデータのうち、上記論理演算結果が含まれるビットを選択的に出力する。本実施の形態の上述の例では、MSBに論理演算結果が含まれるので、この出力部13は、メモリデバイスが格納しているデータのうち、入力バッファ部11が出力するビット列が表すアドレスに格納されているデータを読み出し、当該データのうちのMSBのビットを出力する。

[0017] また本実施の形態の別の例では、メモリデバイス12は、その入力バッファ部11から入力されるビット列が表すアドレスに、当該入力されるビット列に含まれる各ビット間の論理演算結果を表すビットと、その反転ビットとをその一部に含む多ビット長のデータを格納してなるルックアップテーブルを格納している。

[0018] 具体的に、このルックアップテーブルは図3に例示するように、 $N = 8$ ビット長のビット列「00000000」が表すアドレスには、そのMSB（最上位ビット）に当該ビット列「00000000」の排他的論理和の演算結果である「0」を含み、その次のビットにこの演算結果の反転ビットである「1」を含んだデータ「01XXXXXX」（ここでXは不定でよい）が格納される。また、ビット列「00000001」が表すアドレスには、そのMSB（最上位ビット）に当該ビット列「00000001」の排他的論理和の演算結果である「1」を含み、次のビットにその反転ビットである「0」を含んだデータ「10XXXXXX」（Xは不定でよい）が格納される。

[0019] この例では、出力部13は、外部から1ビットの信号の入力を受け入れる。そして出力部13は、メモリデバイス12が格納しているデータのうち、入力バッファ部11が出力するビット列が表すアドレスに格納されているデータを読み出し、外部から入力された1ビットの信号が「0」であるか「1」であるかにより、当該データのうち、上記論理演算結果またはその反転ビットのいずれかを選択的に出力する。本実施の形態の一例では、この出力部13は、外部から入力された1ビットの信号が「0」であるときには、メモリデバイスが格納しているデータのうち、入力バッファ部11が出力するビット列が表すアドレスに格納されているデータを読み出し、当該データのうちのMSBのビットを出力する。また出力部13は、外部から入力された1ビットの信号が「1」であるときには、メモリデバイスが格納しているデータのうち、入力バッファ部11が出力するビット列が表すアドレスに格納されているデータを読み出し、当該データのうちのMSBの次のビット（論理演算結果の反転ビットが格納されているビット）を出力する。

[0020] 本実施の形態は基本的に以上の構成を備えており、次の例のように動作する。本実施の形態の以下の例では図4に例示するように、複数の論理演算ユニット10__1, 10__2...10__nを備えるものとする。また、 i 番目の論理演算ユニット10__ i の出力部13__ i は、 $i - 1$ 番目の論理演算ユニ

ット10__i-1の出力ビットを、外部からの入力として受け入れる。なお、先頭の論理演算ユニット10__1の出力部13__1は、外部からの入力を受けずに（あるいは外部からの入力を「0」に固定するなどして）、メモリデバイス12が格納しているデータのうち論理演算結果を表すビット（上述の例ではMSB）を出力することとする。

[0021] また本実施の形態のこの例では、排他的論理和の計算の対象として $8 \times n$ （メモリデバイス12のアドレスバス幅の整数 n 倍）ビット長のデータD（その i 番目のビットを b_i （ $i = 1, 2, \dots, 8n$ ）とする）の入力を受け入れる。そしてMSB側（あるいはLSB側）から順に8ビット（メモリデバイス12のアドレスバス幅）ずつ、それぞれ論理演算ユニット10__1, 10__2...10__nのバッファ部11__1, 11__2, ..., 11__nに出力する。

[0022] 論理演算ユニット10__1の出力部13__1は、メモリデバイス12__1が格納しているデータのうち、入力バッファ11__1に入力された8ビット長のビット列（ $b_1, b_2, \dots, b_8$ ）が表すアドレスに格納されているデータを読み出す。そして当該読み出したデータに含まれる論理演算結果（ここでは、入力された8ビット長のビット列の排他的論理和の演算結果とする）のビットを出力する。

[0023] 次の論理演算ユニット10__2の出力部13__2は、メモリデバイス12__2が格納しているデータのうち、入力バッファ11__2に入力された8ビット長のビット列（ $b_9, b_{10}, \dots, b_{16}$ ）が表すアドレスに格納されているデータを読み出す。またこの出力部13__2は、前段の論理演算ユニット10__1の出力部13__1が出力するビットに基づいて、当該読み出したデータに含まれる論理演算結果のビットまたはその反転ビットのいずれか一方を選択して出力する。具体的に出力部13__2は、出力部13__1が出力するビットが「0」であるときには、読み出したデータに含まれる論理演算結果を出力する。また出力部13__2は出力部13__1が出力するビットが「1」であるときには、論理演算結果の反転ビットを出力する。

[0024] 以下、 i 番目の論理演算ユニット10__iの出力部13__iは、メモリデ

バイス 1 2 __ i が格納しているデータのうち、入力バッファ 1 1 __ i に入力された 8 ビット長のビット列 ($b_{8(i-1)+1}$, $b_{8(i-1)+2}$, $\dots$ b_{8i}) が表すアドレスに格納されているデータを読み出す。またこの出力部 1 3 __ i は、前段の論理演算ユニット 1 0 __ i - 1 の出力部 1 3 __ i - 1 が出力するビットに基づいて、当該読み出したデータに含まれる論理演算結果のビットまたはその反転ビットのいずれか一方を選択して出力する。具体的に出力部 1 3 __ i は、出力部 1 3 __ i - 1 が出力するビットが「0」であるときには、読み出したデータに含まれる論理演算結果を出力する。また出力部 1 3 __ i は出力部 1 3 __ i - 1 が出力するビットが「1」であるときには、論理演算結果の反転ビットを出力する。

[0025] そして n 番目の論理演算ユニット 1 0 __ n の出力部 1 3 __ n は、メモリデバイス 1 2 __ n が格納しているデータのうち、入力バッファ 1 1 __ n に入力された 8 ビット長のビット列 ($b_{8(n-1)+1}$, $b_{8(n-1)+2}$, $\dots$ b_{8n}) が表すアドレスに格納されているデータを読み出す。またこの出力部 1 3 __ n は、前段の論理演算ユニット 1 0 __ n - 1 の出力部 1 3 __ n - 1 が出力するビットに基づいて、当該読み出したデータに含まれる論理演算結果のビットまたはその反転ビットのいずれか一方を選択して出力する。具体的に出力部 1 3 __ n は、出力部 1 3 __ n - 1 が出力するビットが「0」であるときには、読み出したデータに含まれる論理演算結果を出力する。また出力部 1 3 __ n は出力部 1 3 __ n - 1 が出力するビットが「1」であるときには、論理演算結果の反転ビットを出力する。

[0026] こうして n 番目の論理演算ユニット 1 0 __ n の出力部 1 3 __ n は、 $8 \times n$ ビット長のデータ D に含まれる各ビットの論理演算結果（ここでの例では排他的論理和）を出力することとなる。

[0027] さらにここでは複数の論理演算ユニット 1 0、つまりはメモリデバイス 1 2 を並列的に用いる例について述べたが、本実施の形態はこれに限られない。本実施の形態の別の例では、メモリデバイス 1 2 を時分割的に利用してもよい。この例に係る本発明の実施の形態に係る論理演算装置 1 は、図 5 に例

示するように、 n 個のスリーステートバッファ部20と、メモリデバイス12と、クロック供給部25と、出力ユニット30とを含んで構成される。またスリーステートバッファ部20はそれぞれ N （ここでの例では $N=8$ ）個のスリーステートバッファ21を含み、出力ユニット30は、出力部31と、フリップフロップ回路部32と、スイッチ部33とを含む。ここで、既に説明したものと同様の構成をとるものについては同じ符号を付して説明を省略する。なお、この例ではメモリデバイス12には、図3に例示したデータが格納されているものとする。

[0028] スリーステートバッファ21は、それぞれ入力端子 X と出力端子 Y とゲート端子 G とを備える。このスリーステートバッファ21は、ゲート端子 G の入力が「0」である間、入力端子 X にどのような入力があったとしても、出力端子 Y の状態をハイ・インピーダンス状態「Z」とする。出力端子 Y がハイ・インピーダンスとなったスリーステートバッファ21は、当該出力端子 Y の接続先からみると、絶縁された状態と同じ（接続が切離された状態）となる。

[0029] 本実施の形態のこの例では、 $8n$ 個のスリーステートバッファ21が第1番目のスリーステートバッファ21__1から第8番目のスリーステートバッファ21__8までのグループ、第9番目のスリーステートバッファ21__9から第16番目のスリーステートバッファ21__16までのグループ…というように、8つずつのグループに分けられる。そして同じグループに属するスリーステートバッファ21のゲート端子 G には、クロック供給部25から同じ信号が入力される。この信号については後に述べる。また、 i 番目のスリーステートバッファ21__ i の入力端子 X __ i には、論理演算の対象となる $8 \times n$ ビット長のデータ D のMSB側（あるいはLSB側）から順に各ビットの値が入力される。

[0030] また i 番目のスリーステートバッファ21__ i の出力端子 Y __ i は、メモリデバイス12のアドレスバスのうち $(i \bmod 8)$ 番目のピンに接続される。ここで $(i \bmod k)$ は、 i を k で除したときの余りを意味する。

[0031] クロック供給部25は、図6に示すように、定期的に立ち上がり立ち下りを繰り返すクロック信号CLKを生成してこれを出力する。またこのクロック供給部25は、 n 個（ n は論理演算の対象となるビット数 $8n$ を、メモリデバイス12のアドレスバス幅である8で除した値）のサブクロック信号 ϕ_i （ $i = 1, 2, \dots, n$ ）を生成する。図6には、 $n = 4$ の場合のサブクロック信号 $\phi_1, \phi_2, \phi_3, \phi_4$ と、 ϕ_0 とを例示している。

このサブクロック信号 ϕ_i の立ち上がり、または立ち下りタイミングは次のようになる。すなわち、所定の時点（例えば t_2 ）から j 回目にクロック信号CLKが立ち上る際、 $i = (j \bmod n) + 1$ のサブクロック信号 ϕ_i が立ち上がり、 j 回目にクロック信号CLKが立ち下る際に、 $i = (j \bmod n) + 1$ のサブクロック信号 ϕ_i が立ち下るようにしておく。この際、 $i \neq (j \bmod n) + 1$ なるサブクロック信号 ϕ_i はLの状態を維持するものとする。

例えば図6（ $n = 4$ の例を表す）において、所定の時点である t_2 の後、1回目にクロック信号CLKが立ち上る際（時点 t_3 ）、 $i = (1 \bmod 4) + 1 = 2$ であるサブクロック信号 ϕ_2 が立ち上がり、所定の時点である t_2 の後、1回目にクロック信号CLKが立ち下る際（時点 t_4 ）、 $i = (1 \bmod 4) + 1 = 2$ であるサブクロック信号 ϕ_2 が立ち下る。

またクロック供給部25は次のようなサブクロック信号 ϕ_0 を生成する。すなわち、この ϕ_0 は、所定の時点から j 回目にクロック信号CLKが立ち上がる際に $(j \bmod n) = 0$ であれば立ち上がり、その後のクロック信号CLKの $n/2 + 1$ 回目または $(n - 1)/2 + 1$ 回目の立ち下り時など、その後、クロック信号CLKが n 回目に立ち下るまでに立ち下るようにする。

具体的に図6の例では、所定の時点である t_2 の後、4回目のクロック信号CLKの立ち上がり時（時点 t_9 ）に、 $(4 \bmod 4) = 0$ となるので、クロック供給部25は、この時点でサブクロック信号 ϕ_0 が立ち上るように制御する。また、クロック供給部25は、その後（時点 t_9 の後）、クロック信号CLKの $n/2 + 1$ 回目または $(n - 1)/2 + 1$ 回目の立ち下り時（ここでは $n/2 + 1 = 3$ 回目とする）の立ち下り時（時点 t_{14} ）までにサブクロッ

ク信号 ϕ_0 が立ち下るように制御する。図 6 の例では時点 t_9 から $n/2 + 1$ 回目、つまり 3 回目の立ち下り時の直前のクロック信号 CLK の立ち上がりタイミングにてサブクロック信号 ϕ_0 が立ち下るように制御した例を示している。

[0032] ここでクロック供給部 25 は、サブクロック信号 ϕ_1 を第 1 番目のスリーステートバッファ 21__1 から第 8 番目のスリーステートバッファ 21__8 に供給し、サブクロック信号 ϕ_2 を第 9 番目のスリーステートバッファ 21__9 から第 16 番目のスリーステートバッファ 21__16 に供給し…というように、サブクロック ϕ_i を、8 つのスリーステートバッファ 21__ ($[i/8] + 1$) にそれぞれ供給する。ここで $[*]$ は $*$ を超えない最大の整数を意味するものとする。

[0033] これらスリーステートバッファ 21 と、クロック供給部 25 との動作により、 M (M は、 $M > N$ なる整数) ビット長のビット列の入力を受けて、当該ビット列から N ビットのビット列を抽出して、当該抽出した N ビットのビット列を時分割的にメモリデバイス 12 に対して出力する分割手段が実現される。

[0034] 出力ユニット 30 の出力部 31 は、クロック供給部 25 から入力されるクロック信号 CLK が立ち下るタイミングであり、かつ、サブクロック信号 ϕ_n (n は論理演算の対象となるビット数 $8n$ を、メモリデバイス 12 のアドレスバス幅である 8 で除した値) が立ち下らないタイミングにおいて、フリップフロップ回路部 32 が出力する 1 ビットの信号の入力を受け入れてバッファ (不図示) に保持する。そして出力部 31 は、次にクロック信号 CLK が立ち上るタイミングでメモリデバイス 12 が格納しているデータのうち、スリーステートバッファ 21 が出力するビット列が表すアドレスに格納されているデータを読み出す。出力部 31 は、バッファに保持した 1 ビットの信号が「0」であるか「1」であるかにより、当該読み出したデータのうち、上記論理演算結果またはその反転ビットのいずれかを選択的に出力する。

[0035] 本実施の形態の一例では、この出力部 31 は、バッファに保持したビット

が「0」であるときには、メモリデバイス12から読み出したデータのうちMSBのビット（論理演算結果）をスイッチ部33に出力する。またこの出力部31は、バッファに保持したビットが「1」であるときには、メモリデバイス12から読み出したデータのうちMSBの次のビット（論理演算結果の反転ビットが格納されているビット）をスイッチ部33に出力する。出力部31は、この出力を、次にクロック信号CLKが立ち下るまで継続する。

[0036] またこの出力部31は、後に説明するスイッチ部33を制御する。具体的に出力部31は、クロック供給部25が出力するサブクロック信号 ϕ_n （ n は論理演算の対象となるビット数 $8n$ を、メモリデバイス12のアドレスバス幅である8で除した値）が立ち上がるタイミングで、後に説明するスイッチ部33の出力先を、外部への出力に設定する。そして次にクロック供給部25が出力するクロック信号CLKが立ち上るタイミングでスイッチ部33の出力先をフリップフロップ回路部32に設定する。

[0037] さらに出力部31は、クロック供給部25が出力するサブクロック信号 ϕ_n が立ち下るタイミングでは、フリップフロップ回路部32の出力に関わらず、バッファに「0」のビットを保持する。この動作を、以下では、出力部のリセット動作と呼ぶ。

[0038] フリップフロップ回路部32は、例えばD型のフリップフロップ回路を含んで構成される。このフリップフロップ回路24では具体的にD端子（入力端子）が出力部31の出力を受け入れる。また、C端子（クロック端子）は、クロック供給部25からクロック信号CLKの入力を受ける。そしてこのフリップフロップ回路部32は、クロック信号CLKが立ち上るタイミングで、入力端子であるD端子に入力されるビットを保持して出力端子Qに当該ビットの信号を出力する。この出力は、クロック信号CLKが立ち下るタイミングでも継続される。またこの出力端子Qから出力されるビットが、フリップフロップ回路部32からの出力として出力部31に入力される。

[0039] スイッチ部33は、出力部31からの制御を受け入れて、出力部31から入力された1ビットの情報を、フリップフロップ回路部32または外部のい

ずれかに対して選択的に出力する。

[0040] 本実施の形態のこの例に係る論理演算装置 1 の動作を次に説明する。ここでは例えば論理演算としての排他的論理和の計算の対象として $M = N \times n$ (メモリデバイス 12 のアドレスバス幅 N の整数 n 倍) ビット長のデータ D (その i 番目のビットを b_i ($i = 1, 2, \dots, N \times n$) とする) の入力を受け入れる。そして MSB 側 (あるいは LSB 側) から順に i 番目のビットを、それぞれ第 i 番目のスリーステートバッファ 21__ i に入力する。

[0041] そして論理演算装置 1 は次のように動作する。すなわち、出力部のリセット動作が行われたとき (図 6 の時刻 t_0) に、出力部 31 は「0」のビットをバッファに保持する。次にクロック供給部 25 の出力するクロック信号 CLK が立ち上るタイミング (図 6 の時刻 t_1) において、スリーステートバッファ 21__1 から 21__8 が、入力されたビット $b_1, b_2, \dots, b_8$ を、メモリデバイス 12 のアドレスバスに供給する。

[0042] 出力部 31 は、メモリデバイス 12 が格納しているデータのうち、スリーステートバッファ 21__1 から 21__8 が出力するビット列が表すアドレスに格納されているデータを読み出す。このとき、出力部 31 のバッファは「0」のビットを保持しているので、この出力部 31 は、メモリデバイス 12 から読み出したデータのうち MSB のビット (論理演算結果) を第 1 回目の演算結果 R_1 として出力する。この出力 R_1 はスイッチ部 33 を介してフリップフロップ回路部 32 に出力されて、フリップフロップ回路部 32 において保持される。

[0043] 次にクロック供給部 25 の出力するクロック信号 CLK が立ち下るタイミング (図 6 の時刻 t_2) になると、スリーステートバッファ 21__1 から 21__8 の出力はハイ・インピーダンスとなる。そして出力部 31 はフリップフロップ回路部 32 から前回の演算結果 R_1 を受け入れてバッファに保持する。

[0044] 次にクロック供給部 25 の出力するクロック信号 CLK が立ち上るタイミング (図 6 の時刻 t_3) では、スリーステートバッファ 21__9 から 21__16 が、入力されたビット $b_9, b_{10}, \dots, b_{16}$ を、メモリデバイス 12 のアドレ

スバスに供給する。

[0045] 出力部31は、メモリデバイス12が格納しているデータのうち、スリーステートバッファ21__9から21__16が出力するビット列が表すアドレスに格納されているデータを読み出す。そして出力部31は、そのバッファが「0」のビットを保持しているとき（演算結果R1が「0」であったとき）には、メモリデバイス12から読み出したデータのうちMSBのビット（論理演算結果）を第2回目の演算結果R2として出力する。また出力部31は、そのバッファが「1」のビットを保持しているとき（演算結果R1が「1」であったとき）には、メモリデバイス12から読み出したデータのうちMSBの次のビット（論理演算結果の反転ビット）を第2回目の演算結果R2として出力する。この出力R2はスイッチ部33を介してフリップフロップ回路部32に出力されて、フリップフロップ回路部32において保持される。

[0046] 以下同様に動作し、クロック供給部25の出力するサブクロック信号 ϕ_n が立ち上るタイミングにおいて出力部31は、スイッチ部33の出力先を外部への出力に設定する。またこのとき出力部31は、メモリデバイス12が格納しているデータのうち、スリーステートバッファ21__ $(8 \times (n - 1) + 1)$ から21__ $(8n)$ が出力するビット列が表すアドレスに格納されているデータを読み出す。そして出力部31は、そのバッファが「0」のビットを保持しているとき（演算結果 R_{n-1} が「0」であったとき）には、メモリデバイス12から読み出したデータのうちMSBのビット（論理演算結果）を演算結果Rとして出力する。また出力部31は、そのバッファが「1」のビットを保持しているとき（演算結果 R_{n-1} が「1」であったとき）には、メモリデバイス12から読み出したデータのうちMSBの次のビット（論理演算結果の反転ビット）を演算結果Rとして出力する。この出力は、スイッチ部33を介して外部に供給される。

[0047] 出力部31は、次にクロック信号CLKが立ち下るタイミングで出力部のリセット動作を行い、さらに次にクロック信号CLKが立ち上るタイミングではスイッチ部33の出力先をフリップフロップ回路部32に設定する。

- [0048] このように、本実施の形態のこの例では、出力部 31 が、時分割的に N ビットのビット列が出力されるタイミングにおいて、前回出力したビットを用いて、メモリデバイスにアクセスして取り出したビット間の論理演算結果と、その反転ビットとの一方を選択的に出力する手段として機能している。
- [0049] こうして n 回目には出力部 31 は、 $8 \times n$ ビット長のデータ D に含まれる各ビットの論理演算結果（ここでの例では排他的論理和）を演算結果 R として出力することとなる。
- [0050] さらにこのように時分割的に演算を行う場合の出力ユニットの例は、この例に限られない。すなわちメモリデバイス 12 の各アドレスに格納可能なデータは 8 ビットであるため、このビット幅を活用して次のように構成することも可能である。
- [0051] 本実施の形態のさらに別の例に係る論理演算装置 1 は、図 7 に例示するように、 $8 \times n$ 個（ここではメモリデバイス 12 のアドレスバス幅 $N = 8$ としている）のスリーステートバッファ 21（図 5 に例示したものと同様、8 個ずつでスリーステートバッファ部 20 を構成する）と、メモリデバイス 12 と、クロック供給部 25 と、出力ユニット 40 とを含んで構成される。また出力ユニット 40 は、4 つ（メモリデバイス 12 のデータバス幅 L の $1/2$ ）のセクタ部 41 a, b, c, d を含んで構成されている。ここで、既に説明したものと同様の構成をとるものについては同じ符号を付して説明を省略する。
- [0052] またこの例におけるメモリデバイス 12 には、図 8 に例示するように、8 ビット長のアドレス A（ビット列 $a_1, a_2, \dots, a_8$ で表される）が示す位置に、MSB 側から、ビット列 $a_1, a_2, \dots, a_8$ に基づく論理演算結果と、その反転ビットとの組が繰返し配される。つまりこの例では、各アドレスの位置に格納されるデータの奇数ビット目にはそれぞれ論理演算結果が格納され、偶数ビット目には、奇数ビット目にあるビットの反転ビットが格納される。
- [0053] 出力ユニット 40 のセクタ部 41 a には、メモリデバイス 12 のデータバスのうち、MSB である d_1 と、MSB の次のビットである d_2 との各信号

線が接続される。またこのセクタ部4 1 aは、外部から入力される1ビットの信号を受け入れる。

[0054] そしてセクタ部4 1 aは、クロック供給部2 5から入力されるサブクロック信号 $\phi 1$ が立ち上がるタイミングで、メモリデバイス1 2が格納しているデータのうち、スリーステートバッファ2 1が出力するビット列が表すアドレスに格納されているデータを読み出してラッチする。このセクタ部4 1 aは、外部から受け入れた1ビットの信号が「0」であるか「1」であるかにより、当該読み出したデータのうち、上記論理演算結果を表すMSBの1ビット、またはその反転ビットを表すMSBの次の1ビットのいずれかを選択的にラッチして出力する。

[0055] ここでの例では、セクタ部4 1 aは、外部から受け入れたビットが「0」であるときには、メモリデバイス1 2から読み出したデータのうちMSBのビット（信号線d1が出力する論理演算結果）を選択してラッチし、出力する。またこのセクタ部4 1 aは、外部から受け入れたビットが「1」であるときには、メモリデバイス1 2から読み出したデータのうちMSBの次のビット（論理演算結果の反転ビットを表す信号線d2の出力）を選択してラッチし、出力する。

[0056] またセクタ部4 1 bには、メモリデバイス1 2のデータバスのうち、MSB側のd3と、その次のビットであるd4との各信号線が接続される。またこのセクタ部4 1 bは、セクタ部4 1 aが出力する1ビットの信号を受け入れる。

[0057] そしてセクタ部4 1 bは、クロック供給部2 5から入力されるサブクロック信号 $\phi 2$ が立ち上がるタイミングで、メモリデバイス1 2が格納しているデータのうち、スリーステートバッファ2 1が出力するビット列が表すアドレスに格納されているデータを読み出してラッチする。このセクタ部4 1 bは、セクタ部4 1 aから受け入れた1ビットの信号が「0」であるか「1」であるかにより、当該読み出したデータのうち、上記論理演算結果を表すMSB側の1ビット、またはその反転ビットを表すその次の1ビットのい

ずれかを選択的にラッチして出力する。

- [0058] ここでの例では、セクタ部4 1 bは、セクタ部4 1 aから受け入れたビットが「0」であるときには、メモリデバイス1 2から読み出したデータのうちMS B側のビット（信号線d 3が出力する論理演算結果）を選択してラッチし、出力する。またこのセクタ部4 1 bは、セクタ部4 1 aから受け入れたビットが「1」であるときには、メモリデバイス1 2から読み出したデータのうち上記信号線d 3の次の信号線d 4の表すビット（論理演算結果の反転ビットを表す）を選択してラッチし、出力する。
- [0059] セクタ部4 1 cには、メモリデバイス1 2のデータバスのうち、MS B側のd 5と、その次のビットであるd 6との各信号線が接続される。またこのセクタ部4 1 cは、セクタ部4 1 bが出力する1ビットの信号を受け入れる。
- [0060] そしてセクタ部4 1 cは、クロック供給部2 5から入力されるサブクロック信号φ3が立ち上がるタイミングで、メモリデバイス1 2が格納しているデータのうち、スリーステートバッファ2 1が出力するビット列が表すアドレスに格納されているデータを読み出してラッチする。ここでの例におけるセクタ部4 1 cはセクタ部4 1 bから受け入れたビットが「0」であるときには、メモリデバイス1 2から読み出したデータのうちMS B側のビット（信号線d 5が出力する論理演算結果）を選択してラッチし、出力する。またこのセクタ部4 1 cは、セクタ部4 1 bから受け入れたビットが「1」であるときには、メモリデバイス1 2から読み出したデータのうち上記信号d 5の次の信号線d 6の表すビット（論理演算結果の反転ビットを表す）を選択してラッチし、出力する。
- [0061] さらにセクタ部4 1 dには、メモリデバイス1 2のデータバスのうち、MS B側のd 7と、その次のビットであるd 8との各信号線が接続される。またこのセクタ部4 1 dは、セクタ部4 1 cが出力する1ビットの信号を受け入れる。
- [0062] そしてセクタ部4 1 dは、クロック供給部2 5から入力されるサブクロ

ック信号 $\phi 4$ が立ち上がるタイミングで、メモリデバイス12が格納しているデータのうち、スリーステートバッファ21が出力するビット列が表すアドレスに格納されているデータを読み出してラッチする。ここでの例におけるセクタ部41dはセクタ部41cから受け入れたビットが「0」であるときには、メモリデバイス12から読み出したデータのうちMSB側のビット（信号線d7が出力する論理演算結果）を選択してラッチし、出力する。またこのセクタ部41cは、セクタ部41bから受け入れたビットが「1」であるときには、メモリデバイス12から読み出したデータのうち上記信号d7の次の信号線d8の表すビット（論理演算結果の反転ビットを表す）を選択してラッチし、出力する。このセクタ部41dの出力は、外部に出力される。

[0063] 本実施の形態のこの例に係る論理演算装置1の動作を次に説明する。ここでは例えば論理演算としての排他的論理和の計算の対象として $M = N \times n$ （メモリデバイス12のアドレスバス幅Nの整数n倍）ビット長のデータD（そのi番目のビットを b_i （ $i = 1, 2, \dots, N \times n$ ）とする）の入力を受け入れる。そしてMSB側（あるいはLSB側）から順にi番目のビットを、それぞれ第i番目のスリーステートバッファ21__iに入力する。

[0064] そして論理演算装置1は次のように動作する。セクタ部41dの出力があった後（図6の時刻t0）、次にクロック供給部25の出力するクロック信号CLK及びサブクロック信号 $\phi 1$ が立ち上がるタイミング（図6の時刻t1）において、スリーステートバッファ21__1から21__8が、入力されたビット $b_1, b_2, \dots, b_8$ を、メモリデバイス12のアドレスバスに供給する。

[0065] このとき、出力ユニット40のセクタ部41aが、メモリデバイス12が格納しているデータのうち、スリーステートバッファ21__1から21__8が出力するビット列が表すアドレスに格納されているデータを読み出す。なお、ここでセクタ部41aには外部から「0」の信号が入力されているものとする。セクタ部41aは、ラッチを備え、このラッチがサブクロック信号 $\phi 1$ の立ち上がるタイミング（図6の時刻t1）においてメモリデバイス

12から読み出したデータのうちMSBのビット（データバスの信号線d1を介して出力されるデータ、つまり論理演算結果）を演算結果R1としてラッチし、出力する。この出力R1はセクタ部41bに出力される。

[0066] セクタ部41bは、この出力R1を受け入れておく。次にクロック供給部25の出力するクロック信号CLKと、サブクロック信号φ2とが立ち上るタイミング（図6の時刻t3）において、スリーステートバッファ21__9から21__16が、入力されたビットb9, b10, … b16を、メモリデバイス12のアドレスバスに供給する。

[0067] そしてセクタ部41bは、メモリデバイス12が格納しているデータのうち、スリーステートバッファ21__9から21__16が出力するビット列が表すアドレスに格納されているデータを読み出す。そしてセクタ部41bは、セクタ部41aから入力されたビットが「0」であるとき（演算結果R1が「0」であったとき）には、メモリデバイス12から読み出したデータのうちMSB側のビット（データバス上、d3の信号線の出力、つまり論理演算結果）を演算結果R2として、サブクロック信号φ2が立ち上るタイミング（図6の時刻t3）においてラッチし、出力する。またこのセクタ部41bは、セクタ部41aから入力されたビットが「1」であるとき（演算結果R1が「1」であったとき）には、メモリデバイス12から読み出したデータのうちd4の信号線の出力（論理演算結果の反転ビット）を演算結果R2として、サブクロック信号φ2が立ち上るタイミング（図6の時刻t3）においてラッチし、出力する。この出力R2は、セクタ部41cによって受け入れられる。

[0068] 以下セクタ部41c…も同様に動作する。そしてクロック供給部25の出力するサブクロック信号φ4が立ち上るタイミングにおいてスリーステートバッファ21__25から21__32が、入力されたビットb25, b26, … b32を、メモリデバイス12のアドレスバスに供給すると、セクタ部41dは、メモリデバイス12が格納しているデータのうち、スリーステートバッファ21__25から21__32が出力するビット列が表すアドレスに格納され

ているデータを読み出す。

[0069] そしてセクタ部41dは、セクタ部41cから入力されたビットが「0」であるとき（演算結果R3が「0」であったとき）には、メモリデバイス12から読み出したデータのうちMSB側のビット（データバス上、d7の信号線の出力、つまり論理演算結果）を演算結果Rとしてサブクロック信号φ4が立ち上るタイミングにおいてラッチし、出力する。またこのセクタ部41dは、セクタ部41cから入力されたビットが「1」であるとき（演算結果R3が「1」であったとき）には、メモリデバイス12から読み出したデータのうちd8の信号線の出力（論理演算結果の反転ビット）を演算結果Rとしてサブクロック信号φ4が立ち上るタイミングにおいてラッチし、出力する。

[0070] このように、本実施の形態のこの例では、出力ユニット40に含まれる各セクタ部41が、時分割的にNビットずつのビット列が出力されるタイミングにおいて、前回出力したビットを用いて、メモリデバイスにアクセスして取り出したビット間の論理演算結果と、その反転ビットとの一方を選択的に出力する手段として機能している。そして4回目には出力ユニット40が、 $8 \times 4 = 32$ ビット長のデータDに含まれる各ビットの論理演算結果（ここでの例では排他的論理和）を演算結果Rとして出力することとなる。

このように、本実施の形態のこの例では、出力ユニット40が、時分割的にNビットのビット列が出力されるタイミングにおいて、前回出力したビットを用いて、メモリデバイスにアクセスして取り出したビット間の論理演算結果と、その反転ビットとの一方を選択的に出力する手段として機能している。

[0071] さらに本実施の形態のここまでの説明において、図3に示したルックアップテーブルを利用する場合、出力部31または出力ユニット40が前段の出力を利用してメモリデバイス12から読み出したデータの奇数ビット目を出力するか偶数ビット目を出力するかを切替えることとしていた。しかしながら本実施の形態はこれに限られず、例えば図9に例示するように、メモリデ

バイス 1 2 から出力される信号線 d (メモリデバイス 1 2 に入力されるアドレスで表されるビット列を用いた論理演算結果が出力される信号線) に反転論理 (NOT) 回路 5 1 を接続して、メモリデバイス 1 2 に入力されるアドレスで表されるビット列を用いた論理演算結果の反転ビットを得てもよい。この場合、出力部 3 1 または出力ユニット 4 0 は、上記信号線 d と、反転論理回路 5 1 の出力とのいずれかを、前段の出力を利用して選択して (出力ユニット 4 0 ではそれをラッチし)、出力することとなる。

[0072] さらに本実施の形態の図 4, 図 5, または図 7 に例示した論理演算装置 1 のように、メモリデバイスのアドレスバス幅 N の n 倍長 (例えばアドレスバス幅 8 ビット、 $n = 4$ ならば 32 ビット長) のビット列の入力を受け、その論理演算結果 1 ビットを出力するときには、これらの論理演算装置 1 を例えば 8 個分並列に配し、その出力をさらに 8 入力の論理演算回路に入力して、 $N \times n \times 8$ ビット長の論理演算を行うようにしてもよい。

[0073] 具体的に図 10 は、アドレスバス幅 8 ビット、 $n = 4$ の 32 ビット長のビット列の入力を受けて、その論理演算結果としての排他的論理和を演算するよう、メモリデバイス 1 2 内のルックアップテーブルを設定した図 4, 図 5, または図 7 に例示した論理演算装置 1 を、8 個並列に配した場合を示す。

[0074] この図 10 の例では、各論理演算装置 1 が出力する 1 ビットの出力を、それぞれ図 11 に例示したものと同じ 8 入力排他的論理和回路 100 に入力して、その排他的論理和の演算結果 1 ビットを得ている。この回路構成によると、比較的小規模な回路構成により、 $8 \times 4 \times 8 = 256$ ビット長のビット列に含まれる各ビット間の排他的論理和が得られる。

符号の説明

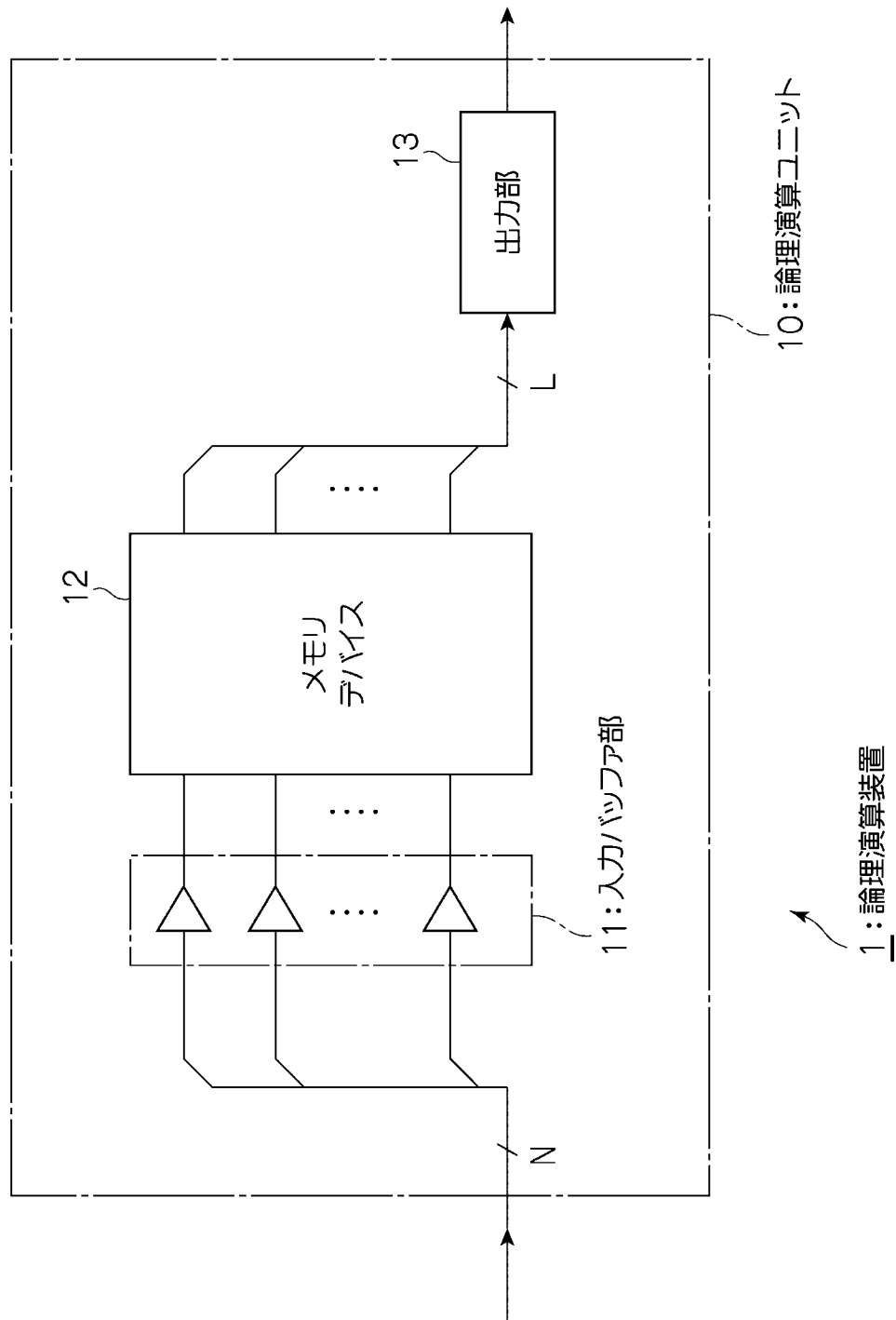
[0075] 1 論理演算装置、10 論理演算ユニット、11 入力バッファ部、12 メモリデバイス、13, 31 出力部、20 スリーステートバッファ部、21 スリーステートバッファ、25 クロック供給部、30, 40 出力ユニット、32 フリップフロップ回路部、33 スイッチ部、41 セレクタ部、51 論理反転回路、100 8 入力排他的論理和回路、20

0 2 入力排他的論理和回路。

請求の範囲

- [請求項1] N (N は、 $N \geq 2$ の整数) ビット長のビット列の入力を受け入れて、前記入力されるビット列が表すアドレスに、当該入力されるビット列に含まれる各ビット間の論理演算結果を表すビットをその一部に含む多ビット長のデータを格納してなるルックアップテーブルを記憶するメモリデバイスと、
- 前記メモリデバイスにアクセスし、前記受け入れたビット列が表すアドレスに格納されたデータに含まれるビットを出力する出力手段と、
- を含む論理演算装置。
- [請求項2] 請求項1記載の論理演算装置であって、
- 前記メモリデバイスに格納されたデータには、前記入力されるビット列に含まれる各ビット間の論理演算結果と、その反転ビットとが含まれ、
- 前記出力手段は、当該ビット間の論理演算結果と、その反転ビットとの一方を選択的に出力する論理演算装置。
- [請求項3] 請求項2記載の論理演算装置であって、
- M (M は、 $M > N$ なる整数) ビット長のビット列の入力を受けて、当該 M ビット長のビット列から N ビットのビット列を抽出して、当該抽出した N ビットのビット列を時分割的に前記メモリデバイスに出力する分割手段をさらに含み、
- 時分割的に前記 N ビットのビット列が出力されるタイミングにおいて、前記出力手段が、前回出力したビットを用いて、メモリデバイスにアクセスして取り出したビット間の論理演算結果と、その反転ビットとの一方を選択的に出力する論理演算装置。
- [請求項4] 請求項1から3のいずれか一項に記載の論理演算装置であって、
- 前記メモリデバイスに格納された論理演算結果は、入力ビット列に含まれる各ビット間の排他的論理和の演算結果である論理演算装置。

[図1]



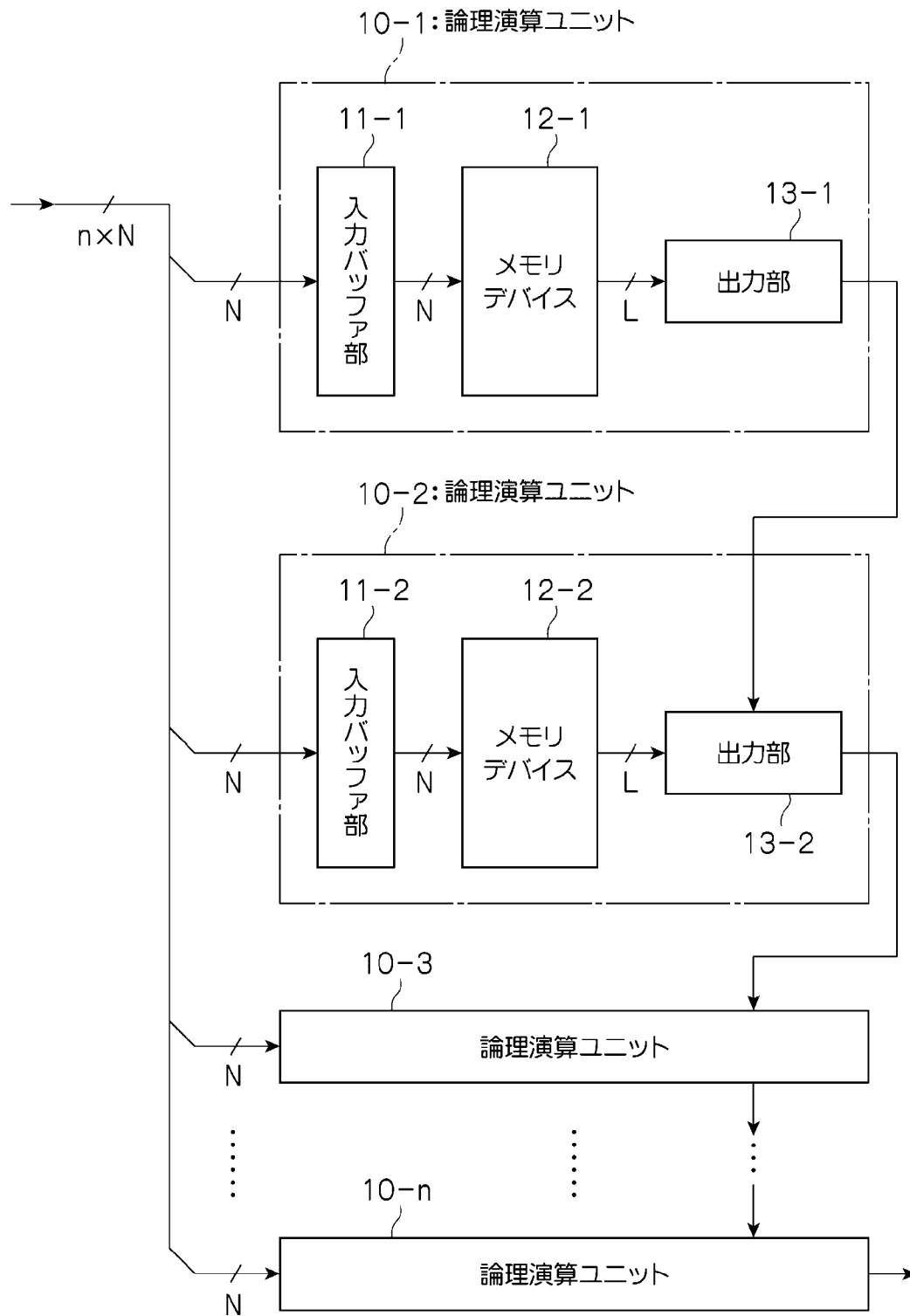
[図2]

アドレス	データ
00000000	0xxxxxxx
00000001	1xxxxxxx
⋮	⋮
11111111	0xxxxxxx

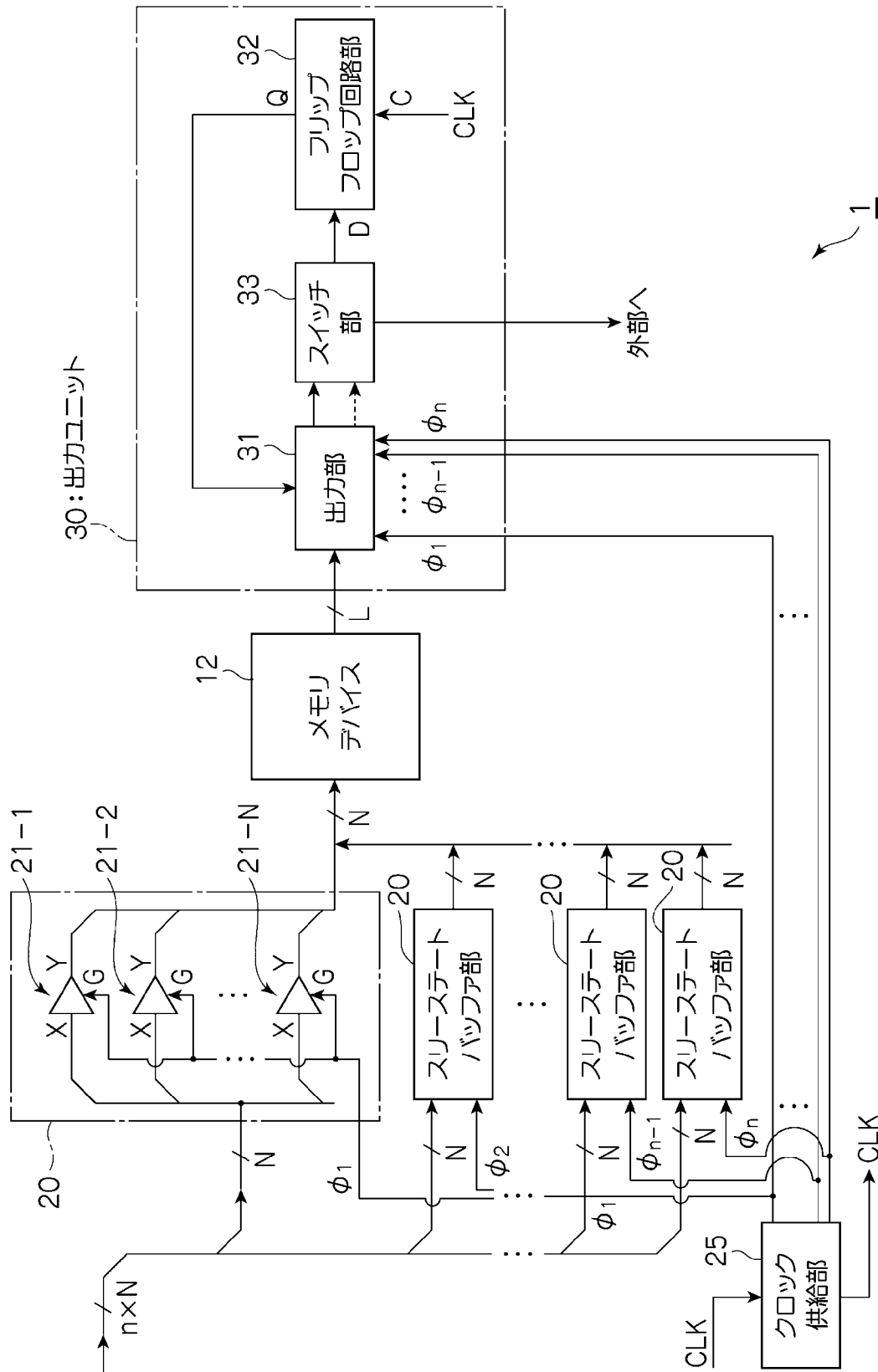
[図3]

アドレス	データ
00000000	01xxxxxx
00000001	10xxxxxx
⋮	⋮
11111111	01xxxxxx

[図4]

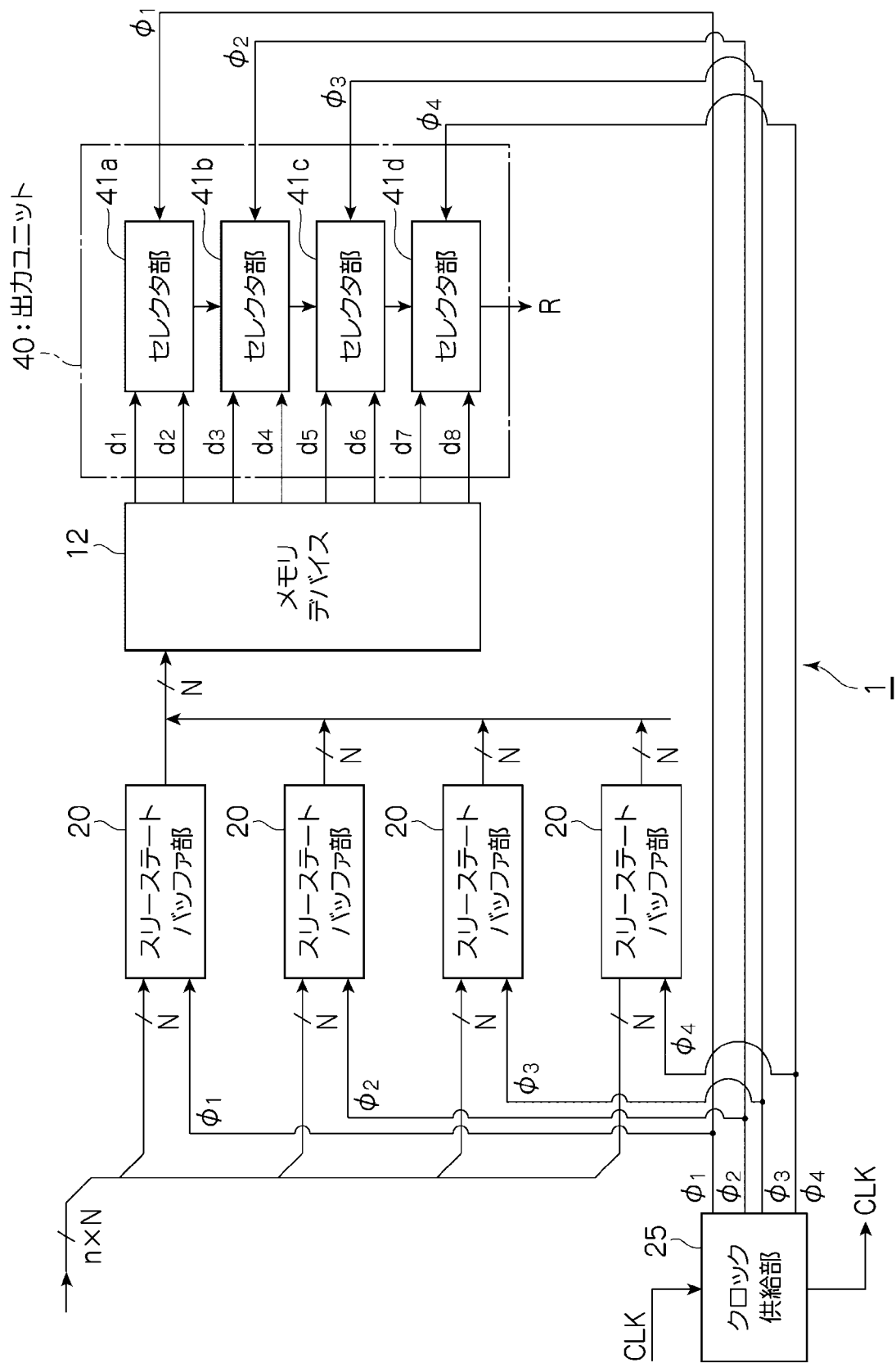


[図5]



The diagram illustrates the timing of a clock signal (CLK) and five phase signals (ϕ_0 through ϕ_4) relative to a common time axis t . The time axis is marked with vertical dashed lines at intervals t_0 through t_{14} . The signals are represented by horizontal lines that step up or down at specific time points, indicating transitions. The CLK signal is a periodic square wave. The phase signals ϕ_0 through ϕ_4 are derived from CLK and show a sequence of phase shifts over time.

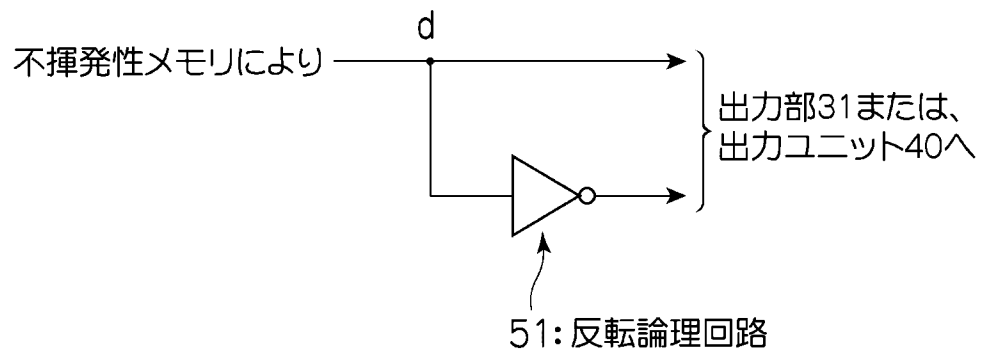
[図7]



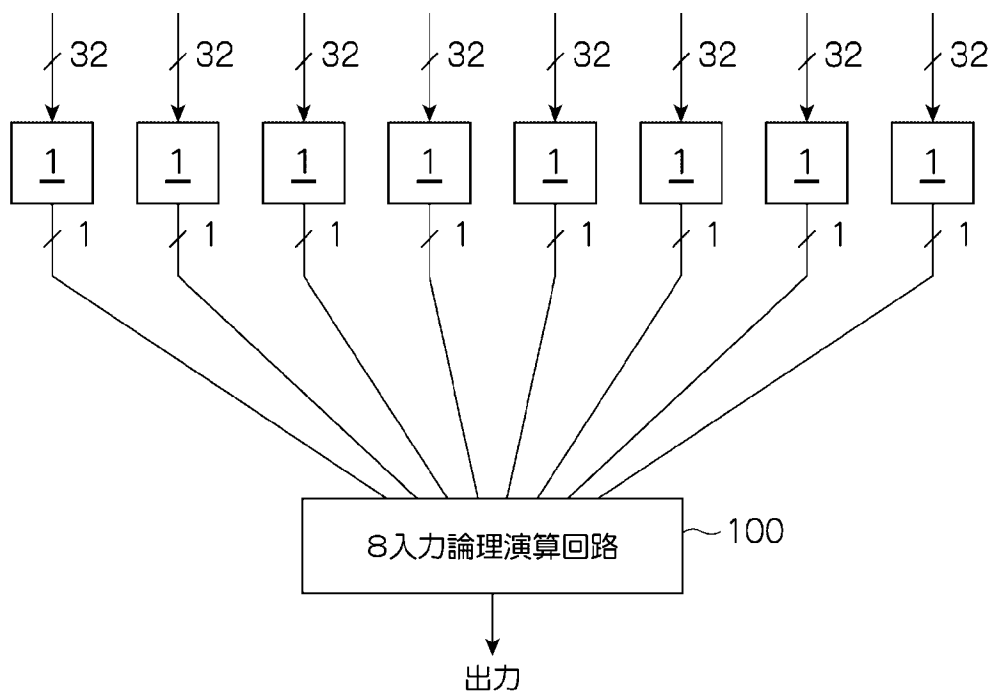
[図8]

アドレス	データ
00000000	01010101
00000001	10101010
⋮	⋮
11111111	01010101

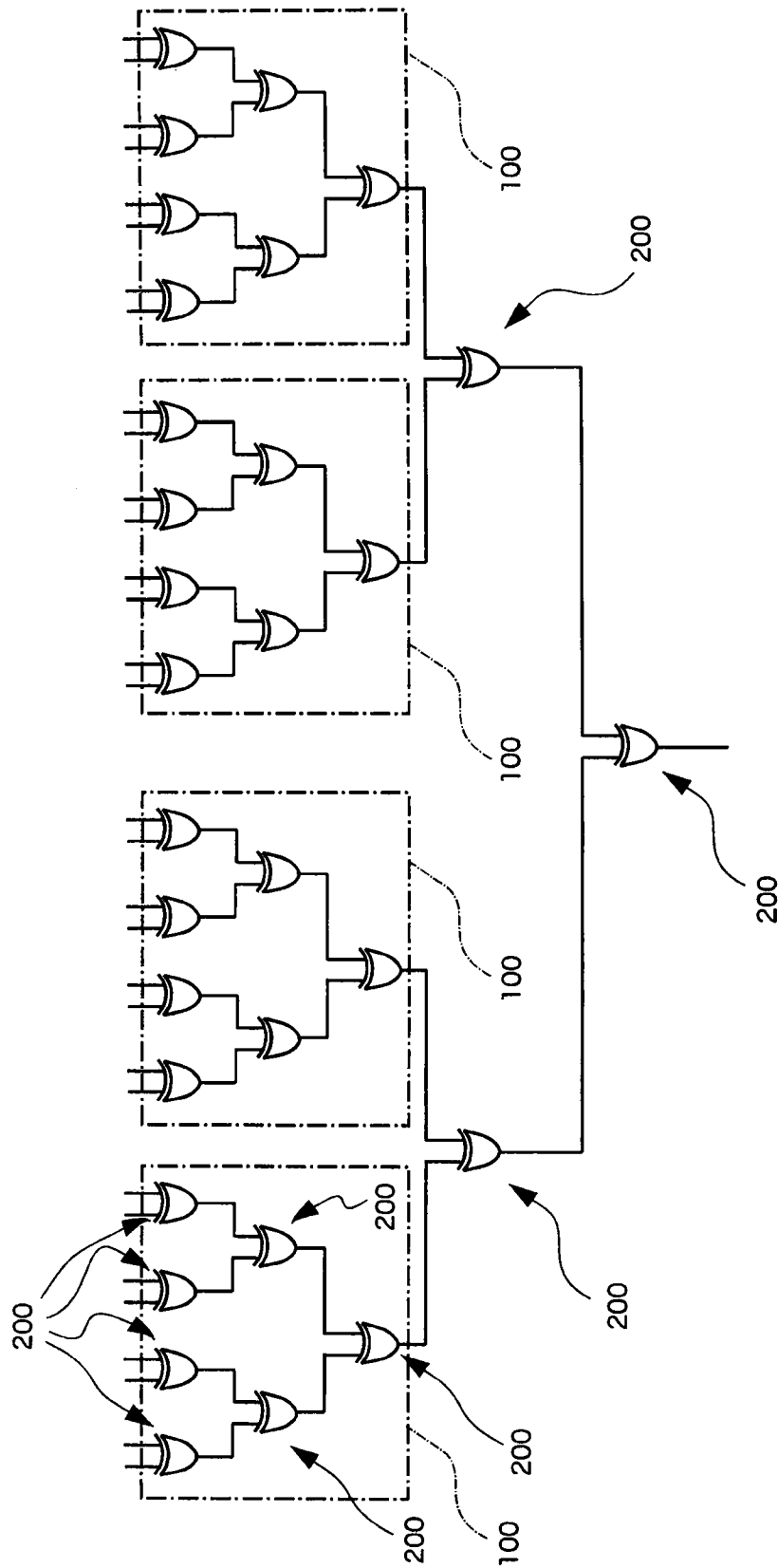
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/065245

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/21(2006.01)i, G06F1/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/21, G06F1/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-57112 A (Mitsubishi Electric Corp.), 24 February 1992 (24.02.1992), page 1, lower right column to page 2, upper right column; fig. 4 (Family: none)	1-4
A	JP 2010-165179 A (Hiroshima University), 29 July 2010 (29.07.2010), all pages; fig. 1 to 21 & US 2010/0179976 A1	1-4
A	JP 9-292990 A (Nippon Telegraph and Telephone Corp.), 11 November 1997 (11.11.1997), paragraph [0003] (Family: none)	1-4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 September, 2014 (02.09.14)

Date of mailing of the international search report
09 September, 2014 (09.09.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K19/21(2006.01)i, G06F1/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K19/21, G06F1/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4-57112 A（三菱電機株式会社）1992.02.24, 第1頁右下欄—第2頁右上欄、第4図（ファミリーなし）	1 - 4
A	JP 2010-165179 A（国立大学法人広島大学）2010.07.29, 全頁、図1 - 2 1 & US 2010/0179976 A1	1 - 4
A	JP 9-292990 A（日本電信電話株式会社）1997.11.11, 【0003】欄（ファミリーなし）	1 - 4

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 9 . 2 0 1 4

国際調査報告の発送日

0 9 . 0 9 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮島 郁美

5 X

8 5 2 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6