

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4490656号
(P4490656)

(45) 発行日 平成22年6月30日(2010.6.30)

(24) 登録日 平成22年4月9日(2010.4.9)

(51) Int.Cl.	F I
G09G 3/28 (2006.01)	G09G 3/28 K
G09G 3/288 (2006.01)	G09G 3/28 B
G09G 3/20 (2006.01)	G09G 3/20 624L
H04N 5/66 (2006.01)	G09G 3/20 641E
	G09G 3/20 641H
請求項の数 3 (全 41 頁) 最終頁に続く	

(21) 出願番号	特願2003-190284 (P2003-190284)	(73) 特許権者	000005821
(22) 出願日	平成15年7月2日(2003.7.2)		パナソニック株式会社
(65) 公開番号	特開2005-24901 (P2005-24901A)		大阪府門真市大字門真1006番地
(43) 公開日	平成17年1月27日(2005.1.27)	(74) 代理人	110001025
審査請求日	平成18年6月22日(2006.6.22)		特許業務法人藤村合同特許事務所
		(72) 発明者	鈴木 雅博
			山梨県中巨摩郡田富町西花輪2680番地
			パイオニア株式会社内
		(72) 発明者	上山口 潤
			山梨県中巨摩郡田富町西花輪2680番地
			パイオニア株式会社内
		(72) 発明者	重田 哲也
			山梨県中巨摩郡田富町西花輪2680番地
			パイオニア株式会社内
最終頁に続く			

(54) 【発明の名称】 表示パネルの駆動方法

(57) 【特許請求の範囲】

【請求項1】

映像信号における1フィールドの表示期間を複数のサブフィールドで構成し、表示ライン各々に画素を担う画素セルが配列されている表示パネルを前記映像信号に応じて階調駆動する表示パネルの駆動方法であって、

前記表示ラインをM(Mは2以上の整数)本のライン分だけ離間したものとでグループ化したものを夫々第1~第M表示ライン群とし、前記第1~第M表示ライン群各々に対応した夫々異なるオフセット値を前記映像信号に基づく画素データに加算した結果をオフセット加算画素データとし、

前記複数のサブフィールドには、前記M個の下位サブフィールドが連続してなる第1サブフィールドと、前記M個よりも少ない数の下位サブフィールドが連続してなる第2サブフィールドと、が含まれており、

前記第1サブフィールド内では、前記第1~第M表示ライン群の各々毎にその表示ライン群に属する前記画素セルを前記オフセット加算画素データに基づいて点灯モード又は消灯モードに設定する第1~第Mのアドレス行程と、前記第1~第Mのアドレス行程各々の直前又は直後に前記点灯モードにある前記画素セルのみを発光せしめる発光行程とを実行し、

前記第2サブフィールド内では、前記第1~第Mのアドレス行程と、前記第1~第Mのアドレス行程において連続するL個(Lは2以上の整数)の前記アドレス行程からなるアドレス行程群毎にそのアドレス行程群の直前又は直後に前記発光行程と、を実行し、

10

20

前記第1サブフィールド内での前記第1～第Mのアドレス行程各々の実行順序は、前記第2サブフィールド内での前記第1～第Mのアドレス行程各々の実行順序と同一であり、各フィールド内では前記第2サブフィールドの後に前記第1サブフィールドの動作を実行することを特徴とする表示パネルの駆動方法。

【請求項2】

前記サブフィールド各々の内の先頭のサブフィールドでは、全ての前記画素セルを点灯モードに初期化するリセット行程を実行することを特徴とする請求項1記載の表示パネルの駆動方法。

【請求項3】

前記表示パネルはプラズマディスプレイパネルであり、前記発光行程では前記点灯モードにある前記画素セルのみを繰り返しサスティン放電させることを特徴とする請求項1記載の表示パネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、画素を担う画素セルが各表示ライン上に配置されている表示パネルの駆動方法に関する。

【0002】

【従来の技術】

最近、2次元画像表示パネルとして、複数の放電セルがマトリクス状に配列されたプラズマディスプレイパネル（以下、PDPという）が注目されている。更に、かかるPDPにて入力映像信号に対応した画像を表示させる為の駆動方法としてサブフィールド法が知られている。サブフィールド法では、1フィールドの表示期間を複数のサブフィールドに分割し、入力映像信号によって表される輝度レベルに応じて放電セルの各々を各サブフィールド毎に選択的に放電発光させる。これにより、1フィールド期間内での総発光期間に対応した中間輝度が視覚されるのである。

【0003】

図1は、かかるサブフィールド法に基づく発光駆動シーケンスの一例を示す図である（例えば、特許文献1の図14参照）。

図1に示す発光駆動シーケンスでは、1フィールド期間をサブフィールドSF1～SF14なる14個のサブフィールドに分割している。これらSF1～SF14の内の先頭のサブフィールドSF1のみで、PDPの全放電セルを点灯モードに初期化せしめる（Rc）。又、サブフィールドSF1～SF14各々では、入力映像信号に応じて放電セルを消灯モードに設定し（Wc）、点灯モードに設定されている放電セルのみをこのサブフィールドに割り当てられている期間に亘り放電発光させる（Ic）。

【0004】

図2は、かかる発光駆動シーケンスに基づいて駆動される各放電セルの1フィールド期間内での発光駆動パターンの一例を示す図である（例えば、特許文献1の図27参照）。

図2に示す発光パターンによれば、先頭のサブフィールドSF1において点灯モードに初期化された放電セルは、黒丸印にて示す如く、SF1～SF14の内のいずれか1のサブフィールドで消灯モードに設定され、それ以降、点灯モードに復帰することはない。よって、消灯モードに設定されるまでの間、白丸印にて示されるように、放電セルは各サブフィールドにおいて連続して放電発光する。この際、図2に示す15通りの発光パターンの各々は1フィールド期間内での総発光期間が夫々異なるので、15通りの中間輝度が表現されることになる。すなわち、(N+1)階調（Nはサブフィールドの数）分の中間輝度表示が可能となるのである。

【0005】

ところが、かかる駆動方法では、1フィールドを分割するサブフィールドの数に限度がある為、階調数が不足するという問題が生じる。そこで、この階調数不足を補うべく、入力映像信号に対して誤差拡散及びディザ処理の如き多階調化処理を施すようにしている。

10

20

30

40

50

先ず、誤差拡散処理では、入力映像信号を各画素毎の例えば8ビットの画素データに変換し、その上位6ビット分を表示データ、残りの下位2ビット分を誤差データと捉える。そして、周辺画素各々に対応した上記画素データにおける誤差データの各々を重み付け加算したものを、上記表示データに反映させる。かかる動作により、原画素における下位2ビット分の輝度が周辺画素によって擬似的に表現され、それ故に8ビットよりも少ない6ビット分の表示データにて、上記8ビット分の画素データと同等の輝度階調表現が可能になる。そして、この誤差拡散処理によって得られた6ビットの誤差拡散処理画素データに対してディザ処理を施す。ディザ処理では、互いに隣接する複数の画素を1画素単位とし、この1画素単位内の各画素に対応した上記誤差拡散処理画素データに夫々、互いに異なる係数値からなるディザ係数を夫々割り当てて加算する。かかるディザ係数の加算によれば、1画素単位で眺めた場合には、ディザ加算画素データの上位4ビット分だけでも8ビットに相当する輝度を表現することが可能となる。そこで、上記ディザ加算画素データの上位4ビット分を抽出し、これを多階調化画素データP D sとして、図2に示す如き15通りの発光パターン各々に割り当てるのである。

【0006】

しかしながら、ディザ処理等により画素データに対して規則的にディザ係数の加算を行うと、入力映像信号とは何ら関係のない疑似模様、いわゆるディザパターンが視覚される場合があり、画質を損ねてしまうという問題があった。

【0007】

【特許文献1】

特開2000-227778号公報(図14、図27)

【0008】

【発明が解決しようとする課題】

本発明は、上記の問題を解決するためになされたものであり、ディザパターンの抑制された良好な画像表示を行うことが可能な表示パネルの駆動方法を提供することを目的とする。

【0009】

【課題を解決するための手段】

請求項1記載による表示パネルの駆動方法は、映像信号における1フィールドの表示期間を複数のサブフィールドで構成し、表示ライン各々に画素を担う画素セルが配列されている表示パネルを前記映像信号に応じて階調駆動する表示パネルの駆動方法であって、前記表示ラインをM(Mは2以上の整数)本のライン分だけ離間したものと同一でグループ化したものを夫々第1～第M表示ライン群とし、前記第1～第M表示ライン群各々に対応した夫々異なるオフセット値を前記映像信号に基づく画素データに加算した結果をオフセット加算画素データとし、前記複数のサブフィールドには、前記M個の下位サブフィールドが連続してなる第1サブフィールドと、前記M個よりも少ない数の下位サブフィールドが連続してなる第2サブフィールドと、が含まれており、前記第1サブフィールド内では、前記第1～第M表示ライン群の各々毎にその表示ライン群に属する前記画素セルを前記オフセット加算画素データに基づいて点灯モード又は消灯モードに設定する第1～第Mのアドレス行程と、前記第1～第Mのアドレス行程各々の直前又は直後に前記点灯モードにある前記画素セルのみを発光せしめる発光行程とを実行し、前記第2サブフィールド内では、前記第1～第Mのアドレス行程と、前記第1～第Mのアドレス行程において連続するL個(Lは2以上の整数)の前記アドレス行程からなるアドレス行程群毎にそのアドレス行程群の直前又は直後に前記発光行程と、を実行し、前記第1サブフィールド内での前記第1～第Mのアドレス行程各々の実行順序は、前記第2サブフィールド内での前記第1～第Mのアドレス行程各々の実行順序と同一であり、各フィールド内では前記第2サブフィールドの後に前記第1サブフィールドの動作を実行することを特徴とする。

【0010】

【発明の実施の形態】

以下、本発明の実施例を図を参照しつつ説明する。

10

20

30

40

50

図3は、本発明による表示パネルの駆動装置を搭載したプラズマディスプレイ装置の概略構成を示す図である。

図3において、プラズマディスプレイパネルとしてのPDP100は、表示面を担う前面基板(図示せぬ)と、放電ガスの封入された放電空間を挟んで前面基板と対向した位置に配置されている背面基板(図示せぬ)とを備える。前面基板には、互いに交互にかつ平行に配置されている帯状の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ が形成されている。背面基板には、上記行電極各々に交叉して配置されている帯状の列電極 $D_1 \sim D_m$ が形成されている。尚、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ は、一対の行電極 X 及び Y にてPDP100の第1表示ライン～第 n 表示ラインを担う構造となっており、各行電極対と列電極との交叉部(放電空間を含む)に画素を担う放電セル G が形成されている。すなわち、PDP100には、 $(n \times m)$ 個の放電セル $G_{(1,1)} \sim G_{(n,m)}$ がマトリクス状に形成されているのである。

10

【0011】

画素データ変換回路1は、入力映像信号を各画素毎の例えば6ビットの画素データPDに変換してこれを多階調化処理回路2に供給する。多階調化処理回路2は、ラインディザオフセット値生成回路21、加算器22、及び下位ビット切り捨て回路23から構成される。

ラインディザオフセット値生成回路21は、先ず、PDP100の第1～第 n 表示ラインを、夫々8ライン分だけ離間したものと士でグループ化した8つの表示ライン群、すなわち、

第1、第9、第17、・・・、第 $(n-7)$ なる第 $(8N-7)$ 表示ライン群、
 第2、第10、第18、・・・、第 $(n-6)$ なる第 $(8N-6)$ 表示ライン群、
 第3、第11、第19、・・・、第 $(n-5)$ なる第 $(8N-5)$ 表示ライン群、
 第4、第12、第20、・・・、第 $(n-4)$ なる第 $(8N-4)$ 表示ライン群、
 第5、第13、第21、・・・、第 $(n-3)$ なる第 $(8N-3)$ 表示ライン群、
 第6、第14、第22、・・・、第 $(n-2)$ なる第 $(8N-2)$ 表示ライン群、
 第7、第15、第23、・・・、第 $(n-1)$ なる第 $(8N-1)$ 表示ライン群、
 第8、第16、第24、・・・、第 n なる第 $(8N)$ 表示ライン群、

20

[N は、 $(1/8) \cdot n$ 以下の自然数]

なる表示ライン群各々に対応させて、夫々「0」～「7」なる値を有する8つのラインディザオフセット値LDを生成する。この際、ラインディザオフセット値生成回路21は、図4(a)～図4(h)に示す如く、ラインディザオフセット値LD各々の各表示ライン群に対する割り当て変更を、各フィールド毎に且つ8フィールドを1サイクルとして繰り返し実行する。

30

【0012】

すなわち、ラインディザオフセット値生成回路21は、最初の第1フィールドでは図4(a)に示す如く、

第 $(8N-7)$ 表示ライン群に対しては「0」、
 第 $(8N-6)$ 表示ライン群に対しては「3」、
 第 $(8N-5)$ 表示ライン群に対しては「6」、
 第 $(8N-4)$ 表示ライン群に対しては「1」、
 第 $(8N-3)$ 表示ライン群に対しては「4」、
 第 $(8N-2)$ 表示ライン群に対しては「7」、
 第 $(8N-1)$ 表示ライン群に対しては「2」、
 第 $(8N)$ 表示ライン群に対しては「5」、
 なる値を有するラインディザオフセット値LDを夫々割り当てる。

40

【0013】

又、次の第2フィールドでは図4(b)に示す如く、

第 $(8N-7)$ 表示ライン群に対しては「4」、
 第 $(8N-6)$ 表示ライン群に対しては「7」、
 第 $(8N-5)$ 表示ライン群に対しては「2」、

50

第(8N-4)表示ライン群に対しては「5」、
第(8N-3)表示ライン群に対しては「0」、
第(8N-2)表示ライン群に対しては「3」、
第(8N-1)表示ライン群に対しては「6」、
第(8N)表示ライン群に対しては「1」、
なる値を有するラインディザオフセット値LDを夫々割り当てる。

【0014】

又、その次の第3フィールドでは図4(c)に示す如く、
第(8N-7)表示ライン群に対しては「2」、
第(8N-6)表示ライン群に対しては「5」、
第(8N-5)表示ライン群に対しては「0」、
第(8N-4)表示ライン群に対しては「3」、
第(8N-3)表示ライン群に対しては「6」、
第(8N-2)表示ライン群に対しては「1」、
第(8N-1)表示ライン群に対しては「4」、
第(8N)表示ライン群に対しては「7」、
なる値を有するラインディザオフセット値LDを夫々割り当てる。

10

【0015】

又、第4フィールドでは図4(d)に示す如く、
第(8N-7)表示ライン群に対しては「6」、
第(8N-6)表示ライン群に対しては「1」、
第(8N-5)表示ライン群に対しては「4」、
第(8N-4)表示ライン群に対しては「7」、
第(8N-3)表示ライン群に対しては「2」、
第(8N-2)表示ライン群に対しては「5」、
第(8N-1)表示ライン群に対しては「0」、
第(8N)表示ライン群に対しては「3」、
なる値を有するラインディザオフセット値LDを夫々割り当てる。

20

【0016】

又、第5フィールドでは図4(e)に示す如く、
第(8N-7)表示ライン群に対しては「1」、
第(8N-6)表示ライン群に対しては「4」、
第(8N-5)表示ライン群に対しては「7」、
第(8N-4)表示ライン群に対しては「2」、
第(8N-3)表示ライン群に対しては「5」、
第(8N-2)表示ライン群に対しては「0」、
第(8N-1)表示ライン群に対しては「3」、
第(8N)表示ライン群に対しては「6」、
なる値を有するラインディザオフセット値LDを夫々割り当てる。

30

【0017】

又、第6フィールドでは図4(f)に示す如く、
第(8N-7)表示ライン群に対しては「5」、
第(8N-6)表示ライン群に対しては「0」、
第(8N-5)表示ライン群に対しては「3」、
第(8N-4)表示ライン群に対しては「6」、
第(8N-3)表示ライン群に対しては「1」、
第(8N-2)表示ライン群に対しては「4」、
第(8N-1)表示ライン群に対しては「7」、
第(8N)表示ライン群に対しては「2」、
なる値を有するラインディザオフセット値LDを夫々割り当てる。

40

50

【 0 0 1 8 】

又、第7フィールドでは図4 (g) に示す如く、
 第 (8 N - 7) 表示ライン群に対しては「 3 」、
 第 (8 N - 6) 表示ライン群に対しては「 6 」、
 第 (8 N - 5) 表示ライン群に対しては「 1 」、
 第 (8 N - 4) 表示ライン群に対しては「 4 」、
 第 (8 N - 3) 表示ライン群に対しては「 7 」、
 第 (8 N - 2) 表示ライン群に対しては「 2 」、
 第 (8 N - 1) 表示ライン群に対しては「 5 」、
 第 (8 N) 表示ライン群に対しては「 0 」、
 なる値を有するラインディザオフセット値 L D を夫々割り当てる。

10

【 0 0 1 9 】

又、第8フィールドでは図4 (h) に示す如く、
 第 (8 N - 7) 表示ライン群に対しては「 7 」、
 第 (8 N - 6) 表示ライン群に対しては「 2 」、
 第 (8 N - 5) 表示ライン群に対しては「 5 」、
 第 (8 N - 4) 表示ライン群に対しては「 0 」、
 第 (8 N - 3) 表示ライン群に対しては「 3 」、
 第 (8 N - 2) 表示ライン群に対しては「 6 」、
 第 (8 N - 1) 表示ライン群に対しては「 1 」、
 第 (8 N) 表示ライン群に対しては「 4 」、
 なる値を有するラインディザオフセット値 L D を夫々割り当てる。

20

【 0 0 2 0 】

そして、ラインディザオフセット値生成回路 2 1 は、画素データ変換回路 1 から供給された画素データ P D に対応した放電セルの属する表示ラインに割り当てられている上記ラインディザオフセット値 L D を加算器 2 2 に供給する。

加算器 2 2 は、画素データ変換回路 1 から供給された画素データ P D に上記ラインディザオフセット値 L D を加算したラインオフセット加算画素データ L F を下位ビット切り捨て回路 2 3 に供給する。下位ビット切り捨て回路 2 3 は、ラインオフセット加算画素データ L F の下位 3 ビット分を切り捨て、残りの上位 3 ビット分を多階調化画素データ M D として駆動データ変換回路 3 に供給する。

30

【 0 0 2 1 】

駆動データ変換回路 3 は、多階調化画素データ M D を図 5 に示す如きデータ変換テーブルに従って 4 ビットの画素駆動データ G D に変換してこれをメモリ 4 に供給する。

メモリ 4 は、4 ビットの画素駆動データ G D を順次取り込んで記憶する。そして、1 画像フレーム (n 行 x m 列) 分の画素駆動データ $G D_{1,1} \sim G D_{n,m}$ の書き込みが終了する度に、メモリ 4 は、画素駆動データ $G D_{1,1} \sim G D_{n,m}$ 各々を各ビット桁 (第 0 ~ 第 3 ビット) 毎に分離し、夫々、後述するサブフィールド S F 0 ~ S F 3 に対応させて 1 表示ライン分ずつ読み出す。メモリ 4 は、読み出した 1 表示ライン分 (m 個) の画素駆動データビットを画素駆動データビット D B 1 ~ D B (m) として列電極駆動回路 5 に供給する。

40

【 0 0 2 2 】

すなわち、先ず、サブフィールド S F 0 において、メモリ 4 は、画素駆動データ $G D_{1,1} \sim G D_{n,m}$ 各々の第 0 ビットのみを 1 表示ライン分ずつ読み出し、これらを画素駆動データビット D B 1 ~ D B (m) として列電極駆動回路 5 に供給する。次に、サブフィールド S F 1 において、メモリ 4 は、画素駆動データ $G D_{1,1} \sim G D_{n,m}$ 各々の第 1 ビットのみを 1 表示ライン分ずつ読み出し、これらを画素駆動データビット D B 1 ~ D B (m) として列電極駆動回路 5 に供給する。次に、サブフィールド S F 2 において、メモリ 4 は、画素駆動データ $G D_{1,1} \sim G D_{n,m}$ 各々の第 2 ビットのみを 1 表示ライン分ずつ読み出し、これらを画素駆動データビット D B 1 ~ D B (m) として列電極駆動回路 5 に供給する。次に、サブフィールド S F 3 において、メモリ 4 は、画素駆動データ $G D_{1,1} \sim G D_{n,m}$ 各

50

々の第3ビットのみを1表示ライン分ずつ読み出し、これらを画素駆動データビットDB1～DB(m)として列電極駆動回路5に供給する。

【0023】

駆動制御回路6は、

第1フィールドでは図6(a)、

第2フィールドでは図6(b)、

第3フィールドでは図6(c)、

第4フィールドでは図6(d)、

第5フィールドでは図7(e)、

第6フィールドでは図7(f)、

第7フィールドでは図7(g)、

第8フィールドでは図7(h)、

に示す発光駆動シーケンスに従ってPDP100を階調駆動させるべき各種タイミング信号を発生し、上記列電極駆動回路5、行電極Y駆動回路7及び行電極X駆動回路8の各々に供給する。尚、上記の如き図6(a)～図7(h)にて示される一連の駆動が繰り返し実行される。

10

【0024】

ここで、列電極駆動回路5、行電極Y駆動回路7及び行電極X駆動回路8の各々は、駆動制御回路6から供給されたタイミング信号に応じてPDP100を下記の如く駆動すべき各種駆動パルス(図示せぬ)を発生してPDP100の列電極 $D_1 \sim D_m$ 、行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ に印加する。

20

尚、図6(a)～図7(h)に示す発光駆動シーケンスでは、入力映像信号における各フィールドを5つのサブフィールドSF0～SF4にて構成している。

【0025】

先ず、先頭のサブフィールドSF0では、リセット行程R、及びアドレス行程W0を順次実行する。リセット行程Rでは、PDP100の全ての放電セル $G_{(1,1)} \sim G_{(n,m)}$ を一斉にリセット放電せしめて、放電セル $G_{(1,1)} \sim G_{(n,m)}$ 各々を点灯モード(所定量の壁電荷が形成された状態)に初期化する。又、アドレス行程W0では、PDP100の第1～第n表示ライン各々に配置されている放電セルGを1表示ライン分ずつ順次、図5に示す如き画素駆動データGDに応じて選択的に消去放電せしめて消灯モード(壁電荷が消去された状態)に推移せしめる。尚、かかるアドレス行程W0において消去放電の生起されなかった放電セルは、その直前までの状態、つまり点灯モードを維持する。

30

【0026】

次に、サブフィールドSF1～SF3の各々は、更に8つのサブフィールド $SF_{1_1} \sim SF_{1_8}$ 、 $SF_{2_1} \sim SF_{2_8}$ 、 $SF_{3_1} \sim SF_{3_8}$ に夫々分割されている。尚、サブフィールド $SF_{1_1} \sim SF_{1_8}$ 、 $SF_{2_1} \sim SF_{2_8}$ 、 $SF_{3_1} \sim SF_{3_8}$ 各々では、下記の如きアドレス行程W1～W8を実行する。

アドレス行程W1では、PDP100に形成されている全放電セル $G_{(1,1)} \sim G_{(n,m)}$ の内の第1、第9、第17、・・・、及び第(n-7)表示ラインからなる第(8N-7)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W1によれば、第(8N-7)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

40

【0027】

アドレス行程W2では、第2、第10、第18、・・・、及び第(n-6)表示ラインからなる第(8N-6)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W2によれば、第(8N-6)番目の表示ラインに配置されている放電セルが画素駆動

50

データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【 0 0 2 8 】

アドレス行程W3では、第3、第11、第19、・・・、及び第 $(n - 5)$ 表示ラインからなる第 $(8N - 5)$ 表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W3によれば、第 $(8N - 5)$ 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【 0 0 2 9 】

アドレス行程W4では、第4、第12、第20、・・・、及び第 $(n - 4)$ 表示ラインからなる第 $(8N - 4)$ 表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W4によれば、第 $(8N - 4)$ 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【 0 0 3 0 】

アドレス行程W5では、第5、第13、第21、・・・、及び第 $(n - 3)$ 表示ラインからなる第 $(8N - 3)$ 表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W5によれば、第 $(8N - 3)$ 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【 0 0 3 1 】

アドレス行程W6では、第6、第14、第22、・・・、及び第 $(n - 2)$ 表示ラインからなる第 $(8N - 2)$ 表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W6によれば、第 $(8N - 2)$ 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【 0 0 3 2 】

アドレス行程W7では、第7、第15、第23、・・・、及び第 $(n - 1)$ 表示ラインからなる第 $(8N - 1)$ 表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W7によれば、第 $(8N - 1)$ 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【 0 0 3 3 】

アドレス行程W8では、第8、第16、第24、・・・、及び第 n 表示ラインからなる第 $(8N)$ 表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W8によれば、第 $(8N)$ 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【 0 0 3 4 】

ここで、図6(a)に示す発光駆動シーケンスにおいては、

SF1₁、SF2₁、SF3₁各々において上記アドレス行程W6、
 SF1₂、SF2₂、SF3₂各々において上記アドレス行程W3、
 SF1₃、SF2₃、SF3₃各々において上記アドレス行程W8、
 SF1₄、SF2₄、SF3₄各々において上記アドレス行程W5、
 SF1₅、SF2₅、SF3₅各々において上記アドレス行程W2、

10

20

30

40

50

S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 7、
S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 4、
S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 1、
を夫々実行する。

【0035】

又、図6(b)に示す発光駆動シーケンスにおいては、

S F 1₁、S F 2₁、S F 3₁各々において上記アドレス行程W 2、
S F 1₂、S F 2₂、S F 3₂各々において上記アドレス行程W 7、
S F 1₃、S F 2₃、S F 3₃各々において上記アドレス行程W 4、
S F 1₄、S F 2₄、S F 3₄各々において上記アドレス行程W 1、
S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 6、
S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 3、
S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 8、
S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 5、
を夫々実行する。

10

【0036】

又、図6(c)に示す発光駆動シーケンスにおいては、

S F 1₁、S F 2₁、S F 3₁各々において上記アドレス行程W 8、
S F 1₂、S F 2₂、S F 3₂各々において上記アドレス行程W 5、
S F 1₃、S F 2₃、S F 3₃各々において上記アドレス行程W 2、
S F 1₄、S F 2₄、S F 3₄各々において上記アドレス行程W 7、
S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 4、
S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 1、
S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 6、
S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 3、
を夫々実行する。

20

【0037】

又、図6(d)に示す発光駆動シーケンスにおいては、

S F 1₁、S F 2₁、S F 3₁各々において上記アドレス行程W 4、
S F 1₂、S F 2₂、S F 3₂各々において上記アドレス行程W 1、
S F 1₃、S F 2₃、S F 3₃各々において上記アドレス行程W 6、
S F 1₄、S F 2₄、S F 3₄各々において上記アドレス行程W 3、
S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 8、
S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 5、
S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 2、
S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 7、
を夫々実行する。

30

【0038】

又、図7(e)に示す発光駆動シーケンスにおいては、

S F 1₁、S F 2₁、S F 3₁各々において上記アドレス行程W 3、
S F 1₂、S F 2₂、S F 3₂各々において上記アドレス行程W 8、
S F 1₃、S F 2₃、S F 3₃各々において上記アドレス行程W 5、
S F 1₄、S F 2₄、S F 3₄各々において上記アドレス行程W 2、
S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 7、
S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 4、
S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 1、
S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 6、
を夫々実行する。

40

【0039】

又、図7(f)に示す発光駆動シーケンスにおいては、

50

S F 1₁、S F 2₁、S F 3₁各々において上記アドレス行程W 7、
 S F 1₂、S F 2₂、S F 3₂各々において上記アドレス行程W 4、
 S F 1₃、S F 2₃、S F 3₃各々において上記アドレス行程W 1、
 S F 1₄、S F 2₄、S F 3₄各々において上記アドレス行程W 6、
 S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 3、
 S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 8、
 S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 5、
 S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 2、
 を夫々実行する。

【0040】

10

又、図7 (g) に示す発光駆動シーケンスにおいては、

S F 1₁、S F 2₁、S F 3₁各々において上記アドレス行程W 5、
 S F 1₂、S F 2₂、S F 3₂各々において上記アドレス行程W 2、
 S F 1₃、S F 2₃、S F 3₃各々において上記アドレス行程W 7、
 S F 1₄、S F 2₄、S F 3₄各々において上記アドレス行程W 4、
 S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 1、
 S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 6、
 S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 3、
 S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 8、
 を夫々実行する。

20

【0041】

そして、図7 (h) に示す発光駆動シーケンスにおいては、

S F 1₁、S F 2₁、S F 3₁各々において上記アドレス行程W 1、
 S F 1₂、S F 2₂、S F 3₂各々において上記アドレス行程W 6、
 S F 1₃、S F 2₃、S F 3₃各々において上記アドレス行程W 3、
 S F 1₄、S F 2₄、S F 3₄各々において上記アドレス行程W 8、
 S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 5、
 S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 2、
 S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 7、
 S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 4、
 を夫々実行する。

30

【0042】

尚、上記サブフィールドS F 1₁～S F 1₈、S F 2₁～S F 2₈及びS F 3₁～S F 3₈各々
 では、上記アドレス行程W 1～W 8各々の直前において、点灯モードに設定されている放
 電セルのみを期間「1」に亘り継続して放電発光せしめるサスティン行程Iを実行する。
 そして、最後尾のサブフィールドS F 4では、点灯モードに設定されている放電セルのみ
 を期間「1」に亘り継続して放電発光せしめるサスティン行程Iのみを実行する。

【0043】

駆動制御回路6は、図6 (a)～図6 (d)及び図7 (e)～図7 (h)に示される発光
 駆動シーケンスに従って、図8～図15に示す如き発光駆動を行う。

40

尚、図8は、図6 (a)の発光駆動シーケンスに基づく発光駆動パターン、
 図9は、図6 (b)の発光駆動シーケンスに基づく発光駆動パターン、
 図10は、図6 (c)の発光駆動シーケンスに基づく発光駆動パターン、
 図11は、図6 (d)の発光駆動シーケンスに基づく発光駆動パターン、
 図12は、図7 (e)の発光駆動シーケンスに基づく発光駆動パターン、
 図13は、図7 (f)の発光駆動シーケンスに基づく発光駆動パターン、
 図14は、図7 (g)の発光駆動シーケンスに基づく発光駆動パターン、
 図15は、図7 (h)の発光駆動シーケンスに基づく発光駆動パターン、
 を夫々示す図である。

【0044】

50

まず、最低輝度を表す [1 0 0 0] なる画素駆動データ G D が供給された場合、下記の如き第 1 階調駆動に基づく発光表示が為される。つまり、画素駆動データ G D の第 0 ビットが論理レベル 1 であることから、サブフィールド S F 0 のアドレス行程 W 0 において放電セルに対して消去放電（黒丸にて示す）が生起され、この放電セルが消灯モードに遷移する。この際、図 6 (a) ~ 図 6 (d) 及び図 7 (e) ~ 図 7 (h) に示す駆動によれば、1 フィールド表示期間内において放電セルを消灯モードから点灯モード状態に遷移させることが可能な機会は、先頭のサブフィールド S F 0 のリセット行程 R だけである。よって、一旦、消灯モードに遷移してしまった放電セルは 1 フィールド表示期間を通して消灯状態に保持される。

【 0 0 4 5 】

すなわち、[1 0 0 0] なる画素駆動データ G D に応じた第 1 階調駆動によれば、各放電セルは 1 フィールド表示期間を通して消灯状態を保ち、図 1 6 に示す如く輝度レベル 0 の駆動が為されることになる。

次に、上記 [1 0 0 0] よりも 1 段階だけ高輝度を表す [0 1 0 0] なる画素駆動データ G D が供給された場合、下記の如き第 2 階調駆動に基づく発光表示が為される。つまり、画素駆動データ G D の第 1 ビットが論理レベル 1 であることから、サブフィールド S F 1 のアドレス行程 W 1 ~ W 8 各々において各放電セルに対して消去放電（二重丸にて示す）が生起される。この際、先頭のサブフィールド S F 0 のリセット行程 R で放電セルが点灯モードに初期化されてから、上記の如き消去放電が生起されるまでの間に存在する各サステイン行程 I において連続してサステイン放電発光が為される。例えば、図 6 (a) に示す発光駆動シーケンスでは、

- 第 (8 N - 7) 表示ライン群に消去放電を為すアドレス行程 W 1 を S F 1 8、
- 第 (8 N - 6) 表示ライン群に消去放電を為すアドレス行程 W 2 を S F 1 5、
- 第 (8 N - 5) 表示ライン群に消去放電を為すアドレス行程 W 3 を S F 1 2、
- 第 (8 N - 4) 表示ライン群に消去放電を為すアドレス行程 W 4 を S F 1 7、
- 第 (8 N - 3) 表示ライン群に消去放電を為すアドレス行程 W 5 を S F 1 4、
- 第 (8 N - 2) 表示ライン群に消去放電を為すアドレス行程 W 6 を S F 1 1、
- 第 (8 N - 1) 表示ライン群に消去放電を為すアドレス行程 W 7 を S F 1 6、
- 第 (8 N) 表示ライン群に消去放電を為すアドレス行程 W 8 を S F 1 3、

において夫々実行するようにしている。

【 0 0 4 6 】

よって、図 8 の白丸及び二重丸にて示すように、

- 第 (8 N - 7) 表示ラインでは S F 1 1 ~ S F 1 8、
- 第 (8 N - 6) 表示ラインでは S F 1 1 ~ S F 1 5、
- 第 (8 N - 5) 表示ラインでは S F 1 1 ~ S F 1 2、
- 第 (8 N - 4) 表示ラインでは S F 1 1 ~ S F 1 7、
- 第 (8 N - 3) 表示ラインでは S F 1 1 ~ S F 1 4、
- 第 (8 N - 2) 表示ラインでは S F 1 1、
- 第 (8 N - 1) 表示ラインでは S F 1 1 ~ S F 1 6、
- 第 (8 N) 表示ラインでは S F 1 1 ~ S F 1 3、

各々のサステイン行程 I において放電セルが連続してサステイン放電する。

【 0 0 4 7 】

すなわち、[0 1 0 0] なる画素駆動データ G D に応じた第 2 階調駆動によれば、各表示ラインに配置されている放電セルは、1 フィールド表示期間を通して生起された上記サステイン放電に伴う発光の期間に対応した輝度レベル、つまり、図 1 6 に示す如く、

- 第 (8 N - 7) 表示ラインに配置されている放電セルは輝度レベル「 8 」、
- 第 (8 N - 6) 表示ラインに配置されている放電セルは輝度レベル「 5 」、
- 第 (8 N - 5) 表示ラインに配置されている放電セルは輝度レベル「 2 」、
- 第 (8 N - 4) 表示ラインに配置されている放電セルは輝度レベル「 7 」、
- 第 (8 N - 3) 表示ラインに配置されている放電セルは輝度レベル「 4 」、

第(8N-2)表示ラインに配置されている放電セルは輝度レベル「1」、
 第(8N-1)表示ラインに配置されている放電セルは輝度レベル「6」、
 第(8N)表示ラインに配置されている放電セルは輝度レベル「3」、
 にて夫々駆動される。

【0048】

又、上記[0100]よりも1段階だけ高輝度を表す[0010]なる画素駆動データGDが供給された場合には、下記の如き第3階調駆動に基づく発光表示が為される。つまり、画素駆動データGDの第2ビットが論理レベル1であることから、サブフィールドSF2のアドレス行程W1~W8各々において各放電セルに対して消去放電(二重丸にて示す)が生起される。この際、先頭のサブフィールドSF0のリセット行程Rで放電セルが点灯モードに初期化されてから、上記の如き消去放電が生起されるまでの間に存在する各サステイン行程Iにおいて連続してサステイン放電発光が為される。例えば、図6(a)に示す発光駆動シーケンスでは、

第(8N-7)表示ライン群に消去放電を為すアドレス行程W1をSF2₈、
 第(8N-6)表示ライン群に消去放電を為すアドレス行程W2をSF2₅、
 第(8N-5)表示ライン群に消去放電を為すアドレス行程W3をSF2₂、
 第(8N-4)表示ライン群に消去放電を為すアドレス行程W4をSF2₇、
 第(8N-3)表示ライン群に消去放電を為すアドレス行程W5をSF2₄、
 第(8N-2)表示ライン群に消去放電を為すアドレス行程W6をSF2₁、
 第(8N-1)表示ライン群に消去放電を為すアドレス行程W7をSF2₆、
 第(8N)表示ライン群に消去放電を為すアドレス行程W8をSF2₃、

において夫々実行するようにしている。

【0049】

よって、図8の白丸及び二重丸にて示すように、

第(8N-7)表示ラインではSF1₁~SF1₈、SF2₁~SF2₈、
 第(8N-6)表示ラインではSF1₁~SF1₈、SF2₁~SF2₅、
 第(8N-5)表示ラインではSF1₁~SF1₈、SF2₁~SF2₂、
 第(8N-4)表示ラインではSF1₁~SF1₈、SF2₁~SF2₇、
 第(8N-3)表示ラインではSF1₁~SF1₈、SF2₁~SF2₄、
 第(8N-2)表示ラインではSF1₁~SF1₈、SF2₁、
 第(8N-1)表示ラインではSF1₁~SF1₈、SF2₁~SF2₆、
 第(8N)表示ラインではSF1₁~SF1₈、SF2₁~SF2₃、

各々のサステイン行程Iにおいて放電セルが連続してサステイン放電する。

【0050】

すなわち、[0010]なる画素駆動データGDに応じた第3階調駆動によれば、各表示ラインに配置されている放電セルは、1フィールド表示期間を通して生起された上記サステイン放電に伴う発光の期間に対応した輝度レベル、つまり、図16に示す如く、

第(8N-7)表示ラインに配置されている放電セルは輝度レベル「16」、
 第(8N-6)表示ラインに配置されている放電セルは輝度レベル「13」、
 第(8N-5)表示ラインに配置されている放電セルは輝度レベル「10」、
 第(8N-4)表示ラインに配置されている放電セルは輝度レベル「15」、
 第(8N-3)表示ラインに配置されている放電セルは輝度レベル「12」、
 第(8N-2)表示ラインに配置されている放電セルは輝度レベル「9」、
 第(8N-1)表示ラインに配置されている放電セルは輝度レベル「14」、
 第(8N)表示ラインに配置されている放電セルは輝度レベル「11」、

にて夫々駆動される。

【0051】

又、上記[0010]よりも1段階だけ高輝度を表す[0001]なる画素駆動データGDが供給された場合には、下記の如き第4階調駆動に基づく発光表示が為される。つまり、画素駆動データGDの第3ビットが論理レベル1であることから、サブフィールドS

10

20

30

40

50

F 3 のアドレス行程 W 1 ~ W 8 各々において各放電セルに対して消去放電（二重丸にて示す）が生起される。この際、先頭のサブフィールド S F 0 のリセット行程 R で放電セルが点灯モードに初期化されてから、上記の如き消去放電が生起されるまでの間に存在する各サステイン行程 I において連続してサステイン放電発光が為される。例えば、図 6 (a) に示す発光駆動シーケンスでは、

- 第 (8 N - 7) 表示ライン群に消去放電を為すアドレス行程 W 1 を S F 3₈、
- 第 (8 N - 6) 表示ライン群に消去放電を為すアドレス行程 W 2 を S F 3₅、
- 第 (8 N - 5) 表示ライン群に消去放電を為すアドレス行程 W 3 を S F 3₂、
- 第 (8 N - 4) 表示ライン群に消去放電を為すアドレス行程 W 4 を S F 3₇、
- 第 (8 N - 3) 表示ライン群に消去放電を為すアドレス行程 W 5 を S F 3₄、
- 第 (8 N - 2) 表示ライン群に消去放電を為すアドレス行程 W 6 を S F 3₁、
- 第 (8 N - 1) 表示ライン群に消去放電を為すアドレス行程 W 7 を S F 3₆、
- 第 (8 N) 表示ライン群に消去放電を為すアドレス行程 W 8 を S F 3₃、

において夫々実行するようにしている。

【 0 0 5 2 】

よって、図 8 の白丸及び二重丸にて示すように、

- 第 (8 N - 7) 表示ラインでは S F 1₁ ~ S F 2₈、 S F 3₁ ~ S F 3₈、
- 第 (8 N - 6) 表示ラインでは S F 1₁ ~ S F 2₈、 S F 3₁ ~ S F 3₅、
- 第 (8 N - 5) 表示ラインでは S F 1₁ ~ S F 2₈、 S F 3₁ ~ S F 3₂、
- 第 (8 N - 4) 表示ラインでは S F 1₁ ~ S F 2₈、 S F 3₁ ~ S F 3₇、
- 第 (8 N - 3) 表示ラインでは S F 1₁ ~ S F 2₈、 S F 3₁ ~ S F 3₄、
- 第 (8 N - 2) 表示ラインでは S F 1₁ ~ S F 2₈、 S F 3₁、
- 第 (8 N - 1) 表示ラインでは S F 1₁ ~ S F 2₈、 S F 3₁ ~ S F 3₆、
- 第 (8 N) 表示ラインでは S F 1₁ ~ S F 2₈、 S F 3₁ ~ S F 3₃、

各々のサステイン行程 I において放電セルが連続してサステイン放電する。

【 0 0 5 3 】

すなわち、[0 0 0 1] なる画素駆動データ G D に応じた第 4 階調駆動によれば、各放電セルは、1 フィールド表示期間を通して生起された上記サステイン放電に伴う発光の期間に対応した輝度レベル、つまり、図 1 6 に示す如く、

- 第 (8 N - 7) 表示ラインに配置されている放電セルは輝度レベル「 2 4 」、
- 第 (8 N - 6) 表示ラインに配置されている放電セルは輝度レベル「 2 1 」、
- 第 (8 N - 5) 表示ラインに配置されている放電セルは輝度レベル「 1 8 」、
- 第 (8 N - 4) 表示ラインに配置されている放電セルは輝度レベル「 2 3 」、
- 第 (8 N - 3) 表示ラインに配置されている放電セルは輝度レベル「 2 0 」、
- 第 (8 N - 2) 表示ラインに配置されている放電セルは輝度レベル「 1 7 」、
- 第 (8 N - 1) 表示ラインに配置されている放電セルは輝度レベル「 2 2 」、
- 第 (8 N) 表示ラインに配置されている放電セルは輝度レベル「 1 9 」、

にて夫々発光する。

【 0 0 5 4 】

又、最高輝度を表す [0 0 0 0] なる画素駆動データ G D が供給された場合には、下記の如き第 5 階調駆動に基づく発光表示が為される。つまり、画素駆動データ G D のいずれのビットも論理レベル 0 であることから、1 フィールド表示期間を通して消去放電が一切生起されない。よって、放電セルは、S F 1₁ ~ S F 1₈、S F 2₁ ~ S F 2₈、S F 3₁ ~ S F 3₈、及び S F 4 各々のサステイン行程 I において連続して放電発光する。

【 0 0 5 5 】

すなわち、[0 0 0 0] なる画素駆動データ G D に応じた第 5 階調駆動によれば、各放電セルは、1 フィールド表示期間を通して生起された上記サステイン放電に伴う発光の期間に対応した輝度レベル、つまり、図 1 6 に示す如く、

- 第 (8 N - 7) 表示ラインに配置されている放電セルは輝度レベル「 2 5 」、
- 第 (8 N - 6) 表示ラインに配置されている放電セルは輝度レベル「 2 5 」、

第(8N-5)表示ラインに配置されている放電セルは輝度レベル「25」、
 第(8N-4)表示ラインに配置されている放電セルは輝度レベル「25」、
 第(8N-3)表示ラインに配置されている放電セルは輝度レベル「25」、
 第(8N-2)表示ラインに配置されている放電セルは輝度レベル「25」、
 第(8N-1)表示ラインに配置されている放電セルは輝度レベル「25」、
 第(8N)表示ラインに配置されている放電セルは輝度レベル「25」、
 にて夫々発光する。

【0056】

このように、上記駆動においては、[1000]、[0100]、[0010]、[0001]、又は[0000]なる5通りの画素駆動データGDに応じて、5段階分の輝度を表現し得る第1～第5階調駆動が実施される。この際、隣接する8つの表示ライン各々に異なる輝度の重み付けをもたせ、第1～第5階調駆動毎に、その輝度重み付けに対応した輝度レベルにて隣接する8つの表示ライン各を異なる輝度レベルで駆動するようにしている。

10

【0057】

例えば、図6(a)に示す如き第1フィールドの発光駆動シーケンスに従った駆動では、隣接する8つの表示ライン各々には、

第(8N-7)表示ライン：「8」、
 第(8N-6)表示ライン：「5」、
 第(8N-5)表示ライン：「2」、
 第(8N-4)表示ライン：「7」、
 第(8N-3)表示ライン：「4」、
 第(8N-2)表示ライン：「1」、
 第(8N-1)表示ライン：「6」、
 第(8N)表示ライン：「3」、

20

の如き輝度の重み付けが割り当てられている。

【0058】

又、図6(b)に示す如き第2フィールドの発光駆動シーケンスに従った駆動では、隣接する8つの表示ライン各々には、

第(8N-7)表示ライン：「4」、
 第(8N-6)表示ライン：「1」、
 第(8N-5)表示ライン：「6」、
 第(8N-4)表示ライン：「3」、
 第(8N-3)表示ライン：「8」、
 第(8N-2)表示ライン：「5」、
 第(8N-1)表示ライン：「2」、
 第(8N)表示ライン：「7」、

30

の如き輝度の重み付けが割り当てられている。

【0059】

又、図6(c)に示す如き第3フィールドの発光駆動シーケンスに従った駆動では、隣接する8つの表示ライン各々には、

第(8N-7)表示ライン：「6」、
 第(8N-6)表示ライン：「3」、
 第(8N-5)表示ライン：「8」、
 第(8N-4)表示ライン：「5」、
 第(8N-3)表示ライン：「2」、
 第(8N-2)表示ライン：「7」、
 第(8N-1)表示ライン：「4」、
 第(8N)表示ライン：「1」、

40

の如き輝度の重み付けが割り当てられている。

50

【 0 0 6 0 】

又、図 6 (d) に示す如き第 4 フィールドの発光駆動シーケンスに従った駆動では、隣接する 8 つの表示ライン各々には、

第 (8 N - 7) 表示ライン : 「 2 」 、
第 (8 N - 6) 表示ライン : 「 7 」 、
第 (8 N - 5) 表示ライン : 「 4 」 、
第 (8 N - 4) 表示ライン : 「 1 」 、
第 (8 N - 3) 表示ライン : 「 6 」 、
第 (8 N - 2) 表示ライン : 「 3 」 、
第 (8 N - 1) 表示ライン : 「 8 」 、
第 (8 N) 表示ライン : 「 5 」 、
の如き輝度の重み付けが割り当てられている。

10

【 0 0 6 1 】

又、図 7 (e) に示す如き第 5 フィールドの発光駆動シーケンスに従った駆動では、隣接する 8 つの表示ライン各々には、

第 (8 N - 7) 表示ライン : 「 7 」 、
第 (8 N - 6) 表示ライン : 「 4 」 、
第 (8 N - 5) 表示ライン : 「 1 」 、
第 (8 N - 4) 表示ライン : 「 6 」 、
第 (8 N - 3) 表示ライン : 「 3 」 、
第 (8 N - 2) 表示ライン : 「 8 」 、
第 (8 N - 1) 表示ライン : 「 5 」 、
第 (8 N) 表示ライン : 「 2 」 、
の如き輝度の重み付けが割り当てられている。

20

【 0 0 6 2 】

又、図 7 (f) に示す如き第 6 フィールドの発光駆動シーケンスに従った駆動では、隣接する 8 つの表示ライン各々には、

第 (8 N - 7) 表示ライン : 「 3 」 、
第 (8 N - 6) 表示ライン : 「 8 」 、
第 (8 N - 5) 表示ライン : 「 5 」 、
第 (8 N - 4) 表示ライン : 「 2 」 、
第 (8 N - 3) 表示ライン : 「 7 」 、
第 (8 N - 2) 表示ライン : 「 4 」 、
第 (8 N - 1) 表示ライン : 「 1 」 、
第 (8 N) 表示ライン : 「 6 」 、
の如き輝度の重み付けが割り当てられている。

30

【 0 0 6 3 】

又、図 7 (g) に示す如き第 7 フィールドの発光駆動シーケンスに従った駆動では、隣接する 8 つの表示ライン各々には、

第 (8 N - 7) 表示ライン : 「 5 」 、
第 (8 N - 6) 表示ライン : 「 2 」 、
第 (8 N - 5) 表示ライン : 「 7 」 、
第 (8 N - 4) 表示ライン : 「 4 」 、
第 (8 N - 3) 表示ライン : 「 1 」 、
第 (8 N - 2) 表示ライン : 「 6 」 、
第 (8 N - 1) 表示ライン : 「 3 」 、
第 (8 N) 表示ライン : 「 8 」 、
の如き輝度の重み付けが割り当てられている。

40

【 0 0 6 4 】

又、図 7 (h) に示す如き第 8 フィールドの発光駆動シーケンスに従った駆動では、隣接

50

する 8 つの表示ライン各々には、

- 第(8 N - 7) 表示ライン：「 1 」、
- 第(8 N - 6) 表示ライン：「 6 」、
- 第(8 N - 5) 表示ライン：「 3 」、
- 第(8 N - 4) 表示ライン：「 8 」、
- 第(8 N - 3) 表示ライン：「 5 」、
- 第(8 N - 2) 表示ライン：「 2 」、
- 第(8 N - 1) 表示ライン：「 7 」、
- 第(8 N) 表示ライン：「 4 」、

の如き輝度の重み付けが割り当てられている。

10

【 0 0 6 5 】

従って、

- 図 6 (a) の発光駆動シーケンスに従った駆動では図 8 、
- 図 6 (b) の発光駆動シーケンスに従った駆動では図 9 、
- 図 6 (c) の発光駆動シーケンスに従った駆動では図 1 0 、
- 図 6 (d) の発光駆動シーケンスに従った駆動では図 1 1 、
- 図 7 (e) の発光駆動シーケンスに従った駆動では図 1 2 、
- 図 7 (f) の発光駆動シーケンスに従った駆動では図 1 3 、
- 図 7 (g) の発光駆動シーケンスに従った駆動では図 1 4 、
- 図 7 (h) の発光駆動シーケンスに従った駆動では図 1 5 、

20

なる発光駆動パターンにて示されるように、隣接する 8 つの表示ライン各々に属する放電セルを、上記重み付けに基づき夫々異なる輝度レベルで発光させるのである。

【 0 0 6 6 】

次に、入力映像信号に応じて為される実際の駆動動作について、図 6 (a) に示す如き第 1 フィールドでの駆動を例にとって説明する。

例えば、隣接する 8 つの表示ライン各々に属する 1 列分の放電セルに対応した 6 ビットの画素データ P D がいずれも [0 1 0 1 0 0] である場合、ラインディザオフセット値生成回路 2 1 は、図 1 7 に示す如く、各表示ラインに対応した画素データ P D の各々に図 4 (a) に示す如きラインディザオフセット値 L D を夫々加算する。かかるラインディザオフセット値 L D の加算により、図 1 7 に示す如く各表示ライン毎に、

30

- 第(8 N - 7) 表示ライン：[0 1 0 1 0 0]、
- 第(8 N - 6) 表示ライン：[0 1 0 1 1 1]、
- 第(8 N - 5) 表示ライン：[0 1 1 0 1 0]、
- 第(8 N - 4) 表示ライン：[0 1 0 1 0 1]、
- 第(8 N - 3) 表示ライン：[0 1 1 0 0 0]、
- 第(8 N - 2) 表示ライン：[0 1 1 0 1 1]、
- 第(8 N - 1) 表示ライン：[0 1 0 1 1 0]、
- 第(8 N) 表示ライン：[0 1 1 0 0 1]、

なるラインオフセット加算画素データ L F が得られる。

【 0 0 6 7 】

40

下位ビット切り捨て回路 2 3 は、これらラインオフセット加算画素データ L F 各々の下位 3 ビット分を切り捨て、残りの上位 3 ビット分を多階調化画素データ M D として得る。すなわち、隣接する 8 つの表示ライン各々に対応して図 1 7 に示すように、

- 第(8 N - 7) 表示ライン：[0 1 0]、
- 第(8 N - 6) 表示ライン：[0 1 0]、
- 第(8 N - 5) 表示ライン：[0 1 1]、
- 第(8 N - 4) 表示ライン：[0 1 0]、
- 第(8 N - 3) 表示ライン：[0 1 1]、
- 第(8 N - 2) 表示ライン：[0 1 1]、
- 第(8 N - 1) 表示ライン：[0 1 0]、

50

第(8N)表示ライン：[011]、
なる多階調化画素データMDが得られる。この際、かかる多階調化画素データMDは駆動データ変換回路3によって下記の如き5ビットの画素駆動データGDに変換される。

【0068】

第(8N-7)表示ライン：[0010]、
第(8N-6)表示ライン：[0010]、
第(8N-5)表示ライン：[0001]、
第(8N-4)表示ライン：[0010]、
第(8N-3)表示ライン：[0001]、
第(8N-2)表示ライン：[0001]、
第(8N-1)表示ライン：[0010]、
第(8N)表示ライン：[0001]、

10

従って、図8に示す如き発光駆動パターンにより、これら隣接する8つの表示ライン各々に属する放電セルは、

第(8N-7)表示ラインに配置されている放電セルは「16」、
第(8N-6)表示ラインに配置されている放電セルは「13」、
第(8N-5)表示ラインに配置されている放電セルは「18」、
第(8N-4)表示ラインに配置されている放電セルは「15」、
第(8N-3)表示ラインに配置されている放電セルは「20」、
第(8N-2)表示ラインに配置されている放電セルは「17」、
第(8N-1)表示ラインに配置されている放電セルは「14」、
第(8N)表示ラインに配置されている放電セルは「19」、

20

なる輝度レベルにて夫々発光駆動される。

【0069】

この際、8つの表示ライン各々における輝度レベルを平均した輝度レベルが視覚されることになる。

以上の如く、図3に示されるプラズマディスプレイ装置においては、隣接する8つの表示ライン毎に、各表示ラインに対応した画素データPDに夫々異なるラインディザオフセット値LDを加算すると共に、隣接する8つの表示ラインに夫々異なる輝度の重み付けをもたせて発光駆動している。かかる駆動により、隣接する表示ライン間において輝度差を生じさせる、いわゆるラインディザ処理を実施する。

30

【0070】

ここで、上記ラインディザ処理では、PDP100内において、互いに隣接する表示ライン間での輝度差の偏倚を略均一とすべく、その偏倚量を所定値以内に収まるように制限している。例えば、[010100]なる画素データPDが供給された場合には、図17に示す如く、

第(8N-7)及び第(8N-6)表示ライン間の輝度差は「3」、
第(8N-6)及び第(8N-5)表示ライン間の輝度差は「5」、
第(8N-5)及び第(8N-4)表示ライン間の輝度差は「3」、
第(8N-4)及び第(8N-3)表示ライン間の輝度差は「5」、
第(8N-3)及び第(8N-2)表示ライン間の輝度差は「3」、
第(8N-2)及び第(8N-1)表示ライン間の輝度差は「3」、
第(8N-1)及び第(8N)表示ライン間の輝度差は「5」、

40

となり、輝度差の偏倚は「2」である。

【0071】

尚、その他の画素データPDが供給された場合にも同様に、互いに隣接する表示ライン間での輝度差の偏倚は「2」以内になっている。

例えば図8に示される発光駆動パターンによれば、隣接する8つの表示ライン各々に属する放電セルは、夫々、図16に示す如き5階調分の輝度レベルで発光することになる。この際、上記ラインディザ処理では、画素データPDにラインディザオフセット値LDを加

50

算することにより、ある表示ラインを第 k 階調駆動 ($k = 1, 2, 3, 4, 5$) する際には、その隣接表示ラインを第 k 階調駆動又は第 $(k + 1)$ 階調駆動するようにしている。よって、例えば、第 $(8N - 7)$ 表示ラインに配置されている放電セルを第3階調駆動によって輝度レベル「16」にて発光駆動する際には、第 $(8N - 6)$ 表示ラインに配置されている放電セルは第3階調駆動によって輝度レベル「13」にて発光、又は第4階調駆動によって輝度レベル「21」にて発光駆動される。従って、第 $(8N - 6)$ 表示ラインに配置されている放電セルが第3階調駆動される場合には第 $(8N - 7)$ 表示ラインとの輝度差は「3」、一方、第4階調駆動される場合にはその輝度差は「5」となり、両者の偏倚は「2」となる。

【0072】

このように、ラインディザ処理を実施するにあたり、互いに隣接する表示ライン間での輝度差の偏倚を所定範囲内に制限させることにより、輝度の偏りの少ない高品質なディザ表示を実現しているのである。

更に、上記ラインディザ処理においては、入力映像信号における第1～第8フィールドを1サイクルとして、図18に示す如く各フィールド毎に、隣接する8つの表示ライン各々に対するラインディザ処理の重み付けを変更するようにしている。

【0073】

すなわち、

「0」なるラインディザオフセット値 LD を画素データ PD に加算すると共に「8」なる輝度重み付けに対応した発光駆動を行う第1ラインディザ処理、

「1」なるラインディザオフセット値 LD を画素データ PD に加算すると共に「7」なる輝度重み付けに対応した発光駆動を行う第2ラインディザ処理、

「2」なるラインディザオフセット値 LD を画素データ PD に加算すると共に「6」なる輝度重み付けに対応した発光駆動を行う第3ラインディザ処理、

「3」なるラインディザオフセット値 LD を画素データ PD に加算すると共に「5」なる輝度重み付けに対応した発光駆動を行う第4ラインディザ処理、

「4」なるラインディザオフセット値 LD を画素データ PD に加算すると共に「4」なる輝度重み付けに対応した発光駆動を行う第5ラインディザ処理、

「5」なるラインディザオフセット値 LD を画素データ PD に加算すると共に「3」なる輝度重み付けに対応した発光駆動を行う第6ラインディザ処理、

「6」なるラインディザオフセット値 LD を画素データ PD に加算すると共に「2」なる輝度重み付けに対応した発光駆動を行う第7ラインディザ処理、

「7」なるラインディザオフセット値 LD を画素データ PD に加算すると共に「1」なる輝度重み付けに対応した発光駆動を行う第8ラインディザ処理、

各々の各表示ラインに対する割り当てをフィールド毎に変更しているのである。

【0074】

例えば、図18に示す如く第1フィールドでは、

第 $(8N - 7)$ 表示ライン：第1ラインディザ処理、

第 $(8N - 6)$ 表示ライン：第4ラインディザ処理、

第 $(8N - 5)$ 表示ライン：第7ラインディザ処理、

第 $(8N - 4)$ 表示ライン：第2ラインディザ処理、

第 $(8N - 3)$ 表示ライン：第5ラインディザ処理、

第 $(8N - 2)$ 表示ライン：第8ラインディザ処理、

第 $(8N - 1)$ 表示ライン：第3ラインディザ処理、

第 $(8N)$ 表示ライン：第6ラインディザ処理、

の如く第1～第8ラインディザ処理が各表示ラインに割り当てられる。

【0075】

又、第2フィールドでは、

第 $(8N - 7)$ 表示ライン：第5ラインディザ処理、

第 $(8N - 6)$ 表示ライン：第8ラインディザ処理、

10

20

30

40

50

第(8N-5)表示ライン：第3ラインディザ処理、
 第(8N-4)表示ライン：第6ラインディザ処理、
 第(8N-3)表示ライン：第1ラインディザ処理、
 第(8N-2)表示ライン：第4ラインディザ処理、
 第(8N-1)表示ライン：第7ラインディザ処理、
 第(8N)表示ライン：第2ラインディザ処理、
 の如く第1～第8ラインディザ処理が各表示ラインに割り当てられる。

【0076】

又、第3フィールドでは、

第(8N-7)表示ライン：第3ラインディザ処理、
 第(8N-6)表示ライン：第6ラインディザ処理、
 第(8N-5)表示ライン：第1ラインディザ処理、
 第(8N-4)表示ライン：第4ラインディザ処理、
 第(8N-3)表示ライン：第7ラインディザ処理、
 第(8N-2)表示ライン：第2ラインディザ処理、
 第(8N-1)表示ライン：第5ラインディザ処理、
 第(8N)表示ライン：第8ラインディザ処理、

の如く第1～第8ラインディザ処理が各表示ラインに割り当てられる。

【0077】

又、第4フィールドでは、

第(8N-7)表示ライン：第7ラインディザ処理、
 第(8N-6)表示ライン：第2ラインディザ処理、
 第(8N-5)表示ライン：第5ラインディザ処理、
 第(8N-4)表示ライン：第8ラインディザ処理、
 第(8N-3)表示ライン：第3ラインディザ処理、
 第(8N-2)表示ライン：第6ラインディザ処理、
 第(8N-1)表示ライン：第1ラインディザ処理、
 第(8N)表示ライン：第4ラインディザ処理、

の如く第1～第8ラインディザ処理が各表示ラインに割り当てられる。

【0078】

又、第5フィールドでは、

第(8N-7)表示ライン：第2ラインディザ処理、
 第(8N-6)表示ライン：第5ラインディザ処理、
 第(8N-5)表示ライン：第8ラインディザ処理、
 第(8N-4)表示ライン：第3ラインディザ処理、
 第(8N-3)表示ライン：第6ラインディザ処理、
 第(8N-2)表示ライン：第1ラインディザ処理、
 第(8N-1)表示ライン：第4ラインディザ処理、
 第(8N)表示ライン：第7ラインディザ処理、

の如く第1～第8ラインディザ処理が各表示ラインに割り当てられる。

【0079】

又、第6フィールドでは、

第(8N-7)表示ライン：第6ラインディザ処理、
 第(8N-6)表示ライン：第1ラインディザ処理、
 第(8N-5)表示ライン：第4ラインディザ処理、
 第(8N-4)表示ライン：第7ラインディザ処理、
 第(8N-3)表示ライン：第2ラインディザ処理、
 第(8N-2)表示ライン：第5ラインディザ処理、
 第(8N-1)表示ライン：第8ラインディザ処理、
 第(8N)表示ライン：第3ラインディザ処理、

10

20

30

40

50

の如く第 1 ~ 第 8 ラインディザ処理が各表示ラインに割り当てられる。

【 0 0 8 0 】

又、第 7 フィールドでは、

第(8 N - 7) 表示ライン：第 4 ラインディザ処理、

第(8 N - 6) 表示ライン：第 7 ラインディザ処理、

第(8 N - 5) 表示ライン：第 2 ラインディザ処理、

第(8 N - 4) 表示ライン：第 5 ラインディザ処理、

第(8 N - 3) 表示ライン：第 8 ラインディザ処理、

第(8 N - 2) 表示ライン：第 3 ラインディザ処理、

第(8 N - 1) 表示ライン：第 6 ラインディザ処理、

第(8 N) 表示ライン：第 1 ラインディザ処理、

の如く第 1 ~ 第 8 ラインディザ処理が各表示ラインに割り当てられる。

【 0 0 8 1 】

又、第 8 フィールドでは、

第(8 N - 7) 表示ライン：第 8 ラインディザ処理、

第(8 N - 6) 表示ライン：第 3 ラインディザ処理、

第(8 N - 5) 表示ライン：第 6 ラインディザ処理、

第(8 N - 4) 表示ライン：第 1 ラインディザ処理、

第(8 N - 3) 表示ライン：第 4 ラインディザ処理、

第(8 N - 2) 表示ライン：第 7 ラインディザ処理、

第(8 N - 1) 表示ライン：第 2 ラインディザ処理、

第(8 N) 表示ライン：第 5 ラインディザ処理、

の如く第 1 ~ 第 8 ラインディザ処理が各表示ラインに割り当てられる。

【 0 0 8 2 】

この際、各ラインディザ処理が割り当てられるべき表示ラインは、各フィールド毎に画面の上方に位置する表示ライン及び下方に位置する表示ラインに交互に変更されるようになっている。

例えば、図 1 8 において、「 4 」なるラインディザオフセット値 L D を画素データ P D に加算すると共に「 4 」なる輝度重み付けに対応した発光駆動を行う第 5 ラインディザ処理は、第 1 フィールドでは第(8 N - 3) 表示ラインに割り当てられている。ところが第 2

フィールドでは第 5 ラインディザ処理は、矢印にて示す如くこの第(8 N - 3) 表示ラインよりも画面の下方に位置する第(8 N - 7) 表示ラインに対して施されることになる。

又、第 3 フィールドでは第 5 ラインディザ処理は、矢印にて示す如くこの第(8 N - 7) 表示ラインより画面の上方に位置する第(8 N - 1) 表示ラインに対して施されることになる。

又、第 4 フィールドでは第 5 ラインディザ処理は、矢印にて示す如くこの第(8 N - 1) 表示ラインより画面の下方に位置する第(8 N - 5) 表示ラインに対して施されることになる。

又、第 5 フィールドでは第 5 ラインディザ処理は、矢印にて示す如くこの第(8 N - 5) 表示ラインより画面の上方に位置する第(8 N - 6) 表示ラインに対して施されることになる。

又、第 6 フィールドでは第 5 ラインディザ処理は、矢印にて示す如くこの第(8 N - 6) 表示ラインより画面の下方に位置する第(8 N - 2) 表示ラインに対して

施されることになる。又、第 7 フィールドでは第 5 ラインディザ処理は、矢印にて示す如くこの第(8 N - 2) 表示ラインより画面の上方に位置する第(8 N - 4) 表示ラインに対して

施されることになる。又、第 8 フィールドでは第 5 ラインディザ処理は、矢印にて示す如くこの第(8 N - 4) 表示ラインより画面の下方に位置する第(8 N) 表示ラインに対して施されることになる。

【 0 0 8 3 】

これにより、P D P 1 0 0 の画面に表示されている映像の鑑賞者がその視線を画面内においてずらしても、この間、同一輝度で発光する画素を連続して眺める可能性が低くなるので、疑似輪郭の視覚されにくい良好なディザ表示が為されるようになる。

ここで、前述した如き駆動では、低輝度の階調を担うサブフィールド S F 1、中輝度の階

10

20

30

40

50

調を担うSF2及び高輝度の階調を担うSF3の各々を例えば図6に示す如く、更に8つのサブフィールドSF1₁~SF1₈、SF2₁~SF2₈、SF3₁~SF3₈に夫々分割して駆動を実施している。

【0084】

しかしながら、これらSF1~SF3各々にそのサブフィールドの重み付けに対応した発光期間を割り当てて駆動する場合には、低輝度の階調を担うサブフィールドSF1に割り当てるべき発光期間が短くなり、これを8分割できなくなる場合が生じる。

図19(a)~図19(d)及び図20(e)~図20(h)は、かかる点に鑑みて為された本発明による発光駆動シーケンスを示す図である。

【0085】

すなわち、駆動制御回路6は、入力映像信号における

第1フィールドでは図19(a)、

第2フィールドでは図19(b)、

第3フィールドでは図19(c)、

第4フィールドでは図19(d)、

第5フィールドでは図20(e)、

第6フィールドでは図20(f)、

第7フィールドでは図20(g)、

第8フィールドでは図20(h)、

に示す発光駆動シーケンスに従ってPDP100を階調駆動させるべき各種タイミング信号を上記列電極駆動回路5、行電極Y駆動回路7及び行電極X駆動回路8の各々に供給する。尚、駆動制御回路6は、図19(a)~図20(h)に示される一連の駆動を繰り返し実行する。列電極駆動回路5、行電極Y駆動回路7及び行電極X駆動回路8の各々は、駆動制御回路6から供給されたタイミング信号に応じてPDP100を下記の如く駆動すべき各種駆動パルス(図示せぬ)を発生してPDP100の列電極D₁~D_m、行電極X₁~X_n及び行電極Y₁~Y_nに印加する。

【0086】

尚、図19(a)~図20(h)に示す発光駆動シーケンスでは、入力映像信号における各フィールドを5つのサブフィールドSF0~SF4にて構成している。

先頭のサブフィールドSF0では、リセット行程R、及びアドレス行程W0を順次実行する。リセット行程Rでは、PDP100の全ての放電セルG_(1,1)~G_(n,m)を一斉にリセット放電せしめて、放電セルG_(1,1)~G_(n,m)各々を点灯モード(所定量の壁電荷が形成された状態)に初期化する。又、アドレス行程W0では、PDP100の第1~第n表示ライン各々に配置されている放電セルGを1表示ライン分ずつ順次、図5に示す如き画素駆動データGDに応じて選択的に消去放電せしめて消灯モード(壁電荷が消去された状態)に推移せしめる。尚、かかるアドレス行程W0において消去放電の生起されなかった放電セルは、その直前までの状態、つまり点灯モードを維持する。

【0087】

又、図19(a)~図20(h)に示されるように、サブフィールドSF1は、更に4つのサブフィールドSF1₁~SF1₄に分割されている。又、サブフィールドSF2及びSF3は夫々8つのサブフィールドSF2₁~SF2₈、SF3₁~SF3₈に分割されている。サブフィールドSF1~SF3各々内では、点灯モードに設定されている放電セルのみを期間「1」に亘り継続して放電発光せしめるサステイン行程Iと、下記の如きアドレス行程W1~W8が実行される。

【0088】

アドレス行程W1では、PDP100に形成されている全放電セルG_(1,1)~G_(n,m)の内の第1、第9、第17、・・・、及び第(n-7)表示ラインからなる第(8N-7)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W1によれば、第(

10

20

30

40

50

8N - 7) 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0089】

アドレス行程W2では、第2、第10、第18、・・・、及び第(n - 6)表示ラインからなる第(8N - 6)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W2によれば、第(8N - 6)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0090】

アドレス行程W3では、第3、第11、第19、・・・、及び第(n - 5)表示ラインからなる第(8N - 5)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W3によれば、第(8N - 5)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0091】

アドレス行程W4では、第4、第12、第20、・・・、及び第(n - 4)表示ラインからなる第(8N - 4)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W4によれば、第(8N - 4)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0092】

アドレス行程W5では、第5、第13、第21、・・・、及び第(n - 3)表示ラインからなる第(8N - 3)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W5によれば、第(8N - 3)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0093】

アドレス行程W6では、第6、第14、第22、・・・、及び第(n - 2)表示ラインからなる第(8N - 2)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W6によれば、第(8N - 2)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0094】

アドレス行程W7では、第7、第15、第23、・・・、及び第(n - 1)表示ラインからなる第(8N - 1)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W7によれば、第(8N - 1)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0095】

アドレス行程W8では、第8、第16、第24、・・・、及び第n表示ラインからなる第(8N)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W8によれば、第(8N)番目の表示ラインに配置されている放電セルが画素駆動データに応じて

10

20

30

40

50

消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0096】

ここで、図19(a)に示す発光駆動シーケンスにおいては、

S F 1₁にて上記サスティン行程I、アドレス行程W 6及びW 3を順次実行し、
 S F 1₂にて上記サスティン行程I、アドレス行程W 8及びW 5を順次実行し、
 S F 1₃にて上記サスティン行程I、アドレス行程W 2及びW 7を順次実行し、
 S F 1₄にて上記サスティン行程I、アドレス行程W 4及びW 1を順次実行し、
 S F 2₁、S F 3₁各々でサスティン行程I、アドレス行程W 6を順次実行し、
 S F 2₂、S F 3₂各々でサスティン行程I、アドレス行程W 3を順次実行し、
 S F 2₃、S F 3₃各々でサスティン行程I、アドレス行程W 8を順次実行し、
 S F 2₄、S F 3₄各々でサスティン行程I、アドレス行程W 5を順次実行し、
 S F 2₅、S F 3₅各々でサスティン行程I、アドレス行程W 2を順次実行し、
 S F 2₆、S F 3₆各々でサスティン行程I、アドレス行程W 7を順次実行し、
 S F 2₇、S F 3₇各々でサスティン行程I、アドレス行程W 4を順次実行し、
 S F 2₈、S F 3₈各々でサスティン行程I、アドレス行程W 1を順次実行する。

10

【0097】

又、図19(b)に示す発光駆動シーケンスにおいては、

S F 1₁にて上記サスティン行程I、アドレス行程W 2及びW 7を順次実行し、
 S F 1₂にて上記サスティン行程I、アドレス行程W 4及びW 1を順次実行し、
 S F 1₃にて上記サスティン行程I、アドレス行程W 6及びW 3を順次実行し、
 S F 1₄にて上記サスティン行程I、アドレス行程W 8及びW 5を順次実行し、
 S F 2₁、S F 3₁各々でサスティン行程I、アドレス行程W 2を順次実行し、
 S F 2₂、S F 3₂各々でサスティン行程I、アドレス行程W 7を順次実行し、
 S F 2₃、S F 3₃各々でサスティン行程I、アドレス行程W 4を順次実行し、
 S F 2₄、S F 3₄各々でサスティン行程I、アドレス行程W 1を順次実行し、
 S F 2₅、S F 3₅各々でサスティン行程I、アドレス行程W 6を順次実行し、
 S F 2₆、S F 3₆各々でサスティン行程I、アドレス行程W 3を順次実行し、
 S F 2₇、S F 3₇各々でサスティン行程I、アドレス行程W 8を順次実行し、
 S F 2₈、S F 3₈各々でサスティン行程I、アドレス行程W 5を順次実行する。

20

【0098】

又、図19(c)に示す発光駆動シーケンスにおいては、

S F 1₁にて上記サスティン行程I、アドレス行程W 8及びW 5を順次実行し、
 S F 1₂にて上記サスティン行程I、アドレス行程W 2及びW 7を順次実行し、
 S F 1₃にて上記サスティン行程I、アドレス行程W 4及びW 1を順次実行し、
 S F 1₄にて上記サスティン行程I、アドレス行程W 6及びW 3を順次実行し、
 S F 2₁、S F 3₁各々でサスティン行程I、アドレス行程W 8を順次実行し、
 S F 2₂、S F 3₂各々でサスティン行程I、アドレス行程W 5を順次実行し、
 S F 2₃、S F 3₃各々でサスティン行程I、アドレス行程W 2を順次実行し、
 S F 2₄、S F 3₄各々でサスティン行程I、アドレス行程W 7を順次実行し、
 S F 2₅、S F 3₅各々でサスティン行程I、アドレス行程W 4を順次実行し、
 S F 2₆、S F 3₆各々でサスティン行程I、アドレス行程W 1を順次実行し、
 S F 2₇、S F 3₇各々でサスティン行程I、アドレス行程W 6を順次実行し、
 S F 2₈、S F 3₈各々でサスティン行程I、アドレス行程W 3を順次実行する。

30

【0099】

又、図19(d)に示す発光駆動シーケンスにおいては、

S F 1₁にて上記サスティン行程I、アドレス行程W 4及びW 1を順次実行し、
 S F 1₂にて上記サスティン行程I、アドレス行程W 6及びW 3を順次実行し、
 S F 1₃にて上記サスティン行程I、アドレス行程W 8及びW 5を順次実行し、
 S F 1₄にて上記サスティン行程I、アドレス行程W 2及びW 7を順次実行し、
 S F 2₁、S F 3₁各々でサスティン行程I、アドレス行程W 4を順次実行し、

40

50

又、図20(h)に示す発光駆動シーケンスにおいては、
 SF1₁にて上記サスティン行程I、アドレス行程W1及びW6を順次実行し、
 SF1₂にて上記サスティン行程I、アドレス行程W3及びW8を順次実行し、
 SF1₃にて上記サスティン行程I、アドレス行程W5及びW2を順次実行し、
 SF1₄にて上記サスティン行程I、アドレス行程W7及びW4を順次実行し、
 SF2₁、SF3₁各々でサスティン行程I、アドレス行程W1を順次実行し、
 SF2₂、SF3₂各々でサスティン行程I、アドレス行程W6を順次実行し、
 SF2₃、SF3₃各々でサスティン行程I、アドレス行程W3を順次実行し、
 SF2₄、SF3₄各々でサスティン行程I、アドレス行程W8を順次実行し、
 SF2₅、SF3₅各々でサスティン行程I、アドレス行程W5を順次実行し、
 SF2₆、SF3₆各々でサスティン行程I、アドレス行程W2を順次実行し、
 SF2₇、SF3₇各々でサスティン行程I、アドレス行程W7を順次実行し、
 SF2₈、SF3₈各々でサスティン行程I、アドレス行程W4を順次実行する。

10

【0104】

そして、最後尾のサブフィールドSF4では、点灯モードに設定されている放電セルのみを期間「1」に亘り継続して放電発光せしめるサスティン行程Iのみを実行する。

駆動制御回路6は、図19(a)~図19(d)及び図20(e)~図20(h)に示される発光駆動シーケンスに従って、図21~図28に示す如き発光駆動を行う。

【0105】

尚、図21は、図19(a)の発光駆動シーケンスに基づく発光駆動パターン、
 図22は、図19(b)の発光駆動シーケンスに基づく発光駆動パターン、
 図23は、図19(c)の発光駆動シーケンスに基づく発光駆動パターン、
 図24は、図19(d)の発光駆動シーケンスに基づく発光駆動パターン、
 図25は、図20(e)の発光駆動シーケンスに基づく発光駆動パターン、
 図26は、図20(f)の発光駆動シーケンスに基づく発光駆動パターン、
 図27は、図20(g)の発光駆動シーケンスに基づく発光駆動パターン、
 図28は、図20(h)の発光駆動シーケンスに基づく発光駆動パターン、
 を夫々示す図である。

20

【0106】

先ず、最低輝度を表す[1000]なる画素駆動データGDが供給された場合、下記の如き第1階調駆動に基づく発光表示が為される。つまり、画素駆動データGDの第0ビットが論理レベル1であることから、サブフィールドSF0のアドレス行程W0において放電セルに対して消去放電(黒丸にて示す)が生起され、この放電セルが消灯モードに遷移する。この際、図19(a)~図19(d)及び図20(e)~図20(h)に示す駆動によれば、1フィールド表示期間内において放電セルを消灯モードから点灯モード状態に遷移させることが可能な機会は、先頭のサブフィールドSF0のリセット行程Rだけである。よって、一旦、消灯モードに遷移してしまった放電セルは1フィールド表示期間を通して消灯状態に保持される。

30

【0107】

すなわち、[1000]なる画素駆動データGDに応じた第1階調駆動によれば、各放電セルは1フィールド表示期間を通して消灯状態を保ち、図29に示す如き輝度レベル0の駆動が為されることになる。

40

次に、上記[1000]よりも1段階だけ高輝度を表す[0100]なる画素駆動データGDが供給された場合、下記の如き第2階調駆動に基づく発光表示が為される。つまり、画素駆動データGDの第1ビットが論理レベル1であることから、サブフィールドSF1のアドレス行程W1~W8各々において各放電セルに対して消去放電(二重丸にて示す)が生起される。この際、先頭のサブフィールドSF0のリセット行程Rで放電セルが点灯モードに初期化されてから、上記の如き消去放電が生起されるまでの間に存在する各サスティン行程Iにおいて連続してサスティン放電発光が為される。従って、例えば図19(a)に示す発光駆動シーケンスによれば、図21の白丸及び二重丸にて示すように、

50

第(8N-7)表示ラインではSF1₁~SF1₄、
 第(8N-6)表示ラインではSF1₁~SF1₃、
 第(8N-5)表示ラインではSF1₁、
 第(8N-4)表示ラインではSF1₁~SF1₄、
 第(8N-3)表示ラインではSF1₁~SF1₂、
 第(8N-2)表示ラインではSF1₁、
 第(8N-1)表示ラインではSF1₁~SF1₃、
 第(8N)表示ラインではSF1₁~SF1₂、
 各々のサスティン行程Iにおいて放電セルが連続してサスティン放電する。

【0108】

すなわち、[0100]なる画素駆動データGDに応じた第2階調駆動によれば、各表示ラインに配置されている放電セルは、1フィールド表示期間を通して生起された上記サスティン放電に伴う発光の期間に対応した輝度レベル、つまり、図29に示す如く、

第(8N-7)表示ラインに配置されている放電セルは輝度レベル「4」、
 第(8N-6)表示ラインに配置されている放電セルは輝度レベル「3」、
 第(8N-5)表示ラインに配置されている放電セルは輝度レベル「1」、
 第(8N-4)表示ラインに配置されている放電セルは輝度レベル「4」、
 第(8N-3)表示ラインに配置されている放電セルは輝度レベル「2」、
 第(8N-2)表示ラインに配置されている放電セルは輝度レベル「1」、
 第(8N-1)表示ラインに配置されている放電セルは輝度レベル「3」、
 第(8N)表示ラインに配置されている放電セルは輝度レベル「2」、
 にて夫々駆動される。

【0109】

又、上記[0100]よりも1段階だけ高輝度を表す[0010]なる画素駆動データGDが供給された場合には、下記の如き第3階調駆動に基づく発光表示が為される。つまり、画素駆動データGDの第2ビットが論理レベル1であることから、サブフィールドSF2のアドレス行程W1~W8各々において各放電セルに対して消去放電(二重丸にて示す)が生起される。この際、先頭のサブフィールドSF0のリセット行程Rで放電セルが点灯モードに初期化されてから、上記の如き消去放電が生起されるまでの間に存在する各サスティン行程Iにおいて連続してサスティン放電発光が為される。例えば、図19(a)

に示す発光駆動シーケンスによれば、図21の白丸及び二重丸にて示すように、
 第(8N-7)表示ラインではSF1₁~SF1₄、SF2₁~SF2₈、
 第(8N-6)表示ラインではSF1₁~SF1₄、SF2₁~SF2₅、
 第(8N-5)表示ラインではSF1₁~SF1₄、SF2₁~SF2₂、
 第(8N-4)表示ラインではSF1₁~SF1₄、SF2₁~SF2₇、
 第(8N-3)表示ラインではSF1₁~SF1₄、SF2₁~SF2₄、
 第(8N-2)表示ラインではSF1₁~SF1₄、SF2₁、
 第(8N-1)表示ラインではSF1₁~SF1₄、SF2₁~SF2₆、
 第(8N)表示ラインではSF1₁~SF1₄、SF2₁~SF2₃、

各々のサスティン行程Iにおいて放電セルが連続してサスティン放電する。

【0110】

すなわち、[0010]なる画素駆動データGDに応じた第3階調駆動によれば、各表示ラインに配置されている放電セルは、1フィールド表示期間を通して生起された上記サスティン放電に伴う発光の期間に対応した輝度レベル、つまり、図29に示す如く、

第(8N-7)表示ラインに配置されている放電セルは輝度レベル「12」、
 第(8N-6)表示ラインに配置されている放電セルは輝度レベル「9」、
 第(8N-5)表示ラインに配置されている放電セルは輝度レベル「6」、
 第(8N-4)表示ラインに配置されている放電セルは輝度レベル「11」、
 第(8N-3)表示ラインに配置されている放電セルは輝度レベル「8」、
 第(8N-2)表示ラインに配置されている放電セルは輝度レベル「5」、

第(8N-1)表示ラインに配置されている放電セルは輝度レベル「10」、
 第(8N)表示ラインに配置されている放電セルは輝度レベル「7」、
 にて夫々駆動される。

【0111】

又、上記[0010]よりも1段階だけ高輝度を表す[0001]なる画素駆動データGDが供給された場合には、下記の如き第4階調駆動に基づく発光表示が為される。つまり、画素駆動データGDの第3ビットが論理レベル1であることから、サブフィールドSF3のアドレス行程W1~W8各々において各放電セルに対して消去放電(二重丸にて示す)が生起される。この際、先頭のサブフィールドSF0のリセット行程Rで放電セルが点灯モードに初期化されてから、上記の如き消去放電が生起されるまでの間に存在する各サ

10

ステイン行程Iにおいて連続してサステイン放電発光が為される。例えば、図19(a)に示す発光駆動シーケンスによれば、図21の白丸及び二重丸にて示すように、
 第(8N-7)表示ラインではSF1₁~SF2₈、SF3₁~SF3₈、
 第(8N-6)表示ラインではSF1₁~SF2₈、SF3₁~SF3₅、
 第(8N-5)表示ラインではSF1₁~SF2₈、SF3₁~SF3₂、
 第(8N-4)表示ラインではSF1₁~SF2₈、SF3₁~SF3₇、
 第(8N-3)表示ラインではSF1₁~SF2₈、SF3₁~SF3₄、
 第(8N-2)表示ラインではSF1₁~SF2₈、SF3₁、
 第(8N-1)表示ラインではSF1₁~SF2₈、SF3₁~SF3₆、
 第(8N)表示ラインではSF1₁~SF2₈、SF3₁~SF3₃、
 各々のサステイン行程Iにおいて放電セルが連続してサステイン放電する。

20

【0112】

すなわち、[0001]なる画素駆動データGDに応じた第4階調駆動によれば、各放電セルは、1フィールド表示期間を通して生起された上記サステイン放電に伴う発光の期間に対応した輝度レベル、つまり、図29に示す如く、

第(8N-7)表示ラインに配置されている放電セルは輝度レベル「20」、
 第(8N-6)表示ラインに配置されている放電セルは輝度レベル「17」、
 第(8N-5)表示ラインに配置されている放電セルは輝度レベル「14」、
 第(8N-4)表示ラインに配置されている放電セルは輝度レベル「19」、
 第(8N-3)表示ラインに配置されている放電セルは輝度レベル「16」、
 第(8N-2)表示ラインに配置されている放電セルは輝度レベル「13」、
 第(8N-1)表示ラインに配置されている放電セルは輝度レベル「18」、
 第(8N)表示ラインに配置されている放電セルは輝度レベル「15」、
 にて夫々発光する。

30

【0113】

又、最高輝度を表す[0000]なる画素駆動データGDが供給された場合には、下記の如き第5階調駆動に基づく発光表示が為される。つまり、画素駆動データGDのいずれのビットも論理レベル0であることから、1フィールド表示期間を通して消去放電が一切生起されない。よって、放電セルは、SF1₁~SF1₄、SF2₁~SF2₈、SF3₁~SF3₈、及びSF4各々のサステイン行程Iにおいて連続して放電発光する。

40

【0114】

すなわち、[0000]なる画素駆動データGDに応じた第5階調駆動によれば、各放電セルは、1フィールド表示期間を通して生起された上記サステイン放電に伴う発光の期間に対応した輝度レベル、つまり、図29に示す如く、各表示ラインに配置されている放電セルはいずれも輝度レベル「21」で発光する。

この際、上記ラインディザ処理では、画素データPDにラインディザオフセット値LDを加算することにより、ある表示ラインを第k階調駆動(k=1、2、3、4、5)する際には、その隣接表示ラインを第k階調駆動又は第(k+1)階調駆動するようにしている。従って、図29に示すように、互いに隣接する表示ラインの内の上方に位置する表示ラインが第3階調駆動にて駆動されている場合には、下方に位置する表示ラインは第3又は

50

第4階調駆動にて駆動されるので、両者の輝度差は「3」又は「5」となる。又、上方に位置する表示ラインが第2階調駆動にて駆動されている場合には、下方に位置する表示ラインは第2又は第3階調駆動にて駆動されるので両者の輝度差は「1」、「2」、「3」又は「5」となる。よって、輝度差「3」を基準とした場合、その偏倚は±「2」となるので、PDP100の全ての隣接表示ライン間でその輝度差を略均一とした、高品質なラインディザ表示を実現することが可能となる。

【0115】

以上の如く、図19(a)~図20(h)に示す駆動においては、1のサスティン行程Iを実行する度に連続してL個(2個)のアドレス行程Wを実行させることにより、低輝度の階調を担うサブフィールド(SF1)を分割する数(4個)を他のサブフィールド内での分割数(8個)よりも少なくしている。尚、この低輝度の階調を担うサブフィールド内において実行するアドレス行程各々の実行順序は、他のサブフィールドの場合と同一である。

10

【0116】

従って、かかる駆動によれば、低輝度の階調を担うサブフィールドに割り当てられるべき期間が他のサブフィールドに比して短くても、図6(a)~図7(h)に示す如き駆動と同様にPDP100の全ての隣接表示ライン間でその輝度差を略均一とした、高品質なラインディザ表示を実現することが可能となる。

尚、上記実施例においては、各放電セルを画素データに応じて点灯モード又は消灯モードのいずれか一方に設定させるべく、予め全ての放電セルを点灯モードに設定しておき、画素データに応じて選択的に放電セルを消灯モードに遷移させる、いわゆる選択消去アドレス法を採用した場合について述べた。

20

【0117】

しかしながら、本発明は、予め全ての放電セルを消灯モードに設定しておき、画素データに応じて選択的に放電セルを点灯モードに遷移させる、いわゆる選択書込アドレス法を採用した場合についても同様に適用可能である。

図30は、図19(a)に示されるが如き第1フィールドでの駆動を選択書込アドレス法を採用して実現する際に用いられる発光駆動シーケンスを示す図である。又、図31は、図30に示される発光駆動シーケンスに基づいて為される発光駆動パターンを示す図である。

30

【0118】

選択書込アドレス法を採用した場合、図3に示す駆動データ変換回路3は、図31に示されるデータ変換テーブルに従って多階調化画素データMDを、4ビットの画素駆動データGDに変換する。駆動制御回路6は、かかる画素駆動データGDに応じて、最初の第1フィールドにて図30に示す如き発光駆動シーケンスに基づく発光駆動制御を実施する。

【0119】

図30に示される発光駆動シーケンスでは、先頭のサブフィールドSF4において、リセット行程R、アドレス行程W0及びサスティン行程Iを順次実行する。図30に示されるリセット行程Rでは、PDP100の全ての放電セル $G_{(1,1)} \sim G_{(n,m)}$ を一斉にリセット放電せしめて、放電セル $G_{(1,1)} \sim G_{(n,m)}$ 各々を消灯モード(壁電荷の存在しない状態)に初期化する。又、アドレス行程W0では、PDP100の第1~第n表示ライン各々に配置されている放電セルGを1表示ライン分ずつ順次、図31に示す如き画素駆動データGDに応じて選択的に書込放電せしめて点灯モード(壁電荷の形成された状態)に遷移せしめる。尚、かかるアドレス行程W0において書込放電の生起されなかった放電セルは、その直前までの状態、つまり消灯モードを維持する。サスティン行程Iでは、点灯モードに設定されている放電セルのみを期間「1」に亘り継続して放電発光せしめる。

40

【0120】

かかるサブフィールドSF4の実行後、サブフィールドSF3₁~SF3₈、SF2₁~SF2₈、SF1₁~SF1₄が順次実行される。サブフィールドSF3~SF1各々内では、下記の如きアドレス行程W1~W8が実行される。

50

アドレス行程W1では、PDP100に形成されている全放電セル $G_{(1,1)} \sim G_{(n,m)}$ の内の第1、第9、第17、・・・、及び第 $(n-7)$ 表示ラインからなる第 $(8N-7)$ 表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に書込放電せしめる。この際、書込放電の生起された放電セルは点灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W1によれば、第 $(8N-7)$ 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0121】

アドレス行程W4では、第4、第12、第20、・・・、及び第 $(n-4)$ 表示ラインからなる第 $(8N-4)$ 表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に書込放電せしめる。この際、書込放電の生起された放電セルは点灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W4によれば、第 $(8N-4)$ 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

10

【0122】

アドレス行程W7では、第7、第15、第23、・・・、及び第 $(n-1)$ 表示ラインからなる第 $(8N-1)$ 表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に書込放電せしめる。この際、書込放電の生起された放電セルは点灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W7によれば、第 $(8N-1)$ 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

20

【0123】

アドレス行程W2では、第2、第10、第18、・・・、及び第 $(n-6)$ 表示ラインからなる第 $(8N-6)$ 表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に書込放電せしめる。この際、書込放電の生起された放電セルは点灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W2によれば、第 $(8N-6)$ 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0124】

アドレス行程W5では、第5、第13、第21、・・・、及び第 $(n-3)$ 表示ラインからなる第 $(8N-3)$ 表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に書込放電せしめる。この際、書込放電の生起された放電セルは点灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W5によれば、第 $(8N-3)$ 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

30

【0125】

アドレス行程W8では、第8、第16、第24、・・・、及び第 n 表示ラインからなる第 $(8N)$ 表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に書込放電せしめる。この際、書込放電の生起された放電セルは点灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W8によれば、第 $(8N)$ 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

40

【0126】

アドレス行程W3では、第3、第11、第19、・・・、及び第 $(n-5)$ 表示ラインからなる第 $(8N-5)$ 表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に書込放電せしめる。この際、書込放電の生起された放電セルは点灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W3によれば、第 $(8N-5)$ 番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0127】

50

アドレス行程W6では、第6、第14、第22、・・・、及び第(n-2)表示ラインからなる第(8N-2)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に書込放電せしめる。この際、書込放電の生起された放電セルは点灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W6によれば、第(8N-2)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0128】

ここで、図30に示す発光駆動シーケンスにおいては、

SF3₁、SF2₁各々でアドレス行程W1、

SF3₂、SF2₂各々でアドレス行程W4、

SF3₃、SF2₃各々でアドレス行程W7、

SF3₄、SF2₄各々でアドレス行程W2、

SF3₅、SF2₅各々でアドレス行程W5、

SF3₆、SF2₆各々でアドレス行程W8、

SF3₇、SF2₇各々でアドレス行程W3、

SF3₈、SF2₈各々でアドレス行程W6を実行し、

SF1₁にてアドレス行程W1及びW4を順次実行し、

SF1₂にてアドレス行程W7及びW2を順次実行し、

SF1₃にてアドレス行程W5及びW8を順次実行し、

SF1₄にてアドレス行程W3及びW6を順次実行する。

【0129】

そして、アドレス行程W1~W8各々の直後に、点灯モードにある放電セルのみを発光期間「1」に亘り継続してサスティン放電発光せしめるサスティン行程Iを実行する。

ここで、図31に示す画素駆動データGDの第0ビットがサブフィールドSF4、第1ビットがSF3、第2ビットがSF2、第3ビットがSF1の各アドレス行程W1~W8において書込放電を生起させるか否かを決定している。つまり、画素駆動データGDのビットが論理レベル1である場合に限りそのビットに対応したサブフィールドのアドレス行程Wにおいて放電セルに書込放電が生起され、この放電セルが点灯モードに設定される。更に、図30に示される発光駆動シーケンスによれば、1フィールド表示期間を通して放電セルを点灯モードから消灯モードに遷移させることが可能な機会は先頭のサブフィールドSF4のリセット行程Rだけである。よって、図31に示す如く、1フィールドの表示期間内において放電セルに最初の書込放電(二重丸にて示す)が生起され、一旦、点灯モードに設定されると、その状態を最後尾のサブフィールドSF1₄まで保持し、この間に存在する各サスティン行程Iにて連続してサスティン放電(白丸にて示す)が為される。

【0130】

又、図19(a)~図19(d)、図20(a)~図20(d)及び図30に示す駆動では、サブフィールドSF1を4つの下位サブフィールドSF1₁~SF1₄に分割した際の一例を示したが、サブフィールドSF1を分割する数は4つに限定されない。

例えば、サブフィールドSF1を

図32(a)に示す如き形態にて7分割、

図32(b)に示す如き形態にて6分割、

図32(c)に示す如き形態にて5分割、

図32(d)に示す如き形態にて3分割、

図32(e)に示す如き形態にて2分割、

するようにしても良い。

【図面の簡単な説明】

【図1】サブフィールド法に基づく発光駆動シーケンスの一例を示す図である。

【図2】図1に示される発光駆動シーケンスに基づいて駆動される各放電セルの1フィールド期間内での発光駆動パターンの一例を示す図である。

【図3】本発明による表示パネルの駆動装置を搭載したプラズマディスプレイ装置の構成

10

20

30

40

50

を示す図である。

【図4】ラインディザオフセット値LDの一例を示す図である。

【図5】図3に示される駆動データ変換回路3におけるデータ変換テーブルを示す図である。

【図6】第1フィールド～第4フィールドでの発光駆動シーケンスの一例を示す図である。

。

【図7】第5フィールド～第8フィールドでの発光駆動シーケンスの一例を示す図である。

。

【図8】図6(a)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

。

【図9】図6(b)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

。

【図10】図6(c)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図11】図6(d)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図12】図7(e)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図13】図7(f)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図14】図7(g)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図15】図7(h)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図16】第1～第5階調駆動各々による輝度レベルを各表示ライン毎に表す図である。

【図17】[010100]なる画素データPDが供給された場合におけるラインディザ処理の動作を説明する為の図である。

【図18】各表示ラインに対するラインディザの重み付けの遷移を表す図である。

【図19】本発明による第1フィールド～第4フィールドでの発光駆動シーケンスの一例を示す図である。

【図20】本発明による第5フィールド～第8フィールドでの発光駆動シーケンスの一例を示す図である。

【図21】図19(a)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図22】図19(b)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図23】図19(c)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図24】図19(d)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図25】図20(e)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図26】図20(f)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図27】図20(g)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図28】図20(h)に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図29】本発明による第1～第5階調駆動各々での輝度レベルを各表示ライン毎に表す図である。

10

20

30

40

50

【図30】本発明による第1フィールドでの発光駆動シーケンスの他の一例を示す図である。

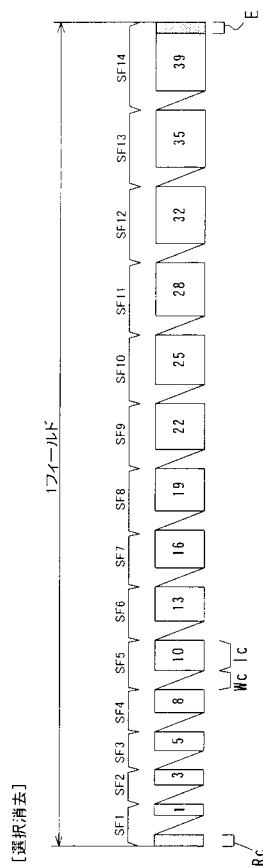
【図31】図30に示される発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図32】サブフィールドSF1の分割形態の他の例を示す図である。

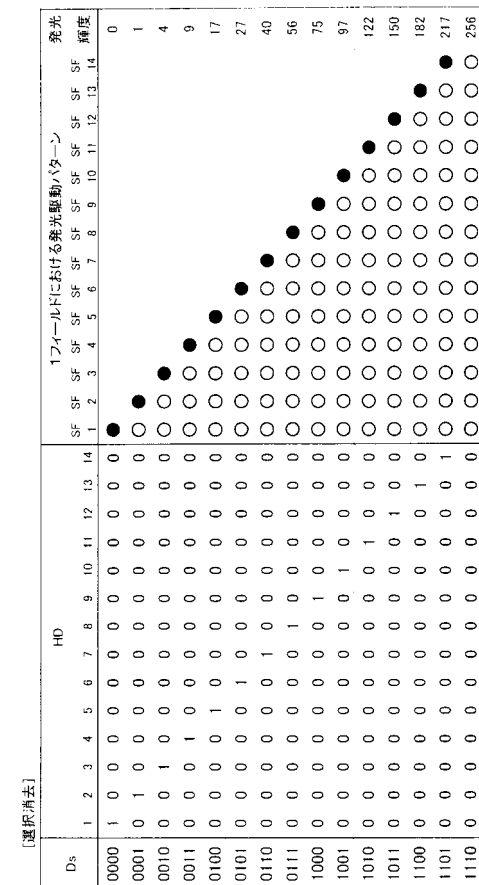
【主要部分の符号の説明】

- 2 多階調化処理回路
- 3 駆動データ変換回路
- 6 駆動制御回路
- 21 ラインオフセットデータ生成回路
- 100 PDP

【図1】

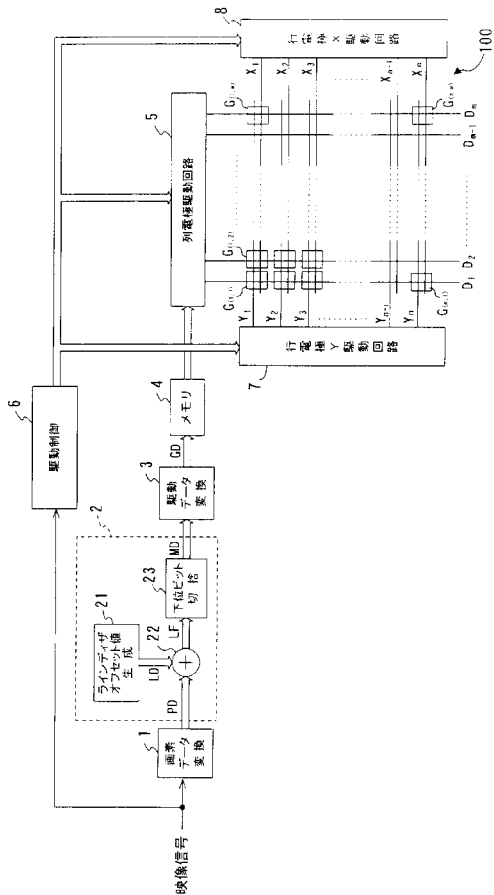


【図2】



黒丸：選択消去放電
白丸：発光

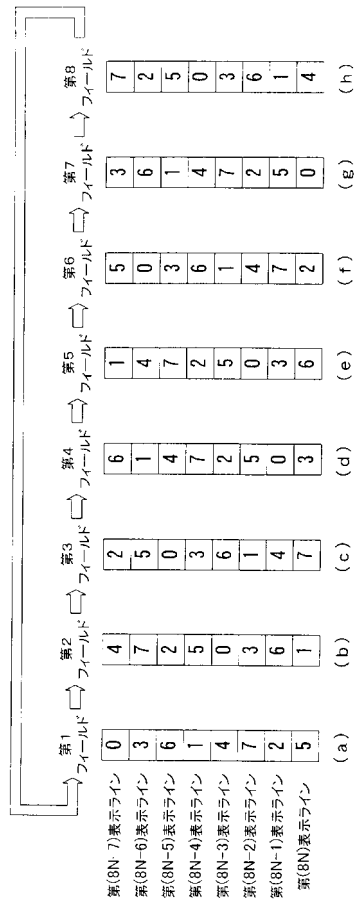
【図3】



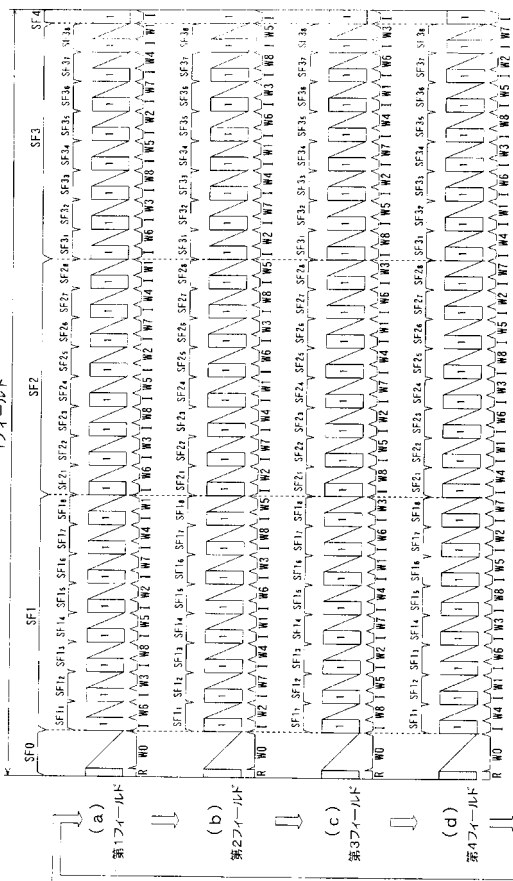
【図5】

変換テーブル				
MD	GD			
	0	1	2	3
000	1	0	0	0
001	0	1	0	0
010	0	0	1	0
011	0	0	0	1
100	0	0	0	0

【図4】



【図6】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/28 E
H 0 4 N 5/66 1 0 1 B

(72)発明者 本田 広史
東京都大田区大森西4丁目15番5号 パイオニア株式会社内

(72)発明者 長久保 哲朗
東京都大田区大森西4丁目15番5号 パイオニア株式会社内

審査官 佐野 潤一

(56)参考文献 特開2000-227778(JP,A)
特開2001-154630(JP,A)
特開2002-006800(JP,A)
特開2002-341381(JP,A)
特開2003-091258(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/28
G09G 3/20