

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610160659.9

[51] Int. Cl.

H01L 27/12 (2006.01)

H01L 23/522 (2006.01)

H01L 21/84 (2006.01)

H01L 21/768 (2006.01)

G02F 1/1368 (2006.01)

[45] 授权公告日 2009 年 12 月 30 日

[11] 授权公告号 CN 100576550C

[22] 申请日 2006.11.29

[21] 申请号 200610160659.9

[30] 优先权

[32] 2006.5.24 [33] KR [31] 10-2006-0046548

[73] 专利权人 乐金显示有限公司

地址 韩国首尔

[72] 发明人 朴容仁 吴载映 韩相哲

[56] 参考文献

CN1610110A 2005.4.27

CN1606162A 2005.4.13

US5478766A 1995.12.26

CN1353328A 2002.6.12

US2005/0077524A1 2005.4.14

US2003/0197187A1 2003.10.23

审查员 韩冰

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 梁挥

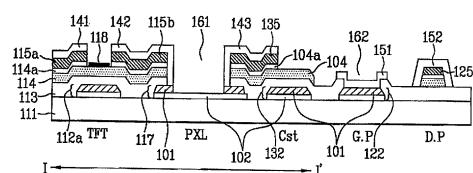
权利要求书 6 页 说明书 17 页 附图 22 页

[54] 发明名称

薄膜晶体管阵列基板及其制造方法

[57] 摘要

本发明公开了一种薄膜晶体管(TFT)阵列基板及其制造方法，其能降低用于整个工序的掩模数目，由此降低生产的制造时间和单位成本，该 TFT 阵列基板包括形成在基板上的栅线、栅极和栅焊盘，其中各栅线、栅极和栅焊盘都由第一金属层和透明导电层的叠层形成；在各栅线之间以分离的图案形成的像素电极；设置有暴露像素电极和栅焊盘的第一和第二开口区域的栅绝缘层；在栅绝缘层上垂直于栅线形成以限定子像素的数据线；从数据线分支出的源极；以距源极预定间隔形成并与像素电极连接的漏极；形成在数据线端部的数据焊盘；和覆盖数据线、源极和漏极的遮蔽层；以及覆盖栅焊盘和数据焊盘的氧化阻止层。



1. 一种薄膜晶体管阵列基板，包括：

形成在基板上的栅线、栅极和栅焊盘，其中各栅线、栅极和栅焊盘都由第一金属层和透明导电层的叠层形成；

由该透明导电层形成的像素电极；

设置有暴露像素电极和栅焊盘的第一开口区域和第二开口区域的栅绝缘层；

形成在栅绝缘层上的半导体层；

与栅线垂直形成以限定子像素的数据线；从数据线分支出的源极；以距源极预定间隔形成并与像素电极连接的漏极；和形成在数据线端部的数据焊盘；以及

覆盖数据线、源极和漏极的由金属材料形成的遮蔽层；和覆盖栅焊盘和数据焊盘的氧化阻止层。

2. 根据权利要求 1 所述的薄膜晶体管阵列基板，其中遮蔽层由覆盖数据线和源极的第一遮蔽层以及覆盖漏极的第二遮蔽层组成。

3. 根据权利要求 2 所述的薄膜晶体管阵列基板，其中漏极通过使用第二遮蔽层与像素电极电连接。

4. 根据权利要求 1 所述的薄膜晶体管阵列基板，其中氧化阻止层由通过第二开口区域覆盖栅焊盘的第一氧化阻止层和覆盖数据焊盘的第二氧化阻止层组成。

5. 根据权利要求 4 所述的薄膜晶体管阵列基板，其中第二氧化阻止层与覆盖数据线的遮蔽层形成为一体。

6. 根据权利要求 4 所述的薄膜晶体管阵列基板，其中氧化阻止层形成在与遮蔽层相同的层上。

7. 根据权利要求 1 所述的薄膜晶体管阵列基板，其中氧化阻止层包括透明导电材料和与所述遮蔽层一样的金属材料之一。

8. 根据权利要求 7 所述的薄膜晶体管阵列基板，其中导电层由氧化铟锡和氧化铟锌的任意一种形成，以及其中该金属材料包括钛或钛合金其中之一。

9. 根据权利要求 1 所述的薄膜晶体管阵列基板，进一步包括：

与栅线形成在相同层上的下电容电极；和

与数据线形成在相同层上并与下电容电极交迭的上电容电极。

10. 根据权利要求 9 所述的薄膜晶体管阵列基板，进一步包括：

形成在上电容电极上的第三遮蔽层，其中像素电极通过使用第三遮蔽层与上电容电极电连接。

11. 根据权利要求 9 所述的薄膜晶体管阵列基板，进一步包括：

在上电容电极与下电容电极之间的栅绝缘层和无定形硅层的叠层。

12. 根据权利要求 1 所述的薄膜晶体管阵列基板，进一步包括：

形成在数据线、源极和漏极以及数据焊盘下面的无定形硅层，其中该无定形硅层与数据线和数据焊盘的图案相同。

13. 根据权利要求 12 所述的薄膜晶体管阵列基板，进一步包括：

以与数据线层相同的图案形成在包含数据线、源极和漏极以及数据焊盘的数据线层下面的 n+ a-Si。

14. 根据权利要求 1 所述的薄膜晶体管阵列基板，其中用 O₂ 等离子体处理对应于源极与漏极之间的沟道区域的半导体层表面。

15. 根据权利要求 11 所述的薄膜晶体管阵列基板，其中像素电极形成在与栅线相同的层上。

16. 根据权利要求 1 所述的薄膜晶体管阵列基板，其中像素电极形成在单位像素的整个区域中。

17. 根据权利要求 1 所述的薄膜晶体管阵列基板，进一步包括：

平行于像素电极形成以形成水平电场的公共电极。

18. 根据权利要求 17 所述的薄膜晶体管阵列基板，其中公共电极从平行于栅线的公共线分支出。

19. 根据权利要求 16 所述的薄膜晶体管阵列基板，其中公共电极由透明导电层形成，并且公共线由第一金属层和透明导电层的叠层形成。

20. 根据权利要求 18 所述的薄膜晶体管阵列基板，其中公共电极由第一开口区域暴露。

21. 根据权利要求 18 所述的薄膜晶体管阵列基板，其中公共线和公共电极形成在与栅线相同的层上，像素电极形成在与遮蔽层相同的层上。

22. 根据权利要求 21 所述的薄膜晶体管阵列基板，其中像素电极与覆盖

漏极的遮蔽层形成为一体。

23. 根据权利要求 18 所述的薄膜晶体管阵列基板，其中公共线、公共电极和像素电极形成在与栅线相同的层上。

24. 根据权利要求 23 所述的薄膜晶体管阵列基板，其中像素电极通过使用覆盖漏极的遮蔽层与漏极电连接。

25. 一种制造薄膜晶体管阵列基板的方法，包括：

在基板上连续沉积第一金属层和透明导电层而形成栅线、栅极、栅焊盘和像素电极；

在基板上沉积绝缘层、无定形硅层和第二金属层；

通过移除像素电极和栅焊盘上的绝缘层、无定形硅层和第二金属层的叠层而形成开口区域；

通过对无定形硅层和第二金属层构图而形成半导体层、数据线、源极和漏极以及数据焊盘；

在数据线及源极和漏极上形成由金属材料形成的遮蔽层，在栅焊盘和数据焊盘上形成氧化阻止层；以及

随着通过蚀刻在遮蔽层之间暴露的第二金属层以彼此分离源极和漏极而限定沟道区域；然后蚀刻暴露于第一开口区域中的像素电极的第一金属层。

26. 根据权利要求 25 所述的方法，其中在通过蚀刻第一金属层限定沟道区域之后，用 O₂ 等离子体处理对应于沟道区域的层表面。

27. 根据权利要求 25 所述的方法，其中当蚀刻第一金属层和通过蚀刻第二金属层限定沟道区域时进行湿蚀刻工序。

28. 根据权利要求 27 所述的方法，其中第一金属层由包含铝 (Al)、铝钕 (AlNd) 或铜 (Cu) 任意一种的金属材料形成，第二金属层由包含钼 (Mo) 或钼合金 (Mo 合金) 任意一种的金属材料形成。

29. 根据权利要求 25 所述的方法，其中氧化阻止层由透明导电材料或与所述遮蔽层一样的金属材料形成。

30. 根据权利要求 29 所述的方法，其中该透明导电材料包括氧化铟锡和氧化铟锌任意一种，以及其中该金属材料包括钛或钛合金其中之一。

31. 根据权利要求 25 所述的方法，其中遮蔽层和氧化阻止层通过一次光刻同时形成。

32. 根据权利要求 25 所述的方法，其中在形成栅线的步骤中形成下电容电极，并在形成数据线的步骤中形成与下电容电极交迭的上电容电极。

33. 根据权利要求 32 所述的方法，其中在下电容电极与上电容电极之间沉积栅绝缘层和无定形硅层的叠层。

34. 根据权利要求 32 所述的方法，进一步包括在形成遮蔽层的步骤中，在上电容电极上形成遮蔽层以将上电容电极与像素电极连接。

35. 根据权利要求 25 所述的方法，其中漏极通过使用遮蔽层与像素电极连接。

36. 根据权利要求 25 所述的方法，其中形成在数据线上的遮蔽层与形成在数据焊盘上的氧化阻止层形成为一体。

37. 根据权利要求 25 所述的方法，其中通过使用掩模的一次光刻，同时进行形成开口区域的步骤与形成半导体层、数据线、源极和漏极以及数据焊盘的步骤。

38. 根据权利要求 37 所述的方法，其中所述掩模为衍射曝光掩模。

39. 根据权利要求 37 所述的方法，其中形成开口区域、半导体层、数据线、源极和漏极以及数据焊盘的步骤包括：在第二金属层上形成具有台阶覆盖层的光致抗蚀剂层；

在使用光致抗蚀剂层作为掩模的状态中，通过移除绝缘层、无定形硅层和第二金属层的叠层而形成开口区域；

通过灰化光致抗蚀剂层而移除具有较小厚度的光致抗蚀剂层的预定部分；和

在使用灰化的光致抗蚀剂层作为掩模的状态中，通过蚀刻无定形硅层和第二金属层而形成半导体层、数据线、源极和漏极以及数据焊盘。

40. 根据权利要求 39 所述的方法，其中在干蚀刻方法中一起蚀刻栅绝缘层、无定形硅层和第二金属层。

41. 根据权利要求 25 所述的方法，其中像素电极形成在子像素的整个区域中。

42. 根据权利要求 25 所述的方法，其中在子像素中形成多个像素电极，并平行于像素电极形成公共电极。

43. 根据权利要求 42 所述的方法，其中同时形成公共电极和栅线。

44. 根据权利要求 42 所述的方法，其中公共电极形成在第一开口区域上。

45. 根据权利要求 44 所述的方法，其中在蚀刻暴露于第一开口区域中的像素电极的第二金属层的步骤中还蚀刻暴露于第一开口区域中的公共电极的第二金属层。

46. 一种制造薄膜晶体管阵列基板的方法，包括：

在基板上连续沉积第一金属层和透明导电层而形成栅线、栅极、栅焊盘、公共线和公共电极；

通过移除像素电极和栅焊盘上的绝缘层、无定形硅层和第二金属层的叠层而形成开口区域；

通过对无定形硅层和第二金属层构图而形成半导体层、数据线、源极和漏极以及数据焊盘；

在数据线及源极和漏极上形成由金属材料形成的遮蔽层，并且在栅焊盘和数据焊盘上形成氧化阻止层；

形成与覆盖漏极的遮蔽层一体并平行于公共电极的像素电极；以及

随着通过蚀刻在遮蔽层之间暴露的第二金属层以彼此分离源极和漏极而限定沟道区域；然后蚀刻暴露于第一开口区域中的公共电极的第一金属层。

47. 根据权利要求 46 所述的方法，其中遮蔽层、氧化阻止层和像素电极形成在相同的层上并同时形成。

48. 根据权利要求 46 所述的方法，其中在通过蚀刻第一金属层限定沟道区域之后，用 O₂ 等离子体处理沟道区域的层表面。

49. 根据权利要求 46 所述的方法，其中蚀刻第一金属层和通过蚀刻第二金属层而限定沟道区域的步骤使用湿蚀刻方法进行。

50. 根据权利要求 49 所述的方法，其中第一金属层由包含铝、铝钕或铜任意一种的金属材料形成，第二金属层由包含钼或钼合金任意一种的金属材料形成。

51. 根据权利要求 46 所述的方法，其中氧化阻止层由透明导电材料或与所述遮蔽层一样的金属材料形成。

52. 根据权利要求 51 所述的方法，其中该透明导电材料包括氧化铟锡和氧化铟锌其中之一，以及其中该金属材料包括钛或钛合金其中之一。

53. 根据权利要求 47 所述的方法，其中在形成栅线的步骤中形成下电容

电极，并在形成数据线的步骤中形成与下电容电极交迭的上电容电极。

54. 根据权利要求 53 所述的方法，其中在下电容电极与上电容电极之间沉积栅绝缘层和无定形硅层的叠层。

55. 根据权利要求 53 所述的方法，进一步包括在形成遮蔽层的步骤中，在上电容电极上形成与像素电极形成为一体的遮蔽层。

56. 根据权利要求 46 所述的方法，其中形成在数据线上的遮蔽层与形成在数据焊盘上的氧化阻止层形成为一体。

57. 根据权利要求 46 所述的方法，其中通过使用掩模的一次光刻，同时进行形成开口区域的步骤与形成半导体层、数据线、源极和漏极以及数据焊盘的步骤。

58. 根据权利要求 46 所述的方法，其中所述掩模为衍射曝光掩模。

59. 根据权利要求 58 所述的方法，其中形成开口区域、半导体层、数据线、源极和漏极以及数据焊盘的步骤包括：

在第二金属层上形成具有台阶覆层的光致抗蚀剂层；

在使用光致抗蚀剂层作为掩模的状态中，通过移除绝缘层、无定形硅层和第二金属层的叠层来形成开口区域；

通过灰化光致抗蚀剂层而移除具有较小厚度的光致抗蚀剂层的预定部分；和

在使用灰化的光致抗蚀剂层作为掩模的状态中，通过蚀刻无定形硅层和第二金属层而形成半导体层、数据线、源极和漏极以及数据焊盘。

60. 根据权利要求 59 所述的方法，其中通过干蚀刻方法一起蚀刻栅绝缘层、无定形硅层和第二金属层。

61. 根据权利要求 46 所述的方法，其中栅线、栅极和栅焊盘形成为一体，并且公共线和公共电极形成为一体。

薄膜晶体管阵列基板及其制造方法

本申请要求 2006 年 5 月 24 日提交的韩国专利申请 No.10-2006-46548 的优先权，其在这里结合作为参考，就如同在这里全部列出一样。

技术领域

本发明涉及一种液晶显示 (LCD) 器件，尤其涉及一种薄膜晶体管 (TFT) 阵列基板及其制造方法，其能降低用于整个工序的曝光掩模数目，由此降低了工序时间和生产的单位成本。

背景技术

在各种平板显示器中，由于 LCD 器件的高对比度、较好灰度级、高质量移动画面图像及低功耗，其已经吸引了更大的关注。

为了驱动 LCD 器件，在 LCD 器件的基板上设置有驱动元件或线的各种图案。一般地，通过光刻形成 LCD 器件的这些图案。

光刻由下列复杂的步骤组成：向基板的膜层涂覆对紫外线敏感的光致抗蚀剂；在基板上方设置曝光掩模之后对该基板执行曝光和显影；通过使用构图的光致抗蚀剂作为掩模蚀刻所述膜层；剥离所述光致抗蚀剂。

现有技术 LCD 器件的 TFT 阵列基板包括栅线层、栅绝缘层、半导体层、数据线层、钝化层和像素电极。为了在 TFT 阵列基板上形成上述元件，通常需要五到七个掩模。随着光刻所使用的掩模数量增加，误差可能性也增加。

为了克服该问题，近年来积极地研究了低掩模技术，其通过使用最小数量的掩模和光刻来制造基板而提高生产率并获得工序余量。

下面将参照附图解释制造现有技术 TFT 阵列基板的方法。

图 1A 到 1E 是图解现有技术 TFT 阵列基板的横截面图。

首先，如图 1A 中所示，在基板 11 上沉积低阻金属材料，并通过光刻对其进行处理，由此形成多条栅线（未示出）、栅极 12a 和栅焊盘 22。在该情形中，低阻金属材料对应于铜 (Cu)、铝 (Al)、铝钕 (AlNd)、钼 (Mo)、

铬 (Cr) 等。

按照如下方式执行光刻。首先，在高温下具有较好热阻性的透明玻璃基板上沉积低阻金属层，并且然后涂覆光致抗蚀剂。在基板的光致抗蚀剂上方设置具有图案层的第一掩模之后，向基板选择性地施加光。因而，在光致抗蚀剂上形成预定图案，其中该预定图案与第一掩模的图案层相同。接下来，通过使用显影剂移除光致抗蚀剂的预定部分，由此将光致抗蚀剂构图，其中光致抗蚀剂的预定部分被光照射。然后，选择性地蚀刻由构图的光致抗蚀剂暴露的金属层的预定部分，从而在金属层中获得理想的图案。

接下来，如图 1B 中所示，在高温条件下，在包含栅极 12a 的基板的整个表面上沉积无机材料层，由此形成栅绝缘层 13。在该情形中，无机材料由氮化硅 (SiN_x) 或氧化硅 (SiO_x) 形成。

然后，在栅绝缘层 13 上沉积无定形硅层，然后通过使用第二掩模的光刻将其构图。因此，在栅绝缘层 13 上形成岛状半导体层 14，其中半导体层 14 与栅极 12a 交迭。

参照图 1C，在包含半导体层 14 的基板整个表面上沉积低阻金属层。在该情形中，低阻金属层由铜 (Cu)、铝 (Al)、铝钕 (AlNd)、钼 (Mo) 或者铬 (Cr) 形成。然后，通过使用第三掩模的光刻将该低阻金属层构图，由此形成数据线层。

该数据线层包括与栅线垂直形成以限定单位像素区域的数据线(未示出)；与半导体层 14 的两侧交迭的源极和漏极 15a 和 15b；以及焊盘区域的数据焊盘 25。

所沉积的栅极 12a、栅绝缘层 13、半导体层 14 和源极和漏极 15a 和 15b 形成薄膜晶体管，其控制施加给单位像素的电压的开/关状态。

接下来，如图 1D 中所示，在包含漏极 15b 的基板整个表面上形成 BCB 的有机绝缘层或者 SiN_x 的无机绝缘层，由此形成钝化层 16。然后，通过使用第四掩模的光刻移除钝化层 16 的一些部分，由此形成暴露漏极 15b 的接触孔 71、暴露栅焊盘 22 的第一焊盘开口区域 81a、暴露数据焊盘 25 的第二焊盘开口区域 81b。

如图 1E 中所示，在包含钝化层 16 的基板整个表面上沉积透明导电材料层，如氧化铟锡 (ITO) 或氧化铟锌 (IZO)，然后通过使用第五掩模的光刻将其

构图。因而，在像素区域中形成像素电极 17，由此像素电极 17 与漏极 15b 电连接，由此完成了 TFT 阵列基板。同时，通过覆盖第一和第二焊盘开口区域形成透明导电层 27，其中该透明导电层 27 阻止栅焊盘和数据焊盘被氧化。

因此，现有技术的 TFT 阵列基板需要五个曝光掩模来形成栅线层、半导体层、数据线层、钝化层的接触孔和像素电极。随着使用的掩模数目增加，导致了复杂的工序、时间和成本的增加及较低的效率。

发明内容

因此，本发明涉及一种 TFT 阵列基板及其制造方法，其基本克服了由于现有技术的限制和缺点而导致的一个或多个问题。

本发明的一个目的是提供一种 TFT 阵列基板及其制造方法，其中各栅线层和像素电极都由金属层和透明导电层的叠层形成，从像素电极移除该金属层，且像素电极还与漏极电连接，由此用三个曝光掩模制造 TFT 阵列基板。

本发明的另一目的是提供一种 TFT 阵列基板及其制造方法，其中各栅线层和公共电极都由金属层和透明导电层的叠层形成，从公共电极移除该金属层，且像素电极还平行于公共电极形成，由此用三个曝光掩模制造 TFT 阵列基板。

本发明的另一目的是提供一种 TFT 阵列基板及其制造方法，其中不需要钝化层将数据线层和像素电极绝缘，从而通过降低所使用的曝光掩模数目而降低生产的制造时间和单位成本。

将在下面的描述中部分地列出本发明其他的优点、目的和特征，根据下面的解释或从本发明的实践理解，这些对于本领域普通技术人员来说是显而易见的。通过在所写说明书和权利要求书以及附图中特别指出的结构可实现和获得本发明的目的和其它的优点。

为了实现这些目的和其它的优点并根据本发明的目的，如这里具体化和广泛描述的，一种 TFT 阵列基板包括形成在基板上的栅线、栅极和栅焊盘，其中各栅线、栅极和栅焊盘都由第一金属层和透明导电层的叠层形成；在各栅线之间以分离的图案形成的像素电极；设置有暴露像素电极和栅焊盘的第一和第二开口区域的栅绝缘层；在栅绝缘层上与栅线垂直形成以限定子像素的数据线；从数据线分支出的源极；以距源极预定间隔形成并与像素电极连接的漏极；

和形成在数据线端部的数据焊盘；以及覆盖数据线、源极和漏极的遮蔽层；和覆盖栅焊盘和数据焊盘的氧化阻止层。

在本发明的另一方面中，一种制造 TFT 阵列基板的方法包括：随着在基板上连续沉积第一金属层和透明导电层并通过使用第一掩模的光刻将其构图而形成栅线、栅极、栅焊盘和像素电极；随着在包含栅极的基板整个表面上连续沉积栅绝缘层、无定形硅层和第二金属层并通过使用第二掩模的光刻对其构图而形成半导体层、数据线、源极和漏极、数据焊盘、第一和第二开口区域，其中第一和第二开口区域暴露像素电极和栅焊盘；随着在包含数据线的基板整个表面上沉积导电层并通过使用第三掩模的光刻对其进行构图而在各源极和漏极上形成第一和第二遮蔽层，并且在各栅焊盘和数据焊盘上形成第一和第二氧化阻止层；以及随着通过蚀刻暴露于第一和第二遮蔽层之间的第一金属层而彼此分离开源极和漏极来限定沟道区域；然后蚀刻暴露于第一开口区域中的像素电极的第二金属层。

此时，提供了 TN 模式的 TFT 阵列基板，其中各栅线层和像素电极都由第一金属层和透明导电层的叠层形成，并且从像素电极移除金属层，且像素电极还通过使用遮蔽层与漏极电连接，由此用三个曝光掩模制造 TFT 阵列基板。

在本发明的另一方面中，一种制造 TFT 阵列基板的方法包括：随着在基板上连续沉积第一金属层和透明导电层并通过使用第一掩模的光刻对其进行构图而形成栅线、栅极、栅焊盘、公共线和公共电极；随着在包含栅极的基板整个表面上连续沉积栅绝缘层、无定形硅层和第二金属层并通过使用第二掩模的光刻对其进行构图而形成半导体层、数据线、源极和漏极、数据焊盘、第一和第二开口区域，其中第一和第二开口区域暴露公共电极和栅焊盘；随着在包含数据线的基板整个表面上沉积导电层并通过使用第三掩模的光刻对其进行构图而在各源极和漏极上形成第一和第二遮蔽层，在各栅焊盘和数据焊盘上形成第一和第二氧化阻止层；以及形成与第二遮蔽层一体并平行于公共电极的像素电极；随着通过蚀刻暴露于第一和第二遮蔽层之间的第一金属层以彼此分离源极和漏极而限定沟道区域；然后蚀刻暴露于第一开口区域中的公共电极的第二金属层。

此时，提供了 IPS 模式的 TFT 阵列基板，其中各栅线层和公共电极都由金属层和透明导电层的叠层形成，从公共电极移除金属层，且还平行于公共电极形成像素电极，由此用三个曝光掩模制造 TFT 阵列基板。

此外，遮蔽层由用于构图数据线层图案的掩模形成。此外，遮蔽层保护数据线层的图案，并将形成在不同层上的分离图案彼此电连接。

此外，氧化阻止层覆盖并保护栅焊盘和数据焊盘，其中氧化阻止层形成在与遮蔽层相同的层上。

应当理解，本发明前面的一般描述和随后的详细描述是示范性的和说明性的，意在提供对所要求保护的本发明的进一步解释。

附图说明

包含用来提供本发明进一步理解并结合组成该说明书一部分的附图图解了本发明的实施方式并与说明书一起用于解释本发明的原理。在附图中：

图 1A 到 1E 是图解制造现有技术 LCD 器件中 TFT 阵列基板的步骤的横截面图；

图 2 是图解依照本发明第一实施方式的 TFT 阵列基板的平面图；

图 3 是图解依照本发明第一实施方式的 TFT 阵列基板的横截面图；

图 4A 到 4H 是图解依照本发明第一实施方式制造 TFT 阵列基板的步骤的横截面图；

图 5A 到 5D 是图解依照本发明第一实施方式制造 TFT 阵列基板的步骤的平面图；

图 6 是图解依照本发明第二实施方式的 TFT 阵列基板的平面图；

图 7 是图解依照本发明第二实施方式的 TFT 阵列基板的横截面图；

图 8A 到 8H 是图解依照本发明第二实施方式制造 TFT 阵列基板的步骤的横截面图；

图 9A 到 9D 是图解依照本发明第二实施方式制造 TFT 阵列基板的步骤的平面图。

具体实施方式

现在将参照本发明的优选实施方式详细描述，附图中图解了其实施例。在任何地方，在整个附图中使用相同的参考标记表示相同或相似的部件。

之后，将参照附图解释依照本发明的 TFT 阵列基板及其制造方法。

第一实施方式

图 2 是图解依照本发明第一实施方式的 TFT 阵列基板的平面图。图 3 是图解依照本发明第一实施方式的 TFT 阵列基板的横截面图。图 4A 到 4G 是图解依照本发明第一实施方式制造 TFT 阵列基板的步骤的横截面图。图 5A 到 5D 是图解依照本发明第一实施方式制造 TFT 阵列基板的步骤的平面图。

如图 2 和 3 中所示，依照本发明的 LCD 器件的 TFT 阵列基板由包含像素电极 117 和薄膜晶体管（TFT）的有源区域和包含栅焊盘（G.P）122 和数据焊盘（D.P）125 的焊盘区域限定。

详细地说，有源区域包括：形成为一体的栅线 112 和栅极 112a；形成在与栅极线 112 相同层上且形成在子像素整个部分中的像素电极 117；具有暴露像素电极的第一开口区域 161 的栅绝缘层 113；垂直于栅线以限定子像素并形成在栅绝缘层 113 上的数据线 115；从数据线 115 分支的源极 115a；在与源极 115a 相隔预定间隔处形成的漏极 115b；覆盖数据线、源极和漏极的遮蔽层 141、142。

子像素由彼此垂直的栅线和数据线限定。此外，薄膜晶体管（TFT）靠近栅线和数据线的交叉处形成，其中薄膜晶体管（TFT）由栅极 112a、栅绝缘层 113、半导体层 114、欧姆接触层 114a 以及源极和漏极 115a 和 115b 组成。

然后，在源极 115a 和漏极 115b 之间的半导体层 114 的沟道区域上形成钝化层 118，其中钝化层 118 由用 O₂ 等离子体处理过的薄膜形成。钝化层 118 阻挡外部光，从而可阻止在沟道区域中产生不希望的光电流。

焊盘区域包括传输扫描信号并从栅线 112 延伸的栅焊盘 122 以及传输视频信号并从数据线 115 延伸的数据焊盘 125。此外，栅焊盘和数据焊盘分别覆盖有第一和第二氧化阻止层 151 和 152。栅焊盘 122 通过由移除栅绝缘层 113 而形成的第二开口区域 162 与第一氧化阻止层接触。

此时，各栅线、栅极和栅焊盘都由透明导电层 102 和第一金属层 101 的叠层形成。像素电极仅由透明导电层 102 形成。各数据线、源极和漏极以及数据焊盘都由第二金属层形成。第一和第二金属层选自下列任意一种物质：铜（Cu）、铜合金（Cu 合金）、铝（Al）、铝钕（AlNd）、钼（Mo）、钼合金（Mo 合金）、铬（Cr）、铬合金（Cr 合金）、钛合金（Ti 合金）、银（Ag）和银合金（Ag 合金）。

遮蔽层由形成在数据线 115 和源极 115a 上以将其覆盖的第一遮蔽层 141

和形成在漏极 115b 上以将其覆盖的第二遮蔽层 142 组成。通过使用第二遮蔽层，漏极电极 115b 和像素电极 116 彼此电连接，即使它们形成在不同的层上。

氧化阻止层由通过第二开口区域 162 覆盖栅焊盘的第一氧化阻止层 151 和覆盖数据焊盘的第二氧化阻止层 152 组成。

第一和第二遮蔽层形成在与第一和第二氧化阻止层相同的层上。此外，因为数据线与数据焊盘形成为一体，所以覆盖数据线的第一遮蔽层与覆盖数据焊盘的第二氧化阻止层形成为一体。

遮蔽层与形成在不同层上的两个图案，例如漏极和像素电极，电连接，从而遮蔽层由具有导电特性的材料形成。为了阻止栅焊盘和数据焊盘被氧化，氧化阻止层由具有抗腐蚀性和抗氧化性的材料形成。在该方面，遮蔽层和氧化阻止层可以由透明导电材料 ITO 或 IZO 形成、或者可以由金属层 Ti 或 Ti 合金形成。

然后，在与栅线相同的层上形成下电容电极 132。此外，在与数据线相同的层上形成上电容电极 135，其与下电容器电极 132 交迭。因而，通过彼此交迭以其间插入栅绝缘层 113 的状态形成存储电容。

此时，在上电容电极上形成第三遮蔽层 143，其中上电容电极 135 通过第三遮蔽层与像素电极 117 电连接。第三遮蔽层形成在与第一和第二遮蔽层相同的层上，且由与第一和第二遮蔽层相同的材料形成。

为了参考，无定形硅层形成在数据线、源极和漏极、数据焊盘以及上电容电极下面。在该情形中，除了源极和漏极以及上电容电极之外，无定形硅层的图案与数据线和数据焊盘的相同。这是因为用于数据线材料的第二金属层和无定形硅层通过使用衍射曝光掩模同时被构图。

此时，在第二金属层和无定形硅层之间以与数据线、源极和漏极、数据焊盘以及上电容电极相同的图案形成 n+ a-Si 层 104a。薄膜晶体管的无定形硅层用作半导体层 114，并且 n+ a-Si 层用作欧姆接触层 114a。

尽管没有示出，但将包含像素电极和薄膜晶体管的 TFT 阵列基板粘结到包含公共电极和滤色片层的相对基板。然后，在两个相对的基板之间形成液晶层，由此完成 LCD 器件。在该情形中，通过形成在像素电极和公共电极之间的垂直电场驱动液晶层。

为了形成 LCD 器件的 TFT 阵列基板，如图 4A 和 5A 中所示，在具有较

好抗热性的透明基板 111 上形成透明导电层 102。然后，通过溅射在透明导电层 102 上沉积第一金属层 101，并且然后通过使用第一曝光掩模的光刻将其构图，由此形成栅线 112、从栅线 112 分支的 TFT 区域的栅极 112a、存储电容区域 (Cst) 的下电容电极 132 以及栅焊盘区域 (G.P) 的栅焊盘 122。在该情形中，透明导电层 102 由 ITO (氧化铟锡)、IZO (氧化铟锌)、AZO 或 ZnO 形成。第一金属层 101 由铜 (Cu)、铜合金 (Cu 合金)、铝 (Al)、铝钕 (AlNd)、钼 (Mo)、钼合金 (Mo 合金)、铬 (Cr)、铬合金 (Cr 合金)、钛 (Ti)、钛合金 (Ti 合金)、银 (Ag) 或银合金 (Ag 合金) 形成。优选地，第一金属层 101 由 Mo/AlNd 的叠层形成。

为了一起蚀刻第一金属层和透明导电层，优选使用湿蚀刻。此时，下电容电极和栅线独立形成。然而，如图 5A 中所示，可以将栅线的一些部分用作下电容电极。

如图 4B 中所示，在高温条件下，在包含栅极 112a 的基板整个表面上沉积氮化硅 (SiN_x) 或氧化硅 (SiO_x) 的无机材料，由此形成栅绝缘层 113。

随后，在栅绝缘层 113 上连续形成无定形硅 (a-Si) 104 和用杂质离子掺杂的无定形硅 (n+a-Si) 104a。通过溅射在其上形成第二金属层 103。第二金属层 103 由铜 (Cu)、铜合金 (Cu 合金)、铝 (Al)、铝钕 (AlNd)、钼 (Mo)、钼合金 (Mo 合金)、铬 (Cr)、铬合金 (Cr 合金)、钛 (Ti)、钛合金 (Ti 合金)、银 (Ag) 或银合金 (Ag 合金) 形成。此时，无定形硅 (a-Si) 形成为 1700 Å 的厚度，用杂质离子掺杂的无定形硅 (n+ a-Si) 形成为 300 Å 的厚度，第二金属层形成为 2000 Å 的厚度。

然后，通过使用第二曝光掩模的光刻连续将由栅绝缘层 113、无定形硅 104、n+ a-Si 104a 和第二金属层 103 组成的叠层构图。

详细地说，在通过旋涂方法或辊涂方法在第二金属层 103 上涂覆 UV 固化树脂的光致抗蚀剂 108 之后，使用具有预定图案的第二曝光掩模 (未示出) 覆盖该光致抗蚀剂。然后，将由第二曝光掩模覆盖的光致抗蚀剂暴露于 UV 射线或 X 射线，并将曝光的光致抗蚀剂显影，由此形成具有台阶覆层的光致抗蚀剂图案。

在该情形中，第二曝光掩模可以是衍射曝光掩模。为了形成衍射曝光掩模，在透明衬底上形成金属材料的遮光层和半透明层。因而，衍射曝光掩模包括对

应于透明区域、半透明区域和遮光区域的三个区域。透明区域具有 100% 的光透射率，遮光区域具有 0% 的光透射率，而半透明区域具有在 0% 和 100% 之间的光透射率。在向光致抗蚀剂施加衍射曝光之后，光致抗蚀剂 108 被划分为三个区域：与衍射曝光掩模的透明区域对齐且在显影工序之后完全移除的（C）区域、与衍射曝光掩模的遮光区域对齐且不被显影工序移除的（A）区域和与衍射曝光掩模的半透明区域对齐且具有预定厚度的（B）区域。在该情形中，光致抗蚀剂由正型的形成，其中移除曝光的预定部分。在负型光致抗蚀剂的情形中，移除未曝光的预定部分。

在衍射曝光和显影工序之后，光致抗蚀剂 108 具有台阶覆层。形成数据线、源极和漏极、上电容电极和数据焊盘的部分对应于（A）区域。形成像素电极和栅焊盘的部分对应于（C）区域，其他部分对应于（B）区域。

如图 4C 中所示，在使用具有台阶覆层的光致抗蚀剂 108 作为掩模的状态下，一起蚀刻栅绝缘层 113、无定形硅 104、n+ a-Si 104a 和第二金属层 103，由此形成分别暴露像素电极 117 和栅焊盘 122 的第一和第二开口区域 161 和 162。在该情形中，第一开口区域 161 尺寸小于像素电极 117，并且第二开口区域 162 尺寸小于栅焊盘 122。因而，无定形硅 104、n+ a-Si 104a 和第二金属层 103 的叠层与像素电极和栅焊盘的角交迭。

当蚀刻栅绝缘层 113、无定形硅 104、n+ a-Si 104a 和第二金属层 103 时，它们可以在一个干蚀刻腔室中一起蚀刻。在该情形中，需要提供不同种类的蚀刻气体。首先，如果蚀刻第二金属层（Mo），蚀刻气体使用 SF₆、Cl₂ 或 O₂。如果蚀刻无定形硅材料，蚀刻气体使用 SF₆、Cl₂ 或 H₂。如果蚀刻栅绝缘层，蚀刻气体使用 SF₆、O₂ 或 He。

如图 4D 中所示，将光致抗蚀剂 108 灰化，直到完全移除具有较小厚度的光致抗蚀剂 108 的预定部分。在灰化光致抗蚀剂 108 之后，同时蚀刻由灰化的光致抗蚀剂暴露的无定形硅 104、n+ a-Si 104a 和第二金属层 103 的预定部分，并且不移除栅绝缘层 113。为了留下栅绝缘层，如此进行干蚀刻工序，即用于栅绝缘层的蚀刻气体与其他材料层的蚀刻气体在蚀刻选择率方面不同。从第一和第二开口区域 161 和 162 移除栅绝缘层 113，留下栅绝缘层 113 的其他部分来保护栅线层。

如图 4E 和 5B 中所示，当完全移除光致抗蚀剂 108 时，就完成了 TFT 区

域的数据线 115, 半导体层 114、欧姆接触层 114a 以及源极和漏极 115a 和 115b 的叠层; 存储电容区域 (Cst) 的上电容电极 135、数据焊盘区域 (D.P) 的数据焊盘 125、暴露像素电极 117 的第一开口区域 161 和暴露栅焊盘 122 的第二开口区域 162。如图 4F 和 5C 中所示, 在基板 111 的整个表面上沉积导电材料, 然后通过使用第三曝光掩模的光刻将其构图, 由此形成第一、第二和第三遮蔽层 141、142、143, 以及第一和第二氧化阻止层 151 和 152。此时, 导电材料由透明导电材料, 如 ITO (氧化铟锡)、IZO (氧化铟锌)、AZO 或 ZnO 形成, 或者由不容易氧化或腐蚀的 Ti 或 Ti 合金的金属层形成。

第一遮蔽层 141 覆盖数据线 115 和源极 115a。第二遮蔽层 142 覆盖漏极 115 且还与像素电极 117 的第一金属层 101 接触。第三遮蔽层 143 覆盖上电容电极 135 的一些部分且还与像素电极 117 的第一金属层 101 接触。为了阻止由第三掩模蚀刻的上电容电极与相邻子像素的像素电极短路, 第三遮蔽层覆盖上电容电极的一些部分。

第一和第二氧化阻止层 151 和 152 分别覆盖栅焊盘 122 和数据焊盘 125。第一和第二氧化阻止层阻止栅焊盘和数据焊盘被氧化, 并提高了栅焊盘和数据焊盘与外部电路之间的接触特性。此时, 第二氧化阻止层 152 与第一遮蔽层 141 形成为一体, 由此阻止了数据线 115 在随后工序中被开口。

如图 4G 和 5D 中所示, 在使用第一、第二和第三遮蔽层 141、142 和 143 作为掩模的状态下, 选择性地湿蚀刻暴露的第一和第二金属层。此时, 蚀刻剂使用磷酸、醋酸或硝酸基材料。

如果提供干蚀刻工序, 蚀刻 Mo 的第二金属层, 但是由于 AlNd 材料而不蚀刻 Mo/AlNd 的第一金属层 101。在该方面中, 使用湿蚀刻。当使用铜的金属层时, 因为干蚀刻工序不蚀刻铜材料, 所以不可能使用干蚀刻工序。

因此, 通过蚀刻源极 115a 与漏极 115b 之间的第二金属层而限定沟道区域。当从存储电容区域移除上电容电极 135 的一些部分, 且蚀刻像素电极的第一金属层 101 时, 像素电极 117 仅由第一透明导电层 102 形成。如上所述, 移除上电容电极的一些部分来阻止上电容电极与相邻子像素的像素电极短路。此外, 因为无定形硅 104 与下电容电极充分交迭, 所以不必担心存储电容不充分。

如图 4H 中所示, 在干蚀刻位于源极 115a 和漏极 115b 之间的欧姆接触层 ($n^+ a\text{-Si}$) 之后, 用 O_2 等离子体处理干蚀刻的欧姆接触层表面, 由此在沟道

区域上形成钝化层 118。通过用 O₂ 等离子体的表面处理，可通过保护半导体层的沟道区域而阻止产生不希望的光电流，由此阻止 TFT 特性恶化。此时，还蚀刻存储电容区域（Cst）的 n+ a-Si 104。

结果，依照本发明第一实施方式的制造 TFT 阵列基板的方法需要三个曝光掩模，其适宜用于使用较小数量掩模的技术。

第二个实施方式

本发明第一实施方式限于制造 TN 模式 LCD 器件的 TFT 阵列基板的方法。之后，本发明的第二实施方式涉及制造 IPS 模式 LCD 器件的 TFT 阵列基板的方法，其在下面解释。

图 6 是图解依照本发明第二实施方式的 TFT 阵列基板的平面图。图 7 是图解依照本发明第二实施方式的 TFT 阵列基板的横截面图。图 8A 到 8G 是图解依照本发明第二实施方式制造 TFT 阵列基板的步骤的横截面图。图 9A 到 9D 是图解依照本发明第二实施方式制造 TFT 阵列基板的步骤的平面图。

如图 6 和 7 中所示，TFT 阵列基板包括设置有像素电极 517 和薄膜晶体管（TFT）的有源区域以及设置有栅焊盘（G.P）522 和数据焊盘（D.P）525 的焊盘区域。

详细地说，有源区域包括在基板 511 上形成为一体的栅线 512 和栅极 512a；平行地形成在与栅线 512 相同层上的公共线 555；从公共线 555 分支出的多个公共电极 524；具有第一开口区域 561 以暴露设置有公共电极的子像素开口的栅绝缘层 513；垂直于栅线形成在栅绝缘层 513 上以限定子像素的数据线 515；从数据线分支出的源极 515a；以距源极预定间隔而形成的漏极 515b；覆盖设置在相同层上的数据线、源极和漏极的遮蔽层 541 和 542；以及与漏极接触且在子像素的开口中平行于公共电极以形成水平电场的像素电极。

此时，子像素由彼此垂直的栅线和数据线限定。薄膜晶体管（TFT）靠近栅极线和数据线的交叉点处形成。薄膜晶体管（TFT）由栅极 512a、栅绝缘层 513、半导体层 514、欧姆接触层 514a 以及源极 515a 和漏极 515b 形成。在对应于源极和漏极之间半导体层的沟道区域的情形中，半导体层的表面用 O₂ 等离子体处理，由此较薄地形成钝化层 518。钝化层 518 阻挡外部光。因而，可阻止在沟道区域中产生不希望的光电流。

焊盘区域包括传输扫描信号并从栅线 512 延伸的栅焊盘 522；以及传输视

频信号并从数据线 515 延伸的数据焊盘 525。此外，栅焊盘和数据焊盘分别覆盖有第一和第二氧化阻止层 551 和 552。栅焊盘 522 通过由移除栅绝缘层 513 而形成的第二开口区域 562 与第一氧化阻止层接触。

此时，各栅线、栅极、栅焊盘和公共线都由透明导电层 502 和第一金属层 501 的叠层形成。设置在子像素开口中的公共电极仅由透明导电层 502 形成。在子像素的开口中平行于公共电极的像素电极的情形中，像素电极由透明导电材料形成，且形成在与遮蔽层相同的层上。

各数据线、源极和漏极以及数据焊盘都由第二金属层形成。第一和第二金属层选自下列任意一种物质：铜 (Cu)、铜合金 (Cu 合金)、铝 (Al)、铝钕 (AlNd)、钼 (Mo)、钼合金 (Mo 合金)、铬 (Cr)、铬合金 (Cr 合金)、钛 (Ti)、钛合金 (Ti 合金)、银 (Ag) 和银合金 (Ag 合金)。

遮蔽层由形成在数据线 515 和源极 515a 上的第一遮蔽层 541 以及形成在漏极 515b 上的第二遮蔽层组成。由于第二遮蔽层形成为延伸形状，该第二遮蔽层的延伸部分用作平行于公共电极的像素电极 517。氧化阻止层由通过使用第二开口区域 562 覆盖栅焊盘的第一氧化阻止层 551 和覆盖数据焊盘的第二氧化阻止层 552 组成。

此时，第一和第二遮蔽层 541 和 542 形成在与第一和第二氧化阻止层 551 和 552 以及像素电极 517 相同的层上。覆盖数据线的第一遮蔽层与覆盖数据焊盘的第二氧化阻止层形成为一体。覆盖漏极的第二遮蔽层与像素电极形成为一体。

因为遮蔽层与像素电极形成为一体，所以遮蔽层由具有导电特性的材料形成。此外，氧化阻止层由具有抗腐蚀性和抗氧化性的材料形成，从而阻止栅焊盘和数据焊盘被氧化。为了满足遮蔽层和氧化阻止层的这些需求，遮蔽层和氧化阻止层由透明导电层，如 ITO (氧化铟锡) 或 IZO (氧化铟锌) 形成、或者由金属层 Ti 或 Ti 合金形成。如果形成金属层的遮蔽层和像素电极，会降低器件的孔径比。在该方面中，优选地形成透明导电材料的遮蔽层和像素电极。

此外，在与栅线相同的层上形成下电容电极 532，在与数据线相同的层上形成上电容电极 535。此时，上电容电极 535 形成在下电容电极 532 上并与下电容电极 532 交迭。因而，在其间夹持栅绝缘层 513 的状态下，通过彼此交迭的下和上电容电极形成存储电容。

此时，在上电容电极上形成第三遮蔽层 543，其中延伸形状的第三遮蔽层 543 与像素电极 517 形成为一体。第三遮蔽层形成在与第一和第二遮蔽层相同的层上，且由与第一和第二遮蔽层相同的材料形成。如图 6 所示，如果漏极 515b 与上电容电极 535 形成为一体，则覆盖上述图案的第二遮蔽层 542 与第三遮蔽层 543 形成为一体。最后，第二和第三遮蔽层与像素电极形成为一体。

为了参考，在数据线、源极和漏极、数据焊盘以及上电容电极下面附加地形成无定形硅。在该情形中，除了源极和漏极以及上电容电极之外，无定形硅层的图案与数据线和数据焊盘的相同。这是因为数据线材料的第二金属层和无定形硅层通过使用衍射曝光掩模同时形成。

此时，在第二金属层和无定形硅层之间以与数据线、源极和漏极、数据焊盘以及上电容电极相同的图案形成 n+ a-Si 层 504a。薄膜晶体管的无定形硅层用作半导体层 514，并且 n+ a-Si 层 504a 用作欧姆接触层 514a。

尽管没有示出，但还将包含公共电极、像素电极和薄膜晶体管的 TFT 阵列基板粘结到包含滤色片层的相对基板。然后，在两个相对的基板之间形成液晶层，由此完成 LCD 器件。在该情形中，通过形成在像素电极和公共电极之间的水平电场驱动液晶层。

为了形成 IPS 模式 LCD 器件的 TFT 阵列基板，如图 8A 和 9A 中所示，在具有较好耐热性的透明基板 511 上形成透明导电层 502。然后，通过溅射在透明导电层 502 上沉积第一金属层 501，并且然后通过使用第一曝光掩模的光刻对其构图，由此形成栅线 512、从栅线分支出的 TFT 区域的栅极 512a、平行于栅线的公共线 555、从公共线分支出并彼此平行形成的多个公共电极 524、存储电容区域 (Cst) 的下电容电极 532 以及栅焊盘区域 (G.P) 的栅焊盘 522。在该情形中，透明导电层 502 由 ITO (氧化铟锡)、IZO (氧化铟锌)、AZO 或 ZnO 形成。第一金属层 501 由铜 (Cu)、铜合金 (Cu 合金)、铝 (Al)、铝钕 (AlNd)、钼 (Mo)、钼合金 (Mo 合金)、铬 (Cr)、铬合金 (Cr 合金)、钛合金 (Ti 合金)、银 (Ag) 或银合金 (Ag 合金) 形成。优选地，第一金属层 501 由 Mo/AlNd 的叠层形成。

为了一起蚀刻第一金属层和透明导电层，优选使用湿蚀刻。此时，下电容电极和栅线独立形成。然而，如图 9A 中所示，栅线的一些部分用作下电容电极。

如图 8B 中所示，在包含栅极 512a 的基板整个表面上沉积氮化硅 (SiN_x) 或氧化硅 (SiO_x) 的无机材料，由此形成栅绝缘层 513。

随后，在栅绝缘层 513 上连续形成无定形硅 (a-Si) 504 和用杂质离子掺杂的无定形硅 (n+ a-Si) 504a。通过溅射在其上形成第二金属层 503。第二金属层 503 由铜 (Cu)、铜合金 (Cu 合金)、铝 (Al)、铝钕 (AlNd)、钼 (Mo)、钼合金 (Mo 合金)、铬 (Cr)、铬合金 (Cr 合金)、钛 (Ti)、钛合金 (Ti 合金)、银 (Ag) 或银合金 (Ag 合金) 形成。优选地，第二金属层 503 由钼 (Mo) 形成。此时，无定形硅 (a-Si) 形成为 1700 Å 的厚度，用杂质离子掺杂的无定形硅 (n+ a-Si) 形成为 300 Å 的厚度，第二金属层形成为 2000 Å 的厚度。

然后，通过使用第二曝光掩模的光刻连续将由栅绝缘层 513、无定形硅 504、n+ a-Si 504a 和第二金属层 503 组成的叠层构图。

详细地说，在通过旋涂方法或辊涂方法在第二金属层 503 上涂覆 UV 固化树脂的光致抗蚀剂 508 之后，使用具有预定图案的第二曝光掩模（未示出）覆盖光致抗蚀剂。然后，将由第二曝光掩模覆盖的光致抗蚀剂暴露于 UV 射线或 X 射线，并将曝光的光致抗蚀剂显影，由此形成具有台阶覆层的光致抗蚀剂图案。

在该情形中，第二曝光掩模可以由衍射曝光掩模形成。为了形成衍射曝光掩模，在透明基板上形成金属材料的遮光层和半透明层。因而，衍射曝光掩模包括对应于透明区域、半透明区域和遮光区域的三个区域。透明区域具有 100 % 的光透射率，遮光区域具有 0 % 的光透射率，半透明区域具有在 0 % 和 100 % 之间的光透射率。在向光致抗蚀剂施加衍射曝光之后，光致抗蚀剂 508 被划分为三个区域：与衍射曝光掩模的透明区域对齐且在显影工序之后完全移除的 (C) 区域、与衍射曝光掩模的遮光区域对齐且不会被显影工序移除的 (A) 区域以及与衍射曝光掩模的半透明区域对齐且具有预定厚度的 (B) 区域。

在衍射曝光和显影工序之后，光致抗蚀剂 508 具有台阶覆层。形成数据线、源极和漏极、上电容电极和数据焊盘的部分对应于 (A) 区域。形成公共电极、像素电极和栅焊盘的部分对应于 (C) 区域，其他部分对应于 (B) 区域。

如图 8C 中所示，在使用具有台阶覆层的光致抗蚀剂 508 作为掩模的状态中，一起蚀刻栅绝缘层 513、无定形硅 504、n+ a-Si 504a 和第二金属层 503，

由此形成暴露公共电极 524 和栅焊盘 522 的第一和第二开口区域 561 和 562。

在该情形中，第一开口区域 561 形成在子像素开口的整个区域中，从而在随后工序中提供的像素电极以及公共电极形成在第一开口区域 561 中。

当蚀刻栅绝缘层 513、无定形硅 504、n+ a-Si 504a 和第二金属层 503 时，它们可以在一个干蚀刻室中一起蚀刻。在该情形中，需要提供不同种类的蚀刻气体。首先，如果蚀刻第二金属层 (Mo)，蚀刻气体使用 SF₆、Cl₂ 或 O₂。如果蚀刻无定形硅材料，蚀刻气体使用 SF₆、Cl₂ 或 H₂。如果蚀刻栅绝缘层，蚀刻气体使用 SF₆、O₂ 或 He。

如图 8D 中所示，将光致抗蚀剂 508 灰化，直到完全移除具有较小厚度的光致抗蚀剂 508 的预定部分。在灰化光致抗蚀剂 508 之后，同时蚀刻由灰化的光致抗蚀剂暴露的无定形硅 504、n+ a-Si 504a 和第二金属层 503 的预定部分，并且不移除栅绝缘层 513。为了留下栅绝缘层，进行干蚀刻工序，使得栅绝缘层的蚀刻气体与其他材料层的蚀刻气体在蚀刻选择率方面不同。从第一和第二开口区域 561 和 562 移除栅绝缘层 513，留下栅绝缘层 513 的其他部分来保护栅线层。

如图 8E 和 9B 中所示，当完全移除光致抗蚀剂 508 时，就完成了数据线 515，TFT 区域的半导体层 514、欧姆接触层 514a 以及源极 515a 和漏极 515b 的叠层，存储电容区域 (Cst) 的上电容电极 535，数据焊盘区域 (D.P) 的数据焊盘 525，暴露像素电极和公共电极 517 和 524 的第一开口区域 561 以及暴露栅极焊盘 522 的第二开口区域 562。

如图 8F 和 9C 中所示，在基板 511 的整个表面上沉积导电材料，然后通过使用第三曝光掩模的光刻对其构图，由此形成第一、第二和第三遮蔽层 541、542 和 543、第一和第二氧化阻止层 551 和 552 以及像素电极 517。此时，导电材料由透明导电材料如 ITO (氧化铟锡)、IZO (氧化铟锌)、AZO 或 ZnO 形成、或者由不容易氧化或不易被腐蚀的金属层 Ti 或 Ti 合金形成。优选地，设置在子像素开口中的像素电极由透明导电材料形成。这是因为透明导电材料对于器件较好的孔径比是有利的。

第一遮蔽层 541 覆盖数据线 515 和源极 515a。第二遮蔽层 542 覆盖漏极 511，其中第二遮蔽层 542 的延伸图案与像素电极 517 形成为一体。第三遮蔽层 543 覆盖上电容电极 535 的一些部分，其中第三遮蔽层 543 的延伸图案与像

素电极 517 形成为一体。如果漏极与上电容电极形成为一体，则第二和第三遮蔽层与像素电极形成为一体。在该情形中，第三遮蔽层覆盖上电容电极的一些部分，从而阻止由第三遮蔽层蚀刻的上电容电极形成在子像素开口上方。

第一和第二氧化阻止层 551 和 552 分别覆盖栅焊盘 522 和数据焊盘 525。第一和第二氧化阻止层阻止栅焊盘和数据焊盘被氧化，并提高了栅焊盘和数据焊盘与外部电路之间的接触特性。此时，第二氧化阻止层 552 与第一遮蔽层 541 形成为一体，由此阻止了数据线 515 在随后的工序中被开口。

如图 8G 和 9D 中所示，在使用第一、第二和第三遮蔽层 541、542 和 543 作为掩模的状态中，选择性地湿蚀刻暴露的第一和第二金属层。此时，蚀刻剂使用磷酸、醋酸或硝酸类材料。如果提供干蚀刻工序，蚀刻 Mo 的第二金属层，但是由于 AlNd 材料而没有蚀刻 Mo/AlNd 的第一金属层。在该方面中，使用湿蚀刻。当使用铜的金属层时，因为干蚀刻工序不能蚀刻铜材料，所以不可使用干蚀刻工序。

因此，通过蚀刻源极 515a 与漏极 515b 之间的第二金属层而限定沟道区域。当从存储电容区域移除上电容电极 535 的一些部分，且蚀刻公共电极的第一金属层 101 时，公共电极 517 仅由第一透明导电层 502 形成。

如图 8H 中所示，在干蚀刻位于源极 515a 和漏极 515b 之间的欧姆接触层 ($n+a\text{-Si}$) 之后，用 O_2 等离子体处理干蚀刻的欧姆接触层表面，由此在沟道区域上形成钝化层 518。通过用 O_2 等离子体处理表面，可通过保护半导体层的沟道区域而阻止在沟道区域中产生不希望的光电流，由此阻止 TFT 的特性恶化。此时，在蚀刻欧姆接触层的过程中还蚀刻存储电容区域 (Cst) 的 $n+a\text{-Si}$ 104。

结果，依照本发明第二实施方式的制造 TFT 阵列基板的方法需要三个曝光掩模，其适于使用较小数量掩模的技术。

在依照本发明第二实施方案的制造 TFT 阵列基板的方法中，公共电极形成在与栅线层相同的层上，像素电极形成在与遮蔽层相同的层上。然而，公共电极和像素电极可形成在与栅线层相同的层上。为了在与栅线层相同的层上形成像素电极，因为漏极和像素电极形成在不同的层，所以以与本发明第一实施方式相同的方式，漏极通过使用覆盖漏极的遮蔽层而与像素电极电连接。

如上所述，依照本发明的 TFT 阵列基板及其制造方法具有下面的优点。

首先，各栅线层和像素电极都由金属层和透明导电层的叠层形成。在随后的工序中，移除像素电极的金属层，且像素电极与漏极电连接。因而，可用三个曝光掩模完成 TN 模式 LCD 器件的 TFT 阵列基板。

此外，各栅线层和公共电极都由金属层和透明导电层的叠层形成。在随后的工序中，移除公共电极的金属层，且像素电极平行于公共电极形成。因而，可用三个曝光掩模完成 IPS 模式 LCD 器件的 TFT 阵列基板。

因此，由于使用的掩模数目降低，所以降低了生产的制造时间和单位成本。

此外，不必提供将数据线层和像素电极绝缘的钝化层，由此降低了成本。

通过衍射曝光一起将栅绝缘层、半导体层和数据线的金属层构图。

因为提供遮蔽层，所以不需要曝光就可蚀刻下层的材料，以保护 TFT 阵列基板的图案免于外部应力，并将设置于不同层上的图案彼此电连接。

在不脱离本发明精神或范围的情况下，在本发明中可做各种修改和变化，这对于本领域技术人员来说是显而易见的。因而，本发明意在覆盖落入所附权利要求书及其等价物范围内的本发明的修改和变化。

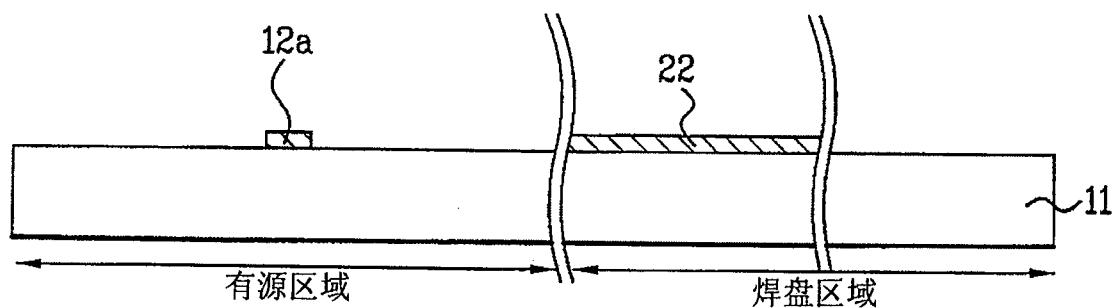


图 1A

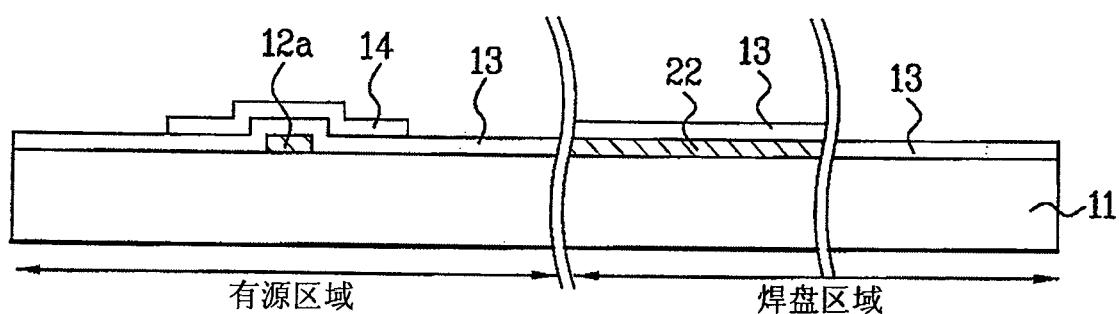


图 1B

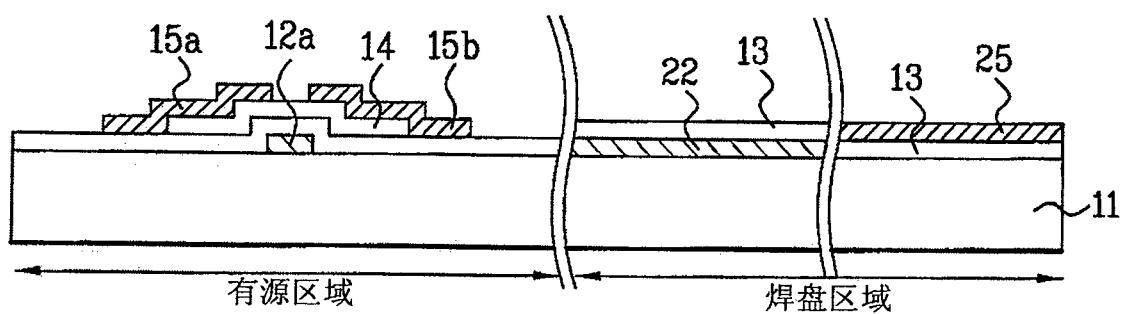


图 1C

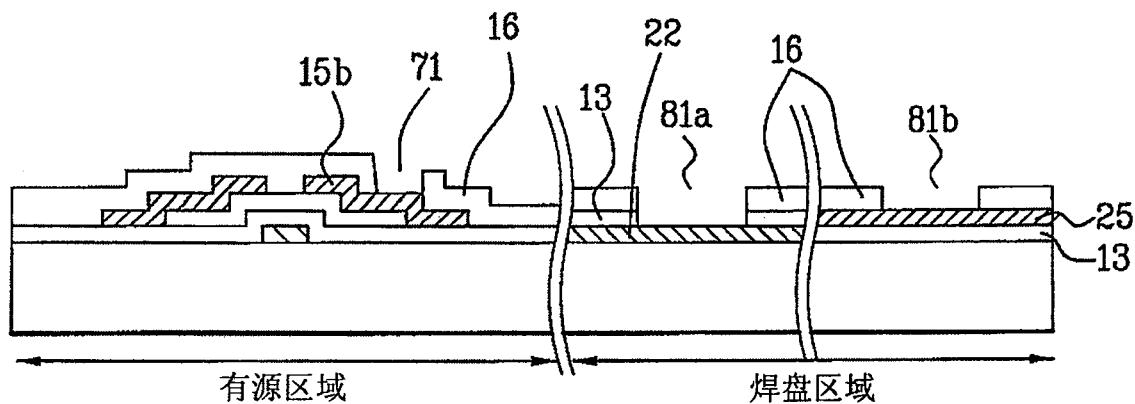


图 1D

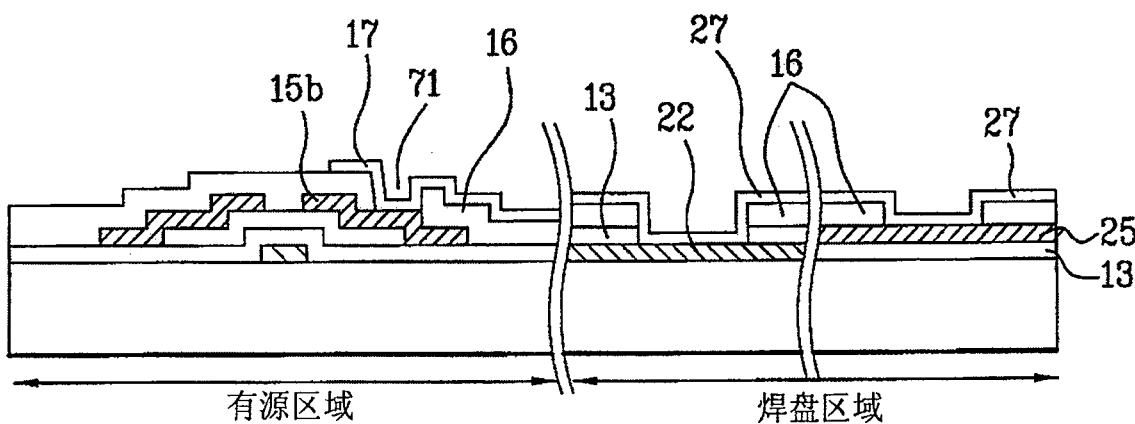


图 1E

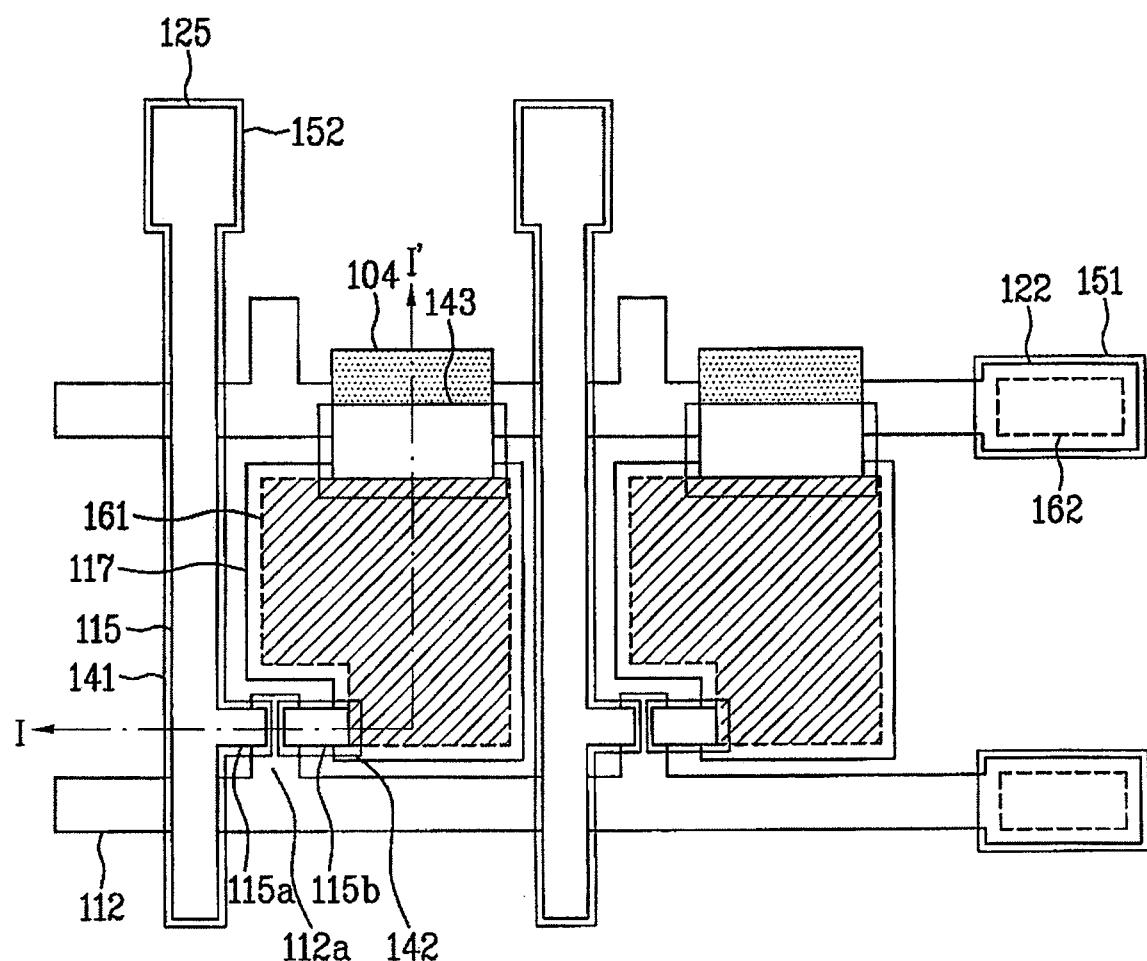


图 2

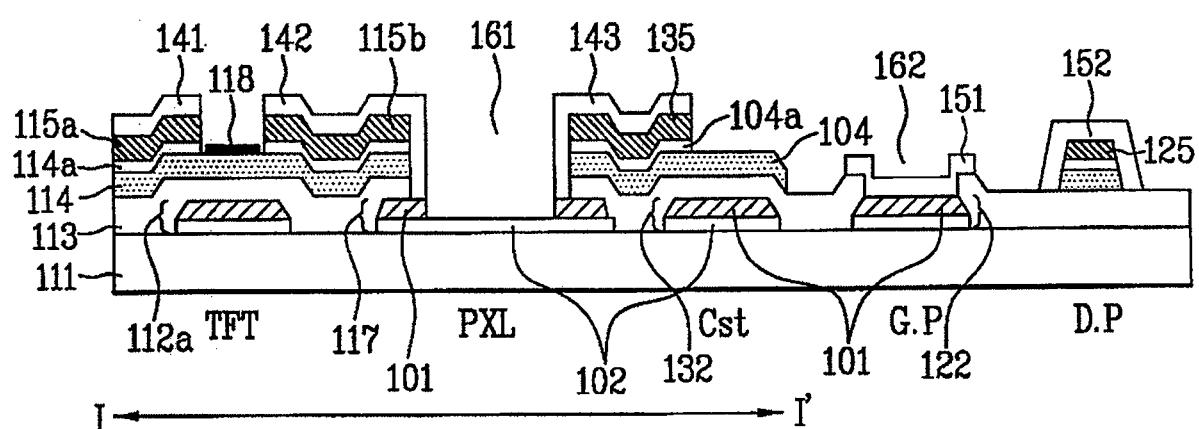


图 3

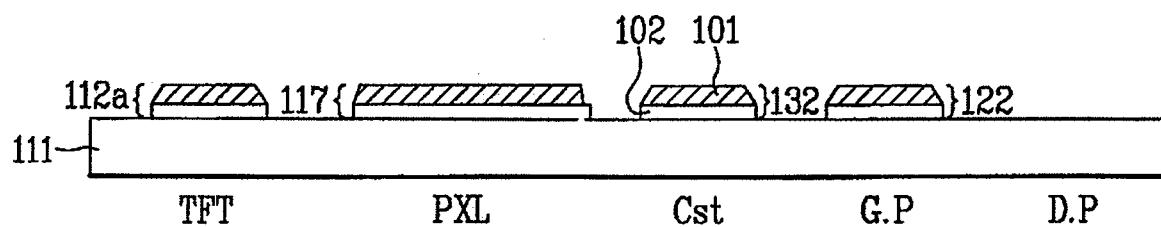


图 4A

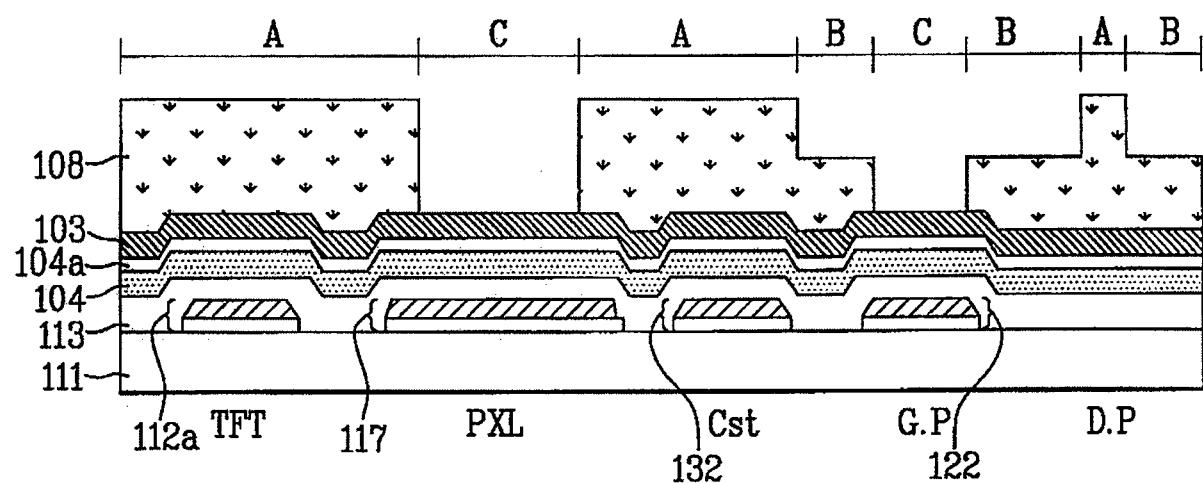


图 4B

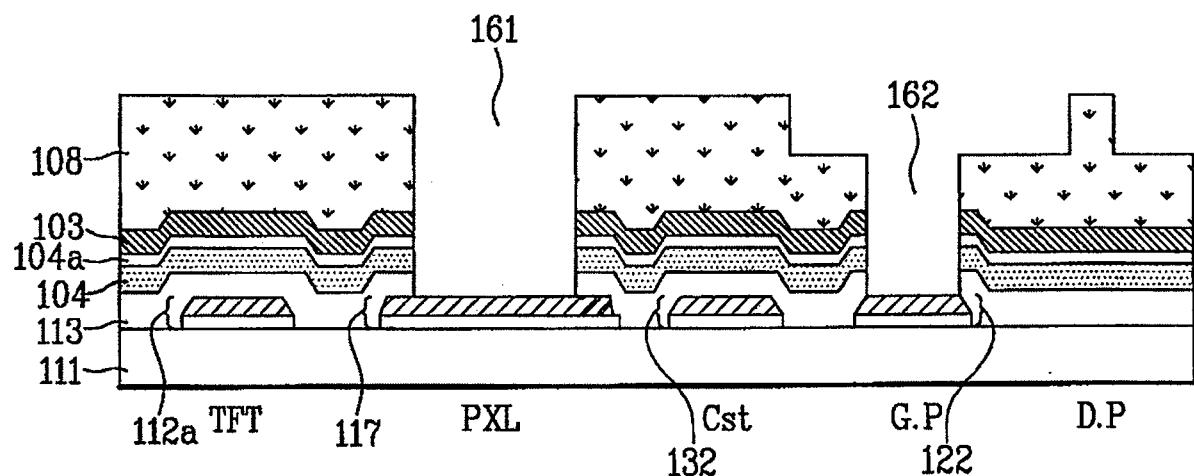


图 4C

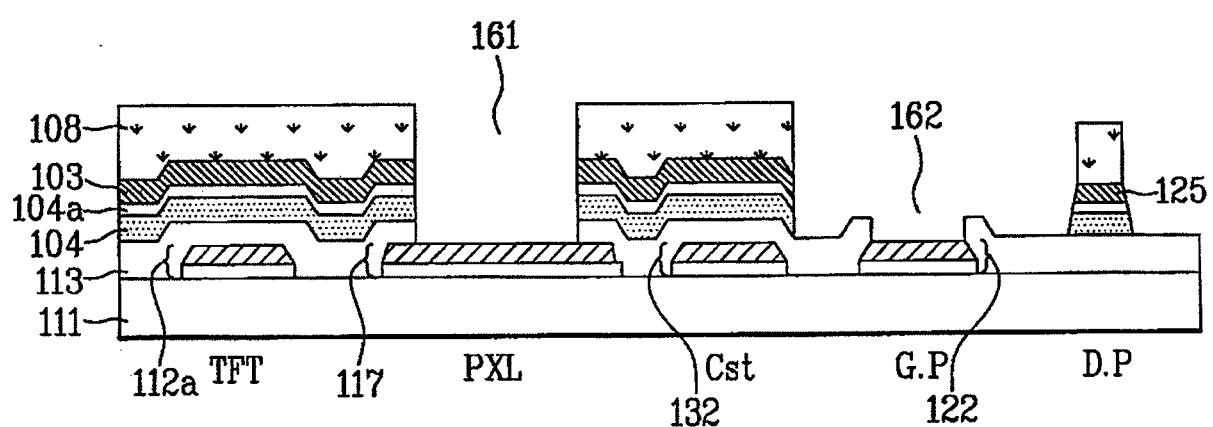


图 4D

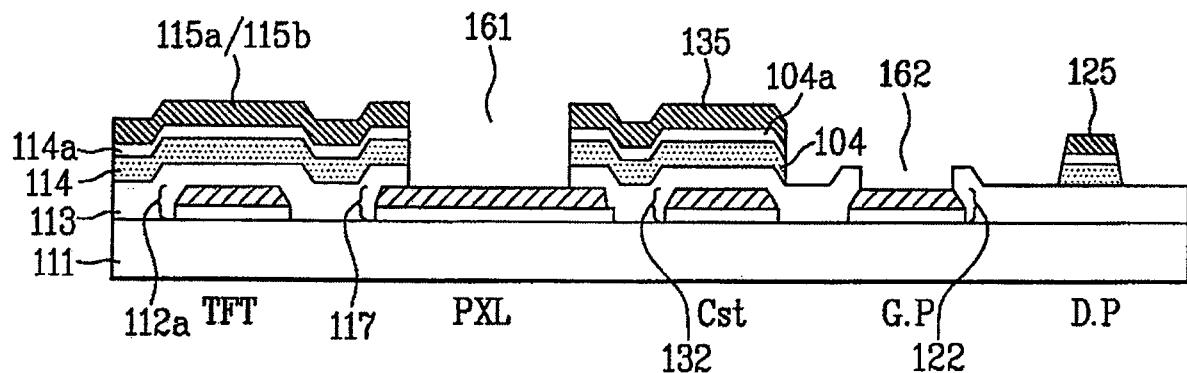


图 4E

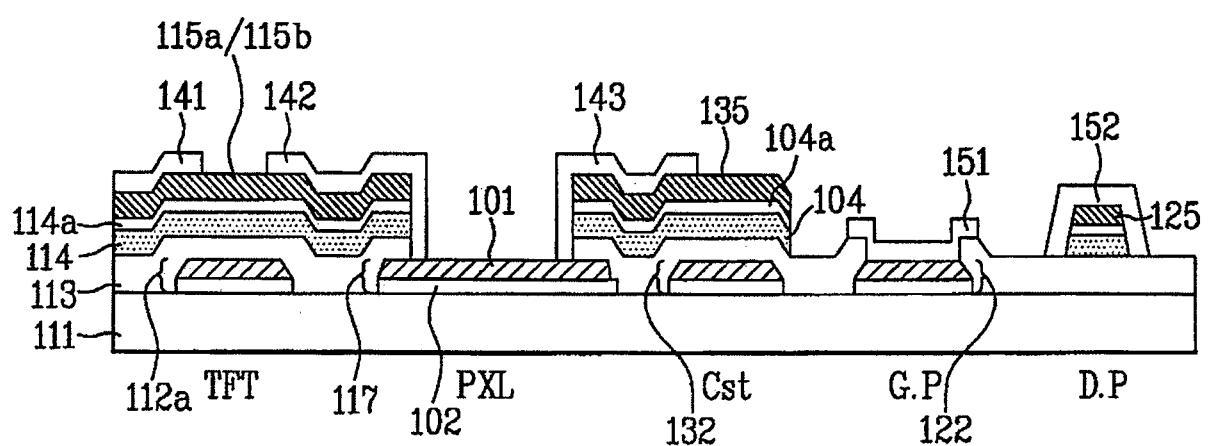


图 4F

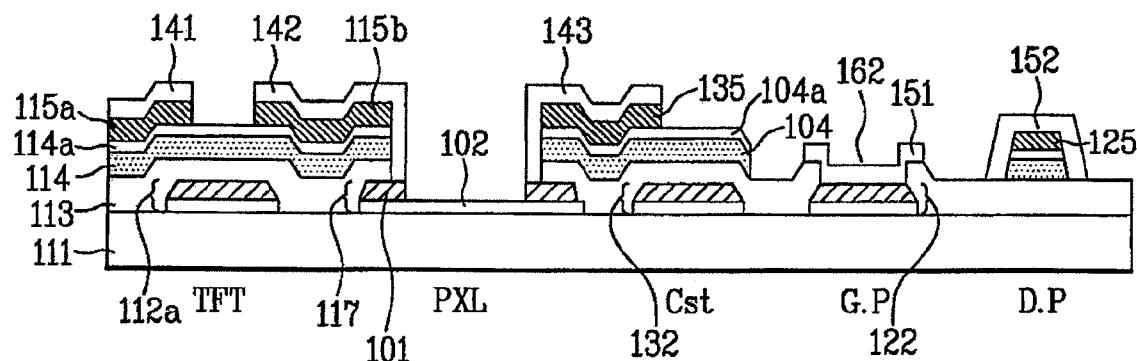


图 4G

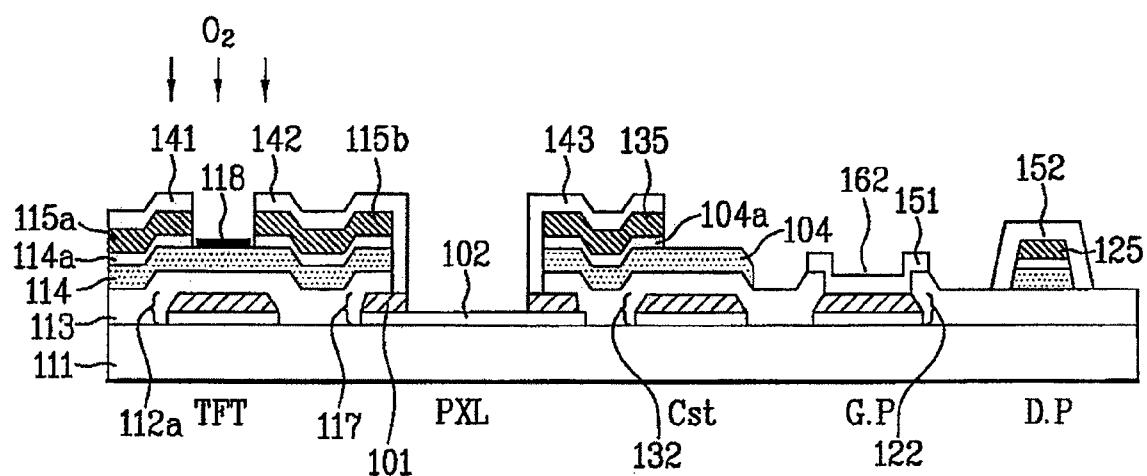


图 4H

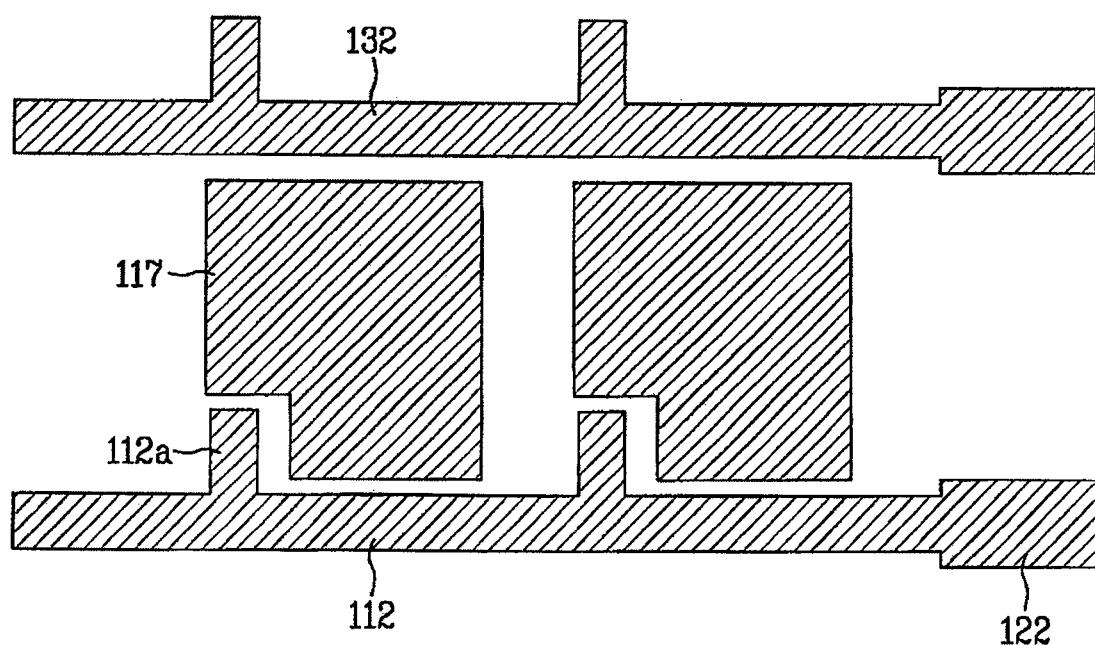


图 5A

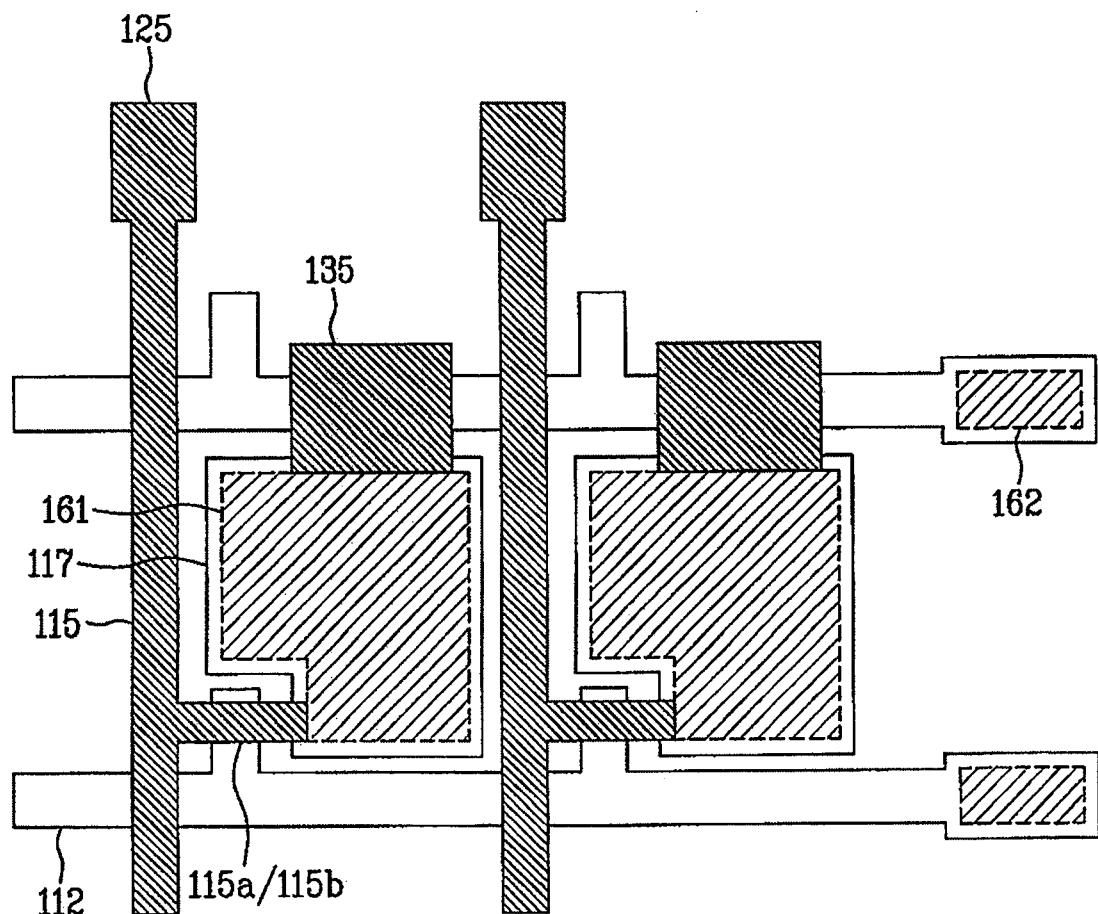


图 5B

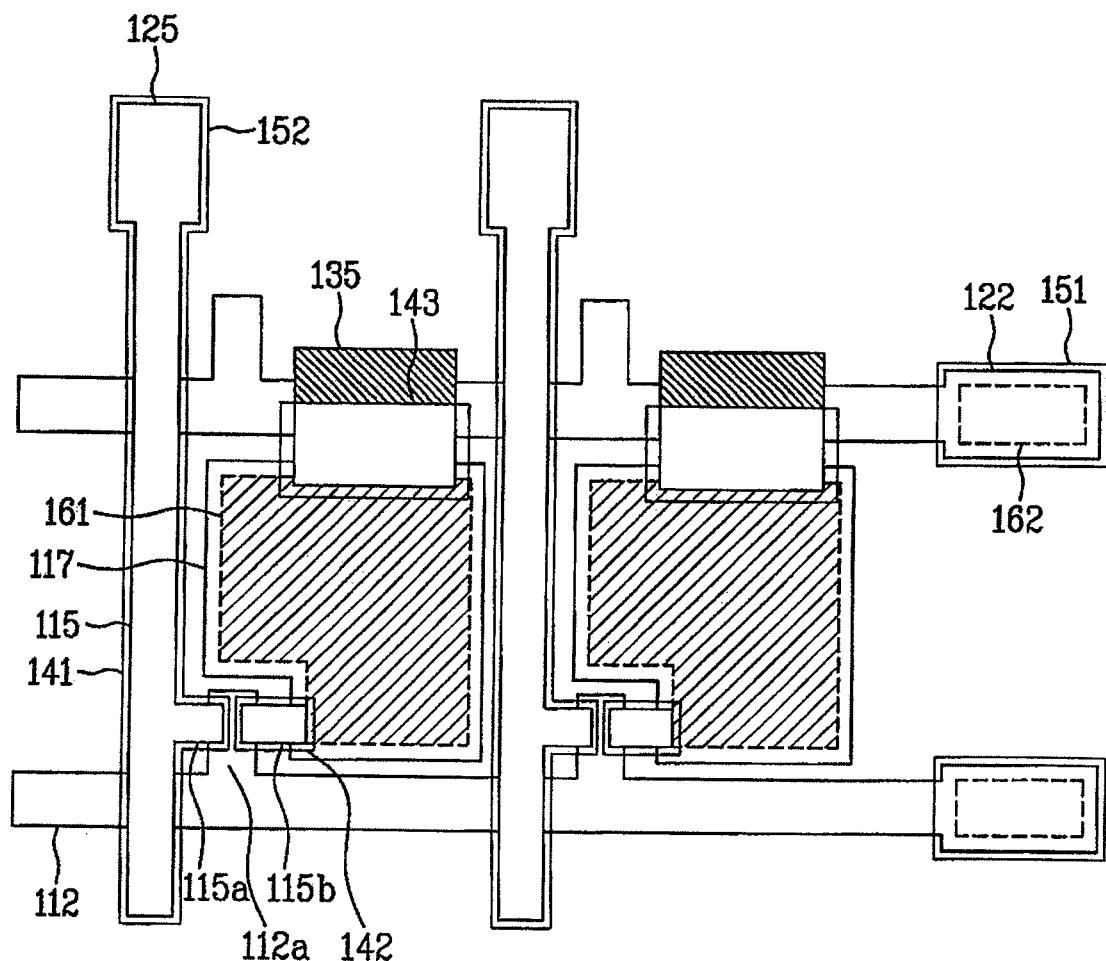


图 5C

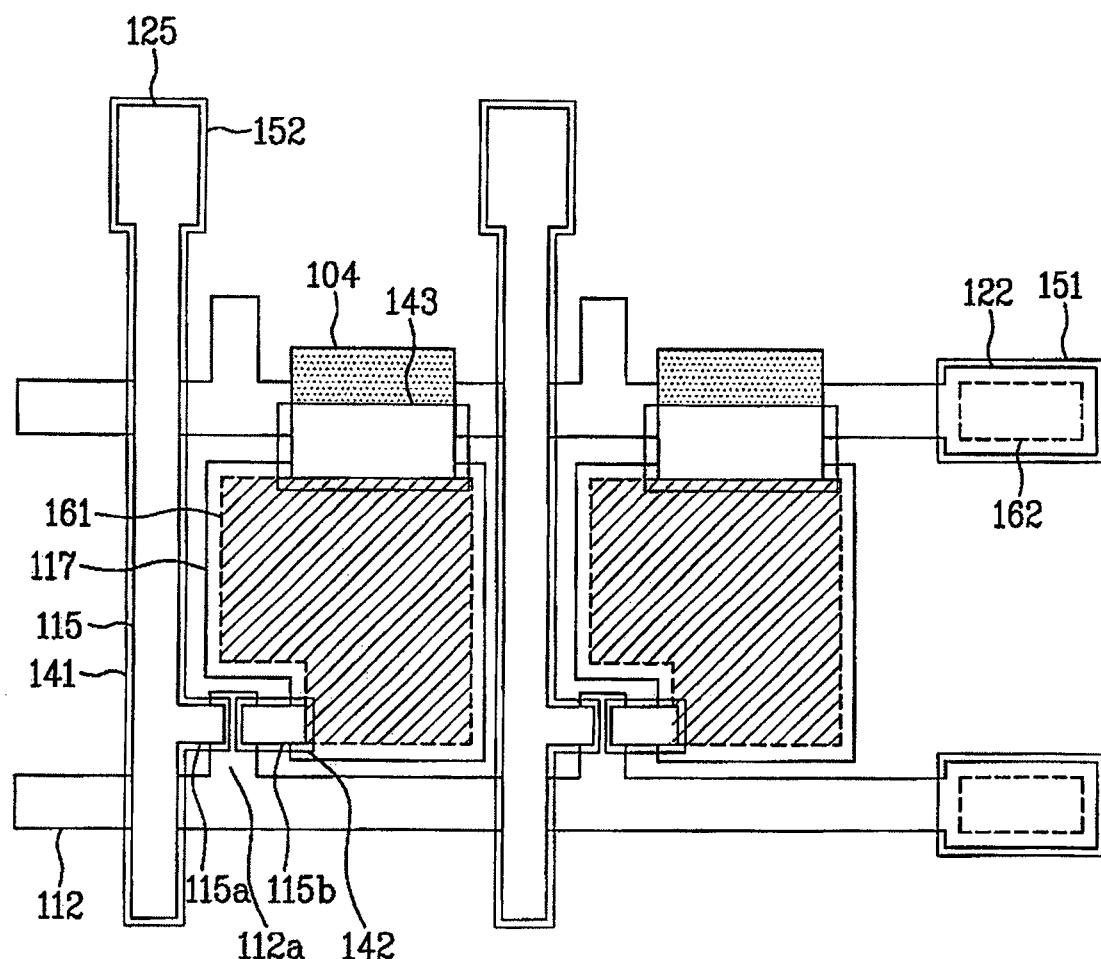


图 5D

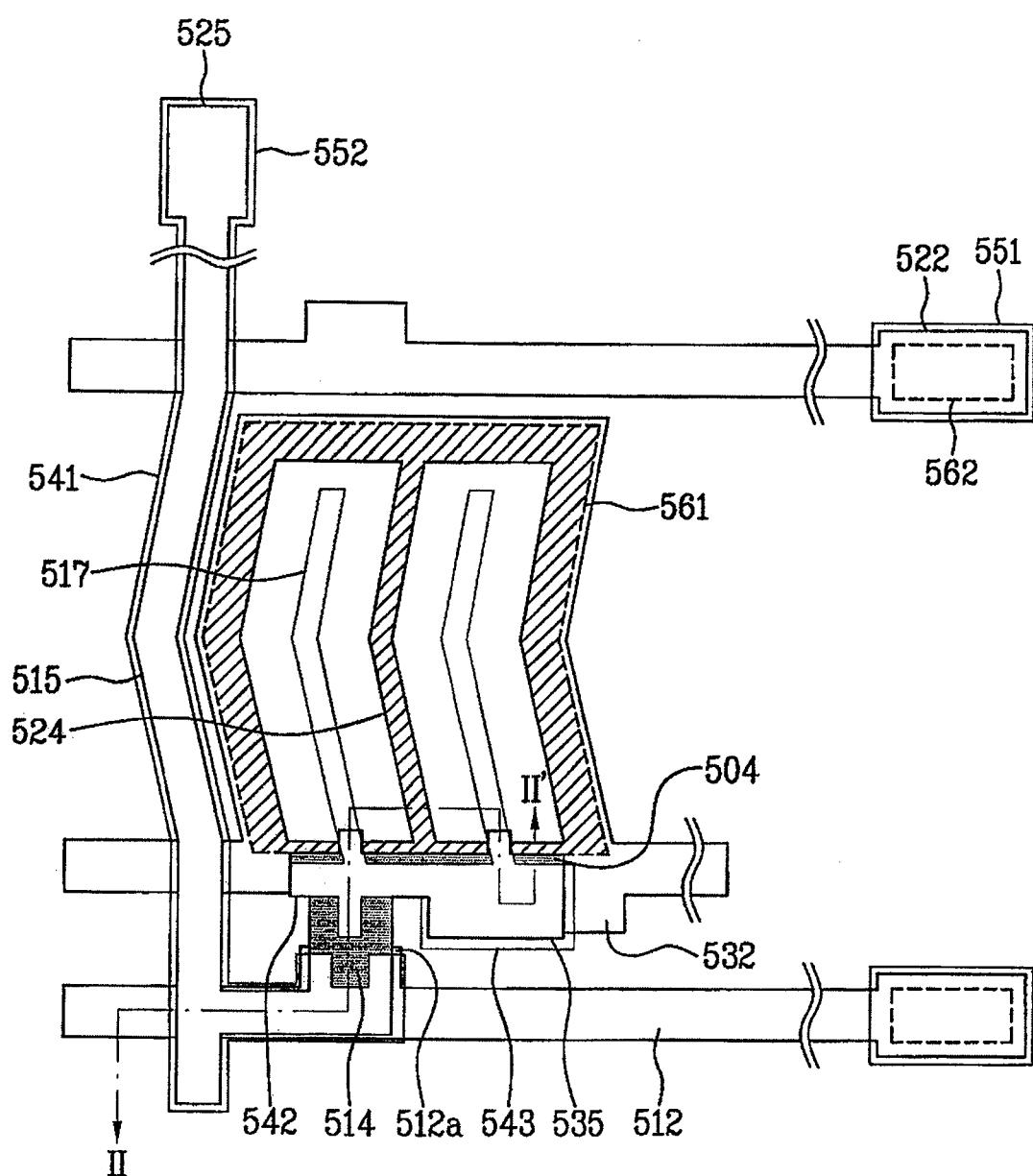


图 6

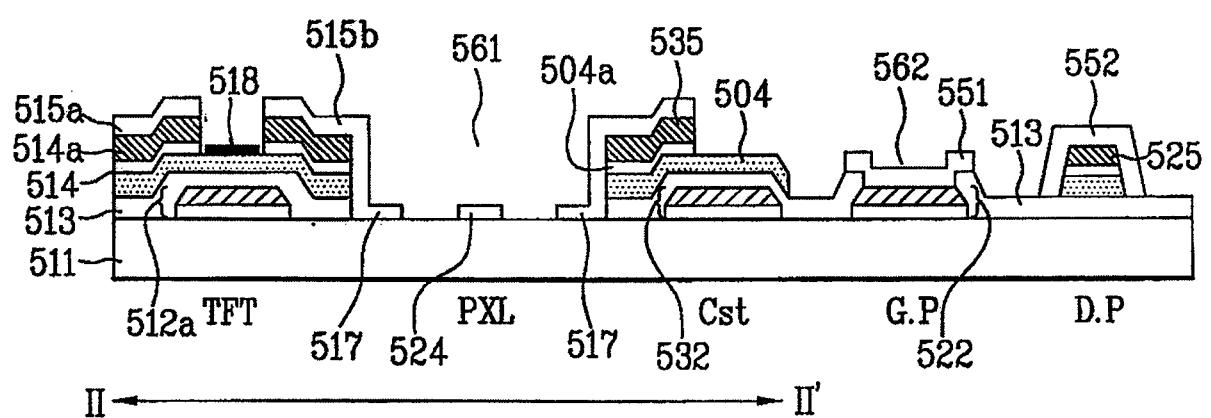


图 7

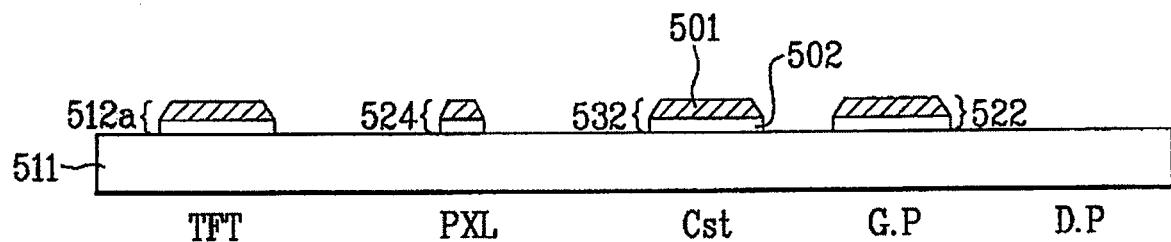


图 8A

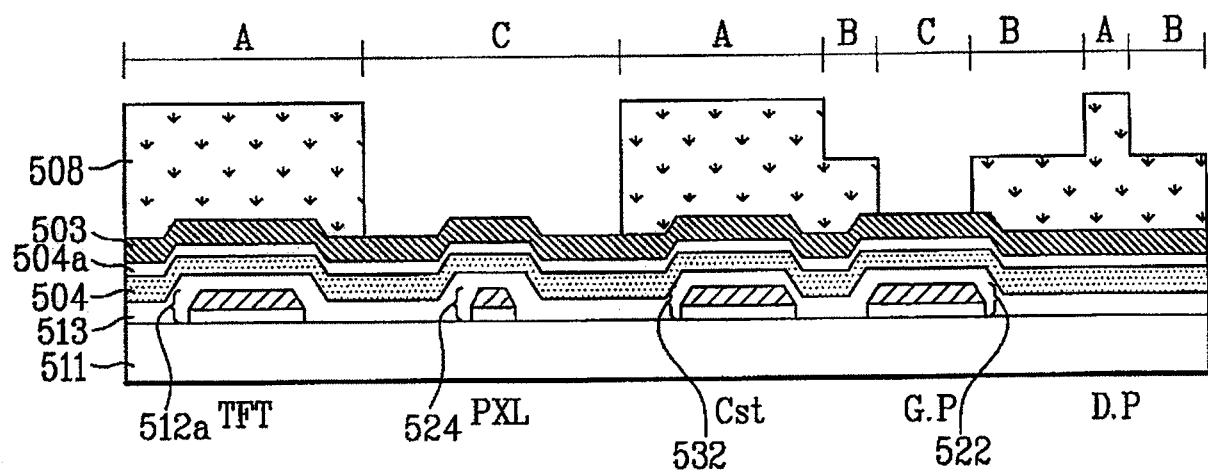


图 8B

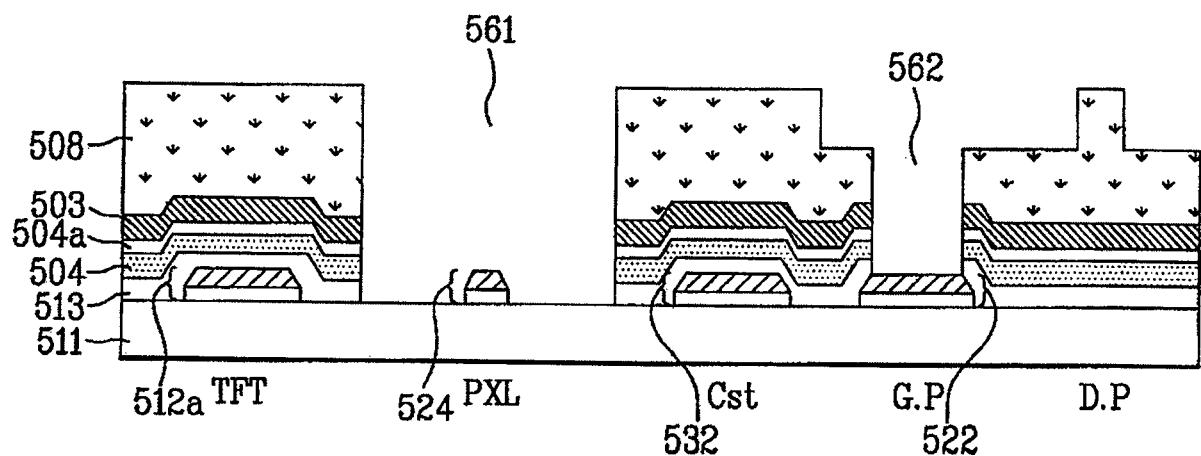


图 8C

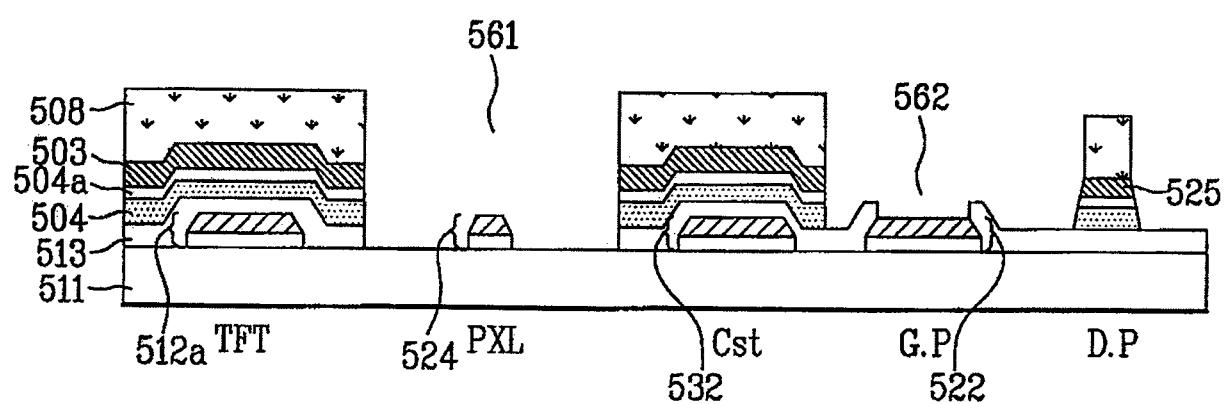


图 8D

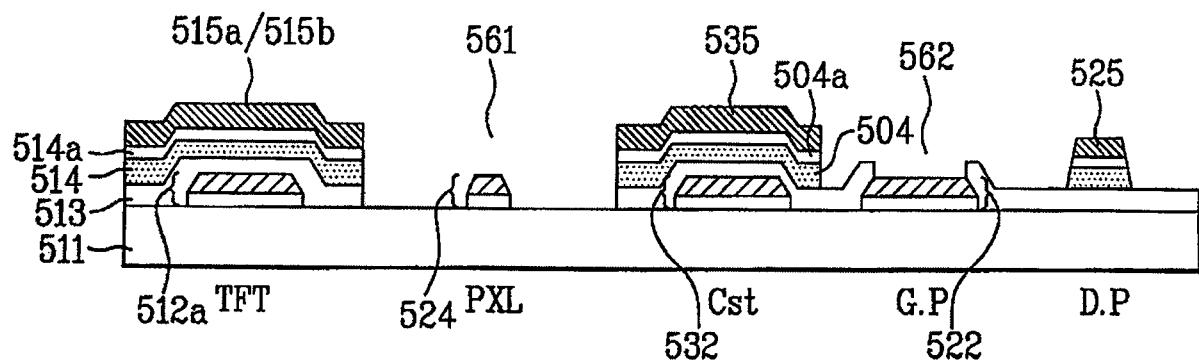


图 8E

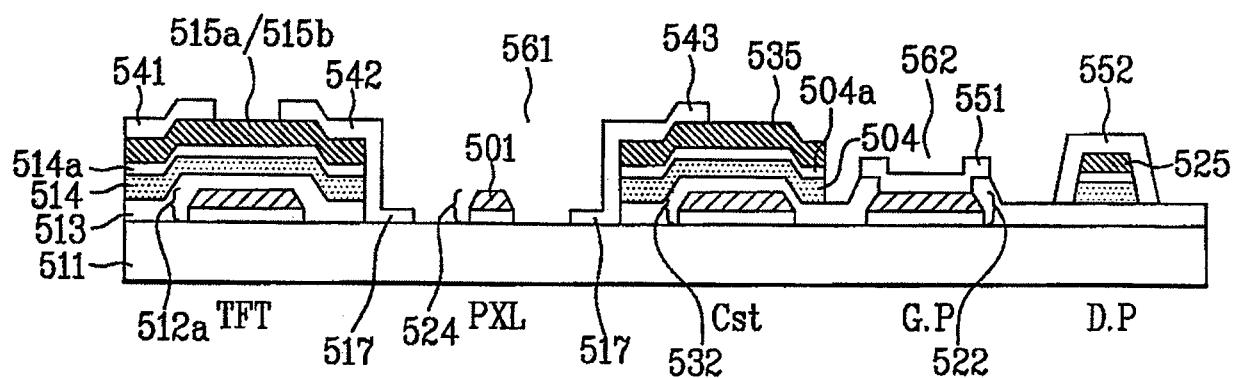


图 8F

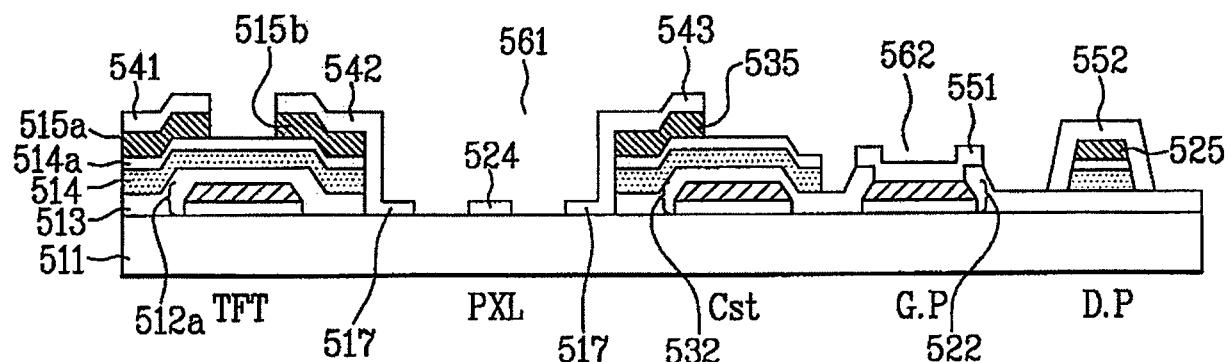


图 8G

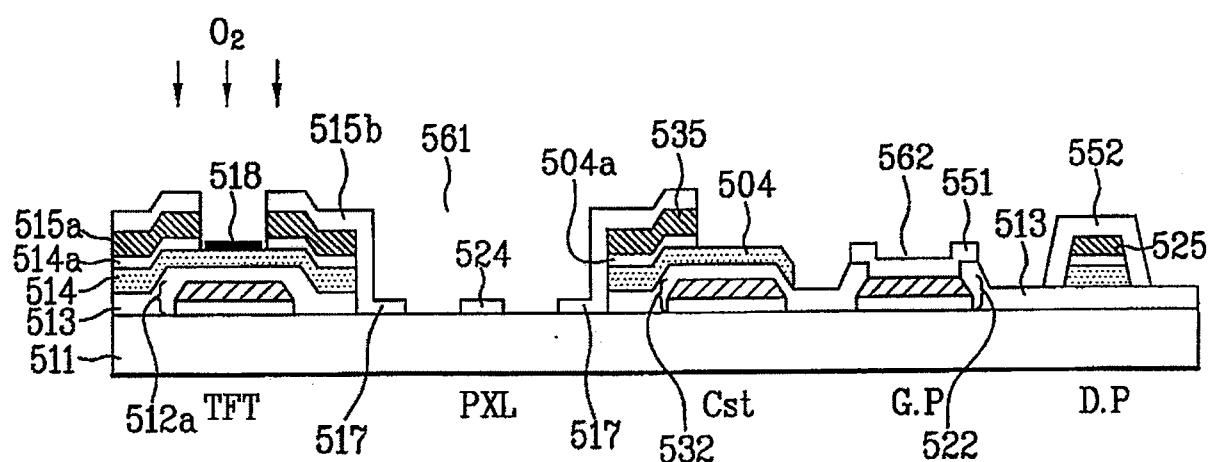


图 8H

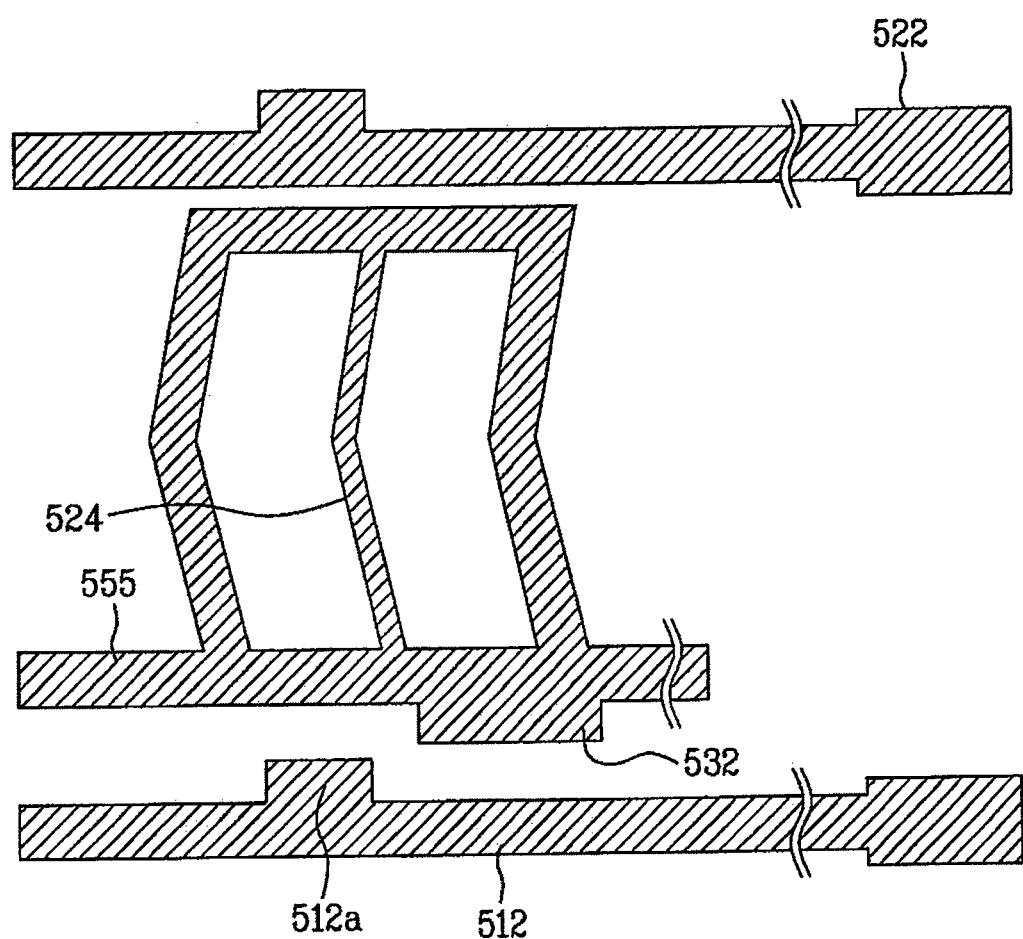


图 9A

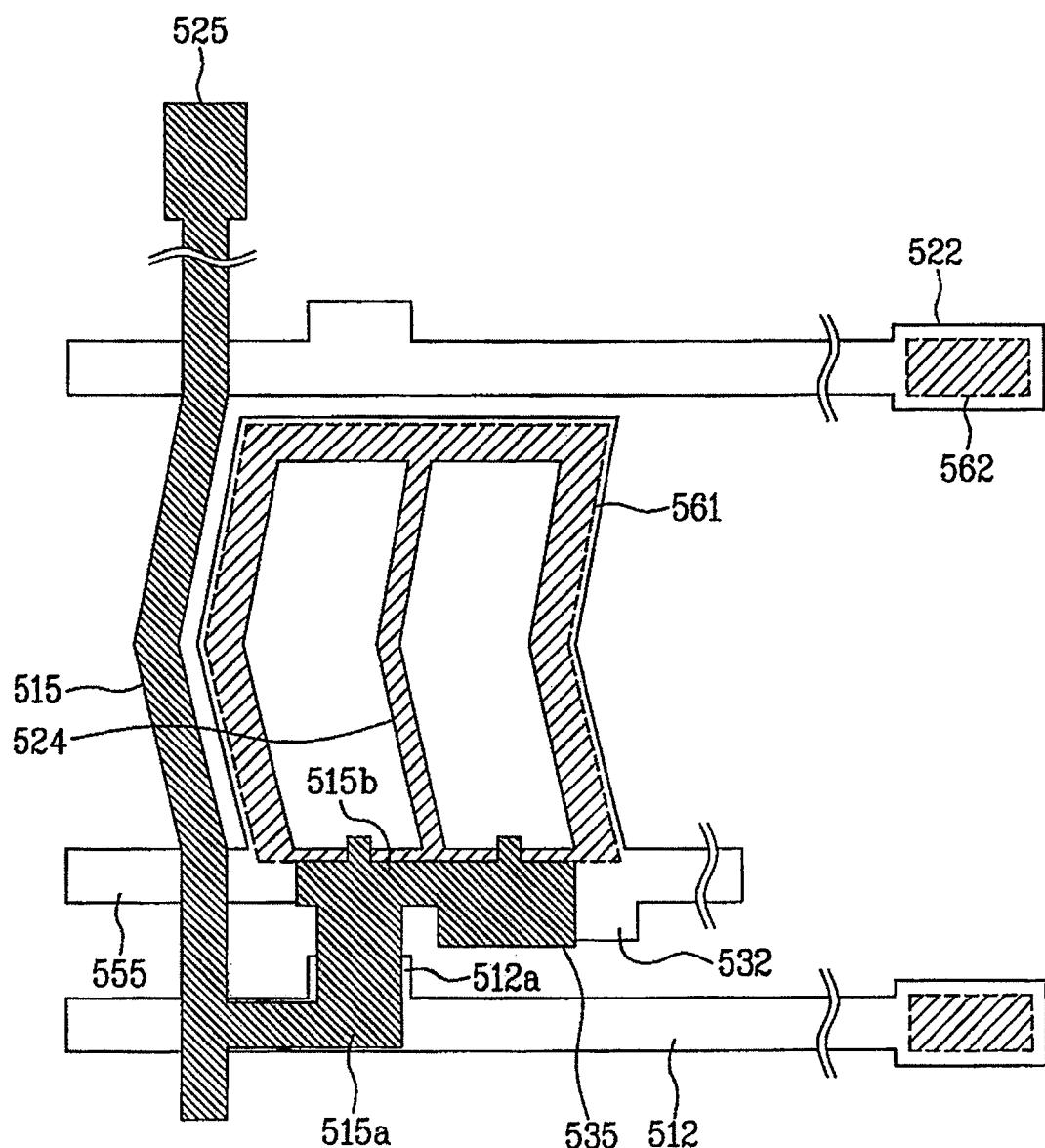


图 9B

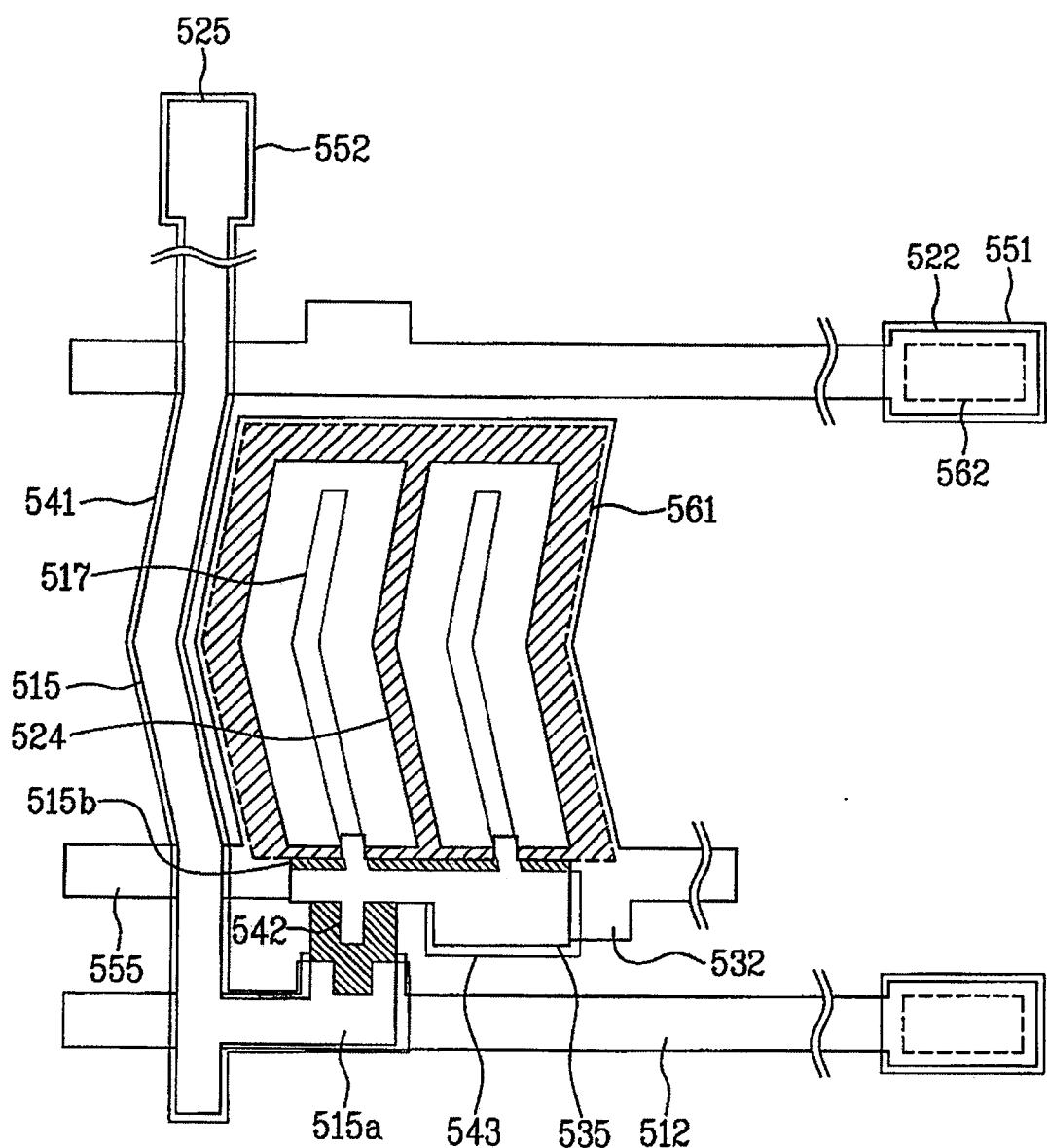


图 9C

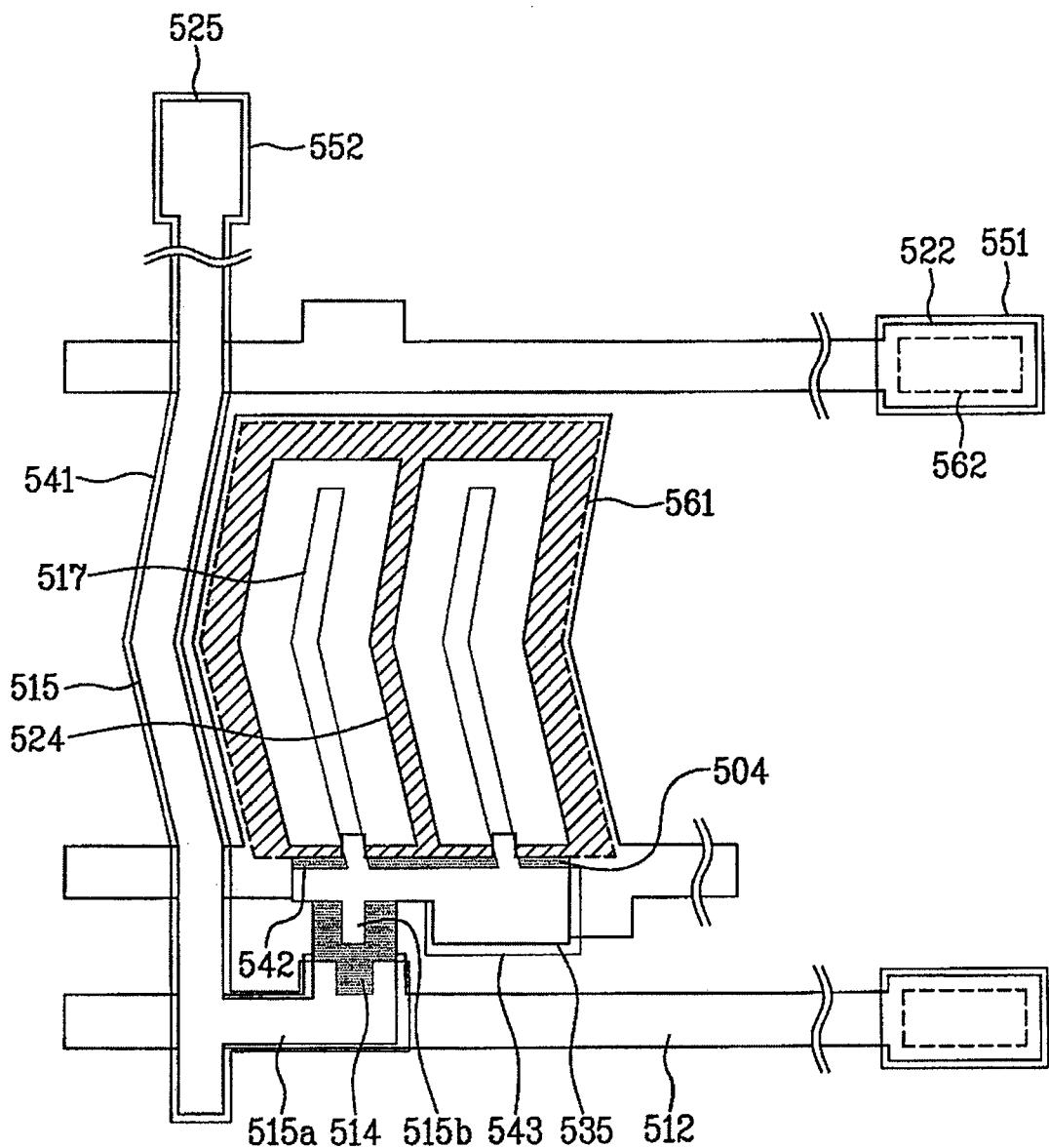


图 9D