发明名称
存储器控制器地址与数据管脚多路复用

摘要
本发明公开了存储器控制器地址与数据管脚多路复用。一种用于配置与存储器设备通信的存储器控制器的系统及方法，其多路复用所选管脚以用于数据传输。存储器控制器包括管脚组，其中该组中的每一个管脚与数据位和地址位相关联。可编程逻辑块连接至该管脚组，并且取决于存储器设备的大小使用该管脚组的子集，以启用存储器设备和存储器控制器之间的数据传输，使得未包括在该子集中的管脚可用于其他应用。
1. 一种用于配置与存储器设备通信的存储器控制器的系统，所述存储器控制器包括管脚组，所述管脚组中的每一个管脚与数据位和地址位中的至少一个相关联，所述系统包括：

可编程逻辑块，所述可编程逻辑块连接至所述存储器控制器的所述管脚组，所述可编程逻辑块根据所述存储器设备的大小使用所述管脚组的子集，以启用所述存储器设备和所述存储器控制器之间的数据传输，其中所述子集以外的管脚可用于一个或多个其他应用。

2. 根据权利要求1所述的系统，进一步包括寻址器，所述寻址器连接在所述可编程逻辑块和所述存储器设备之间，所述寻址器根据所述管脚组中的多个管脚上的多路复用的地址位和数据位，以在所述存储器设备和所述存储器控制器之间传输地址位和数据位。

3. 根据权利要求1所述的系统，其中所述可编程逻辑块包括地址移位块，用于通过下述步骤中的至少一个步骤来在所述存储器控制器的所述管脚组中重新编排一个或多个地址位：

   根据所述存储器设备的大小而使所述一个或多个地址位左移；和
   根据所述存储器设备的大小而使所述一个或多个地址位右移。

4. 根据权利要求1所述的系统，其中所述一个或多个其他应用包括与另一存储器设备通信。

5. 根据权利要求1所述的系统，其中所述一个或多个其他应用包括与输入/输出设备通信。

6. 一种用于配置存储器控制器的系统，所述存储器控制器包括管脚组，所述管脚组中的每一个管脚与数据位和地址位中的至少一个相关联，所述系统包括：

可编程逻辑块，所述可编程逻辑块连接至所述存储器控制器的所述管脚组，所述可编程逻辑块选择所述管脚组的子集，以启用所述存储器设备和所述存储器控制器之间的数据传输，其中所述子集的选择通过根据所述存储器设备的大小在所述存储器控制器的所述管脚组中重新编排一个或多个地址位来进行；

多路复用器，所述多路复用器连接至所述可编程逻辑块，用于多路复用地址位和数据位；和

锁存器，所述锁存器连接在所述多路复用器和所述存储器设备之间，所述锁存器锁存所述管脚子集中的多个管脚上的多路复用的地址位和数据位，以在所述存储器设备和所述存储器控制器之间传输地址位和数据位。

7. 根据权利要求6所述的系统，其中所述锁存器和所述多路复用器中的每一个包括控制管脚，所述控制管脚用于接收指示地址位和数据位的多路复用的控制信号，其中所述控制信号指示所述地址位和所述数据位中的一个的传输。

8. 根据权利要求7所述的系统，其中在多个管脚上多路复用地址位和数据位包括将所述地址位中的一个或多个最高有效位（MSB）与数据位多路复用。

9. 根据权利要求7所述的系统，其中在多个管脚上多路复用地址位和数据位包括将所述地址位中的一个或多个最低有效位（LSB）与所述数据位多路复用。

10. 根据权利要求6所述的系统，其中所述可编程逻辑块包括地址移位块，所述地址移位块用于通过根据所述存储器设备的大小使一个或多个地址位左移，来在所述存储器控制器控制
器的所述管脚组中重新编排所述一个或多个地址位。

11. 根据权利要求 6 所述的系统，其中所述可编程逻辑模块包括地址移位块，所述地址移位块用于通过根据所述存储器设备的大小使一个或多个地址位右移，来在所述存储器控制器的所述管脚组中重新编排所述一个或多个地址位。

12. 根据权利要求 6 所述的系统，其中所述可编程逻辑模块包括选择器，所述选择器用于选择用于与一个或多个其他应用通信的第二管脚组，所述通信使用所述重新编排的地址位中剩余的地址位来进行，其中所述重新编排的地址位中剩余的地址位对应于所述第二管脚组。

13. 一种用于配置与存储器设备通信的存储器控制器的方法，所述存储器控制器包括管脚组，所述管脚组中的每一个管脚与数据位和地址位中的至少一个相关联，所述方法包括：

选择所述管脚组的子集，以启用所述存储器设备和所述存储器控制器之间的数据传输，所述子集的选择通过根据所述存储器设备的大小在所述存储器控制器的所述管脚组中重新编排地址位来进行；以及

在所述管脚子集中的多个管脚上多路复用地址位和数据位，以在所述存储器设备和所述存储器控制器之间传输数据。

14. 根据权利要求 13 所述的方法，其中，利用指示地址位和数据位中的一个的传输的控制信号来控制地址位和数据位的多路复用。

15. 根据权利要求 13 所述的方法，其中，在多个管脚上多路复用地址位和数据位包括将地址位中的一个或多个最高有效位（MSB）与数据位多路复用。

16. 根据权利要求 13 所述的方法，其中，在多个管脚上多路复用地址位和数据位包括将地址位中的一个或多个最低有效位（LSB）与数据位多路复用。

17. 根据权利要求 13 所述的方法，其中，在所述存储器控制器的所述管脚组中重新编排地址位包括根据所述存储器设备的大小使一个或多个地址位左移。

18. 根据权利要求 13 所述的方法，其中，在所述存储器控制器的所述管脚组中重新编排地址位包括根据所述存储器设备的大小使一个或多个地址位右移。

19. 根据权利要求 13 所述的方法，其中，所述存储器设备和所述存储器控制器之间的数据传输包括从所述存储器设备读取数据。

20. 根据权利要求 13 所述的方法，其中，所述存储器设备和所述所述存储器控制器之间的数据传输包括将数据从所述存储器控制器写入到所述存储器设备。
存储器控制器地址与数据管脚多路复用

技术领域
[0001] 本发明涉及一种存储器控制器，且更具体地，涉及一种用于配置存储器控制器以启用存储器控制器和一个或多个其他设备之间的数据传输的系统及方法。

背景技术
[0002] 现今，大多数计算机系统使用先进的电路以供通信和数据传输目的。这些计算机系统一般包括用于管理存储器设备和微控制器／微处理器之间的通信的存储器控制器。这样的系统通常是使用被设计为具有高效紧凑的电路的印刷电路板（PCB）来实现的。因此，空间的高效利用是设计这些电路时应关注的。各种大小的地址宽度和数据路径以及不同类型的存储器必然需要大量的存储器控制器和接口。因此，需要管理管脚使用，以保持低的总体管脚数。

[0003] 减少管脚数的一个方法是将存储器控制器的一个或多个管脚用于多个应用。在传统的系统中，通过多路复用地址总线和数据总线来减少集成电路的管脚数。在这样的系统中，传送地址位的一个或多个管脚也按不同的时间间隔或基于控制信号来传送地址位。在一个这样的系统中，将传送存储器地址的最高有效位（MSB）的管脚与数据总线多路复用。利用控制信号来多路复用管脚，使得当控制信号为高时传输地址位并且当控制信号为低时传输数据位，或者反之亦然。然而，如果存储器大小被减小并且被指定为传送用于对存储器设备寻址的地址位的管脚全不需要，则因为未利用的管脚不能用于任何其他应用，所以存在管脚的低效利用。

附图说明
[0004] 当结合附图来阅读时，下面对本发明的优选实施例的详细描述将更好地得到理解。本发明仅作为示例示出，而非受附图所限，附图中相同的附图标记指示相似的元件。
[0005] 图 1 是示出用于使存储器控制器与存储器设备接口的常规系统的示意性框图；
[0006] 图 2 是示出根据本发明实施例的用于使存储器控制器与存储器设备接口的系统的示意性框图；
[0007] 图 3A 是示出与片上系统的存储器控制器的管脚对应的地址位的布置；
[0008] 图 3B 是示出根据本发明实施例的与片上系统的管脚对应的地址位的布置；
[0009] 图 4 是根据本发明实施例的图 2 的存储器控制器接口的可编程逻辑块的示意性框图；
[0010] 图 5A 是示出与片上系统的存储器控制器的管脚对应的地址位的布置；
[0011] 图 5B 是示出根据本发明另一个实施例的与片上系统的管脚对应的地址位的布置；
[0012] 图 6 是根据本发明另一个实施例的存储器控制器接口的可编程逻辑块的示意性框图；以及
[0013] 图 7 是示出根据本发明实施例的用于配置存储器控制器的方法的流程图。
具体实施方式

[0014] 对附图的详细描述旨在作为对本发明的当前优选实施例的描述，而非意图为表示可以实施本发明的唯一形式。要理解的是，可以通过意图为囊括在本发明的精神和范围内的不同实施例来实现相同或等同的功能。

[0015] 在本发明的一个实施例中，提供一种用于配置与存储器设备通信的存储器控制器的系统。存储器控制器包括管脚组并且该管脚组中的每一个管脚与数据位或地址位或者这两者相关联。该系统包括可编程逻辑块，其连接至存储器控制器的管脚组，用于使用管脚组的子集来启用存储器设备和存储器控制器之间的数据传输。根据存储器设备的大小选择管脚，使得该子集以外的管脚可用于一个或多个应用。

[0016] 在本发明的另一个实施例中，提供一种用于配置用于与存储器设备通信的存储器控制器的系统。存储器控制器包括管脚组，使得该管脚组中的每一个管脚与数据位或地址位相关联，或者与这两者相关联。该系统包括可编程逻辑块，其连接至存储器控制器的管脚组，用于选择该管脚组的子集，以启用存储器设备和存储器控制器之间的数据传输。该子集的选择通过根据存储器设备的大小在存储器控制器的管脚组中重新编排一个或多个地址位来进行。锁存器被连接至可编程逻辑块，用于在管脚组中的多个管脚上多路复用地址位和数据位，以在存储器设备和存储器控制器之间传输数据。

[0017] 在本发明的又一个实施例中，提供一种用于配置用于存储器设备通信的存储器控制器的方法。存储器控制器包括管脚组，使得该管脚组中的每一个管脚与数据位和地址位中的至少一个相关联。该方法包括选择管脚组的子集以启用存储器设备和存储器控制器之间的数据传输的步骤。该子集的选择通过根据存储器设备的大小在存储器控制器的管脚组中重新编排地址位来进行。该方法进一步包括，在管脚组中的多个管脚上多路复用地址位和数据位，以在存储器设备和存储器控制器之间传输数据。

[0018] 根据本发明，提供一种用于配置存储器控制器的系统。存储器控制器包括用于在给定时间发送地址位和数据位中的一的多个管脚。可以将这多个管脚之一的管脚用于与存储器设备通信。下面，参照可以用以对最大 4 千兆字节（GB）存储器寻址、需要 32 个地址位的存储器控制器来描述本发明。在示例情况下，如果 4GB 存储器设备被连接至存储器控制器，则存储器控制器的管脚组的全部 32 个管脚都被用于与存储器设备通信。本领域技术人员应予以理解的是，本发明也适用于其他大小的存储器设备，且针对 4GB 存储器设备的描述只是示例性的。

[0019] 图 1 是示出用于使存储器控制器 102 与 8 兆字节存储器设备 104 接口的常规系统 100 的示意图。系统 100 包括存储器控制器 102、存储器设备 104 和锁存器 106。存储器控制器 102 包括 32 个管脚 AD0–AD15 和 A16–A31，用于传送地址位和数据位中的至少一个。对应于管脚编号 AD0 至 AD15 的 16 个最高有效位（MSB）基于由控制管脚提供的控制信号，经由锁存器 106 而被复用，并且包括数据位和地址位中的一个。当控制信号为高时，管脚 AD0 至 AD 15 传送地址位，且当控制信号为低时，经由管脚 AD0 至 AD 15 发送数据位。存储器控制器 102 的管脚 A16 至 A31（A16–A31）只为存储器设备 104 传送地址最低有效位（LSB）。对于本领域技术人员而言，了解 8MB 存储器设备 104 需要 23 个位用于寻址。因此，只使用管脚 AD9–AD15 和 A16–A31 来传送需要的地址位（23 个 LS），而未使用管脚 AD0–AD8（对应于 9 个 MSB）。因为未使用的 AD0–AD8 不能用于任何其他应用，所以这会导致显著的空间量
的损失。

[0020] 图 2 是示出根据本发明实施例的用于使存储器控制器 102 与存储器设备 104 接口的系统 200 的示意性框图。系统 200 包括片上系统 (SoC) 202、图 1 的存储器设备 104 和存储器 106。SoC 202 进一步包括存储器控制器 102 和可编程逻辑块 204。SoC 202 包括多个管脚而连接至存储器设备 104。在本发明的实施例中，可编程逻辑块 204 连接至存储器控制器 102 的 32 个管脚。可编程逻辑块 204 从 32 个管脚的组中选择管脚的子集，其中该管脚的子集用于与 8MB 存储器设备 104 通信。根据本发明的实施例，该子集包括用于与 8MB 存储器设备 104 通信的 23 个管脚。

[0021] 存储器控制器 102 在管脚 AD0-AD15 和 A16-A31 上将一个或多个地址位发送至可编程逻辑块 204。在可编程逻辑块 204，重新编排这些位，以便选择由用于与存储器设备 104 通信的 23 个管脚组成的子集。结合图 3 至图 6 来更加详细地讨论由可编程逻辑块 204 对地址位进行的重新编排。在本发明的实施例中，对应于管脚 AD0 至 AD15 (AD0-AD15) 的 16 个最高有效位 (MSB) 基于控制信号而经由读存储器 106 被多路复用，并且数据位和地址位都被发送。当控制信号为高时，管脚 AD0-AD15 传送地址位，且当控制信号为低时，对应于管脚 AD0-AD15 发送数据位。此外，基于所选择的由 23 个管脚组成的子集，管脚 A25 至 A31 (A25-A31) 传送地址 LSB 且管脚 A16 至 A24 (A16-A24) 空闲以用于一个或多个其他应用。在本发明的不同实施例中，一个或多个其他应用包括与另一存储器设备通信以及与 I/O 设备通信。

[0022] 为了分配要由一个或多个管脚传送的特定位，通过可编程逻辑块 204 来重新编排地址位。在本发明的一个实施例中，通过将多个位从被选择用于与存储器设备 104 通信的管脚子集左移来重新编排这些位。在本发明的第二实施例中，通过将多个位从被选择用于与存储器设备 104 通信的管脚子集右移来重新编排这些位。

[0023] 图 3A 示出了根据本发明的与 SoC 202 的存储器控制器 102 的管脚对应的地址位的布置，其中对应于地址 MSB 的管脚与用于待传输的数据位的管脚一起被锁存。由于该组地址位中的 16 个 MSB 被设计为已传送地址位又传送数据位，所以这 16 个 MSB 表示为对应于管脚 AD0-AD15。此外，图 3A 中的 16 个 LSB 是纯地址 (address only) 位，并且表示为对应于管脚 A16-A31。存储器控制器 102 与 8MB 存储器设备 104 通信，并且只有 23 个位用于传送地址信息。如图 3A 所示，这 23 个位是 SoC 202 的整个一组 32 个地址位中的 LSB，并且表示为对应于管脚 A16-A31。此外，这些位中只有 7 个用于地址 - 数据多路复用管脚中，使得如果直接用于与存储器设备 104 通信，则将导致地址 - 数据多路复用管脚的低效利用。这 7 个位对应于图 3A 中的管脚 AD9-AD15。然而，在该级，存在地址数据多路复用管脚的多部分利用。这在下一级通过使用可编程逻辑块 204 来改善。

[0024] 图 3B 示出了根据本发明实施例的与 SoC 202 的输出管脚对应的地址位的布置。通过可编程逻辑块 204 重新编排对应于管脚 AD0-AD15 和 A16-A31 的地址位，使得地址 - 数据多路复用管脚被高效地用于存储器控制器 102 和存储器设备 104 之间的通信。如图 3B 所示，通过将图 3A 中所示的 16 个 MSB 左移来重新编排地址位，使得地址 - 数据多路复用管脚 AD0-AD15 发送有效的地址信息并被高效利用。7 个 LSB 被保持在其原始位置 (A25-A31)。

[0025] 图 4 是根据本发明实施例的可编程逻辑块 204 的示意性框图。如已结合图 2 讨论了的，重新编排与存储器控制器 102 的管脚对应的位，以便选择由用于与 8MB 存储器设备
104 通信的 23 个管脚组成的子集。在本发明的实施例中，通过由可编程逻辑块 204 使多个期望的位移来完成该重新编排。图 4 中，可编程逻辑块 204 包含地址左移块 402 和第一多路复用器 404。图 4 的系统进一包括第二多路复用器 406 和锁存器 106。根据本发明的实施例，可编程逻辑块 204 的地址左移块 402 和第一多路复用器 404 起选择器的作用，用于选择用于与一个或多个应用通信的第二管脚子集。可编程逻辑块 204 被预编程为将多个位从由 23 个管脚组成的子集左移预定的位数。例如，在图 3 的示例中，位 AD9-AD24 左移预定的 9 位（因为在实现 8MB 存储器设备时有 9 个未使用的管脚）。这使得管脚 A16-A24 能够被空出，这些管脚于是可以用于一个或多个其他应用，如对另一存储器设备寻址或者与 1/0 设备通信。

【0026】存储器控制器 102 的 32 个地址位（表示为地址位 [0-31]）被地址左移块 402 接收，该地址左移块 402 使多个期望的位移左预定的 9 位，使得左移的位全部都经由被多路复用为既传送地址位又传送数据位的管脚 AD0-AD16 发送。将左移的位提供到第二多路复用器 406，该第二多路复用器 406 多路复用左移的地址位和数据位。地址位锁存使能信号 (ALE) 为高时，第二多路复用器 106 使左移的地址位通过。在本发明的实施例中，存储器 106 为外部锁存器。存储器 106 在多路复用器 406 的输出端处，并且当 ALE 为高时，地址锁存器的地址位。多路复用器 406 和存储器 106 都接收 ALE 信号。在图 4 的地址输出管脚处直接输出未被地址左移块 402 移位的地址位。

【0027】图 5A 显示根据本发明的与 SoC 202 的存储器控制器 102 的管脚对应的地址位的布置，其中对应于地址 MSB 的管脚与传送待传输的数据位的管脚一起被锁存。图 5A 中的 16 个 LSB 是纯地址位，并且表示为对应于管脚 A16-A31。存储器控制器 102 与 8MB 存储器设备 104 通信，并且只有 23 个位用于传送地址信息。由于地址位组中的 7 个 MSB 被设计为既传送地址位又传送数据位，所以这 7 个 MSB 表示为对应于管脚 AD9-AD15。此外，对应于管脚 AD0-AD8 的剩余 9 个地址 MSB 也与数据位多路复用，但这些 MSB 不传送相关地址信息，并且可以用于使其他管脚空出，以便用于其他应用。这在下一级完成，其中通过可编程逻辑块 204 来重新编排与存储器控制器 102 的管脚相应的位，使得这些管脚可以用于其他应用。

【0028】图 5B 显示出了根据本发明另一个实施例的与 SoC 202 的输出管脚对应的地址位的布置。重新编排对应于管脚 AD0-AD15 和 A16-A31 的地址位，使得地址 - 数据多路复用管脚被有效地用于存储器控制器 102 和存储器设备 104 之间的通信。如图 5B 所示，通过将图 5A 的 7 个地址 MSB (AD9-AD15) 右移至与图 5B 的 MSB (A25-A31) 对应的管脚来重新编排这些位。此外，将接下来 16 个地址位 A16-A31 左移至 LSB AD0-AD15，从而使对应于位 A16-A24 的管脚空出。

【0029】图 6 是根据本发明实施例的可编程逻辑块 204 的示意性框图。如已结合图 2 讨论的，重新编排与存储器控制器 102 的管脚对应的位，以便选择由用于与 8MB 存储器设备 104 通信的 23 个管脚组成的子集。在本发明的实施例中，通过由可编程逻辑块 204 使多个期望的位右移来完成该重新编排。可编程逻辑块 204 包括地址右移块 602、第一多路复用器 604 和左移块 606。图 6 的系统进一步包括第二多路复用器 608 和锁存器 106。根据本发明的实施例，地址右移块 602、第一多路复用器 604 和左移块 606 起选择器的作用，用于选择用于与一个或多个应用通信的第二管脚子集。可编程逻辑块 204 被预编程为将多个位从由 23 个管脚组成的子集右移预定的位数。例如，在图 5A 的示例中，将位 AD0-AD6 向右移位预定
的位数。在本发明的实施例中，预定位数是使得地址的 MSB 与寄存器空间 A0D–AD31 的变
址 31 对准。在图 5B 所示的实施例中，位 AD9–AD15 向右预定位的 16 位。此外，左移块 606 使
剩余的地址位 A16–A31 左移，使得这些位被重新编排为位 AD0–AD15。这使得管脚 A16–A24
能够被空出，这些管脚于是可以用于一个或多个其他应用，诸如对另一存储器设备寻址或
者与 1/0 设备通信。

【0030】 32 个地址位（表示为地址位 [0–31]）被地址右移块 602 接收，该地址右移块 602
使多个期望的位右移预定位的 16 位，使地址的 MSB 与地址 31 对准。右移的位然后经由第
多路复用器 604 而提供到地址输出管脚。尚未右移的位中的第二位组（例如，图 5A 中的
A16–A31）被左移块 606 左移，使得左移的位占据图 5B 的 LSB AD0–AD15。左移的位然后经
由第二多路复用器 608 而提供到锁存器 106。锁存器 106 锁存图 6 中的地址位 [0–31] 的左
移的地址位以及图 6 中由数据位 [0–31] 表示的数据位。在本发明的实施例中，锁存器 106
为外部锁存器。锁存是结合地址锁存使能 (ALE) 信号来完成。当 ALE 为高时，第二多路复
用器 608 输出被锁存器 106 锁存的地址位，并且当 ALE 为低时，第二多路复用器 608 输出数
据位 [0–31]。

【0031】图 7 是示出根据本发明实施例的用于配置存储器控制器的方法的流程图 700。结
合图 2 来描述流程图 700。在步骤 702，从 IC 设备的管脚组选择子集，以启用存储器控制器
102 和存储器设备 104 之间的数据传输。这通过由可编程逻辑块 204 在 SoC 202 的输出管
脚组中重新编排地址位来实现。在步骤 704，存储器控制器 102 和存储器设备 104 之间的通
信通过在预定的多个管脚上多路复用地址位和数据位来启用，其中所述预定的多个管脚属
于被选择用于存储器控制器 102 和存储器设备 104 之间的通信的子集。

【0032】上述方法和系统具有诸多优点。实施该方法可以允许地址和数据位之间管脚共享
的最大化。此外，同一管脚组可以被用于一个或多个其他应用，诸如用于与另一存储器设备
通信以及与输入 / 输出设备通信。这导致低成本且高效空间的改进的 IC 设备。此外，本发
明可以被用来给管脚数非常有限的低端和超低端 SoC 增值。可编程逻辑块可以被编程为取
决于存储器设备的大小而空出未使用的管脚。因为可以使用本发明来减少一部分的管脚数，
所以其还有利于低成本、低功率系统设计。

【0033】虽然已示出并描述了本发明的各种实施例，但应清楚的是，本发明不仅限于这些
实施例。在不脱离根据权利要求书所描述的本发明的精神和范围的情况下，大量修改、改
变、变形、替换及等同物对于本领域技术人员而言将是显而易见的。
通过在存储器控制器的管脚组中重新编排地址位，来选择管脚组的子集，以启用存储器设备和存储器控制器之间的数据传输

在管脚组的所选子集中的管脚上多路复用地址位和数据位，以在存储器设备和存储器控制器之间传输数据