



(12)发明专利

(10)授权公告号 CN 104424369 B

(45)授权公告日 2017.08.25

(21)申请号 201310380431.0

(22)申请日 2013.08.28

(65)同一申请的已公布的文献号  
申请公布号 CN 104424369 A

(43)申请公布日 2015.03.18

(73)专利权人 京微雅格(北京)科技有限公司  
地址 100083 北京市海淀区学院路30号天  
工大厦B座20层

(72)发明人 李璇 樊平 刘明

(74)专利代理机构 北京亿腾知识产权代理事务  
所 11309

代理人 陈霖

(51)Int.Cl.  
G06F 17/50(2006.01)

(56)对比文件

CN 102890729 A,2013.01.23,  
CN 102081689 A,2011.06.01,  
US 7257795 B1,2007.08.14,  
US 7818705 B1,2010.10.19,

审查员 刘天晓

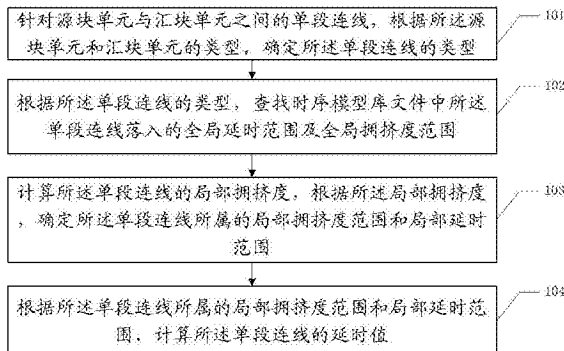
权利要求书2页 说明书9页 附图2页

(54)发明名称

一种FPGA映射后网表的时序估算方法

(57)摘要

本发明提出一种FPGA映射后网表的时序估算方法,包括:针对源块单元与汇块单元之间的单段连线,根据所述源块单元和汇块单元的类型,确定所述单段连线的类型;根据所述单段连线的类型,查找时序模型库文件中所述单段连线落入的全局延时范围及全局拥挤度范围;计算所述单段连线的局部拥挤度,根据所述局部拥挤度,确定所述单段连线所属的局部拥挤度范围和局部延时范围;根据所述单段连线所属的局部拥挤度范围和局部延时范围,计算所述单段连线的延时值。由此可估算出FPGA布局布线前的最高工作频率并生成时钟约束文件,代替用户设置的时钟约束作为布局布线工具的输入,使其能以更少的迭代次数获得更佳的最高频率。



1. 一种FPGA映射后网表的时序估算方法,包括:

针对源块单元与汇块单元之间的单段连线,根据所述源块单元和汇块单元的类型,确定所述单段连线的类型;

根据预设的网表中记录的各类连线的源块单元的数目和芯片上所述源块单元的总数,计算各类连线的源块单元的利用率;

根据预设的网表中记录的各类连线的汇块单元的数目和芯片上所述汇块单元的总数,计算各类连线的汇块单元的利用率;

根据所述单段连线的类型、源块单元的利用率和汇块单元的利用率,查找所述时序模型库文件中所述单段连线落入的全局延时范围及全局拥挤度范围;

计算所述单段连线的局部拥挤度,根据所述局部拥挤度,确定所述单段连线所属的局部拥挤度范围和局部延时范围;

根据所述单段连线所属的局部拥挤度范围和局部延时范围,计算所述单段连线的延时值。

2. 根据权利要求1所述的FPGA映射后网表的时序估算方法,其特征在于,所述计算所述单段连线的局部拥挤度包括:

计算源块单元和汇块单元的扇出拥挤度;

根据所述源块单元和汇块单元的扇出拥挤度,计算所述源块单元与汇块单元之间单段连线的局部拥挤度。

3. 根据权利要求2所述的FPGA映射后网表的时序估算方法,其特征在于,所述计算源块单元和汇块单元的扇出拥挤度包括:

根据K1、K2、K3、K4和K5计算源块单元的扇出拥挤度;

根据K0、K2、K3、K4和K5计算汇块单元的扇出拥挤度;

其中,K0为源块单元的扇出单元中,与汇块单元类型相同的数目;K1为汇块单元的扇出单元中,与源块单元类型相同的数目再加1;K2为源块单元的扇入扇出单元总数;K3为汇块单元的扇入扇出单元总数;K4为K2集合中的单元数目减去K0集合中的单元数目;K5为K3集合中的单元数目减去K1集合中的单元数目。

4. 一种FPGA映射后网表的时序估算方法,包括:

根据源块单元和汇块单元的类型,对源块单元与汇块单元之间的单段连线进行分类;

针对各类单段连线中的每一类单段连线,根据布局布线后生成的网表标注文件中各单段连线在芯片上经过的连线盒跳数,划分为多个跳数集合;

根据所述各集合中单段连线的局部拥挤度,确定所述各跳数集合的局部拥挤度范围;

根据所述各集合中单段连线的布局布线后的延时值,确定所述各跳数集合的局部延时范围;

根据所述各集合的局部延时范围和局部拥挤度范围,建立时序模型库文件。

5. 根据权利要求4所述的FPGA映射后网表的时序估算方法,其特征在于,所述多个跳数集合是指3个跳数集合。

6. 根据权利要求5所述的FPGA映射后网表的时序估算方法,其特征在于,所述针对各类单段连线中的每一类单段连线,根据布局布线后生成的网表标注文件中各单段连线在芯片上经过的连线盒跳数,划分为3个跳数集合包括:

针对各类单段连线中的每一类单段连线,根据布局布线后生成的网表标注文件中各单段连线在芯片上经过的连线盒跳数的不同,将各类连线分为N档,统计各档内的单段连线总数,将具有最大单段连线总数的第i档对应的连线盒跳数作为典型跳数j,并统计出第i档内单段连线的第二最小延时值和第二最大延时值;

遍历所有单段连线在芯片上经过的连线盒跳数大于j的档,计算各档内所有单段连线的几何平均延时值;

将所述所有单段连线的几何平均延时值大于所述第二最大延时值的M个档归为大跳数集合,剩余的N-M个档归为典型跳数集合;

根据大跳数集合与典型跳数集合的交集,将所述N个档重新划分为小跳数集合、典型跳数集合和大跳数集合。

7. 根据权利要求4所述的FPGA映射后网表的时序估算方法,其特征在于,所述根据所述各集合中单段连线的局部拥挤度,确定所述各跳数集合的局部拥挤度范围包括:

根据所述各集合中单段连线的局部拥挤度,统计所述各集合中单段连线的最小局部拥挤度和最大局部拥挤度,并计算所述各集合中所有单段连线的几何平均局部拥挤度,所述最小局部拥挤度、最大局部拥挤度和几何平均局部拥挤度组成各集合的局部拥挤度范围。

8. 根据权利要求4所述的FPGA映射后网表的时序估算方法,其特征在于,所述根据所述各集合中单段连线的布局布线后的延时值,确定所述各跳数集合的局部延时范围包括:

根据所述各集合中单段连线的布局布线后的延时值,统计所述各集合中单段连线的第二最小延时值和第二最大延时值,并计算所述各集合中所有单段连线的几何平均延时值,所述第二最小延时值、第二最大延时值和几何平均延时值组成各集合的局部延时范围。

## 一种FPGA映射后网表的时序估算方法

### 技术领域

[0001] 本发明涉及芯片布局领域,尤其涉及一种FPGA映射后网表的时序估算方法。

### 背景技术

[0002] 现场可编程逻辑门阵列(Field Programmable Gate Array,FPGA)软件所能达到的最高频率是FPGA芯片性能的一个衡量指标,它与用户设置的初始时钟约束有很大关系,不同的初始时钟约束可能导致最终达到的最高频率有很大不同,而FPGA时序估计一般在布局布线后进行。在布局布线前做FPGA时序估计,由于缺乏块单元和布线资源的片上物理位置信息,要达到较小的误差有很大的难度,该领域的研究在当前业界基本属于空白状态。

### 发明内容

[0003] 本发明的目的是提供一种对用户设计的门级电路进行综合及库映射之后形成的网表进行时序估算的方法,从而生成更合适的时钟约束文件,代替用户时钟约束作为布局布线工具的输入,使FPGA软件能以更少的迭代次数获得更佳的最高频率。

[0004] 为实现上述目的,第一方面,本发明提供了一种FPGA映射后网表的时序估算方法,该方法包括:

[0005] 针对源块单元与汇块单元之间的单段连线,根据所述源块单元和汇块单元的类型,确定所述单段连线的类型;

[0006] 根据所述单段连线的类型,查找时序模型库文件中所述单段连线落入的全局延时范围及全局拥挤度范围;

[0007] 计算所述单段连线的局部拥挤度,根据所述局部拥挤度,确定所述单段连线所属的局部拥挤度范围和局部延时范围;

[0008] 根据所述单段连线所属的局部拥挤度范围和局部延时范围,计算所述单段连线的延时值。

[0009] 在上述方法中,所述根据所述单段连线的类型,查找时序模型库文件中所述单段连线落入的全局延时范围及全局拥挤度范围包括:

[0010] 根据预设的网表中记录的各类连线的源块单元的数目和芯片上所述源块单元的总数,计算各类连线的源块单元的利用率;

[0011] 根据预设的网表中记录的各类连线的汇块单元的数目和芯片上所述汇块单元的总数,计算各类连线的汇块单元的利用率;

[0012] 根据所述单段连线的类型、源块单元的利用率和汇块单元的利用率,查找所述时序模型库文件中所述单段连线落入的全局延时范围及全局拥挤度范围。

[0013] 在上述方法中,所述计算所述单段连线的局部拥挤度包括:

[0014] 计算源块单元和汇块单元的扇出拥挤度;

[0015] 根据所述源块单元和汇块单元的扇出拥挤度,计算所述源块单元与汇块单元之间单段连线的局部拥挤度。

- [0016] 在上述方法中,所述计算源块单元和汇块单元的扇出拥挤度包括:
- [0017] 根据K1、K2、K3、K4和K5计算源块单元的扇出拥挤度;
- [0018] 根据K0、K2、K3、K4和K5计算汇块单元的扇出拥挤度;
- [0019] 其中,K0为源块单元的扇出单元中,与汇块单元类型相同的数目;K1为汇块单元的扇出单元中,与源块单元类型相同的数目再加1(源节点单元本身);K2为源块单元的扇入扇出单元总数;K3为汇块单元的扇入扇出单元总数;K4为K2集合中的单元数目减去K0集合中的单元数目;K5为K3集合中的单元数目减去K1集合中的单元数目。
- [0020] 第二方面,本发明提供了一种FPGA映射后网表的时序估算方法,该方法包括:
- [0021] 根据源块单元和汇块单元的类型,对源块单元与汇块单元之间的单段连线进行分类;
- [0022] 针对各类单段连线中的每一类单段连线,根据布局布线后生成的网表标注文件中各单段连线在芯片上经过的连线盒跳数,划分为多个跳数集合;
- [0023] 根据所述各集合中单段连线的局部拥挤度,确定所述各跳数集合的局部拥挤度范围;
- [0024] 根据所述各集合中单段连线的布局布线后的延时值,确定所述各跳数集合的局部延时范围;
- [0025] 根据所述各集合的局部延时范围和局部拥挤度范围,建立时序模型库文件。
- [0026] 在上述方法中,所述多个跳数集合是指3个跳数集合。
- [0027] 在上述方法中,所述针对各类单段连线中的每一类单段连线,根据布局布线后生成的网表标注文件中各单段连线在芯片上经过的连线盒跳数,划分为3个跳数集合包括:
- [0028] 针对各类单段连线中的每一类单段连线,根据布局布线后生成的网表标注文件中各单段连线在芯片上经过的连线盒跳数的不同,将各类连线分为N档,统计各档内的单段连线总数,将具有最大单段连线总数的第i档对应的连线盒跳数作为典型跳数j,并统计出第i档内单段连线的第一最小延时值和第一最大延时值;
- [0029] 遍历所有单段连线在芯片上经过的连线盒跳数大于j的档,计算各档内所有单段连线的几何平均延时值;
- [0030] 将所述所有单段连线的几何平均延时值大于所述第一最大延时值的M个档归为大跳数集合,剩余的N-M个档归为典型跳数集合;
- [0031] 根据大跳数集合与典型跳数集合的交集,将所述N个档重新划分为小跳数集合、典型跳数集合和大跳数集合。
- [0032] 在上述方法中,所述根据所述各集合中单段连线的局部拥挤度,确定所述各跳数集合的局部拥挤度范围包括:
- [0033] 根据所述各集合中单段连线的局部拥挤度,统计所述各集合中单段连线的最小局部拥挤度和最大局部拥挤度,并计算所述各集合中所有单段连线的几何平均局部拥挤度,所述最小局部拥挤度、最大局部拥挤度和几何平均局部拥挤度组成各集合的局部拥挤度范围。
- [0034] 在上述方法中,所述根据所述各集合中单段连线的延时值,确定所述各跳数集合的局部延时范围包括:
- [0035] 根据所述各集合中单段连线的布局布线后的延时值,统计所述各集合中单段连线

的第二最小延时值和第二最大延时值,并计算所述各集合中所有单段连线的几何平均延时值,所述第二最小延时值、第二最大延时值和几何平均延时值组成各集合的局部延时范围。

[0036] 本发明提供的FPGA映射后网表的时序估算方法,在FPGA芯片上首先完成一次布局布线,然后基于该次布线后各单段连线的延时值及局部拥挤度,建立时序模型库文件,然后对网表中任一单段连线,通过在时序模型库文件中匹配与其相应的局部拥挤度范围和局部延时范围,计算该单段连线的延时值。

### 附图说明

[0037] 下面通过附图和实施例,对本发明的技术方案做进一步的详细描述。

[0038] 图1是本发明实施例一提供的FPGA映射后网表的时序估算方法流程图;

[0039] 图2为一种网表的结构示意图;

[0040] 图3是本发明实施例二提供的FPGA映射后网表的时序估算方法流程图。

### 具体实施方式

[0041] 将用户设计的电路进行综合以及库映射之后形成网表,从而也可以得到基本单元以及它们的连接关系,其中,基本单元包括:查找表、寄存器、存储器、输入输出等等,基本单元之间的连线称为单段连线,通常在FPGA芯片上完成一次布局布线,根据该布局布线的结果就可以唯一的确定任意单段连线的延时值。

[0042] 图1是本发明实施例一提供的FPGA映射后网表的时序估算方法流程图。如图1所示,本发明实施例提供的方法包括:

[0043] 步骤101,针对源块单元与汇块单元之间的单段连线,根据所述源块单元和汇块单元的类型,确定所述单段连线的类型。

[0044] 对于预设的网表中记录的连线可以分为两类:硬连线和非硬连线,硬连线是指FPGA芯片上端口到端口之间的连线是唯一确定的;非硬连线是指FPGA芯片上端口与端口之间的连线可以有多种方式,通常时序估计算法针对的是预设的网表中的非硬连线。预设的网表中记录的基本单元包括:LUT、LUTC、REG和IO等几种,而预设的网表中的连线根据连接该连线的源节点和汇节点类型的不同而可以分为多种类型,即任意一单段连线,根据源节点和汇节点的类型,可以唯一的确定该单段连线的类型,举例为,LUT-LUT、LUTC-LUT、REG-LUT和IO-LUT等。

[0045] 需要说明的是,对预设的网表中的单段连线分类后,就可以计算每类连线的源节点的利用率和汇节点的利用率,源节点的利用率可以反映源节点资源的全局拥堵状态,汇节点的利用率可以反映汇节点资源的全局拥堵状态,举例为,上述源、汇节点均为LUT,且它的利用率为3%,那么说明该类连线目前在芯片上还不是很拥堵。在一种具体实施例中,源节点和汇节点的利用率的公式如下所示:

[0046] 源节点的利用率=预设的网表中源节点的数目/芯片上源节点的数目 (1)

[0047] 汇节点的利用率=预设的网表中汇节点的数目/芯片上汇节点的数目 (2)

[0048] 根据公式(1)和(2)计算得到每类连线的源节点和汇节点的利用率之后,再结合在FPGA芯片上完成一次布局布线后单段连线的延时值,就可以唯一的确定出每类连线中最小延时值和最大延时值。

[0049] 步骤102,根据所述单段连线的类型,查找时序模型库文件中所述单段连线落入的全局延时范围及全局拥挤度范围。

[0050] 具体地,对于任意一单段连线,依照步骤101就可以确定该单段连线的类型,再结合该单段连线所属连线类型的利用率,就可以查找到时序模型库文件中该单段连线落入的全局延时范围及全局拥挤度范围,如下所示:

[0051]

```

<nets>
  <segment src="lut" dst="lut">
    <senario util="(0.03 0.03)">
      <k min="(0.100 0.167 0.189)" typical="(0.192 0.211 0.232)"
max="(0.235 0.235 0.235)"/>
      <delay min="(156 187 208) (156 187 208)" typical="(218 269
376) (218 269 376)" max="(389 450 501) (389 450 501)"/>
    </senario>
  </segment>
  <segment src="lut" dst="reg">
    <scenario util="(0.005 0.004)">
      <k min="(0.210 0.227 0.236)" typical="(0.275 0.276
0.277)" max="(0.294 0.294 0.294)"/>
      <delay min="(79 88 104) (88 88 94)" typical="(79 130
352) (84 129 308)" max="(379 379 379) (333 333 333)"/>
    </senario>
  </segment>
</nets>

```

[0052] 需要说明的是,上述时序模型库文件中记录了两种类型的连线,每一组<segment></segment>表示为一种类型的连线。以第一组<segment></segment>为例对该时序模型库文件进行解释,行<segment src="lut"dst="lut">表示类型为LUT-LUT的连线,即源节点和汇节点的的类型均为LUT,行<senario util="(0.03 0.03)">表示源节点和汇节点的利用率均为0.03,行<k conf="0.5"min="(0.100 0.167 0.189)"typical="(0.192 0.211 0.232)"max="(0.235 0.235 0.235)"/>表示LUT-LUT类型连线的“min”、“typical”和“max”三个集合对应的局部拥挤度范围,其中,每个集合的三个值分别表示该集合对应的最小局部拥挤度值、几何平均局部拥挤度值和最大局部拥挤度值,行<delay min="(156 187 208)

(156 187 208) "typ="(218 269 376) (218 269 376) "max="(389 450 501) (389 450 501)"/>表示“min”、“typical”和“max”三个集合对应的延时值范围,其中,每个集合的三个值分别表示该集合对应的最小延时值、几何平均延时值和最大延时值。具体地,针对任意一单段连线,假如该单段连线的类型LUT-LUT,且源节点和汇节点的利用率均为0.03,则根据该单段连线的类型和源节点和汇节点的利用率,就可以在上述时序模型库文件中查找到该单段连线落入的全局延时范围及全局拥挤度范围,其全局延时范围及全局拥挤度范围如上述时序模型库文件中第4-7行所示。

[0053] 步骤103,计算所述单段连线的局部拥挤度,根据所述局部拥挤度,确定所述单段连线所属的局部拥挤度范围和局部延时范围。

[0054] 具体地,在计算单段连线的局部拥挤度之前,先要计算该单段连线的源节点的扇出拥挤度和汇节点的扇出拥挤度,根据源节点和汇节点的扇出拥挤度,计算源节点与汇节点之间单段连线的局部拥挤度。图2为一种网表的结构示意图。如图2所示,对源节点与汇节点之间的单段连线,可以通过6个系数来描述它的局部拥挤度状态:K0为源节点的扇出单元中,与汇节点单元类型相同的数目;K1为汇节点的扇出单元中,与源节点单元类型相同的数目再加1(源节点单元本身);K2为源节点的扇入扇出单元总数;K3为汇节点的扇入扇出单元总数;K4为K2集合中的单元数目减去K0集合中的单元数目;K5为K3集合中的单元数目减去K1集合中的单元数目。

[0055] 从图2中可以求出K0=2,K1=2,K2=3,K3=5,K4=1,K5=3。

[0056] 具体地,通过建立如下公式来描述该单段连线的局部拥挤度与K0、K1、K2、K3、K4、K5之间的关系。

$$[0057] \quad \begin{bmatrix} K2 & -K0 \\ -K1 & K3 \end{bmatrix} \begin{bmatrix} x1 \\ x2 \end{bmatrix} = \begin{bmatrix} k4 \\ k5 \end{bmatrix} \quad (3)$$

[0058] 其中,x1和x2分别代表源节点和汇节点的局部拥挤度一维坐标,求得x1=x2=1。

[0059] 当|x1-x2|=0时,局部拥挤度最大。

[0060] 当K0=1时,根据如下公式求得源节点的扇出拥挤度:

[0061]

$$\text{src\_kdegree} = |x2 - x1| = \text{fabs}\left(\frac{K1 * K4 + K2 * K5 - K3 * K4 - K5}{K2 * K3 - K1}\right) \quad (4)$$

[0062] 当K1=1时,根据如下公式可求得汇节点的扇出拥挤度:

[0063]

$$\text{sink\_kdegree} = |x2 - x1| = \text{fabs}\left(\frac{K4 + K2 * K5 - K3 * K4 - K0 * K5}{K2 * K3 - K0}\right) \quad (5)$$

[0064] 求出源节点与汇节点的扇出拥挤度之后,就可根据如下公式求得源节点与汇节点之间单段连线的局部拥挤度:

$$[0065] \quad \text{kdegree} = (\text{src\_kdegree} + \text{sink\_kdegree}) / 2 \in [0, 1] \quad (6)$$

[0066] 需要说明的是,根据公式(6)求得单段连线的局部拥挤度之后,就可以在上述时序模型库文件中确定该单段连线的集合。举例为,属于LUT-LUT类型,且源、汇节点的利用率均为0.03的某一单段连线的局部拥挤度为0.22,通过将0.22和“min”集合的最小局部拥挤度



值0.100和最大局部拥挤度值0.189比较,可知该单段连线属于“typical”集合或者“max”集合,通过进一步和“typical”集合的最小局部拥挤度值0.192和最大局部拥挤度值0.232比较可知,该单段连线的局部拥挤度范围为(0.192 0.211 0.232),对应的局部延时范围为(218 269 376)。

[0067] 步骤104,根据所述单段连线所属的局部拥挤度范围及局部延时范围,计算所述单段连线的延时值。

[0068] 具体地,对依照步骤103中求得的单段连线的局部拥挤度为0.22,且单段连线属于“typical”集合,然后判断所求得的局部拥挤度值是否小于等于“typical”集合对应的局部拥挤度范围中的几何平均局部拥挤度值,如果小于等于,则根据“typical”集合对应的局部拥挤度范围中的几何平均局部拥挤度值和最小局部拥挤度值,以及“typical”集合对应的局部延时范围中的几何平均延时值和最小延时值,求得该单段连线的延时值;如果大于,则根据“typical”集合对应的局部拥挤度范围中的几何平均局部拥挤度值和最大局部拥挤度值,以及“typical”集合对应的局部延时范围中的几何平均延时值和最大延时值,求得该单段连线的延时值。举例为,因为该单段连线的局部拥挤度值为 $0.22 > 0.211$ ,那么根据如下公式求得该单段连线的延时值:

$$[0069] \quad T_{\text{final}} = 269 + (376 - 269) * \beta \quad (7)$$

[0070] 其中, $T_{\text{final}}$ 表示该单段连线的延时值, $\beta = (0.22 - 0.211) / (0.232 - 0.211)$ 。

[0071] 图3是本发明实施例二提供的FPGA映射后网表的时序估算方法流程图。如图3所示,本发明实施例提供的方法包括:

[0072] 步骤301,根据源块单元和汇块单元的类型,对源块单元与汇块单元之间的单段连线进行分类。

[0073] 预设的网表中记录的基本单元包括:LUT、LUTC、REG和IO等几种,而预设的网表中的连线根据连接该连线的源节点和汇节点类型的不同而可以分为多种类型,即任意一单段连线,根据源节点和汇节点的类型,可以唯一的确定该单段连线的类型,举例为,LUT-LUT、LUTC-LUT、REG-LUT或IO-LUT等,同样,可对预设的网表中所有单段连线分为LUT-LUT、LUTC-LUT、REG-LUT和IO-LUT等几种类型。

[0074] 步骤302,针对各类单段连线中的每一类单段连线,根据布局布线后生成的网表标注文件中各单段连线在芯片上经过的连线盒跳数,划分为多个跳数集合。

[0075] 在一种具体实施例中,可以划分为三个跳数集合,具体地,针对各类连线中的每一类单段连线,根据根据布局布线后生成的网表标注文件中各单段连线在芯片上经过的连线盒跳数的不同,将各类连线分为N档,其中,布局布线后生成的网表标注文件中记录了网表中任一单段连线间所经过的选择器开关节点集合,由此可得到任一单段连线所经过的选择器开关节点个数,即连线盒跳数,统计各档内的单段连线总数,将具有最大单段连线总数的第i档对应的连线盒跳数作为典型跳数j,并统计出第i档内单段连线的第一最小延时值和第一最大延时值;遍历所有单段连线在芯片上经过的连线盒跳数大于j的档,计算各档内所有单段连线的几何平均延时值;将所述所有单段连线的几何平均延时值大于所述第一最大延时值的M个档归为大跳数集合(“max”集合),剩余的N-M个档归为典型跳数集合,即(“typical”集合),典型跳数集合也可以称为中间跳数集合,记录了大多数的单段连线所属的局部拥挤度范围和局部延时范围;根据大跳数集合与典型跳数集合的交集,将所述N个档

重新划分为小跳数集合(“min”集合)、典型跳数集合和大跳数集合。

[0076] 步骤303,根据所述各集合中单段连线的局部拥挤度,确定所述各跳数集合的局部拥挤度范围。

[0077] 对依照步骤302中确定的小跳数集合、典型跳数集合和大跳数集合,根据各集合中单段连线的局部拥挤度,统计各集合中单段连线的最小局部拥挤度KMIN和最大局部拥挤度KMAX,并计算各集合中所有单段连线的几何平均局部拥挤度KGEO,KMIN、KMAX和KGEO组成各集合的局部拥挤度范围,具体地,小跳数集合对应的局部拥挤度范围为[MIN\_KMIN,MIN\_KGEO,MIN\_KMAX],典型跳数集合对应的局部拥挤度范围为[TYP\_KMIN,TYP\_KGEO,TYP\_KMAX],大跳数集合对应的局部拥挤度范围为[MAX\_KMIN,MAX\_KGEO,MAX\_KMAX]。

[0078] 步骤304,根据所述各集合中单段连线的布局布线后的延时值,确定所述各跳数集合的局部延时范围。

[0079] 对依照步骤302中确定的小跳数集合、典型跳数集合和大跳数集合,根据各集合中单段连线的布局布线后的延时值,统计各集合中单段连线的第二最小延时值DMIN和第二最大延时值DMAX,并计算所述各集合中所有单段连线的几何平均延时值DGEO,DMIN、DMAX和DGEO组成各集合的局部延时范围,具体地,小跳数集合对应的局部延时范围为[MIN\_DMIN,MIN\_DGEO,MIN\_DMAX],典型跳数集合对应的局部延时范围为[TYP\_DMIN,TYP\_DGEO,TYP\_DMAX],大跳数集合对应的局部延时范围为[MAX\_DMIN,MAX\_DGEO,MAX\_DMAX]。

[0080] 步骤305,根据所述各集合的局部延时范围和局部拥挤度范围,建立时序模型库文件。

[0081] 依照步骤301对预设的网表中所有单段连线分为LUT-LUT、LUTC-LUT、REG-LUT和IO-LUT等几种类型之后,再依照步骤101中源节点和汇节点利用率的计算方法,计算分类后的每类连线的源节点的利用率和汇节点的利用率。具体地,根据每类连线的源节点的利用率和汇节点的利用率,以及每类连线的划分的三个跳数集合对应的局部拥挤度范围和局部延时范围,可以构建如下所示的时序模型库文件:

[0082]

```
<nets>
  <segment src="lut" dst="lut">
    <scenario util="(0.03 0.03)">
      <k min="(0.100 0.167 0.189)" typical="(0.192 0.211 0.232)"
max="(0.235 0.235 0.235)"/>
      <delay min="(156 187 208) (156 187 208)" typical="(218 269
376) (218 269 376)" max="(389 450 501) (389 450 501)"/>
    </scenario>
  </segment>
  <segment src="lut" dst="reg">
```

[0083]

```

    <scenario util="(0.005 0.004)">
        <k min="(0.210 0.227 0.236)" typical="(0.275 0.276
0.277)" max="(0.294 0.294 0.294)"/>
        <delay min="(79 88 104) (88 88 94)" typical="(79 130
352) (84 129 308)" max="(379 379 379) (333 333 333)"/>
    </senario>
</segment>
</nets>

```

[0084] 需要说明的是,行<segment src="lut"dst="lut">表示类型为LUT-LUT的连线,即源节点和汇节点的的类型均为LUT,行<senario util="(0.030.03)">表示源节点和汇节点的利用率均为0.03,行<kconf="0.5"min="(0.100 0.167 0.189)"typical="(0.192 0.211 0.232)"max="(0.235 0.235 0.235)"/>表示LUT-LUT类型连线的“min”、“typical”和“max”三个集合对应的局部拥挤度范围,其中,每个集合的三个值分别表示该集合对应的最小局部拥挤度值、几何平均局部拥挤度值和最大局部拥挤度值,行<delay min="(156 187 208) (156 187 208)"typical="(218 269 376) (218 269 376)"max="(389 450 501) (389 450 501)"/>表示“min”、“typical”和“max”三个集合对应的延时值范围,其中,每个集合的三个值分别表示该集合对应的最小延时值、几何平均延时值和最大延时值。

[0085] 步骤306-步骤309与步骤101-104相同。

[0086] 需要说明的是,对依照步骤301-305建立好时序模型库文件之后,对于任意一段连线,依照步骤101-104即可求得该单段连线的延时值。

[0087] 本发明提供的FPGA映射后网表的时序估算方法,在FPGA芯片上首先完成一次布局布线,然后基于该次布线后各单段连线的延时值及局部拥挤度,建立时序模型库文件,然后对网表中任一单段连线,通过在时序模型库文件中匹配与其相应的局部拥挤度范围和局部延时范围,计算该单段连线的延时值,从而生成更合适的时钟约束文件,代替用户时钟约束作为布局布线工具的输入,使FPGA软件能以更少的迭代次数获得最佳的最高频率。解决了现有技术中,在布局布线前做时序估计,由于缺乏块单元和布线资源的片上物理位置信息,要达到较小误差有很大难度的问题。

[0088] 专业人员应该还可以进一步意识到,结合本文中所公开的实施例描述的各示例的单元及算法步骤,能够以电子硬件、计算机软件或者二者的结合来实现,为了清楚地说明硬件和软件的可互换性,在上述说明中已经按照功能一般性地描述了各示例的组成及步骤。这些功能究竟以硬件还是软件方式来执行,取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能,但是这种实现不应认为超出本发明的范围。

[0089] 结合本文中所公开的实施例描述的方法或算法的步骤可以用硬件、处理器执行的软件模块,或者二者的结合来实施。软件模块可以置于随机存储器(RAM)、内存、只读存储器

(ROM)、电可编程ROM、电可擦除可编程ROM、寄存器、硬盘、可移动磁盘、CD-ROM、或技术领域内所公知的任意其它形式的存储介质中。

[0090] 以上所述的具体实施方式,对本发明的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本发明的具体实施方式而已,并不用于限定本发明的保护范围,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

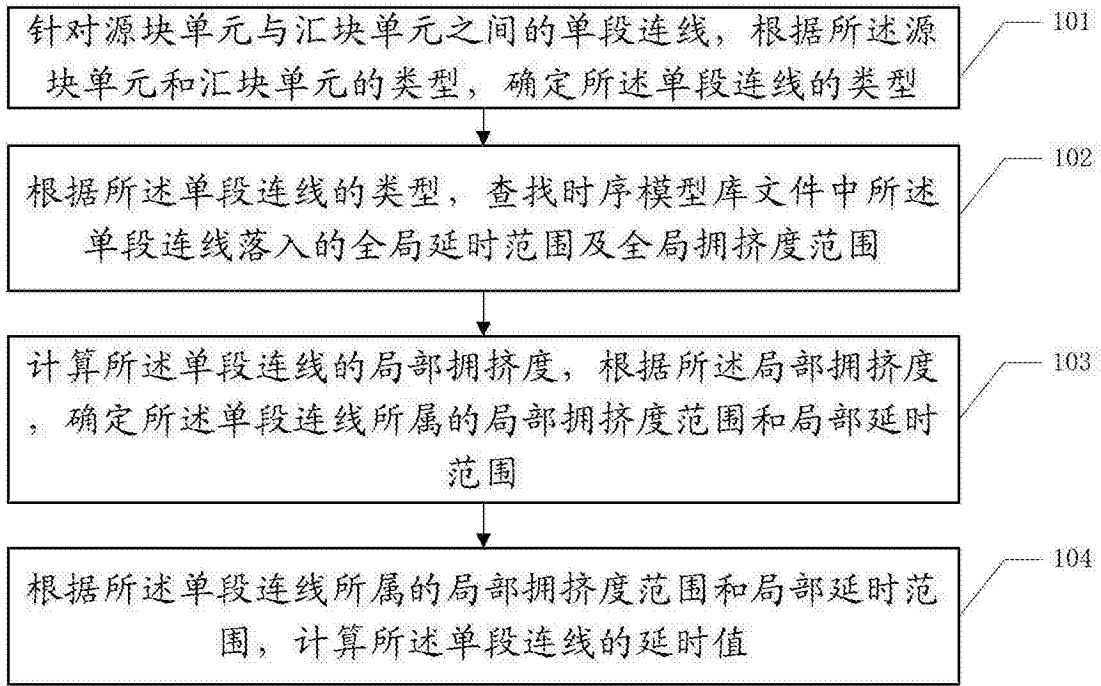


图1

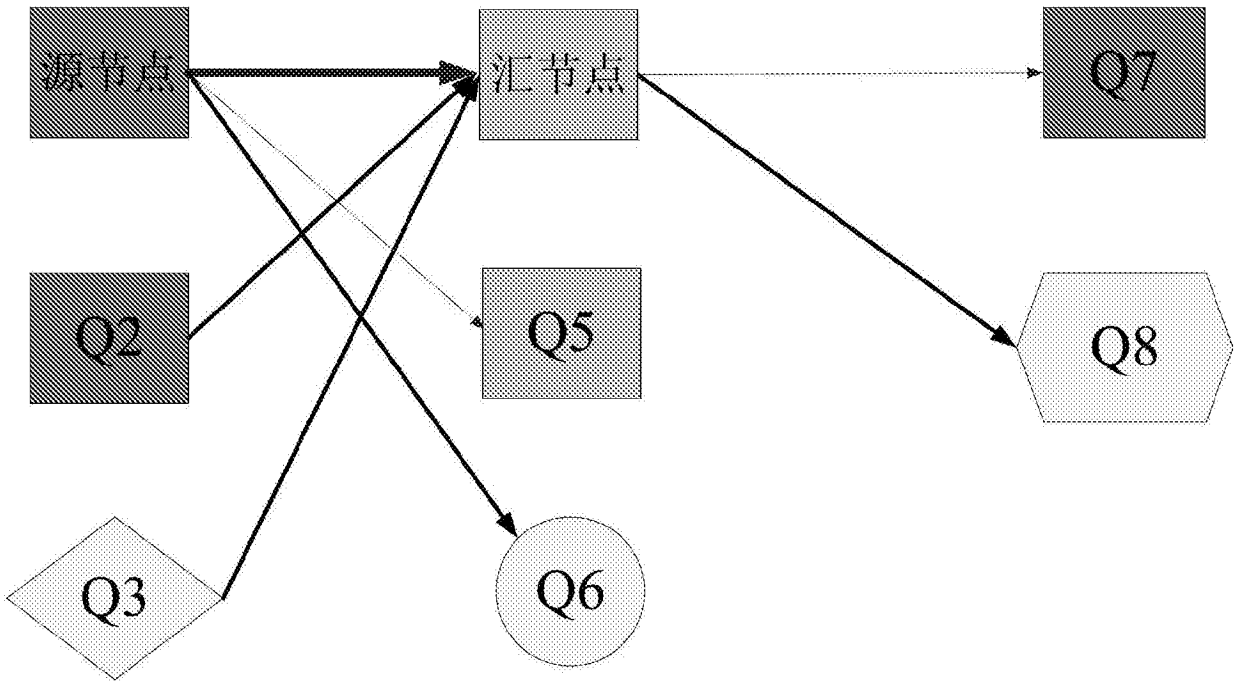


图2

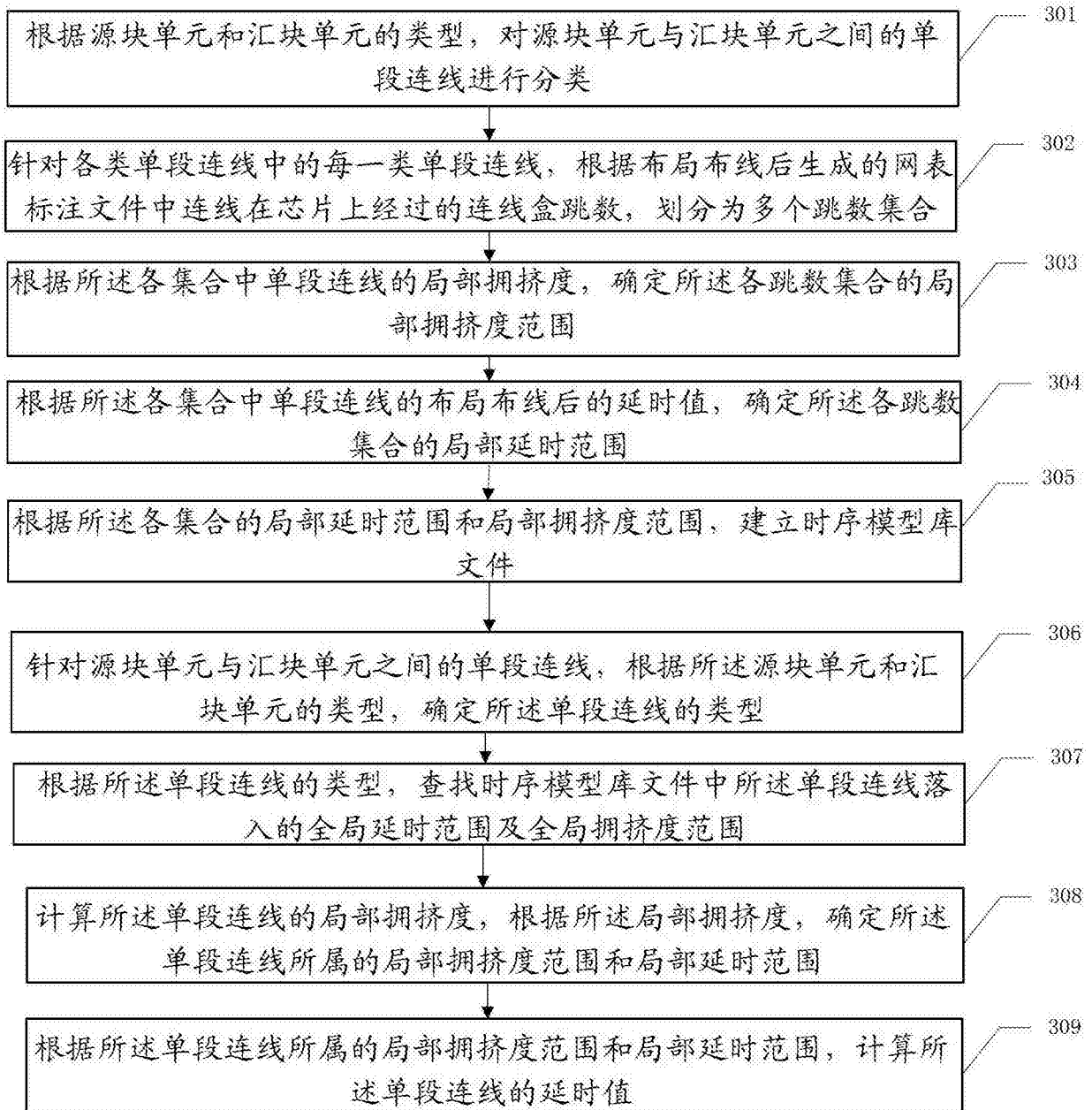


图3