

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-7252

(P2014-7252A)

(43) 公開日 平成26年1月16日(2014.1.16)

(51) Int.Cl.
H01L 33/10 (2010.01)

F I
H01L 33/00 130

テーマコード(参考)
5F141

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号 特願2012-141292 (P2012-141292)
(22) 出願日 平成24年6月22日 (2012.6.22)

(71) 出願人 000002303
スタンレー電気株式会社
東京都目黒区中目黒2丁目9番13号
(74) 代理人 100091340
弁理士 高橋 敬四郎
(74) 代理人 100141302
弁理士 鶴飼 伸一
(74) 代理人 100168561
弁理士 足立 能啓
(72) 発明者 東野 二郎
東京都目黒区中目黒2丁目9番13号 ス
タンレー電気株式会社内
Fターム(参考) 5F141 AA03 CA04 CA05 CA12 CA40
CA65 CA74 CB15

(54) 【発明の名称】 半導体発光素子、および、半導体発光素子の製造方法

(57) 【要約】

【課題】

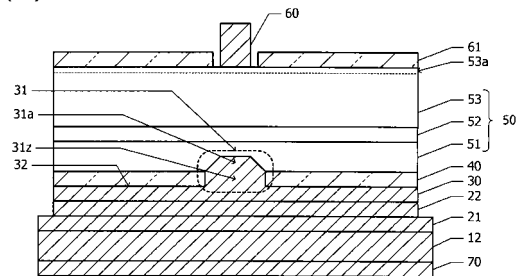
本発明の目的は、従来よりも光取り出し効率が高い半導体発光素子を提供することにある。

【解決手段】

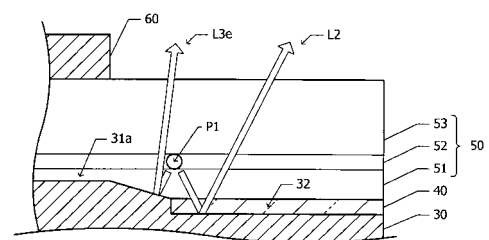
光取り出し効率が高い半導体発光素子は、支持基板上に形成され、所定の平面パターンを有する土手部を含む光反射層と、前記光反射層上に該光反射層の土手部を取り囲むように形成される、透光性を有する第1の電極と、前記第1の電極上に形成され、少なくとも、第1導電性を有する第1の半導体層、発光性を有する活性層、および、第2導電性を有する第2の半導体層が順次積層する半導体積層と、前記第2の半導体層上に選択的に形成される第2の電極と、を備え、前記光反射層の土手部は、平面視において前記第2の電極と重なる部分を含み、断面視において前記第1の電極から突出する部分を含み、前記活性層から放出させる光を、前記第2の半導体層の前記第2の電極が形成されていない領域へ反射する側壁面を有する。

【選択図】 図2

(2A)



(2B)



【特許請求の範囲】

【請求項 1】

支持基板上に形成され、所定の平面パターンを有する土手部を含む光反射層と、
前記光反射層上に該光反射層の土手部を取り囲むように形成される、透光性を有する第 1 の電極と、

前記第 1 の電極上に形成され、少なくとも、第 1 導電性を有する第 1 の半導体層、発光性を有する活性層、および、第 2 導電性を有する第 2 の半導体層が順次積層する半導体積層と、

前記第 2 の半導体層上に選択的に形成される第 2 の電極と、
を備え、

前記光反射層の土手部は、平面視において前記第 2 の電極と重なる部分を含み、断面視において前記第 1 の電極から突出する部分を含み、前記活性層から放出させる光を、前記第 2 の半導体層の前記第 2 の電極が形成されていない領域へ反射する側壁面を有する、半導体発光素子。

【請求項 2】

前記光反射層の土手部は、断面視において上方に向かって徐々に幅が狭くなる形状を有する請求項 1 記載の半導体発光素子。

【請求項 3】

前記光反射層の土手部は、円弧状に窪んだ側壁面を有する請求項 2 記載の半導体発光素子。

【請求項 4】

前記光反射層の土手部は、断面視において、前記第 1 の半導体層および活性層を貫通する形状を有し、少なくとも前記活性層に対応する部分が絶縁部材を含む請求項 1 ~ 3 いずれか 1 項記載の半導体発光素子。

【請求項 5】

前記光反射層の土手部は、平面視において、前記第 2 の電極を包含する平面パターンを有する請求項 1 ~ 4 いずれか 1 項記載の半導体発光素子。

【請求項 6】

a) 成長基板上に、少なくとも、第 1 導電性を有する第 1 の半導体層、発光性を有する活性層、および、第 2 導電性を有する第 2 の半導体層が順次積層する半導体積層を成長する工程と、

b) 前記半導体積層の第 2 の半導体層表面に、透光性を有し、所定の平面パターンを有する第 1 の電極を形成する工程と、

c) 前記半導体積層の第 2 の半導体層表面の、前記第 1 の電極が形成されていない領域をエッチングして、該第 2 の半導体層表面に溝部を形成する工程と、

d) 前記溝部を埋めるとともに、前記第 1 の電極を覆って光反射層を形成する工程と、

e) 前記光反射層を、接合部材を介して支持基板上に固定し、前記半導体積層の第 1 の半導体層から前記成長基板を分離して、該第 1 の半導体層表面を露出する工程と、

f) 露出した前記第 1 の半導体層表面に、平面視において前記溝部と重なる部分を有して、第 2 の電極を選択的に形成する工程と、

を含む半導体発光素子の製造方法。

【請求項 7】

前記工程 b) は、

前記半導体積層の第 2 の半導体層表面に、前記第 1 の電極を一様に形成する工程と、

前記第 1 の電極上に、所定の平面パターンを有するレジスト膜を形成する工程と、

前記第 1 の電極の、前記レジスト膜に覆われていない領域、および、前記レジスト膜の周縁部にかかる領域をエッチングして、前記第 1 の電極を成形するとともに、該第 1 の電極から前記レジスト膜の周縁部がはみ出した状態にする工程と、

を含み、

前記工程 c) は、

10

20

30

40

50

前記第1の電極からはみ出した前記レジスト膜の周縁部をエッチングしながら、前記第2の半導体層をエッチングすることにより、前記溝部を深さ方向に向かって徐々に幅が狭くなるように形成する工程と、

を含む請求項6記載の半導体発光素子の製造方法。

【請求項8】

前記工程c)において、エッチング条件を変化させながら、前記レジスト膜の周縁部、および、前記第2の半導体層をエッチングして、前記溝部を形成する請求項7記載の半導体発光素子の製造方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体発光素子、および、その製造方法に関する。

【背景技術】

【0002】

GaN(ガリウム・窒素)等の窒化物半導体を用いた発光ダイオード(LED)は、紫外光ないし青色光を発光でき、蛍光体を利用することにより白色光を出射することができる。高出力の白色光を出射することができるLEDは、たとえば車両用灯具等、照明用光源として用いられる。

【0003】

このような半導体発光素子は、少なくともp型半導体層、発光のための活性層、および、n型半導体層が順次積層する半導体積層を有している。また、p型半導体層表面には、発光領域のほぼ全域にわたってp側電極および光反射層が形成され、n型半導体層表面には、選択的にn側電極が形成される。

20

【0004】

n側電極から注入される電子は、n型半導体層中を平面方向に拡散しながら活性層に到達し、活性層においてp側電極から注入される正孔と再結合する。そして、この再結合にかかるエネルギーが光(および熱)として放出される。活性層で発光した光は、一部は直接n型半導体層表面に到達し、一部はp型半導体層側に配設された光反射層に反射した後、n型半導体層表面に到達する。n型半導体層表面に到達した光は、n型半導体層表面のn側電極が配置されていない領域から半導体発光素子の外部に出射し、n型半導体層表面のn側電極が配置されている領域ではn側電極によって吸収される。活性層で発光する光の強度に対するn型半導体層から取り出される光の強度の比率は、光取り出し効率と呼ばれる。半導体発光素子の光取り出し効率は、より高いことが望ましい。

30

【0005】

半導体積層中を断面方向に流れる電流は、n側電極とp側電極とが対向する領域(n側電極の下方)に集中的に流れる。このため、n側電極の下方で、活性層から発光する光の強度が最も大きくなる。しかしながら、この領域で発光する光の大部分は、n側電極によって吸収されてしまうため、半導体発光素子の光取り出し効率向上に貢献しない可能性がある。

【0006】

40

n側電極の下方の位置にはp側電極を配置せずに、n側電極の下方に電流が流れないようにした電極構造が、たとえば特許文献1,2において提案されている。このような電極構造を採用することにより、活性層における発光強度が比較的高くなる位置が、n側電極の下方からその側方へずれる。そのため、当該位置から発光する光の大部分が、n型半導体層のn側電極が配置されていない領域から取り出され、半導体発光素子の光取り出し効率が向上すると考えられる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2003-133588号公報

50

【特許文献2】特開2011-129921号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の目的は、従来よりも光取り出し効率が高い半導体発光素子を提供することにある。

【課題を解決するための手段】

【0009】

本発明の主な観点によれば、支持基板上に形成され、所定の平面パターンを有する土手部を含む光反射層と、前記光反射層上に該光反射層の土手部を取り囲むように形成される、透光性を有する第1の電極と、前記第1の電極上に形成され、少なくとも、第1導電性を有する第1の半導体層、発光性を有する活性層、および、第2導電性を有する第2の半導体層が順次積層する半導体積層と、前記第2の半導体層上に選択的に形成される第2の電極と、を備え、前記光反射層の土手部は、平面視において前記第2の電極と重なる部分を含み、断面視において前記第1の電極から突出する部分を含み、前記活性層から放出させる光を、前記第2の半導体層の前記第2の電極が形成されていない領域へ反射する側壁面を有する半導体発光素子、が提供される。

10

【0010】

本発明の他の観点によれば、a)成長基板上に、少なくとも、第1導電性を有する第1の半導体層、発光性を有する活性層、および、第2導電性を有する第2の半導体層が順次積層する半導体積層を成長する工程と、b)前記半導体積層の第2の半導体層表面に、透光性を有し、所定の平面パターンを有する第1の電極を形成する工程と、c)前記半導体積層の第2の半導体層表面の、前記第1の電極が形成されていない領域をエッチングして、該第2の半導体層表面に溝部を形成する工程と、d)前記溝部を埋めるとともに、前記第1の電極を覆って光反射層を形成する工程と、e)前記光反射層を、接合部材を介して支持基板上に固定し、前記半導体積層の第1の半導体層から前記成長基板を分離して、該第1の半導体層表面を露出する工程と、f)露出した前記第1の半導体層表面に、平面視において前記溝部と重なる部分を有して、第2の電極を選択的に形成する工程と、を含む半導体発光素子の製造方法、が提供される。

20

【発明の効果】

30

【0011】

従来よりも光取り出し効率が高い半導体発光素子が提供される。

【図面の簡単な説明】

【0012】

【図1-1】および、

【図1-2】図1Aおよび図1Bは、従来例による半導体発光素子を示す断面図および平面図であり、図1Cは、従来例による半導体発光素子の発光状態における表面観察写真であり、図1Dは、従来例による半導体発光素子のn側電極層近傍を示す断面図である。

【図2】図2Aおよび図2Bは、第1の実施例による半導体発光素子を示す断面図、および、第1の実施例による半導体発光素子のn側電極層近傍を示す断面図である。

40

【図3-1】、

【図3-2】、

【図3-3】および、

【図3-4】図3A~図3Kは、第1の実施例による半導体発光素子を製造する様子を示す断面図である。

【図4】図4A~図4Cは、第2および第3の実施例による半導体発光素子、および、第3の実施例による半導体発光素子の変形例を示す断面図である。

【発明を実施するための形態】

【0013】

図1Aおよび図1Bは、従来例による半導体発光素子を示す断面図および平面図である

50

。従来例による半導体発光素子は、図1Aに示すように、主に、n側電極層60と、たとえばGaN(ガリウム・窒素)系の半導体部材から構成される半導体積層50と、p側電極層40と、光反射層30と、を含む構成である。半導体積層50は、少なくとも第1導電型であるp型の半導体層51と、発光性を有する活性層52と、第2導電型であるn型の半導体層53と、を含む。なお、このような構成を有する半導体発光素子は、接合層21, 22を介して、裏面にコンタクト層70が形成された導電性を有する支持基板12に支持される。

【0014】

半導体積層50は、活性層52を挟むように、p型半導体層51とn型半導体層53とが配置される構成を有する。p型半導体層51には、p型GaNが用いられ、p型ドーパントとして、たとえばMg(マグネシウム)が添加される。また、n型半導体層53には、n型GaNが用いられ、n型ドーパントとして、たとえばSi(シリコン)が添加される。なお、半導体積層50の構成は、上記の3種類に限らず、発光効率を向上させるためにクラッド層、コンタクト層などを任意に挿入することも可能である。また、活性層23を多層膜(多重量子井戸構造)で構成することも可能である。

10

【0015】

n型半導体層53の外側(上側)表面には、光取り出し効率を向上させるため、微細凸凹構造層、いわゆるマイクロコーン構造層(MC層)53aが形成される場合もある。この場合、MC層53aを保護するため、ボンディングパッド部以外の領域に、透光性を有する保護膜61が形成される。

20

【0016】

p型半導体層51の外側(下側)表面には、p側電極層40および光反射層30が形成される。p側電極層40は、p型半導体層51表面の、n側電極層60の下方領域を除く領域に形成される。p側電極層40は、透光性を有する部材、たとえばインジウム錫酸化物(ITO)により構成される。

【0017】

光反射層30は、p側電極層40を覆うように形成され、活性層52から放出される光を上方(n型半導体層53表面方向)へ反射する。光反射層30は、p側電極層40が形成されていない領域(n側電極層60の下方領域)に配置される凸部31z、および、凸部31z以外の平坦部32を含む。光反射層30は、活性層52で発光する光の波長に対して高反射率を有する部材、たとえばAg(銀)ないしAg合金により構成される。

30

【0018】

光反射層30の外側(下側)表面および側面には、光反射層30のマイグレーションを抑制するため、キャップ層(ないし拡散防止層)が形成される場合もある。キャップ層は、光反射層30のマイグレーションを抑制するとともに、自身によるマイグレーションが発生しにくい部材、たとえばTi(チタン)やPt(白金)等を含む積層構造により構成される。

【0019】

n側電極層60は、n型半導体層53の外側(上側)表面に形成され、たとえば図1Bに示すように、全体的平面形状が梯子状になるように形成される。n側電極層60は、たとえばTi(チタン)やAl(アルミニウム)等を含む積層構造により構成される。なお、図1Bにおいて、n側電極層60は斜線模様で示されている。また、p側電極層40(図1A参照)が形成されていない領域、ないし光反射層30の凸部31zは破線によって示されている。光反射層30の凸部31zは、平面視において、n側電極層60を包含するように形成される。または、少なくともn側電極層60と重なる部分を有して形成される。

40

【0020】

図1Cは、従来例による半導体発光素子の発光状態における表面観察写真である。図中において、梯子状に示される陰がn側電極層60(図1B参照)に対応する。また、半導体積層50上(ないしn型半導体層53上, 図1B参照)の、相対的に白く示されている

50

領域が、発光強度が高い（輝度が明るい）領域に相当し、相対的に黒く示されている領域が、発光強度が低い（輝度が暗い）領域に相当している。この観察写真から、半導体積層表面のn側電極層に近い領域で比較的発光強度が高く、n側電極層から離れている領域で比較的発光強度が低いことがわかる。

【0021】

図1Dは、従来例による半導体発光素子のn側電極層60近傍を示す断面図である。なお、図1Dでは、図1AにおけるMC層53aおよび保護膜61を省略している。

【0022】

n側電極層60から注入される電子は、n型半導体層53中を平面方向に拡散しながら活性層52に到達し、活性層52においてp側電極層40から注入される正孔と再結合する。そして、この再結合にかかるエネルギーが光（および熱）として放出される。

10

【0023】

このとき、半導体積層50中をp側電極層40からn側電極層60に向かって電流Cが流れる。活性層52における電流密度は、n側電極層60に近い位置で相対的に大きく、n側電極層60から離れるにしたがって小さくなる。すなわち、活性層52における発光強度は、n側電極層60に近い位置で相対的に大きく、n側電極層60から離れるにしたがって小さくなる。活性層52において、発光強度が最も大きくなる（電流密度が最も大きくなる）位置をP1とする。

【0024】

活性層52における位置P1で発光した光は、一部はn型半導体層53表面側（図中上方）へ放出され、一部はp型半導体層51表面側（図中下方）へ放出される。n型半導体層53表面側へ放出された光は、n型半導体層53表面のn側電極層60に覆われていない領域から出射される（光L1）。

20

【0025】

p型半導体層51表面側へ放出された光の一部は、たとえば光反射層30の平坦部32に反射された後に、n型半導体層53表面のn側電極層60に覆われていない領域から出射される（光L2）。また、p型半導体層51表面側へ放出された光の一部は、たとえば光反射層30の凸部31z上面に反射された後に、n側電極層60に吸収される（光L3c）。

【0026】

半導体発光素子の光取り出し効率を向上させるためには、発光強度が相対的に大きい光、特に位置P1から放出される光L3cを、n側電極層60に覆われていないn型半導体層53表面からより多く出射させることが望ましい。本発明者は、n側電極層60によって吸収されてしまう光L3cを、n側電極層60に覆われていないn型半導体層53表面からより多く取り出すことができる半導体発光素子の構造、特に光反射層の構造について検討を行った。

30

【0027】

図2Aは、第1の実施例による半導体発光素子を示す断面図である。この半導体発光素子は、光反射層30の構造を除いて、従来例による半導体発光素子とほぼ同等の構成を有する。

40

【0028】

第1の実施例による光反射層30は、凸部31zがp側電極層40から突出するように形成される。つまり、光反射層30の凸部31zは、p側電極層40から突出する部分（突出部）31aを含む。突出部31aは、たとえば上方（n型半導体層53表面方向）に向かって徐々に幅が狭くなるテーパ状の断面形状を有する。ここで、凸部31zおよび突出部31aを含む構成を土手部31と呼ぶこととする。

【0029】

図2Bは、第1の実施例による半導体発光素子のn側電極層60近傍を示す断面図である。なお、図2Bでは、図2AにおけるMC層53aおよび保護膜61を省略している。

【0030】

50

第1の実施例において、活性層52における位置P1からp型半導体層51表面側へ放出された光の一部は、土手部の突出部31a側壁面に反射された後に、n型半導体層53表面のn側電極層60に覆われていない領域から出射される(光L3e)。第1の実施例による光反射層30は、土手部にp側電極層40から突出する突出部31aを含むため、従来例では土手部の凸部上面に反射してn側電極層に吸収される光(L3c, 図1D参照)が、土手部の突出部側壁面に反射してn型半導体層のn側電極が配置されていない領域から取り出される(光L3e)。このような構造を有する光反射層を設けることにより、半導体発光素子の光取り出し効率を向上させることができると考えられる。

【0031】

以下に、図3A~図3Kを参照して、第1の実施例による半導体発光素子の製造方法について説明する。なお、図中における各構成部材のサイズは、実際の比率とは異なっている。

10

【0032】

最初に、半導体積層形成工程を行う。MOCVD(有機金属化学気相成長)法を用いてC面サファイア成長基板11上に、バッファ層および下地層を含む積層体54と、第1の半導体層(n型半導体層)53、活性層52、および第2の半導体層(p型半導体層)51で構成される半導体積層50と、を積層し、図3Aに示す光半導体エピウエハを得る。各層は $Al_xIn_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1$)で表される窒化物半導体から成り、必要に応じてn型ドーパントとしてSi、p型ドーパントとしてMgなどを添加する。なお、半導体積層50の構成は、上記の3種類に限らず、発光効率を向上させるためにクラッド層、コンタクト層などを任意に挿入することも可能である。また、活性層52を多層膜(多重量子井戸構造)で構成することもできる。

20

【0033】

次に、半導体エピウエハの素子化工程を行う。はじめにp型半導体層51の活性化を行う。p型半導体層51は、成長過程に於いて膜中に水素が混入し、Mg-H(マグネシウム水素)結合となっている。このような状態では、ドーパントとしての機能を果たす事が出来ず、p型半導体層51は高抵抗化している。その為、p型半導体層51の水素を膜中より追い出す活性化工程が必要となる。具体的には、熱処理炉を用いて真空又は不活性ガス雰囲気中にて400以上の熱処理を行う。

【0034】

次に、図3Bに示すように、p型半導体層51表面全面に、RFスパッタ法を用いて膜厚約15nm程度のITO膜40を形成する。その後、ITO膜40表面全面に、スピコート法などを用いてレジスト材料を塗布し、90・90秒間の熱処理を行って、レジスト膜41を形成する。実施例では、レジスト材料に東京応化工業社製OFPR800を使用した。

30

【0035】

次に、所望パターンのフォトリソグラフィを用いて、レジスト膜41の露光・現像処理を行う。その後、110・5分間のポストバーク処理を行い、図3Cに示すパターンニングされたレジスト膜41を形成する。実施例では、パターンニングされたレジスト膜41が、上方に向かって徐々に幅が狭くなるテーパ状の断面形状になるように形成した。また、そのレジスト膜41のテーパ角(レジスト膜41の底面に対する側壁面の角度)が、約60°になるように形成した。なお、本実施例の条件において、たとえば130・5分間のポストバーク処理を行うと、レジスト膜41のテーパ角は約40°程度となる。また、レジスト膜41の断面形状は、レジスト材料やパターンサイズ等によって変わってくるため、適宜ポストバーク処理条件を調整することが好ましい。

40

【0036】

次に、図3Dに示すように、一般的に用いられるITO用エッチャントを用いて、ITO膜40をウェットエッチングし、レジスト膜41のパターンに対応するパターンにITO膜40を成形する。なお、この際、ITO膜40のサイドエッチングも進行するため、ITO膜40のパターンサイズは、レジスト膜41のパターンサイズよりも小さくなる。

50

そして、レジスト膜 41 の周縁部は、ITO 膜 40 から庇状にはみ出した状態（庇部 41 a）となる。実施例では、ITO 膜 40 のサイドエッチング幅（レジスト膜 41 の庇部 41 a の長さ）を、約 $0.15 \mu\text{m}$ 程度とした。以上により、パターニングされた ITO 膜、つまり p 側電極層 40 が形成される。

【0037】

続けて、図 3 E に示すように、反応性イオンエッチング（RIE）法を用いて、p 型半導体層 51 をエッチングし、p 型半導体層 51 表面に溝部 51 a を形成する。実施例では、RIE 条件を、反応ガス Cl_2 （塩素）、反応ガス流量約 100SCCM 、反応容器内圧力約 1Pa 、ソース/バイアス電力約 $500 \text{W}/50 \text{W}$ 、エッチング時間約 50 秒とした。この RIE 条件における p 型半導体層 51 のエッチングレートは約 $160 \text{nm}/\text{min}$ 程度であり、エッチングされる p 型半導体層 51（溝部 51 a）の深さは約 130nm 程度となる。なお、エッチングにより p 型半導体層 51 表面に形成された溝部 51 a の底面および側面の表面粗さ（表面モフォロジ）は、p 型半導体層 51 のエッチングされていない領域の表面粗さよりも改善されている。

10

【0038】

このような RIE 処理では、p 型半導体層 51 がエッチングされるとともに、レジスト膜 41 も同時にエッチングされる。図 3 E では、エッチングされる前のレジスト膜が破線によって示されている。実施例の RIE 条件におけるレジスト膜 41 のエッチングレートは、p 型半導体層 51 のエッチングレートとほぼ同等の約 $160 \text{nm}/\text{min}$ である。

【0039】

このような RIE 処理において、最初に、p 型半導体層 51 のレジスト膜 41（特に庇部 41 a）によりマスクされていない領域（庇部 41 a の陰になっていない領域）がエッチングされる。RIE 処理が進行するにしたがって、レジスト膜 41 もエッチングされ、p 型半導体層 51 の庇部 41 a によりマスクされていた領域が徐々に露わになる。そして、p 型半導体層 51 の庇部 41 a によるマスクから露わになった領域が順次エッチングされていく。

20

【0040】

実施例において、レジスト膜 41 のエッチングレートと、p 型半導体層 51 のエッチングレートとはほぼ同等である。したがって、エッチングにより残された p 型半導体層 51 は、レジスト膜 41 のテーパ角とほぼ同等のテーパ角（約 60° ）を有するテーパ状の断面形状となる。逆に、p 型半導体層 51 表面に形成される溝部 51 a は、下方（成長基板 11 表面方向）に向かって徐々に幅が狭くなるテーパ状の断面形状となる。

30

【0041】

なお、RIE 処理における反応ガス流量ないしバイアス電力等を制御することにより、エッチングにより残される p 型半導体層 51 の断面形状、ないし、溝部 51 a の断面形状を調整することができる。たとえば、反応ガス流量を増やす、ないし、バイアス電力を下げると、p 型半導体層のエッチングレートがレジスト膜のエッチングレートよりも大きくなり、エッチングにより残される p 型半導体層 51 のテーパ角が、レジスト膜 41 のテーパ角よりも大きくなる。また、反応ガス流量を減らす、ないし、バイアス電力を上げると、p 型半導体層のエッチングレートがレジスト膜のエッチングレートよりも小さくなり、エッチングにより残される p 型半導体層 51 のテーパ角が、レジスト膜 41 のテーパ角よりも小さくなる。さらに、RIE 処理中に、反応ガス流量ないしバイアス電力を連続的に変化させることにより、エッチングにより残される p 型半導体層 51 の側壁面を円弧状に膨らませて（ないし窪ませて）形成することも可能である。

40

【0042】

以上より、p 型半導体層 51 表面に溝部 51 a が形成される。なお、レジスト膜 41 は、p 型半導体層 51 表面に溝部 51 a が形成された後に、除去される。

【0043】

次に、図 3 F に示すように、電子ビーム蒸着法を用いて、p 型半導体層 51 の溝部を埋めるとともに、p 側電極層 40 を覆うように、光反射層 30 を形成する。実施例では、光

50

反射層 30 に銀を用い、p 型半導体層 51 の溝部底面からの膜厚が約 150 nm になるように形成した。なお、p 型半導体層 51 の溝部に埋め込まれた光反射層 30 は、最終的に製造される半導体発光素子の、光反射層 30 における土手部 31 (ないし突出部 31a, 図 2A 参照) に対応する。

【0044】

続けて、電子ビーム蒸着法を用いて、Ti (チタン) 50 nm / Pt (白金) 200 nm / Au (金) 1200 nm の積層構造からなる接合層 22 を形成する。その後、たとえば RIE 法を用いて、成長基板 11 上に形成された、半導体積層 50、p 側電極層 40、および光反射層 30 が順次積層する積層構造体を、所望の半導体発光素子サイズに区画し、素子分離を行う。

10

【0045】

次に、図 3G に示すように、成長基板 11 上に形成された積層構造体と、支持基板 12 とを貼り合わせる。支持基板 12 としては、例えば、n 型の Si, SiC (シリコン・炭素) を用いることができる。支持基板 12 の一方の面には、接合層 21 が形成されている。接合層 21 としては、Au (金) および Sn (錫) の交互積層を用いることができる。なお、接合層 21 は、金および錫に限るものではない。

【0046】

一方の面に接合層 21 が形成された支持基板 12 を準備し、成長基板 11 側の接合層 22 と支持基板 12 側の接合部材 21 とを重ねあわせ、ウエハーボンダー装置を用いて加熱加圧し、接合界面を AuSn 共晶化して接合する。実施例では、例えば、350 kg の加圧、320 の加熱にて、5 分間接合を行う (熱圧着)。これにより、支持基板 12 上に、光反射層 30、p 側電極層 40、および半導体積層 50 が順次積層する積層構造体が固定される。

20

【0047】

次に、成長基板剥離工程を行う。この工程では、半導体積層が成長していない側の成長基板 11 裏面より、例えば、エキシマレーザ光の様な GaN が分解するエネルギーを有する高出力パルスレーザ光を照射して、成長基板 11 を半導体積層 50 より分離する LLO (レーザリフトオフ) 法を用いる。レーザには、たとえば、照射エネルギーが約 800 mJ/cm² であり、波長が約 248 nm である KrF (クリプトン・フッ素) エキシマレーザを用いる。

30

【0048】

図 3H に示すように、成長基板 11 の裏面よりエキシマレーザを照射して、バッファ層および下地層からなる積層体 54 の一部を分解させ、成長基板 11 と半導体積層 50 とを分離し、図 3I に示す状態とする。レーザリフトオフにより発生した Ga (ガリウム) を熱水などで除去し、その後塩酸で表面処理する。これにより、n 型半導体層 53 が露出する。表面処理には窒化物半導体をエッチングできるものであればよく、リン酸、硫酸、水酸化カリウム、水酸化ナトリウムなどの酸やアルカリなどの薬剤も用いることができる。また、表面処理はアルゴンプラズマや塩素系プラズマを用いたドライエッチングや、研磨などで行ってもよい。さらに、n 型半導体層 53 の表面を CMP (Chemical Mechanical Polishing) 研磨装置等を用いて平滑化し、レーザ痕やレーザダメージ層を除去する。

40

【0049】

次に、図 3J に示すように、露出した n 型半導体層 53 表面に、MC 層 53a を形成する。MC 層 53a は、TMAH (水酸化フェニルトリメチルアンモニウム) や KOH (水酸化カリウム) 等による薬液処理や、RIE 処理などで形成することができる。実施例では、TMAH を用いて、厚さ約 1 μm 程度の MC 層 53a を形成した。

【0050】

続けて、n 型半導体層 53 (MC 層 53a) 表面に、所望パターンの n 側電極 60、および、n 側電極 60 が形成されない領域に保護膜 61 を形成する。保護膜 61 は、たとえばスパッタ法ないし電子ビーム蒸着法などにより形成することができる。実施例では、ス

50

パッタ法を用いて厚さ300nm程度の二酸化シリコンを形成した。また、n側電極層60は、たとえばリフトオフ法等を用いて形成することができる。実施例では、チタン1nm/アルミニウム200nm/チタン100nm/白金200nm/金2500nmの積層電極を形成した。なお、n側電極層60は、平面視において、少なくとも光反射層30の土手部31(p型半導体層51表面に形成した溝部51aに対応する部分)と重なるように形成される。より好ましくは、n側電極層60が、平面視において、光反射層30の土手部31に包含されるように形成する(図1B参照)。

【0051】

次に、図3Kに示すように、支持基板12を研削研磨処理により薄片化し、その後、薄片化した支持基板12裏面にコンタクト層70を形成する。コンタクト層70は、例えば、電子ビーム真空蒸着法を用いて、Pt/Ti/Pt/Auを順次成膜することにより形成する。なお、それぞれの膜厚は、例えば、約80/120/150/200nmとする。

10

【0052】

最後に、支持基板12をレーザスクライブ又は、ダイシングにより分割する。以上により、第1の実施例による半導体発光素子が完成する。なお、青色GaNの発光素子を白色化するには発光素子を封止充填する樹脂に黄色の蛍光体を入れる。

【0053】

図4Aは、第2の実施例による半導体発光素子を示す断面図である。この半導体発光素子は、光反射層の土手部、特にその突出部の形状を除いて、第1の実施例による半導体発光素子とほぼ同等の構造を有する。

20

【0054】

光反射層の土手部、特にその突出部の断面形状は、第1の実施例のような上方に向かって徐々に幅が狭くなるテーパ状に限らず、矩形状などであってもかまわない。つまり、光反射層の土手部が、活性層から放出させる光を、n型半導体層のn側電極層が形成されていない領域へ反射する側壁面を有していれば、どのような形状であってもかまわない。

【0055】

ただし、土手部の突出部の断面形状は、図4Aに示すように、その側壁面が円弧状に窪んだ形状であることが望ましい。つまり、光反射層30の土手部31、特にその突出部31bの側壁面の形状は、活性層52において発光強度が最も大きくなる位置P1で発光した光の、n型半導体層53表面側へ放出される光(光L1と呼ぶこととする、図1D参照)と、p型半導体層51表面側へ放出される光が突出部31bにより反射してn型半導体層53表面側へ伝播する光(光L3eと呼ぶこととする、図2B参照)と、が強め合っ

30

【0056】

て干渉する形状であることが望ましい。ここで、活性層52において発光強度が最も大きくなる位置P1から、突出部31bの側壁面までの距離をDとする。

本実施例において、活性層52(窒化物半導体)から放出される光の波長 λ_0 は、約455nmである。半導体積層50(窒化物半導体)の実効的な屈折率nは約2.4であり、半導体積層50中を伝播する、活性層52から放出された光の波長 λ は、約189.6nm($=\lambda_0/n$)である。光L1と光L3eとが強め合っ

40

【0057】

て干渉する条件は、 $D=(2m+1)\lambda/4$ (mは0以上の整数)である。したがって、本実施例の場合には、位置P1から突出部31bの側壁面までの距離Dが、47.4nm(m=0の場合)ないし142.2nm(m=1の場合)等になるように、突出部31bの側壁面を形成することが望ましい。突出部31b(土手部)をこのような形状にすることにより、活性層52における位置P1で発光する光が、効率的にn型半導体層53表面から出射されることになるであろう。

50

2の実施例による溝部（突出部31b）は、たとえば、レジスト膜41のエッチングレートに対するp型半導体層51のエッチングレートの比率を、1.5から0.1に段階的に変化させることにより形成することができる。

【0058】

図4Bは、第3の実施例による半導体発光素子を示す断面図である。この半導体発光素子は、光反射層の土手部、特にその突出部の形状を除いて、第1の実施例による半導体発光素子とほぼ同等の構造を有する。

【0059】

図4Bに示すように、光反射層30の土手部31、特にその突出部31cは、平坦部32（たとえば銀）と異なる部材（たとえば二酸化シリコン）により構成されていてもかまわ
10
ない。また、突出部31cが、p型半導体層51および活性層52を貫通するように形成されていてもかまわ
ない。突出部31cが、p型半導体層51および活性層52を貫通して、より高く形成されることにより、活性層52で発光するより多くの光が、n側電極層60に吸収されずに、n型半導体層53のn側電極層60が形成されていない領域へ反射されることになるであろう。

【0060】

本発明者は、第3の実施例による半導体発光素子の光取り出し効率と、光反射層に突出部が形成されていない従来例による半導体発光素子（図1A参照）の光取り出し効率と、
20
を測定し、それらの比較・検討を行った。その結果、第3の実施例の光取り出し効率が、従来例の光取り出し効率よりも4%程度高くなることがわかった。これらの測定結果から、従来例ではn側電極層に吸収されてしまう光が、第3の実施例ではn側電極層が配置されていないn型半導体表面から効率的に取り出せている、と考えることができる。

【0061】

図4Cは、第3の実施例による半導体発光素子の変形例を示す断面図である。光反射層30の突出部31cは、図4Bに示す突出部よりもさらに高く形成されていてもかまわ
ないし、一部のみがその他の部分とは異なる部材で構成されていてもかまわ
ない。なお、突出部31cが活性層52を貫通して形成される場合には、活性層52の電氣的短絡を防止するため、少なくとも突出部31cの活性層52に対応する部分を絶縁部材31dにより構成することが必要であろう。

【0062】

以上、本発明を実施するための形態について説明したが、本発明はこれらに制限されるものではない。たとえば、第2の実施例と第3の実施例を組み合わせると、円弧状の側壁面を有する土手部が、p型半導体層および活性層を貫通するように形成してもかまわ
ない。その他、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【符号の説明】

【0063】

- 11 成長基板、
- 12 支持基板、
- 21, 22 接合部材、
- 30 光反射層、
- 31 土手部、
- 31a ~ 31c 突出部、
- 31d 絶縁部材、
- 31z 凸部、
- 32 平坦部、
- 40 p側電極層、
- 41 レジスト膜、
- 41a 底部、
- 50 半導体積層、
- 51 p型半導体層、

10

20

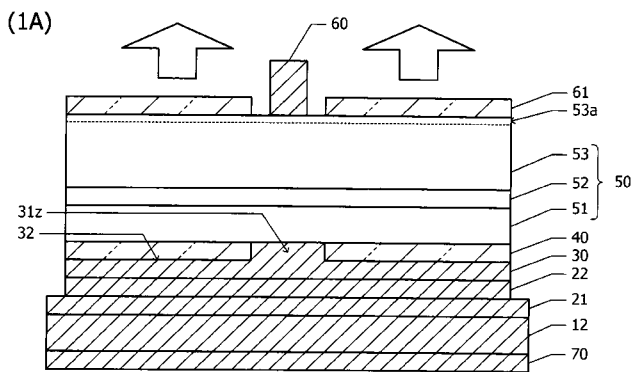
30

40

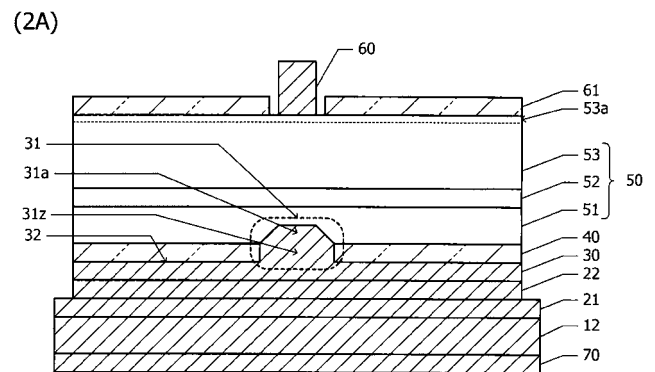
50

- 5 1 a 溝部、
- 5 2 活性層、
- 5 3 n型半導体層、
- 5 3 a マイクロコーン構造層、
- 5 4 積層体、
- 6 0 n側電極層、
- 6 1 保護膜、
- 7 0 コントラクト層。

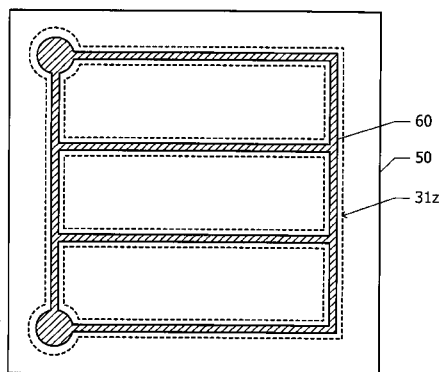
【図1-1】



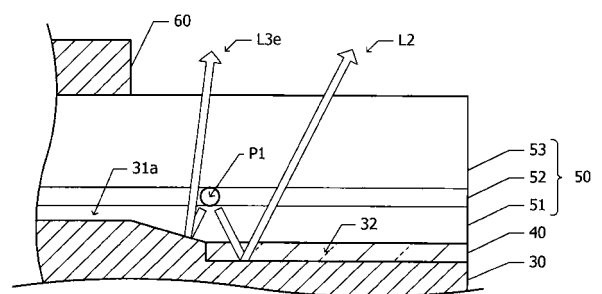
【図2】



(1B)

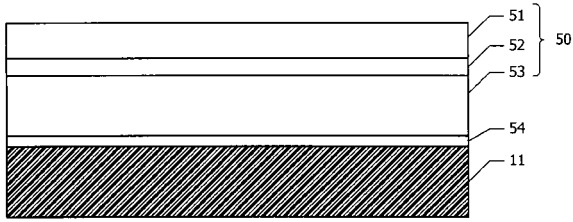


(2B)

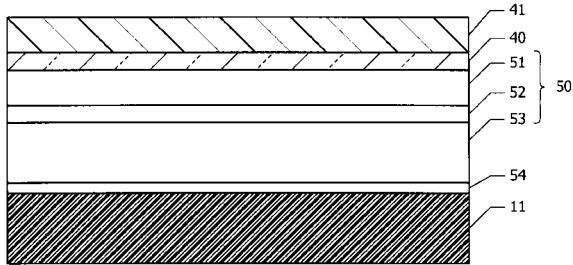


【 図 3 - 1 】

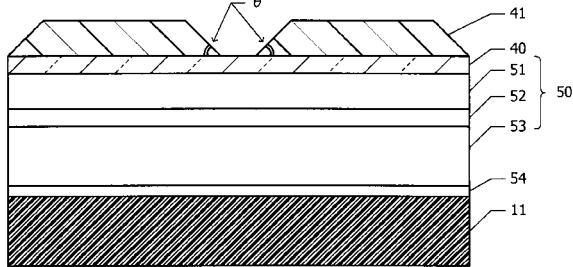
(3A)



(3B)

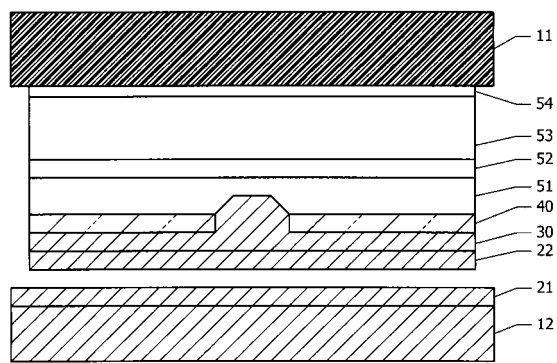


(3C)

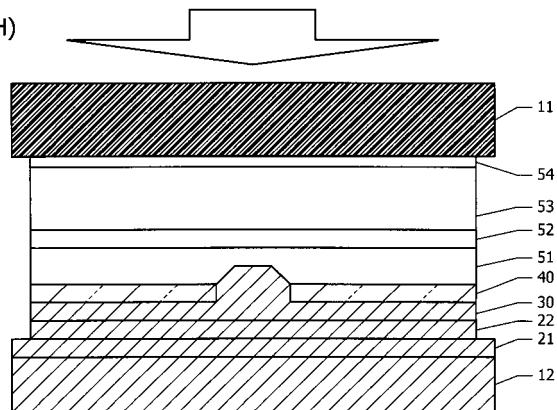


【 図 3 - 3 】

(3G)

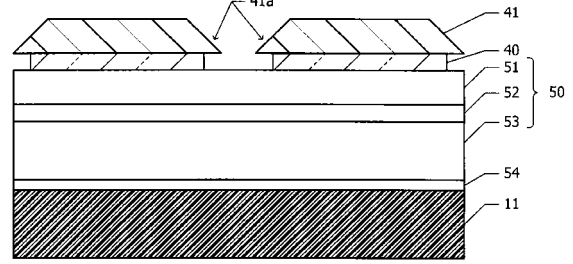


(3H)

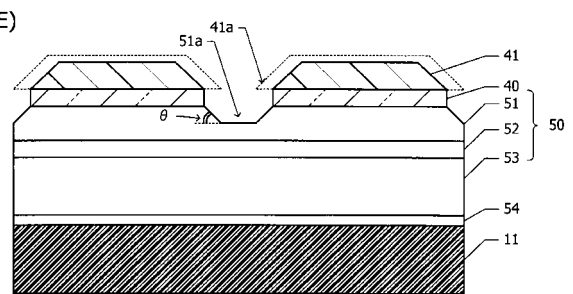


【 図 3 - 2 】

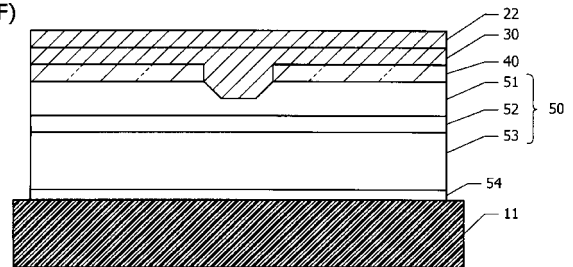
(3D)



(3E)

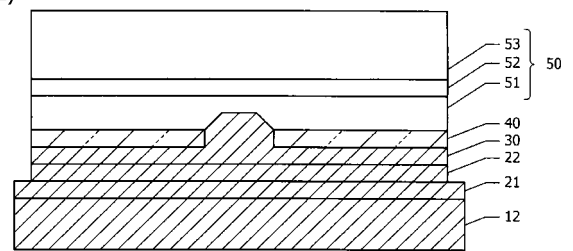


(3F)

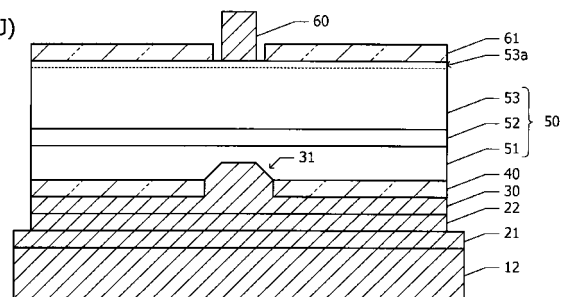


【 図 3 - 4 】

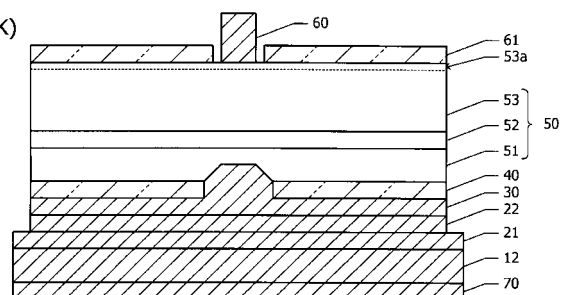
(3I)



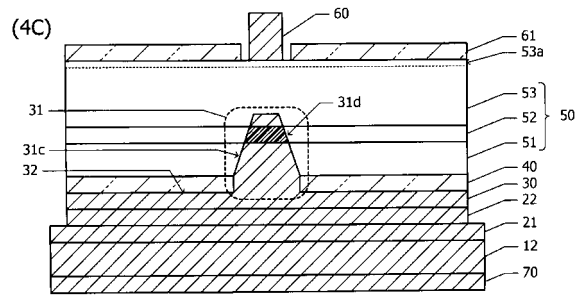
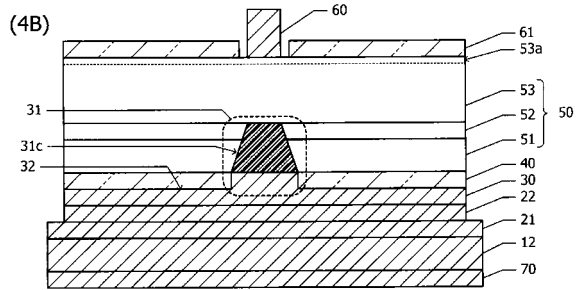
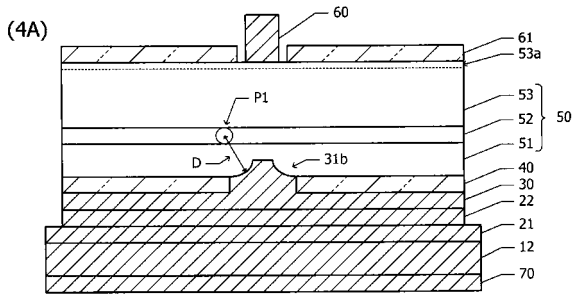
(3J)



(3K)

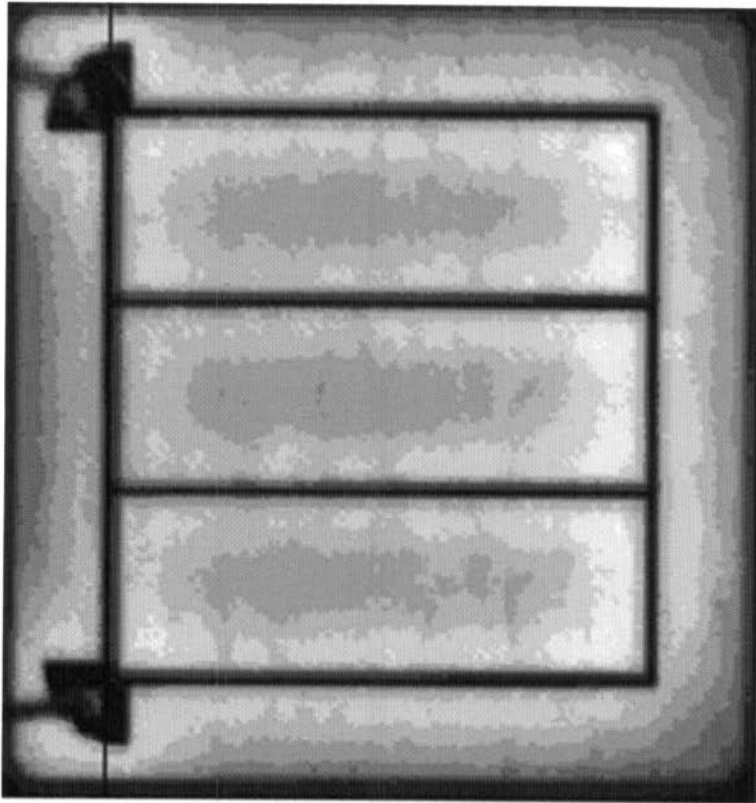


【 図 4 】



【図 1 - 2】

(1C)



(1D)

