СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1532902 A1

(51)4 G 05 B 23/02

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

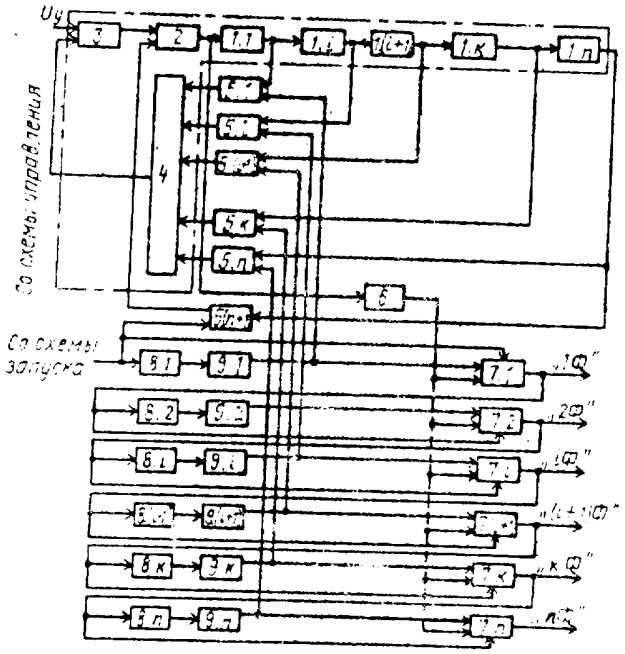
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4427137/24-24
(22) 16.05.88
(46) 30.12.89. Бюл. № 48
(72) В.В.Грицай, В.Л.Кодкин, Л.В.Пагина, Т.Г.Розкина и М.Я.Рожапов
(53) 621.52(088.8)
(56) Авторское свидетельство СССР № 1231489, кл. G 05 B 23/02, 1983.
Авторское свидетельство СССР № 1241199, кл. G 05 B 23/02, 1984.

(54) УСТРОЙСТВО ДЛЯ ДИАГНОСТИРОВАНИЯ АВТОМАТИЧЕСКИХ СИСТЕМ РЕГУЛИРОВАНИЯ

(57) Изобретение относится к устройствам для диагностирования автоматических систем регулирования и может быть использовано для их контроля. Цель изобретения состоит в упрощении и повышении быстродействия устройства. Устройство для диагностирования автоматических систем регулирования, состоящих из n функциональных блоков 1.1 - 1.n, регулятора 2, блока вычитания 3, сумматора 4, содержит (n+1) транзисторных ключей 5.1 - 5(n+1), компаратор 6, n блоков памяти 7.1 - 7.n, n элементов задержки 8.1 - 8.n, n одновибраторов 9.1 - 9.n. На вход первого элемента задержки, управляющий вход ключа 5(n+1), управляющий вход блока памяти 7.1 подается сигнал запуска, сигнал об исправности каждого из функциональных блоков 1.1 - 1.n диагностируемой системы поступает с выхода соответствующего блока памяти 7.1 - 7.n. 4 ил.



Фиг 1

SU (11) 1532902 A1

Изобретение относится к автоматике и вычислительной технике, а именно к устройствам для диагностирования автоматических систем регулирования, и может быть использовано для контроля и диагностики аналоговых функциональных блоков сложных замкнутых систем автоматического регулирования.

Цель изобретения - упрощение и повышение быстродействия устройства.

На фиг. 1 представлена структурная схема устройства для диагностирования автоматических систем регулирования; на фиг. 2 - схема блока памяти; на фиг. 3 - графики, поясняющие работу блока памяти; на фиг. 4 - графики, поясняющие работу устройства.

Диагностируемая система содержит n функциональных блоков 1 - 1n, регулятор 2, блок 3 вычитания и сумматор 4.

Устройство для диагностирования автоматических систем регулирования состоит из ключей 5.1 - 5.(n+1), компаратора 6, блоков 7.1 - 7.n памяти, элементов 8.1 - 8.n задержки, n одновибраторов 9.1 - 9.n.

Каждый из блоков 7.1 - 7.n блоков памяти содержит элементы И 10 и 11 и ИЛИ 12.

Устройство работает следующим образом.

В режиме контроля на управляющий вход ключа 5.(n+1) подается "1" - сигнал запуска (фиг. 4а). Этот сигнал закрывает ключ 5.(n+1), через который регулируется сигнал с выхода функционального блока 1.n в рабочем режиме. При этом контур, образованный блоком 2 и функциональными блоками 1.1 - 1.n, размыкается. На выходе регулятора 2 появляется сигнал насыщения (фиг. 4б), а на выходе компаратора 6 - нулевой сигнал (фиг. 4в). Сигнал "1" (сигнал запуска) поступает также на элемент 8.1, на выходе которого сигнал "1" появляется через время задержки $\tau_{з.1}$ (фиг. 4г). С элемента 8.1 задержки сигнал "1" поступает на одновибратор 9.1, на выходе которого формируется сигнал длительностью $\tau_{об}$-1 (фиг. 4д). Этот сигнал поступает на управляющий вход ключа 5.1. Ключ 5.1 открывается, замыкая контур, образованный регулятором 2, функциональным блоком 1.1, ключом 5.1, сумматором 4 и блоком 3. Выходной сигнал функционального блока 1.1 через ключ 5.1 и сумматор 4 поступает на входы блока 3 и регулятора. Если функциональный блок 1.1 исправен, то сигнал на его выходе через время t, определяемое быстродействием образовавшегося контура, станет равным сигналу управления U_y, а сигнал на выходе блока 3 - равным 0, сигнал на выходе компаратора 6 - "1" (фиг. 4в).

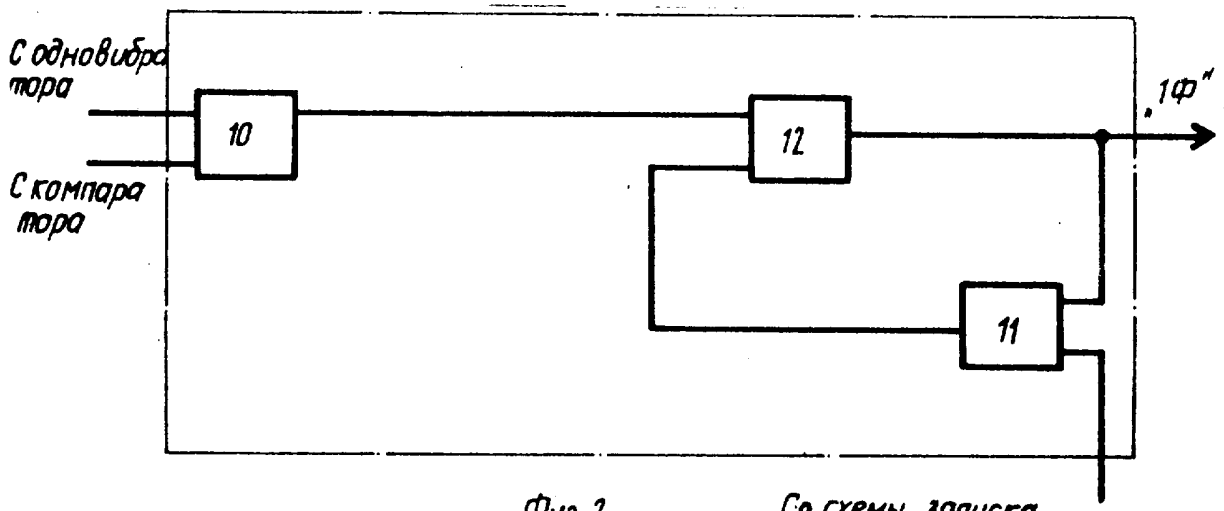
При соответствии динамических характеристик функционального блока 1.1 заданным время t выхода сигнала "1" с компаратора 6 должно соответствовать длительности импульса $\tau_{об}$-1 одновибратора 9, т.е. $t<\tau_{об}$-1, а уровень на выходе блока 2 $U_{пор}$ должен соответствовать порогу компаратора 6 (фиг. 4б). Сигнал "1" (сигнал запуска), поступивший также на элемент 8.1 задержки и управляющий вход ключа 5.(n+1), поступает на управляющий вход блока 7.1 (фиг. 3а). Сигнал длительностью $\tau_{об}$-1 с выхода одновибратора 9.1 поступает на первый вход блока 7.1 памяти (фиг. 3б). При этом на выходе блока 7.1 остается сигнал "0" (фиг. 3г). Через время t на выходе компаратора 6 появляется сигнал "1", который поступает на второй вход блока 7.1 (фиг. 3в) и изменяет сигнал на его выходе на единицу (фиг. 3г). Таким образом, если функциональный блок 1.1 исправен, на выходе блока 7.1 в режиме контроля появляется "1" (фиг. 4е, 3г), которая сохраняется на время действия сигнала "1" на управляющем входе блока 7.1 памяти (фиг. 3г). Как только на управляющем входе блока 7.1 памяти сигнал становится равным "0", на его выходе сигнал становится равным "0" (режим сброса). Через время $\tau_{об}$-1 сигнал на выходе одновибратора 9.1 изменяется на "0", при этом закрывается ключ 5.1, размыкается контур, образованный регулятором 2, функциональным блоком 1.1, ключом 5.1, сумматором 4 и блоком 3, на выходе которого формируется сигнал U_y, а на выходе компаратора 6 сигнал становится равным "0". Сигнал с выхода блока 7.1 памяти поступает на вход элемента 8.2 задержки и через время задержки $\tau_{з2}$ элемента 8.2 задержки поступает на вход одновибратора 9.2 (фиг. 4ж). Длительность импульса $\tau_{об}$-2 одновибратора 9.2 подобрана в соответствии

с быстродействием контура, образованного регулятором 2, функциональными блоками 1.1 и 1.2, ключом 5.2, сумматором 4 и блоком 3 (фиг. 4э). Сигнал с выхода одновибратора 9.2 поступает на управляющий вход ключа 5.2, который, замыкаясь, образует этот контур. Далее работа устройства аналогична рассмотренной (фиг. 4и - м) для функционального блока 1.(i+1), при этом роль сигнала запуска (сигнала "1") на входе элемента 8.1 задержки, втором входе ключа 5.(n+1) и управляющем входе блока 7.1 и на входе элемента 8.(i+1) выполняет сигнал "1" с выхода блока 7.i.

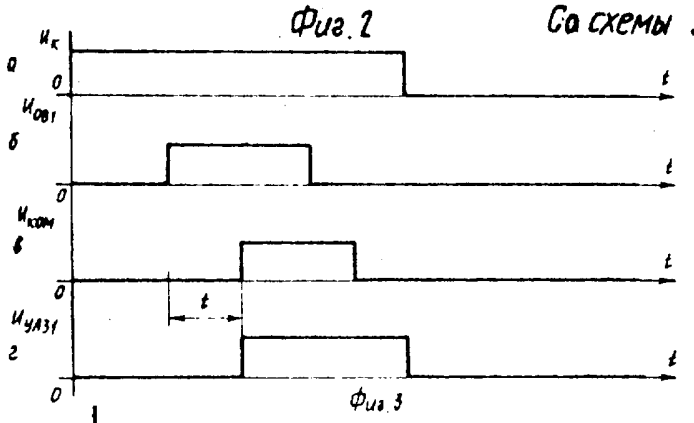
Таким образом, если функциональный блок 1.(i+1) исправен, на выходе блока 7.(i+1) в режиме контроля появляется "1". Если функциональный блок с порядковым номером k неисправен, т.е. за время t_k, меньшее длительности импульса $\tau_{0в}$-k одновибратора 9.k, на выходе регулятора 2 не появился сигнал, соответствующий порогу компаратора 6, диагностический цикл останавливается, на выходе блока 7.k сигнал остается равным "0", на элементы 8.(k+1) - 8.n задержки не подается сигнал "1", одновибраторы 9.(k+1) - 9.n не запускаются, информация об исправности функциональных блоков 1k - 1.n не поступает, дальнейший диагностики не происходит, что позволяет судить о неисправности функционального блока 1.k (фиг. 4в,н,о,п). Заменив его на исправный, можно продолжить проверку. Если неисправных блоков нет, на выходах блоков 7.1 - 7.n появляются сигналы "1", свидетельствующие об исправности функциональных блоков 1.1 - 1.n.

Формула изобретения

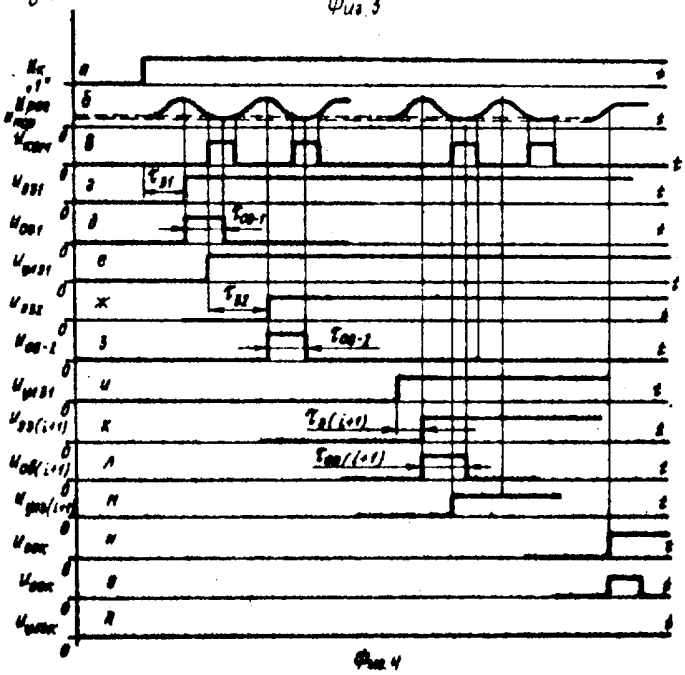
Устройство для диагностирования автоматических систем регулирования, состоящее из последовательно соединенных сумматора, блока вычитания, регулятора и n функциональных блоков, содержащее компаратор, отличающееся тем, что, с целью упрощения и повышения быстродействия устройства, в него введены (n+1) ключей, n блоков памяти, n элементов задержки и n одновибраторов, каждый из n сигнальных входов устройства, служащий для подключения выхода соответствующего функционального блока диагностируемой системы, соединен с информационным входом одноименного ключа, n-й сигнальный вход устройства, служащий для подключения выхода n-го функционального блока диагностируемой системы подключен к информационному входу (n+1)-го ключа, каждый из n сигнальных выходов устройства, служащий для подключения одноименного входа сумматора диагностируемой системы, подключен к прямому выходу соответствующего ключа, информационный вход устройства, служащий для подключения выхода регулятора диагностируемой системы, соединен с входом компаратора, информационный выход устройства, служащий для подключения второго входа регулятора диагностируемой системы, соединен с инверсным выходом (n+1)-го ключа, выход компаратора подключен к первым информационным входам n блоков памяти, выход каждого i-го, кроме n-го, блока памяти подключен к входу (i+1)-го элемента задержки, вход каждого элемента задержки соединен с управляющим входом блокировки одноименного блока памяти, выход каждого из n элементов задержки соединен с входом одноименного одновибратора, выход каждого из которых подключен к второму информационному входу соответствующего блока памяти и управляющему входу одноименного ключа, вход запуска устройства соединен с входом первого элемента задержки и управляющим входом (n+1)-го ключа, выходы блоков памяти являются информационными выходами устройства.



Фиг. 2 Со схемы запуска



Фиг. 3



Фиг. 4

Составитель В.Наумов
Редактор Л.Пчолинская Техред М.Дидык Корректор О.Ципле

Заказ 8098/52 Тираж 788 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101