

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03M 1/14 (2006.01)

H03M 1/16 (2006.01)



[12] 发明专利说明书

专利号 ZL 03159318.6

[45] 授权公告日 2007 年 8 月 29 日

[11] 授权公告号 CN 100334809C

[22] 申请日 2003.9.3 [21] 申请号 03159318.6

[30] 优先权

[32] 2002. 9. 3 [33] JP [31] 2002 - 258058

[73] 专利权人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 和田淳 谷邦之

[56] 参考文献

US6097326 2000.8.1

US6304206B1 2001.10.16

US5821893 1998.10.13

审查员 吴东捷

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 沈昭坤

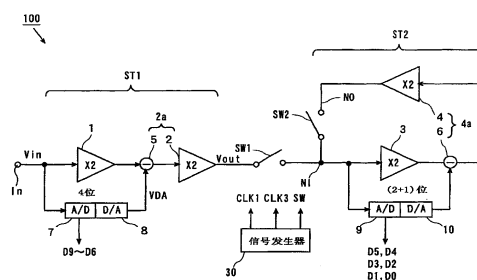
权利要求书 4 页 说明书 17 页 附图 12 页

[54] 发明名称

模一数变换电路

[57] 摘要

本发明揭示一种模一数变换电路。第 1 级电路内的运算放大器、子 A/D 变换器、D/A 变换器以及运算放大器，响应于时钟信号进行动作。第 2 级电路内的运算放大器，响应于具有 3 倍时钟信号频率的时钟信号进行动作。从第 1 级电路内的运算放大器输出的模拟信号通过开关提供到第 2 级电路内的输入节点。从第 2 级电路内的运算放大器输出的模拟信号通过开关提供到第 2 级电路内的输入节点。



1. 一种模一数变换电路，其特征在于，包括
具有第 1 节点及第 2 节点的第 1 电路，
将输入的模拟信号及所述第 2 节点的模拟信号之一选择性地提供到所述第 1 节点的转换器，以及
控制所述转换器的控制装置，
所述第 1 电路，包括
将来自第 1 节点的模拟信号进行放大的第 1 运算放大器，
将来自第 1 节点的模拟信号变换成数字信号的第 1 模一数变换器，
将所述第 1 模一数变换器输出的数字信号变换成模拟信号的第 1 数一模变换器，以及
将来自所述第 1 运算放大器的模拟信号与所述第 1 数一模变换器输出的模拟信号的差分进行放大并输出到所述第 2 节点的第 1 差分放大器，
输入到所述第 1 运算放大器的模拟信号与输入到所述第 1 模一数变换器的模拟信号是相同的，
所述控制装置控制所述转换器，使得在输入的模拟信号给到所述第 1 节点之后，规定循环次数地进行基于所述第 1 模一数变换器的变换动作、基于所述第 1 数一模变换器的变换动作以及基于所述第 1 差分放大器的放大动作。
2. 如权利要求 1 所述的模一数变换电路，其特征在于，还包括
通过所述转换器设置于所述第 1 电路的前级至少 1 级的第 2 电路，
所述第 2 电路，包括
将输入的模拟信号变换成数字信号的第 2 模一数变换器，
将从所述第 2 模一数变换器输出的数字信号变换成模拟信号的第 2 数一模变换器，以及
将所述输入的模拟信号与所述第 2 数一模变换器输出的模拟信号的差分进行放大并通过所述转换器输出到所述第 1 电路的第 2 差分放大器。
3. 如权利要求 2 所述的模一数变换电路，其特征在于，
所述第 2 电路还包括放大所述输入的模拟信号并提供到所述第 2 差分放大器的第 2 运算放大器。
4. 如权利要求 1 所述的模一数变换电路，其特征在于，

所述控制装置包括发生时钟信号及控制信号的信号发生器，

所述第1电路的所述第1模一数变换器、所述第1数一模变换器以及所述第1差分放大器，响应于所述信号发生器发生的时钟信号进行动作，

所述转换器响应于所述信号发生器发生的控制信号，转换将输入的模拟信号提供给所述第1节点的状态和将所述第2节点的模拟信号提供给所述第1节点的状态。

5. 如权利要求4所述的模一数变换电路，其特征在于，

所述控制信号具有第1频率，所述时钟信号具有所述第1频率的整数倍的第2频率。

6. 如权利要求4所述的模一数变换电路，其特征在于，

所述控制装置还包括变更所述信号发生器发生的时钟信号频率的变更装置。

7. 如权利要求6所述的模一数变换电路，其特征在于，

所述信号发生器包括具有分频器的相位同步环路，

所述变更装置包括设定所述相位同步环路的所述分频器的分频比的分频比设定装置。

8. 如权利要求2所述的模一数变换电路，其特征在于，

所述控制装置包括发生第1及第2时钟信号及控制信号的信号发生器，

所述第1电路的所述第1模一数变换器、所述第1数一模变换器以及所述第1差分放大器，响应于所述信号发生器发生的第1时钟信号进行动作，

所述第2电路的所述第2模一数变换器、所述第2数一模变换器以及所述第2差分放大器，响应于所述信号发生器发生的第2时钟信号进行动作，

所述转换器响应于所述信号发生器发生的控制信号，转换将所述第2电路的所述第2差分放大器输出的模拟信号提供给所述第1节点的状态和将所述第2节点的模拟信号提供给所述第1节点的状态。

9. 如权利要求8所述的模一数变换电路，其特征在于，

所述控制信号具有第1频率，所述第1时钟信号具有所述第1频率的整数倍的所述第2频率，所述第2时钟信号具有所述第1频率。

10. 如权利要求8所述的模一数变换电路，其特征在于，

所述控制装置还包括变更所述信号发生器发生的第1时钟信号的频率的变更装置。

11. 如权利要求10所述的模一数变换电路，其特征在于，

所述信号发生器包括具有分频器的相位同步环路，

所述变更装置包括设定所述相位同步环路的所述分频器的分频比的分频比设定装置。

12. 一种模一数变换电路，其特征在于，包括

具有第1及第2节点的第1电路，

将输入的模拟信号及所述第2节点的模拟信号之一选择性地提供到所述第1节点的转换器，以及

控制所述转换器的控制装置，

所述第1电路，包括

将来自第1节点的模拟信号进行放大的第1运算放大器，

不通过所述第1运算放大器而连接到所述第1节点、将来自所述第1节点的模拟信号变换成数字信号的第1模一数变换器，

将所述第1模一数变换器输出的数字信号变换成模拟信号的第1数一模变换器，以及

将来自所述第1运算放大器的模拟信号与所述第1数一模变换器输出的模拟信号的差分进行放大并输出到所述第2节点的第1差分放大器，

所述控制装置控制所述转换器，使得在输入的模拟信号给到所述第1节点之后，规定循环次数地进行基于所述第1模一数变换器的变换动作、基于所述第1数一模变换器的变换动作以及基于所述第1差分放大器的放大动作。

13. 一种模一数变换电路，其特征在于，包括

具有第1及第2节点的第1电路，

将输入的模拟信号及所述第2节点的模拟信号之一选择性地提供到所述第1节点的转换器，以及

控制所述转换器的控制装置，

所述第1电路，包括

将来自第1节点的模拟信号进行放大的第1运算放大器，

直接连接到所述第1节点、并直接连接到将来自所述第1节点的模拟信号变换成数字信号的所述第1节点的第1模一数变换器，

将所述第1模一数变换器输出的数字信号变换成模拟信号的第1数一模变换器，以及

将来自所述第1运算放大器的模拟信号与所述第1数一模变换器输出的模拟

信号的差分进行放大并输出到所述第 2 节点的第 1 差分放大器，

所述控制装置控制所述转换器，使得在输入的模拟信号给到所述第 1 节点之后，规定循环次数地进行基于所述第 1 模一数变换器的变换动作、基于所述第 1 数一模变换器的变换动作以及基于所述第 1 差分放大器的放大动作。

模一数变换电路

发明领域

本发明涉及具有多级管道或(分级快速)结构的模一数变换电路。

背景技术

近年来随着视频信号的数字处理技术的进展,增大了对视频信号处理应用的模一数变换电路(A/D变换器)的需要。视频信号处理用的模一数变换电路中由于要求高速变换动作,以往广泛采用2级快速(2级并联)方式。

然而,随着变换位数的增大,用2级快速方式得不到充分高的变换精度,因此开发了具有多级管道(分级快速)结构的模一数变换电路(例如特开平11-88172号公报)。

图12示出以往的模一数变换电路的结构框图。图12的模一数变换电路101具有10位4级管道结构。

图12中的模一数变换电路101由采样保持电路102、第1~第4级电路103~106、多个锁存电路107以及输电路108所构成。

第1级(初级)电路103包括子A/D变换器109、D/A变换器110、运算放大器111a、减法电路112以及运算放大器113。减法电路112及运算放大器113构成差分放大器114。第2级及第3级电路104、105包括子A/D变换器109、D/A变换器110、运算放大器111、减法电路112以及运算放大器113。第1级~第3级电路103~105中,减法电路112及运算放大器113构成差分放大器。

如后面所述,第1级电路103内的运算放大器111a的增益为1,作为采样保持电路动作。第1级电路103内的运算放大器113以及第2级、第3级电路104、105内的运算放大器111、113的增益为2。第4级(末级)电路106只包括子A/D变换器109。

第1级电路103是4位结构,第2~4级电路104~106分别是2位结构。第1~3级电路103~105中相同地设定子A/D变换器109及D/A变换器110的位数(位结构)。

以下,说明图12为模一数变换电路101的动作。采样保持电路102对模拟输

入信号 V_{in} 进行采样并保持一定时间。采样保持电路 102 输出的模拟输入信号 V_{in} 转送到第 1 级电路 103。

第 1 级电路 103 中, 子 A/D 变换器 109 对模拟输入信号 V_{in} 进行 A/D 变换。作为子 A/D 变换器 109 的 A/D 变换结果的上位 4 位的数字输出 (2^9 、 2^8 、 2^7 、 2^6) 转送到 D/A 变换器 110, 并通过 4 个锁存电路 7 转送到输出电路 108。D/A 变换器 110 将子 A/D 变换器 109 的 A/D 变换结果即上位 4 位的数字输出变换为模拟信号。

另一方面, 运算放大器 111a 对模拟输入信号 V_{in} 进行采样并保持一定时间。减法电路 112 将运算放大器 111a 输出的模拟输入信号 V_{in} 与 D/A 变换器 110 的 D/A 变换结果进行相减计算。运算放大器 113 对减法电路的输出进行放大。运算放大器 113 的输出转送到第 2 级电路 104。

在第 2 级电路 104 中, 对第 1 级电路 103 的运算放大器 113 输出进行 A/D 变换。子 A/D 变换器 109 的 A/D 变换结果转送到 D/A 变换器 110, 并通过 3 个锁存电路 7 转送到输出电路 108。这样得到来自第 2 级电路 104 的中上位 2 位的数字输出 (2^5 、 2^4)。

另一方面, 运算放大器 111 对第 1 级电路 103 的运算放大器 113 的输出进行放大。减法电路 112 对运算放大器 111 的输出与 D/A 变换器 110 的 D/A 变换结果进行相减计算。运算放大器 113 对减法电路 112 的输出进行放大。运算放大器 113 的输出转送到第 3 级电路 105。

在第 3 级电路 105 中, 对第 2 级电路 103 的运算放大器 113 的输出进行与第 2 级电路 104 相同的动作。这样从第 3 级电路 105 得到中下位 2 位数字输出 (2^3 、 2^2)。

在第 4 级电路 106 中, A/D 变换器 109 对第 3 级电路 105 的运算放大器 113 的输出进行 A/D 变换, 得到下位 2 位的数字操作 (2^1 、 2^0)。

第 1 级~4 级电路 103~106 的数字输出经过积各锁存电路 107 同时到达输出电路 108。也就是说, 各锁存电路 107 为提取各电路 103~106 的数字输出的同步而设。

输出电路 108 必要时校正处理后并联输出与模拟输入信号 V_{in} 对应的 10 位数字输出 D_{out} 。

这样, 在具有多级管理道式结构的模拟——数字变换电路中, 利用管道处理及在各级的放大功能, 可实现高速的通过量(变换频率)及高精度(高分辨力)。因此, 以几 MHz~100MHz 的变换频率动作的高精度具高速的 8~12 位结构的模—数变换电路广泛地用于数字视频信号处理、数字通信处理等用途中。

然而，在具有上述多级管理道式结构的模一数变换电路中，面积效率不高。

发明内容

本发明的目的在于提供能省面积化的模一数变换电路。

按照本发明的一个方面的模一数变换电路，包括有第1及第2节点的第一电路，将输入的模拟信号及第2节点的第1电路，将输入的模拟信号之一选择性提供到第1节点的转换器，控制转换器的控制装置，第1电路包括将来自第1节点的模拟信号变换为数字信号的第一模一数变换器，将第1模一数变换器输出的数字信号变换成模拟信号的第1数一模变换器，将来自第1节点的模拟信号与第1数模变换器输出的模拟信号的差分进行放大并输出到第2节点的第1差分放大器，控制装置控制转换器使在输入的模拟信号提供到第1节点之后，第1模一数变换器的变换动作、第1数一模变换器的变换动作以及第1差分放大器的放大动作被执行规定的循环次数。

本发明的模一数变换电路中，输入的模拟信号被提供到第1节点后，在第1电路中，第1模一数变换器的变换动作、第1数一模变换器的变换动作以及第1差分放大器的放大动作被执行规定的循环次数。这样，每次循环以前第1电路内的第1模一数变换器依次输出数字信号。

这样一来，通过反复使用第1电路实现与多级管道结构同样的处理。从而实现省面积化。

此外，通过利用转换器的控制来变更第1电路进行的循环次数，可容易地变更位分辨力。从而用同一硬件结构容易地实现有不同的位分辨力的模一数变换电路。

第1电路也可以进一步包括放大第1节点的模拟信号并提供给第1差分放大器的第1运算放大器。

这种情况下，由于第1电路内设置第1运算放大器及第1差分放大器，故能降低每1级放大器的环路参数，并降低每1级放大器的负荷容量。这样，各放大器的临界工作频率变高。结果不但提高各放大器的性能，而且可保持高的变换动作并提高变换速度。

此外，在第1电路的各循环中，可以并行地进行第1运算放大器的放大动作及第1模一数变换器的变换动作与第1差分放大器的放大动作及第1数一模变换器的变换动作。这样，在各循环的第1运算放大器的放大动作、第1模一数变换器

的变换动作,第1数一模变换器的变换动作以及第1差分放大器的放大动作的时序得以缓和。

模一数变换电路也可以通过转换器包括设置于第1电路的前级至少1级的第2电路包括:将输入的模拟信号变换为数字信号的第2模一数变换器,将从第2模一数变换器输出的数字信号变换为模拟信号的第2数一模变换器,将输入的模拟信号与第2数一模变换器输出的模拟信号的差分进行放大并通过转换器输出到第1电路的第2差分放大器。

这种情况下,模拟信号输入第2电路,第2模一数变换器的变换动作、第2数一模变换器的变换动作以及第2差分放大器的放大动作被实行。从第2差分放大器输出的模拟信号通过转换器输入到第1电路,第1电路中,第1模一数变换器的变换动作、第1数一模变换器的变换动作以及第1差分放大器的放大动作被进行规定的循环次数。这样,从第2电路内的第2模一数变换器输出数字信号,在每个循环从第1电路内的第1模数变换器依次输出数字信号。

这样,利用第2电路及第1电路的并列动作实现多级管道或结构。

第2电路也可进一步包括放大输入的模拟信号并提供到第2差分放大器的第2运算放大器。

这种情况下,由于第2电路内设置第2运算放大器及第2差分放大器,故能降低每人级放大器的环路参数,并降低每1级放大器的负荷容量。这样,各放大器的监界工作频率变高。结果不但提高各放大器的性能,而且可保持高的变换动作并提高变换速度。

此外,在第2电路中,可以并行地进行第2运算放大器的放大动作及第2模一数变换器的变换动作与第2差分放大器的放大动作及第2数一模变换器的变换动作。这样,在第2电路中,第2运算放大器的放大动作、第2模一数变换器的变换动作、第2数一模变换器的变换动作以及第2差分放大器的放大动作的时序得以缓和。

控制装置也可包括发生时钟信号及控制信号的信号发生器,第1电路的第1模数变换器、第1数一模变换器以及第1差分放大器响应于信号发生器发生的时钟信号进行动作,转换器响应于信号发生器发生的控制信号,转换将输入的模拟信号提供给第1节点的状态与将第2节点的模拟信号提供给第1节点的状态。

这种情况下,响应于时钟信号,第1电路的第1模一数变换器、第1数一模变换器以及第1差分放大器的动作被实行,响应于控制信号,转换器转换成将输入

的模拟信号提供给第 1 节点的状态。这样，第 1 电路中，第 1 模数变换器的变换动作、第 1 数一模变换器的变换动作以及第 1 差分放大器的放大动作被进行规定的循环次数，实现为多级管道结构。

控制信号具有第 1 频率，时钟信号具有第 1 频率的整数倍的第 2 频率也可以。

控制装置也可进一步包括变更信号发生器发生的时钟信号频率的变更装置。

这种情况下，通过利用变更装置变更时钟信号频率，能容易地变更第 1 电路实行的循环次数。这样，能容易地变更位分辨力。

信号发生器包括有公频器的相位同步环路，变更装置包括设空相位同步环路的分频器的分频比的分频比设安装置也可以。

这种情况下，通过利用分频比设定装置设定相位同步环路的分频器的分频比，可容易地变更时钟信号的频率，变更位分辨力。

控制装置也可包括发生第 1 及第 2 时钟信号及控制信号的信号发生器。第 1 电路的第 1 模一数变换器、第 1 数一模变换器以及第 1 差分放大器响应于信号发生器发生的第 1 时钟信号进行动作，第 2 电路的第 2 模一数变换器、第 2 数模变换器以及第 2 差分放大器响应于信号发生器发生的第 2 时钟信号进行动作，转换器响应于信号发生器发生的控制信号，转换将第 1 电路的第 1 差分放大器输出的模拟信号提供给第 1 节点的状态、与将第 2 节点的模拟信号提供给第 1 节点的状态。

这种情况下，响应于第 1 时钟信号，第 1 电路的第 1 模一数变换器，第 1 数一模变换器以及第 1 差分放大器的动作被实行，响应于第 2 时钟信号，第 2 电路的第 2 模一数变换器，第 2 数一模变换器以及第 2 差分放大器的动作被实行，响应于控制信号，转换器转换成将第 1 电路的第 1 差分放大器输出的模拟信号提供给第 1 节点的状态，与将第 2 节点的模拟信号提供给第 1 节点的状态。与将第 2 节点的模拟信号提供给第 1 节点的状态。这样，在第 2 电路中，第 2 模一数变换器的变换动作、第 2 数一模变换器的变换动作以及第 2 差分放大器的放大动作并行地被实行，第 1 电路中，第 1 模一数变换器的变换动作、第 1 数一模变换器的变换动作以及第 1 差分放大器的放大动作进行规定的循环次数，实现多级管道结构。

控制信号具有第 1 频率，第 1 时钟信号具有第 1 频率的整数倍的第 2 频率，第 2 时钟信号具有第 1 频率也可以。

控制装置也可进一步包括变更信号发生器发生的第 1 时钟信号的频率的变更装置。

这种情况下，通过利用变更装置变更第 1 时钟信号频率，可容易地变更第 1

电路实行的循环次数。这样，可容易地变更位分辨力。

信号发生器包括具有分频器的相位同步环路，变更装置包括设定所述相位同步环路的分频器的分频比的分频比设定装置也可以。

这种情况下，通过利用分频比设定装置设定相位同步环路的分频器的分频比，可容易地变更第1时钟信号的频率，变更位分辨力。

按照本发明的另一个方面的模一数变换方法，包括下述步骤：

将第1模拟信号变换成第1数字信号的步骤，

将所述第1数字信号变换成第2模拟信号的步骤，

将所述第1模拟信号与所述第2模拟信号的差分进行放大并生成第3模拟信号的步骤，

将所述第3模拟信号变换成第2数字信号的步骤，

将所述第2数字信号变换成第4模拟信号的步骤，

将所述第3模拟信号与所述第4模拟信号的差分进行放大并生成第5模拟信号的步骤；

用共用的模一数变换器，进行变换所述第1模拟信号的步骤和变换所述第3模拟信号的步骤，

用共用的模一数变换器，进行变换所述第1数字信号的步骤和变换所述第2数字信号的步骤，

用共用的模一数变换器，进行放大所述第1模拟信号与所述第2模拟信号的差分的步骤和放大所述第3模拟信号与所述第4模拟信号的差分的步骤。

附图说明

图1示出本发明的一实施形态的模一数变换电路结构的框图。

图2为用来说明图1的模一数变换电路的动作的定时图。

图3为示出本发明的另一实施形态的模数变换电路结构的框图。

图4为用来说明图3的模一数变换电路的动作的定时图。

图5示出图1及图3的模一数变换电路的信号发生器的主要部的结构框图。

图6为图1的模一数变换电路的差分放大器的电路图。

图7为用来说明图6的差分放大器的动作的定时图。

图8示出图1的模一数变换电路的子A/D变换器的结构电路图。

图9为用于图8的子A/D变换器的差动型电压比较器的电路图。

图 10 为用于说明图 9 的电压比较器的动作的定时图。

图 11 为图 1 的模一数变换电路的子 A/D 变换器及 D/A 变换器的电路图。

图 12 为以往的模一数变换电路的结构框图。

具体实施方式

图 1 示出本发明一实施形态的模一数变换电路结构的框图。

图 1 的模一数变换电路 100 包括第 1 级电路 ST1 第 2 级电路 ST2、开关 SW1、SW2 以及信号发生器 30。

第 1 级电路 ST1 包括运算放大器 1、子 A/D 变换器 7、D/A 变换器 8、减法电路 5 以及运算放大器 2。减法电路及运算放大器 2 构成差分放大器。第 2 级电路 ST2 包括运算放大器 3、子 A/D 变换器 9、D/A 变换器 10、减法电路 6 以及运算放大器 4。减法电路 6 及运算放大器 4 构成差分放大器。

第 1 级电路 ST1 内的运算放大器 1、2 及第 2 级电路内的运算放大器 3、4 的增益分别为 2。运算放大器 1 时增益也可以为 1。第 1 级电路 ST1 的子 A/D 变换器 7 是 4 位结构，第 2 级电路 ST2 的子 A/D 是 (2 位+冗余 1 位) 结构。以下不考虑冗余位地进行说明。

信号发生器 30 发生时钟信号 CLK1、CLK3 以及控制信号 SW。时钟信号 CLK1 的频率为 FS，时钟信号 CLK3 的频率为 CLK1 的 3 倍即 3FS。控制信号 SW 的频率与时钟信号 CLK1 的频率 FS 相等。

第 1 级电路 ST1 内的运算放大器 1、子 A/D 变换器 7，D/A 变换器 8 及运算放大器 2 响应于时钟信号 CLK1 进行动作。第 2 级电路 ST2 内的运算放大器 3、子 A/D 变换器 9、D/A 变换器 10 以及运算放大器 4 响应于时钟信号 CLK3 进行动作。开关 SW1、SW2 响应于控制信号 SW 相应于通/断。

模拟信号 V_{in} 提供到输入端子 In 上。后者将模拟信号 V_{in} 输入到第 1 级电路 ST1 内的运算放大器 1 及子 A/D 变换器 7。后者对模拟信号 V_{in} 进行 A/D 变换，并输出 A/D 变换结果的 4 位的数字信号，同时将它提供给 D/A 变换器 8。后者对子 A/D 变换器 7 提供的 4 位的数字信号进行 D/A 变换，并输出模拟信号 VDA。

另一方面，运算放大器 1 对输入端子 In 的模拟信号 V_{in} 进行采样、放大并输出。减法电路 5 对运算放大器 1 输出的模拟信号 V_{in} 与 D/A 变换器 8 输出的模拟信号 VDA 进行相减运算。运算放大器 2 对减法电路 5 的输出信号进行放大并输出模拟信号 V_{out} ，当开关 SW1 开通时， V_{out} 提供给第 2 级电路 ST2 的输入节点 NI。

输入节点 NI 的模拟信号输入到第 2 级电路 ST2 内的运算放大器 3 及子 A/D 变换器 9。后者对模拟信号进行 A/D 变换,并输出 A/D 变换结果的 2 位的数字信号,同时将它提供给 D/A 变换器 10。后者对子 A/D 变换器 9 提供的 2 位数字信号进行 D/A 变换,并输出模拟信号。

另一方面,运算放大器 3 对输入节点 NI 的模拟信号进行采样,放大并输出。减法电路 6 对运算放大器 3 输出的模拟信号与 D/A 变换器 10 输出的模拟信号进行相减运算。运算放大器 4 对减法电路 6 的输出信号进行放大并输出模拟信号。当开关 SW2 开通时,运算放大器 4 输出的模拟信号提供给输入节点 NI。

本实施形态中,第 2 级电路 ST2 相当于第 1 电路,第 1 级电路 ST1 相当于第 2 电路。开关 SW1、SW2 相当于转换器,信号发生器 30 相当于控制装置。又,子 A/D 变换器 9 相当于第 1 模一数变换器,D/A 变换器 10 相当于第 1 运算放大器,差分放大器 4a 相当于第 1 差分放大器。又,子 A/D 变换器 7 相当于第 2 模一数变换器,D/A 变换器 8 相当于第 2 数一模变换器,运算放大器 1 相当于第 2 运算放大器,差分放大器 2a 相当于第 2 差分放大器。

以下参照图 2 说明图 1 的模一数变换电路 100 的整体动作。图 2 为用来说明图 1 的模一数变换电路 100 的动作的时序图。

图 2 中,AMP 表示放大动作,AZ 表示自动零(Auto Zero),SMP 表示采样动作。这是,所谓自动零动作是指使运算放大器的一对输入端子间的电位差为 0 的动作。

在期间 T1—T5,控制信号 SW 成低电平。由此,开关 SW1 关断、开关 SW2 开通。

首先,在期间 T1~T3,时钟信号 CLK1 为高电平。这样,第 1 级电路 ST1 内的运算放大器 1 进行放大动作,子 A/D 变换器 7 进行 A/D 变换动作。这时,子 A/D 变换器 7 输出上位 4 位的数字信号 D9—D6。这时,运算放大器 2 进行自动零动作及采样动作。又,D/A 变换器 8 的输出为不定。

其次,在期间 T4~T6,时钟信号 CLK1 为低电平。这样,第 1 级电路 ST1 内的运算放大器 1 进行自动零动作及采样动作,子 A/D 变换器 7 进行自动零动作及采样动作。这时,运算放大器 2 进行放大动作,D/A 变换器 8 进行 D/A 变换动作。从 D/A 变换器 8 输出的模拟信号确定。

在期间 T6~T7,控制信号 SW2 关断。因而,从第 1 级电路 ST1 内的运算放大器 2 输出的模拟信号通过开关 SW1 提供给第 2 级电路 ST2 的输入节点 NI。

接着说明第 2 级电路 ST2 的动作。首先在期间 T6,时钟信号 CLK3 为高电平。

这样，第2级电路 ST2 内的运算放大器 3 进行自动零动作及采样动作，子 A/D 变换器 9 进行自动零动作采样动作。这时，运算放大器 4 进行放大动作，D/A 变换器 10 进行 D/A 变换动作。

其次，在期间 T7，时钟信号 CLK3 为低电平。这样，第2级电路 ST2 内的运算放大器 3 进行放大动作，子 A/D 变换器 9 进行 A/D 变换动作。这时，子 A/D 变换器 9 输出中上位 2 位的数字信号 D5、D4。此时，运算放大器 4 进行自动零动作及采样动作，D/A 变换器 10 的输出为不定。

在期间 T8~T11，控制信号 SW 为低电平。这样，开关 SW1 关断，开关 SW2 开通。结果，第2级电路 ST2 内的运算放大器 4 输出在输出节点 NO 的模拟信号通过开关 SW2 提供给输入节点 NI。

首先在期间 T8，时钟信号 CLK3 为高电平。这样，第2级电路 ST2 内的运算放大器 3 进行自动零动作及采样动作，子 A/D 变换器 9 进行自动零及采样动作。这时，运算放大器 4 进行放大动作，D/A 变换器 10 进行 D/A 变换动作。这样，运算放大器 4 输出到输出节点的模拟信号通过开关 SW2 提供给输入节点 NI。

其次在期间 T9，时钟信号 CLK3 为低电平。这样，第2级电路 ST2 内的运算放大器 3 进行放大动作，子 A/D 变换器 9 进行 A/D 变换动作。这时从 A/D 变换器 9 输出中下位 2 位的数字信号 D3、D2。此时，运算放大器 4 进行自动零动作及采样动作，D/A 变换器 10 的输出为不定。

再次在期间 T10，时钟信号 CLK3 为高电平。这样，第2级电路 ST2 内的运算放大器 3 进行自动零动作及采样动作，子 A/D 变换器 9 进行自动零动作及采样动作。这时，运算放大器 4 进行放大动作，D/A 变换器 10 进行 D/A 变换动作。这样，运算放大器 4 输出在输出节点 NO 的模拟信号通过开关 SW2 提供给输入节点 NI。

接着在期间 T11，时钟信号 CLK3 成为低电平。这样，第2级电路 ST2 内的运算放大器 3 进行放大动作，子 A/D 变换器 9 进行 A/D 变换动作。这时，从子 A/D 变换器 9 输出下位 2 位的数字信号 D1、D0。此时，运算放大器 4 进行自动零动作及采样动作，D/A 变换器 10 的输出为不定。

如上所述，本实施形态的模一数变换电路 100 中，从第1级电路 ST1 输出上位 4 位的数字信号 D9—D6，从第2级电路 ST2 依次输出中上位 2 位的数字信号 D5、D4，中下位 2 位的数字信号 D3、D2，以及下位 2 位的数字信号 D1、D0。这样，利用 2 级电路 ST1、ST2 实现 10 位 4 级管道结构。从而实现了省面积化的目的。

图 3 示出本发明的另一实施形态的模一数变换电路的结构框图。

图 3 的模一数变换电路 100a, 包括电路 ST0、开关 SW1、SW2 以及信号发生器 30。

电路 ST0 包括运算放大器 11、子 A/D 变换器 14、D/A 变换器 15, 减法电路 13 以及运算放大器 12。减法电路及运算放大器 12 构成差分电路。

电路 ST0 内的运算放大器 11、12 的增益分别为 4。电路 ST0 的子 A/D 变换器 14 是 4 位结构。

信号发生器 30 发生时钟信号 CLK1、CLK3 及控制信号 SW。时钟信号 CLK1 的频率是 FS, 时钟信号 CLK3 的频率是时钟信号 CLK1 的频率 FS 的 3 倍即 3FS。控制信号 SW 的频率与时钟信号 CLK1 的频率 FS 相等。

电路 ST0 内的运算放大器 11、子 A/D 变换器 14、D/A 变换器 15 以及运算放大器 12 响应于时钟信号 CLK3 进行动作。开关 SW1、SW2 响应于控制信号 SW 进行相应的开通/关断。

模拟信号 V_{in} 提供到输入端子 In。输入端子 In 的模拟信号 V_{in} 当开关 SW1 开通时输入到 ST0 内的运算放大器 11 及子 A/D 变换器 14。后者对模拟信号 V_{in} 进行 A/D 变换, 输出变换结果 4 位的数字信号, 同时将它提供给 D/A 变换器 15。后者对其进行 D/A 变换, 输出模拟信号。

另一方面, 运算放大器 11 对输入节点 NI 的模拟信号采样及放大并输出。减法电路 13 对运算放大器 11 输出的模拟信号与 D/A 变换器 15 输出的模拟信号进行相减运算。运算放大器 12 对减法电路 13 的输出信号放大并输出模拟信号。运算放大器 12 输出的模拟信号在开关 SW2 开通时提供到输入节点 NI。

本实施形态中, 电路 ST0 相当于第 1 电路, 开关 SW1、SW2 相当于转换器, 信号发生器 30 相当于控制装置。又, 子 A/D 变换器 14 相当于第 1 模一数变换器, D/A 变换器 15 相当于第 1 数一模变换器, 运算放大器 11 相当于第 1 运算放大器, 差分放大器 12a 相当于第 1 差分放大器。

下面, 参照图 4 说明图 3 的模一数变换电路 100a 的整体动作。图 4 为用来说明图 3 的模一数变换电路 100a 的动作的时序图。

图 4 中, AMP 表示放大动作, AZ 表示自动零动作, SMP 表示采样动作。

在期间 T1—T2, 控制信号 SW 为高电平。这样, 开关 SW1 开通, 开关 SW2 关断。因而, 提供给输入端子 IN 的模拟信号 V_{in} 通过开关 SW1 加到输入节点 NI。

首先, 在期间 T1, 时钟信号 CLK3 为高电平。这样, 电路 ST0 内的运算放大

器 11 进行自动零动作及采样动作, 子 A/D 变换器 14 进行自动零动作及采样动作。这时, 运算放大器 12 进行放大动作, D/A 变换器 15 的输出为不定。

其次在期间 T2, 时钟信号 CLK3 为低电平。这样, 电路 ST0 内的运算放大器 11 进行放大动作, 子 A/D 变换器 14 进行 A/D 动作。这时, 从子 A/D 变换器 14 输出上位 4 位的数字信号 D9~D6。

其次在期间 T3—T6, 控制信号 SW 为低电平。这样, 开关 SW2 开通。因而, 运算放大器 12 输出在输出节点 NO 的模拟信号通过开关 SW2 提供给输入节点 NI。

进行 D/A 变换动作。结果, 运算放大器 12 输出在输出节点 NO 的模拟信号通过开关 SW2 提供到输入节点 NI。

首先在期间 T3, 时钟信号 CLK3 成高电平。这样, 电路 ST0 内的运算放大器 11 进行自动零动作及采样动作, 子 A/D 变换器 14 进行自动零动作及采样动作。这时, 运算放大器 12 进行放大动作, D/A 变换器 15 进行 D/A 变换动作。结果, 运算放大器 12 输出在输出节点 NO 的模拟信号通过开关 SW2 提供到输入节点 NI。

其次在期间 T4, 时钟信号 CLK3 成低电平。这样, 电路 ST0 内的运算放大器 11 进行放大运作, 子 A/D 变换器 1 进行 A/D 变换动作。这时, 从子 A/D 变换器 15 输出中位 3 位的数字信号 D5—D3 及冗余 1 位。此时, 运算放大器 12 进行自动零动作及采样动作, D/A 变换器 15 的输出为不定。

再在期间 T5, 时钟信号 CLK3 为高电平。这样, 电路 ST0 内的运算放大器 11 进行自动零动作及采样动作, 子 A/D 变换器 14 进行自动零动作及采样动作。这时, 运算放大器 12 进行放大动作, D/A 变换器 15 进行 D/A 变换动作。结果, 运算放大器 12 输出在输出节点 NO 的模拟信号通过开关 SW2 提供给输入节点 NI。

接着在期间 T6, 时钟信号 CLK3 为低电平。这样, 电路 ST0 内的运算放大器 11 进行放大动作, 子 A/D 变换器 14 进行 A/D 变换动作。这时, 从子 A/D 变换器 14 输出下位 3 位的数字信号 D2—D0 及冗余 1 位。此时, 运算放大器 12 进行自动零动作及采样动作, D/A 变换器 15 的输出为不定。

如上所述, 本实施形态的模一数变换电中 100a 中, 从 1 级电路 ST0 依次输出上位 4 位的数字信号 D9—D6, 中位 3 位的数字信号 D5—D3 以及下位 3 位数字信号 D2—D0。这样, 利用 1 级电路 ST0 实现 10 位的 3 级管道结构。因而实现省面积化的目的。

上述实施形态中, 在各级电路 ST1、ST2、ST0 设置 2 级运算放大器 1、2、3、4 或 11、12, 然而各级电路中也可设置 1 级运算放大器或 3 级以上的运算放大器。

图 5 示出图 1 信图 3 的模一数变换电路 100、100a 的信号发生器 30 的主要结构的框图。

图 5 的信号发生器 30 包括相位比较器 31、VCO(压控振荡器)32、1/N 分频器 33、1/2 分频器 34 以及寄存器 35。寄存器 35 中预先存入值 N。这里，值 N 是任意的正整数。设定值 N 用的控制信号 RC 从寄存器 35 提供给 1/N 分频器 33。

相位比较器 31 比较频率 FS 的时钟信号 CLK1 的相位与 1/N 分频器 33 的输出信号的相位，将与相位差相对应的控制电压提供给 VC032。VC032 输出具有与控制电压对应的频率的振荡信号即 1/2 分频器 34 及 1/N 分频器 33。1/N 分频器对 VC032 输出的振荡信号进行 1/N 分频，将往 1/N 分频的输出信号提供给相位比较器 31。1/2 分频器对 VC032 输出的振荡信号作 1/2 分频，往 1/2 分频的振荡信号作为时钟信号 CLK_n 输出。时钟信号 CLK_n 具有时钟信号 CLK1 的 n 倍的频率 nFS。N=N/2。

例如，设定 N=2 到 1/N 分频器 33 的寄存器时，时钟信号 CLK_n 的频率就成为 FS，将 N=4 设定到 1/N 分频器 33 的寄存器时，时钟信号 CLK_n 的频率就成为 2FS，设定 N=6 时，时钟信号 CLK_n 的频率就成为 3FS，设定 N=8 时，时钟信号 CLK_n 的频率就成为 4FS。图 1 及图 3 的例表示 N=6 的情况。

图 1 的模一数变换电路 100 中，通过设定以 1/N 分频器 33 的值 N 为 2 来设定时钟信号 CLK_n 的频率为 FS 的情况下，第 1 级电路 ST1 有 4 位结构，第 2 级电路 ST2 有(2 位+冗余 1 位)结构，实现 6 位的管道结构。又，通过设定以 1/N 分频器 33 的值 N 为 4 来设定时钟信号 CLK_n 的频率为 2FS 的情况下，第 1 级电路 ST1 有 4 位结构，第 2 级电路 ST2 的第 1 及第 2 循环有(2 位+冗余 1 位)结构，实现 8 位的管道结构。又，通过设定以 1/N 分频器 33 的值 N 为 8 来设定时钟信号 CLK_n 的频率为 4FS 的情况下，第 1 级电路 ST1 有 4 位结构，第 2 级电路 ST2 的第 1—第 4 循环有(2 位+冗余 1 位)结构，实现 12 位的管道结构。

图 3 的模一数变换电路 100a 中，通过设定以 1/N 分频器 33 的值 N 为 2 来设定时钟信号 CLK_n 的频率为 FS 的情况下，电路 ST0 的 4 位结构，实现 4 位的管道结构。又，通过设定以 1/N 分频器 33 的值 N 为 4 来设定时钟信号 CLK_n 的频率为 2FS 的情况下，电路 ST0 的第 1 循环有(3 位+冗余 1 位)结构，实现 7 位的管道结构。又，通过设定以 1/N 分频器 33 的值 N 为 8 来设定时钟信号 CLK_n 的频率为 4FS 的情况下，电路 ST0 的第 2—第 4 循环有(3 位+冗余 1 位)结构，实现 13 位的管道结构。

这样，在图 1 及图 3 的模一数变换电路 100、100a 中，通过任意地设定 1/N 分频器 33 的分频比，可容易地变更位分辨力。从而用同一硬件结构具有不同位分

辨力的模一数变换电路。

相位比较器 31、VC032 及 $1/N$ 分频器 33 构成相位同步环路， $1/N$ 分频器 33 相当于分频器 33。又，寄存器 35 相当于分频比设定装置。

图 6 为图 1 为模数变换电路 100 的差分放大器 2a 的电路图。图 6 的差分放大器 2a 是完全差动方法的相减运算放大电路。

图 6 的差分放大器 2a 中，运算放大器 20 的正向输入端与节点 N15 之间连接电容器 21，反向输入端与节点 16 之间连接电容器 22。

节点 15 通过开关 SW11 连接节点 11，并通过开关 SW13 连接节点 13。节点 16 通过开关 SW12 连接节点 12，并通过开关 SW14 连接节点 14。

运算放大器 20 的反相输出端子连接节点 N01，并通过电容器 23 连接正相输入端子。运算放大器 20 的正相输出端子连接节点 N02，并通过电容器 2 连接反相输入端子。

运算放大器 20 的正相输入端子通过开关 SW15 连接到接受基准电压 V_{ag} 的基准端子，反相输入端子通过开关 SW17 连接基准端子。运算放大器 20 的反相输出端子通过开关 18 连接基准端子。节点 N01、N02 分别通过电容器 25、26 接地。

开关 SW11—SW18 利用 CMOS 开关来构成。这些开关 SW11、SW18 由控制信号 SW 或其反相信号控制。

该差分放大器 2a 中被提供有输入端子 In 的模拟信号 V_{in} 及 D/A 变换器 8 的 D/A 变换结果即模拟信号 V_{DA} 。也就是说，节点 N11、N12 上分别加上模拟信号 $V_{in}(+)$ 、 $V_{in}(-)$ 。这里是 $V_{in} = V_{in}(+) - V_{in}(-)$ 。节点 N13、N14 上分别加上模拟信号 $V_{DA}(+)$ 、 $V_{DA}(-)$ 。这里 $V_{DA} = V_{DA}(+) - V_{DA}(-)$ 。节点 N01 上出现模拟信号 $V_{out}(+)$ ，节点 N02 上出现模拟信号 $V_{out}(-)$ 。这是， $V_{out} = V_{out}(+) - V_{out}(-)$ 。

以下参照图 7 说明图 6 的差分放大器 2a 的动作。图 7 为用来说明图 6 的差分放大器 2a 的动作的时序图。这是，设电容器 23、24 的容量值为 C，电容器 21、22 的容量值为 KC。K 为常数。

当自动零动作及采样动作时，开关 SW11、SW12、SW15—SW18 开通，开关 SW13、SW14 关断。这样，运算放大器 20 的正相输入端子和反相输入端子为等电位，反相输出端子和正相输出端子的等电位，反相输出端子和正相输出端子为等电位。又，模拟信号 $V_{in}(-)$ 通过开关 SW11 输入到节点 N15，模拟信号 $V_{in}(+)$ 通过开关 SW12 输入到节点 N16。即，模拟信号 $V_{in}(+)$ 、 $V_{in}(-)$ 被采样。

其后，开关 SW15—SW18 关断，接着开关 SW11、SW12 关断。此刻，模拟信号

$V_{in}(+)$ 、 $V_{in}(-)$ 分别保持在电容器 21、22。

放大动作时, 开关 SW13、SW14 开通。这样, 模拟信号 $V_{DA}(+)$ 通过开关 S。W13 输入到点节 N15, 模拟信号 $V_{DA}(-)$ 通过开关 SW14 输入到点节 N16。结果, 模拟信号 $V_{in}(+)$ 与模拟信号 $V_{DA}(+)$ 的差被放大 K 倍, 同时模拟信号 $V_{in}(-)$ 与模拟信号 $V_{DA}(-)$ 的差被放大 K 倍。由此, 节点 N01 出现模拟信号 $V_{out}(+)$, 节点 N02 出现模拟信号 $V_{out}(-)$ 。节点 N01、N02 间的电压(模拟信号 V_{out})用下式表示。

$$\begin{aligned} V_{out} &= V_{out}(+) - V_{out}(-) \\ &= [\{ V_{in}(+) - V_{DA}(+) \} - \{ V_{in}(-) - V_{DA}(-) \}] \cdot K \\ &= (V_{in} - V_{DA}) \cdot K \end{aligned}$$

又, 图 1 的差分放大器 4a 和图 3 的差分放大器 12a 的结构与动作也与图 6 和图 7 所示的差分放大器 2a 的结构与动作相同。

图 8 示出图 1 的模一数变换电路的子 A/D 变换器 7 的结构电路图。图 8 的子 A/D 变换器 7 是全并比较(快速)方式子 A/D 变换器。

图 8 的子 A/D 变换器 7 由 n 个电阻 R、n 个电压比较器 D1—Dn 以及编码器 70 所构成。

所有的电阻 R 有相同的电阻值, 串联连接于接受高电位侧基准电压 V_{RT} 的节点 N31 与接受低电位侧基准电压 V_{RB} 的节点 N32 之间。这里, 设节点 N32 与节点 N31 之间的 n 个电阻 R 间的节点 N41—N4n 的电位分别为 $V_R(1) - V_R(n)$ 。

各电压比较器 D1—Dn 的正相输入端子上加上模拟信号 V_{in} 。又, 各电压比较器 D1—Dn 的反相输入端子上分别加上节点 N41—N4n 的电位 $V_R(1) - V_R(n)$ 。

这样, 各电压比较器 D1—Dn 的输出信号 $VD1 - VDn$, 在各模拟信号 V_{in} 高于电位 $V_R(1) - V_R(n)$ 时成为高电平, 在各模拟信号 V_{in} 低于电位 $V_R(1) - V_R(n)$ 时成为低电平。

编码器 70 对电压比较器 D1—Dn 的输出信号 $VD1 - VDn$ 进行编码, 输出 4 位的数字信号 D_{out} 。

又, 图 1 的子 A/D 变换器 9 和图 3 的子 A/D 变换器 14 的结构和动作, 与图 8 的子 A/D 变换器 7 的结构和动作相同。

图 9 为图 8 的子 A/D 变换器 7 所用的差动型电压比较器的电路图。

图 9 中, 差动放大电路 50 由 P 沟道 MOS 场效应晶体管(以下称 PMOS 晶体管)51、52、N 沟道 MOS 场效应晶体管(以下称 NMOS 晶体管)53、54 以及恒流源 57 所构成。恒流源 57 使用饱和动作的 NMOS 晶体管。

节点 ND 与输出节点 NO11 之间接 PMOS 晶体管 51, 节点 ND 与输出节点 NO12 之间接 PMOS 晶体管 52。输出节点 NO11 与节点 NS 之间接 NMOS 晶体管 53, 输出节点 NO12 与节点 NS 之间接 NMOS 晶体管 54。

节点 ND 接电源电压 VDD, 节点 NS 通过恒流电源 57 接地。PMOS 晶体管 51、52 的栅极接偏置电压 VB。NMOS 晶体管 53、54 的栅极分别接输入节点 NA、NB。

输入节点 NA 通过电容器 55 接节点 N1, 输入节点 NB 通过电容器 56 接节点 N2。输入节点 NA 与输出节点 NO11 之间连接开关 SW31, 输入节点 NB 与输出节点 NO12 之间连接开关 SW41。节点 N1 上并联连接开关 SW42、SW43。

开关 SW31—SW33、SW41—SW43 由 CMOS 开关构成。这些开关由控制信号或其反相信号控制。

输入电压 $V_1(+)$ 、 $V_2(+)$ 分别加到开关 SW32、SW33 输入电压 $V_1(-)$ 、 $V_2(-)$ 分别加到开关 SW42、SW43。从输出节点 NO11、NO12 导出输出电压 $V_0(+)$ 、 $V_0(-)$ 。

这里, 输入电压 $V_1(+)$ 与输入电压 $V_2(+)$ 之差作为差分输入电压 $\Delta V(+)$ 。输出电压 $V_0(+)$ 与输出电压 $V_0(-)$ 之差作为差分输出电压 ΔV_0 。这里, 图 8 的模拟信号 V_{in} 相当于差分输入电压 $\Delta V(+)$, 电位 $V_R(1) - V_R(n)$ 的任一个相当于差分输入电压 $\Delta V(-)$, 输出信号 $VD1 - VDn$ 的任一个相当于差分输出电压 ΔV_0 。

图 10 为用来说明图 9 的电压比较器的动作的时序图。

当自动零动作和采样动作时, 开关 SW31、SW41、SW32、SW42 开通, 开关 SW33、SW34 关断。这样, 输入节点 NA 与输出节点 NO11 为等电位, 输入节点 NB 与输出节点 NO12 为等电位。又, 输入电压 $V_1(+)$ 通过开关 SW32 输入到输入节点 NA, 输入电压 $V_1(-)$ 通过开关 SW42 输入到输入节点 NB。即, 输入电压 $V_1(+)$ 及输入电压 $V_1(-)$ 被采样。

其后, 开并 SW31、SW41 关断, 接着开关 SW32、SW42 关断。此时, 输入电压 $V_1(+)$ 、 $V_1(-)$ 分别保持于电容器 55、56。

当比较动作时, 开关 SW33、SW43 开通。这样, 输入电压 $V_2(+)$ 通过开关 SW33 输入到输入节点 NA, 输入电压 $V_2(-)$ 通过开关 SW43 输入到输入节点 NB。结果, 输入节点 NA 的电压变化成为 $V_2(-) - V_1(-)$ 。

根据输入节点 NA 的差分输入电压 $\Delta V(+)=V_2(+)-V_1(+)$ 与输入节点 NB 的差分输入电压 $\Delta V(-)=V_2(-)-V_1(-)$ 的比较结果, 输出节点 NO11 的输出电压 $V_0(+)$ 及输出节点 NO12 的输出电压 $V_0(-)$ 中的一方变化到电源电压 VDD 一侧, 另一方变化到接地电位一侧。这样, 输出节点 NO11、NO12 间的差分输出电压根据比较结果

从 0V 变化到正侧或负侧。

又，图 8 的电压比较器 D_2-D_n 的结构和动作与图 9 及图 10 的电压比较器 D_1 的结构和动作相同。

图 11 为图 1 的模一数变换电路 100 的子 A/D 变换器 7 及 D/A 变换器 8 的电路图。D/A 变换器 8 是电容陈列方式 D/A 变换器。又，图 11 中未示出图 8 的编码器。

D/A 变换器 8，由连接成陈列状的各自 n 个的开关 E_1-E_n ， F_1-F_n ， G_1-G_n ， H_1-H_n ， n 个正侧电容器 B_1-B_n ，以及 n 个负侧电容器 C_1-C_n 所构成。

电容器 B_1-B_n ， C_1-C_n 全部有相同容量 C 。从电容器量 B_1-B_n 的一方端子(以下算输出端子)生成差动正侧输出电压 $VDA(+)$ ，从电容器 C_1-C_n 的一方端子(以下称输出端子)生成差动负侧输出电压 $VDA(-)$ 。各电容器 B_1-B_n 、 C_1-C_n 的另一方端子称作输入端子。

各开关 E_1-E_n 的一方端子接节点 31，另一方端子接电容器 B_1-B_n 的输入端子。各开关 F_1-F_n 的一方端子接节点 31，另一方端子接电容器 C_1-C_n 的端子。各开关 G_1-G_n 的一方端子接节点 32，另一方端子接电容器 B_1-B_n 的输入端子。各开关 H_1-H_n 的一方端子接节点 32，另一方端子接电容器 C_1-C_n 的输入端子。

各开关 E_1-E_n 、 F_1-F_n 、 G_1-G_n 、 H_1-H_n 各自用同编号的开关构成 4 速开关。例如，开关 E_1 、 F_1 、 G_1 、 H_1 是 1 连，开关 E_n 、 F_n 、 G_n 、 H_n 也是 1 连。然后各开关 E_1-E_n 、 F_1-F_n 、 G_1-G_n 、 H_1-H_n 各自根据积压电压比较器 D_1-D_n 的输出电平进行开并动作。例如当电压比较器 D_n 的输出为高电平时，开关 E_n 、 H_n 开通，开关 G_n 、 F_n 关断。反之，当电压比较器 D_n 的输出为低电平时，开关 E_n 、 H_n 关断，开关 G_n 、 F_n 开通。

以下说明 D/A 变换器 8 的动作。初始条件中，各电容器 B_1-B_n 的输入端子及输出端子的电位均为 0V，各开关 E_1-E_n 、 F_1-F_n 、 G_1-G_n 、 H_1-H_n 全部关断。因此初始条件中，所有电容器 B_1-B_n 、 C_1-C_n 所存储的电荷(电量)为 $Q=0$ 。

这里，当 n 个电压比较器 D_1-D_n 中 m 个的输出为高电平时，则各开关 E_1-E_n 中 m 个开通、 $(n-m)$ 个关断，各开关 G_1-G_n 中 $(n-m)$ 个开通、 m 个关断。根据各该开关 E_1-E_n 、 G_1-G_n 的通断动作，所有电容器 B_1-B_n 所存储的电荷 Q_2 以下式(A1)表示。

$$Q_2 = m(V_{RT} - V_{DA}(+)) + (n-m)(V_{RB} - V_{DA}(+))C \quad \cdots (A1)$$

根据电荷保持定则， $Q_1=Q_2$ 。因此，模拟信号 $V_{DA}(+)$ 以下式(A2)表示。

$$V_{DA}(+) = V_{RB} + m(V_{RT} - V_{RB})/n \quad \cdots (A2)$$

另一方面，当 n 个电压比较器 D_1-D_n 中 m 个的输出的高电平时，则各开关 H_1-H_n 中 m 个开通、 $(n-m)$ 个关断，各开关 F_1-F_n 中 $(n-m)$ 个开通、 m 个关断。根据各该开关 H_1-H_n 、 F_1-F_n 的通断动作，所有电容器 C_1-C_n 所有储电荷 Q_3 以下式 (A3) 表示。

$$Q_3 = (n-m)(V_{RT}-V_{DA}(-))C + m(V_{RB}-V_{DA}(-))C \quad \dots (A3)$$

根据电荷保持定则， $Q_1=Q_3$ 。用此模拟信号 $V_{DA}(-)$ 以下或 (A4) 表示。

$$V_{DA}(-) = V_{RT} - m(V_{RT}-V_{RB})/m \quad \dots (A4)$$

从而，由上式 (A2)、(A4)，模拟信号 V_{DA} 由式 (A5) 表示。

$$\begin{aligned} V_{DA} &= V_{DA}(+) - V_{DA}(-) \\ &= V_{RB} - V_{RT} + 2m(V_{RT}-V_{RB})/m \quad \dots (A5) \end{aligned}$$

如上所述，上述实施形态的模一数变换电路 100、100a 实现省面积化的同时，用同一硬传结构实现不同的位结构，所以最适合于嵌入 (embedded) 型模一数变换电路。

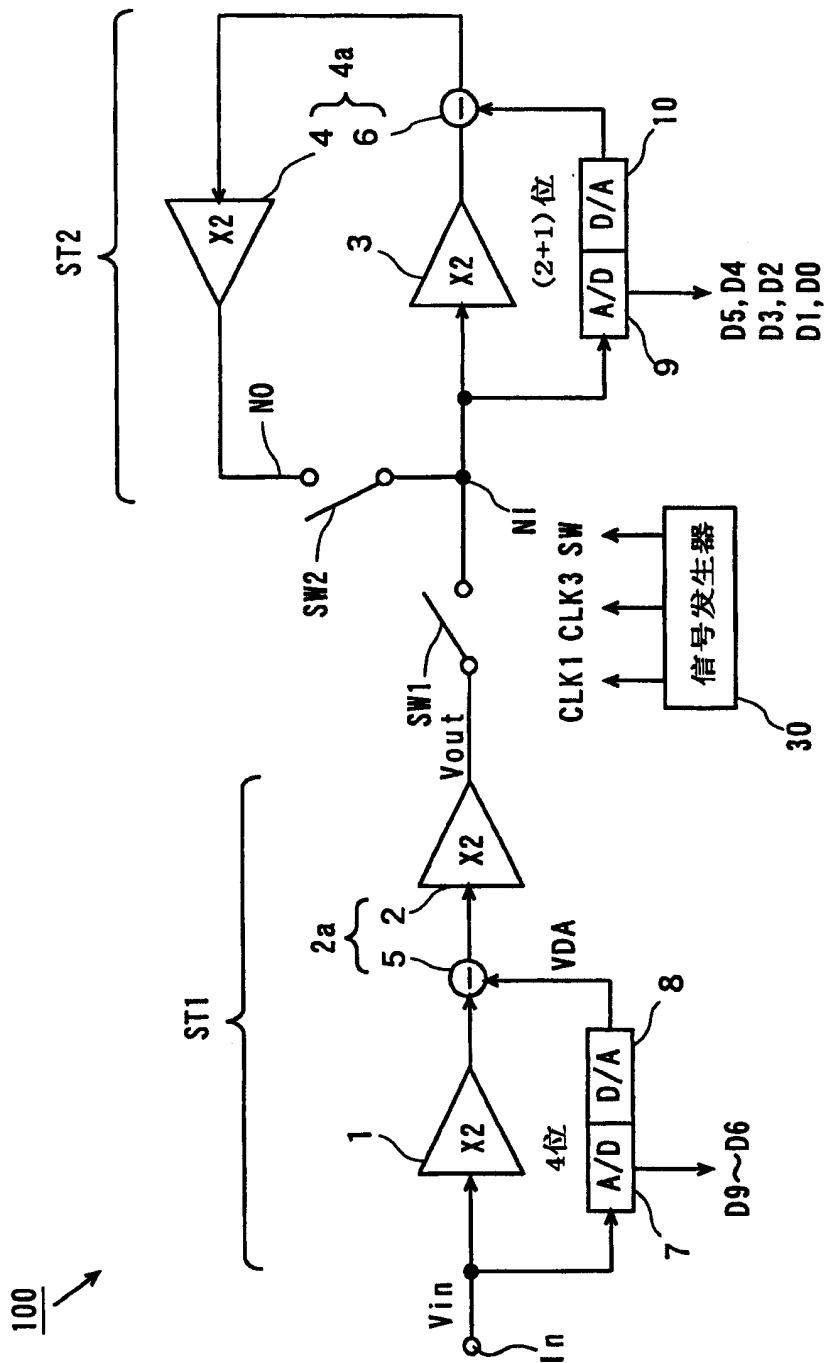
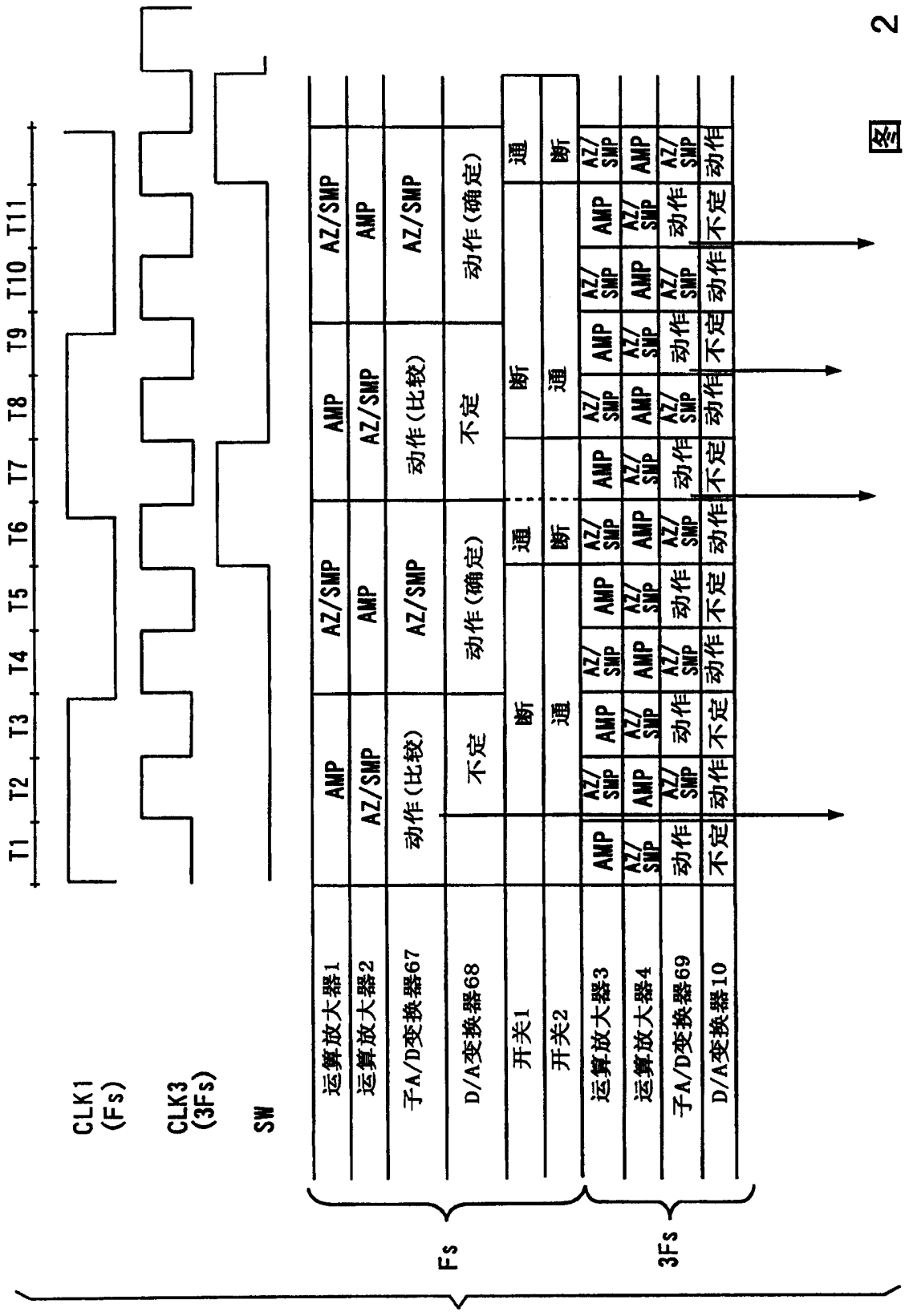


图 1



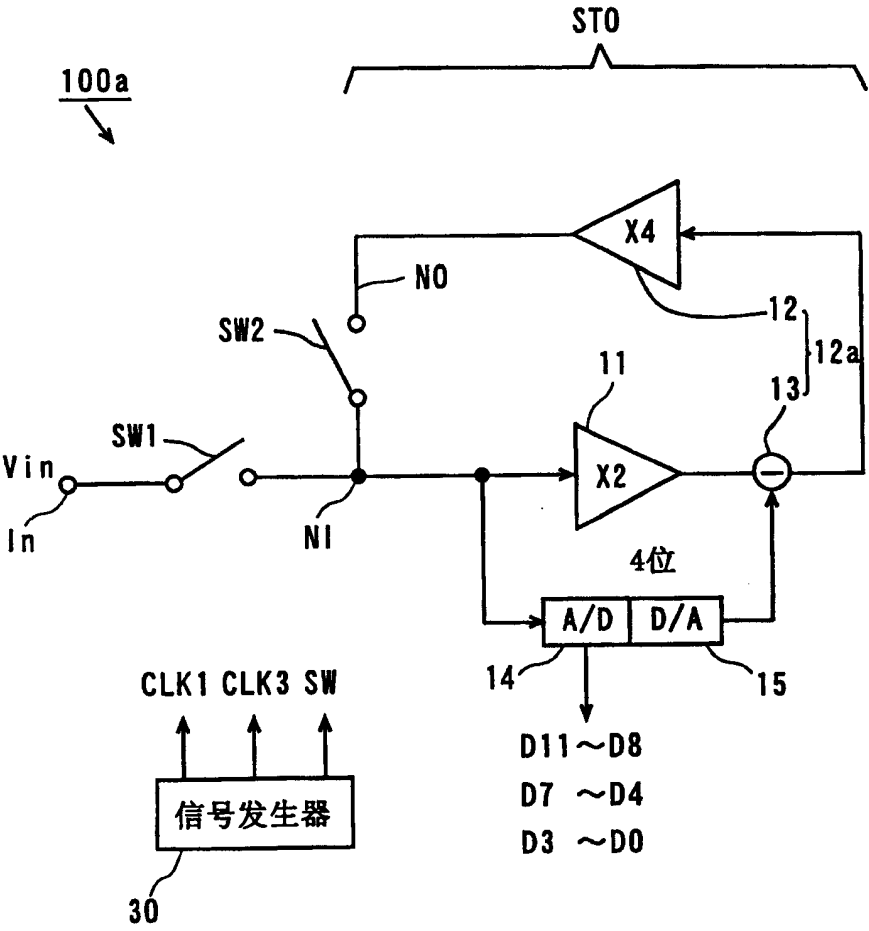


图 3

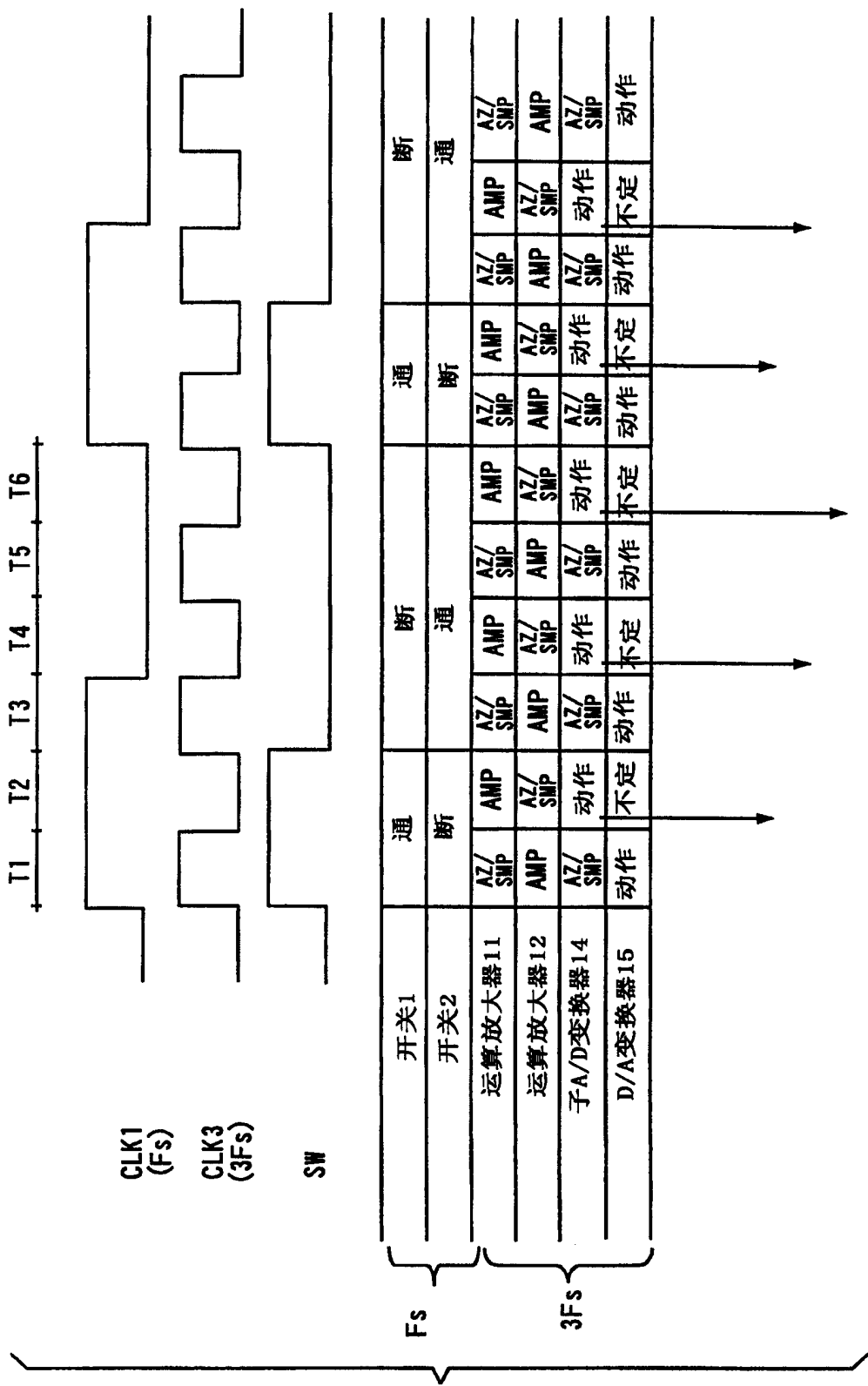


图 4

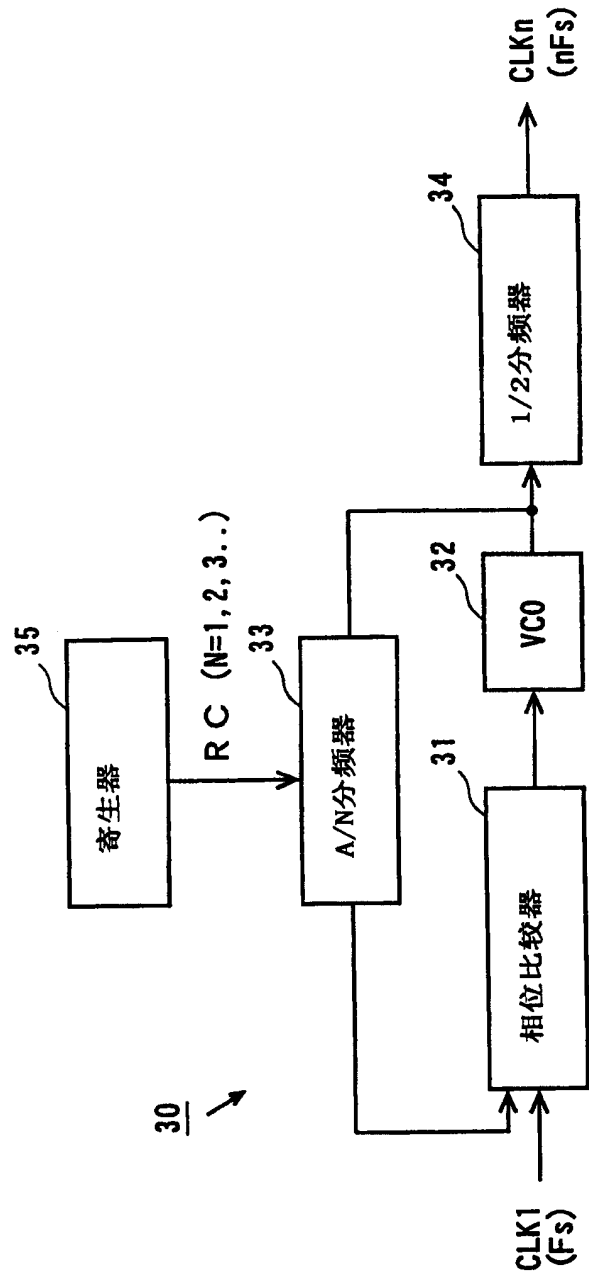


图 5

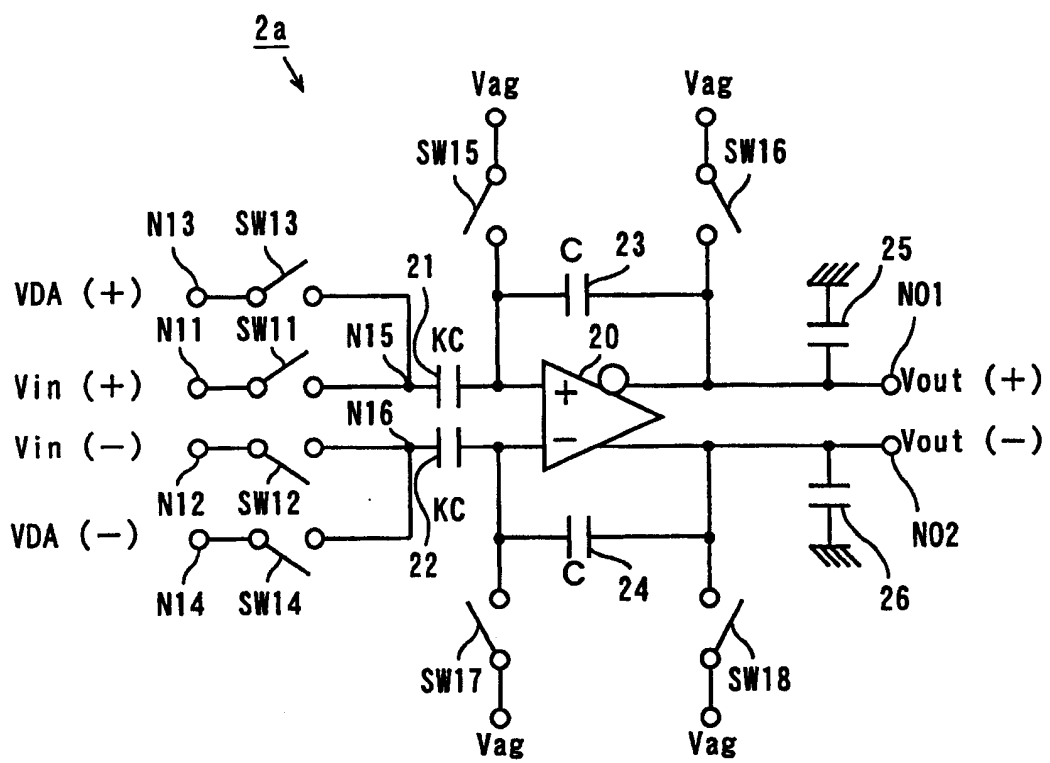


图 6

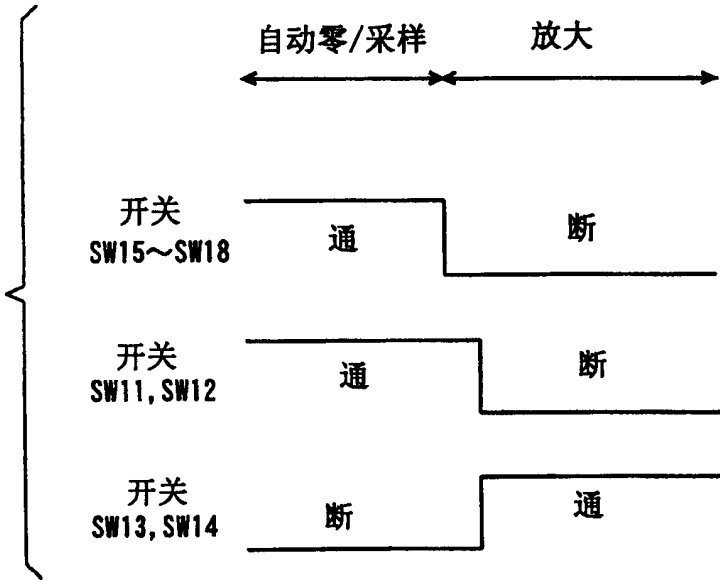


图 7

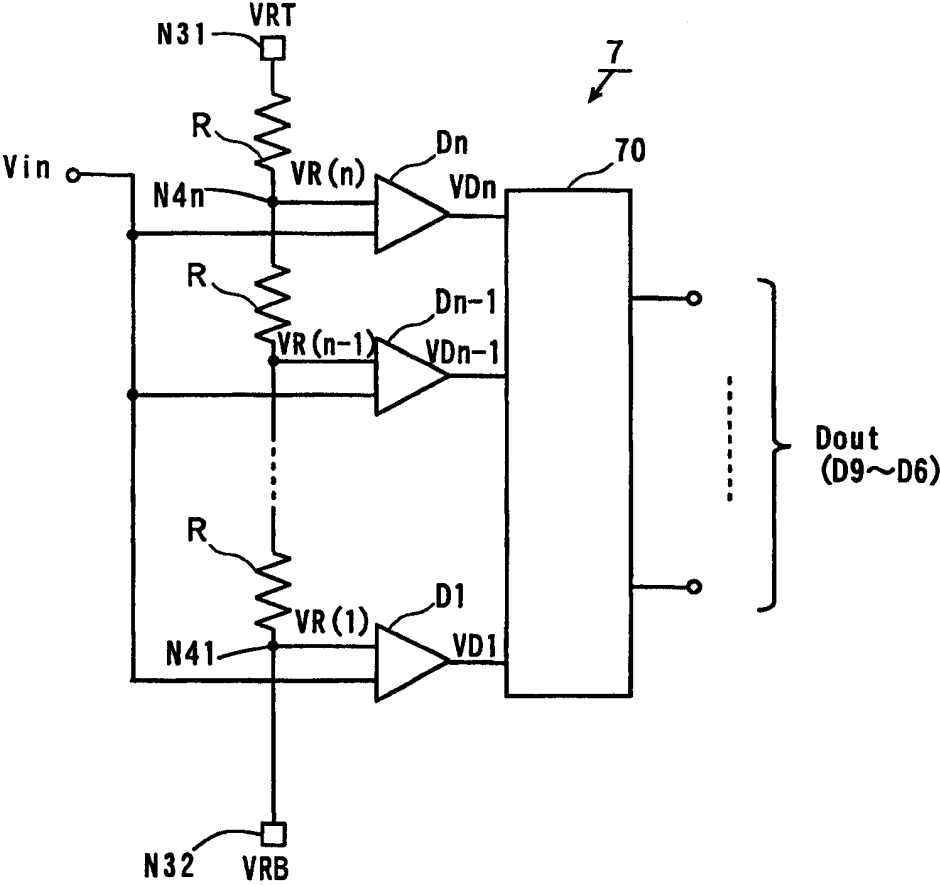


图 8

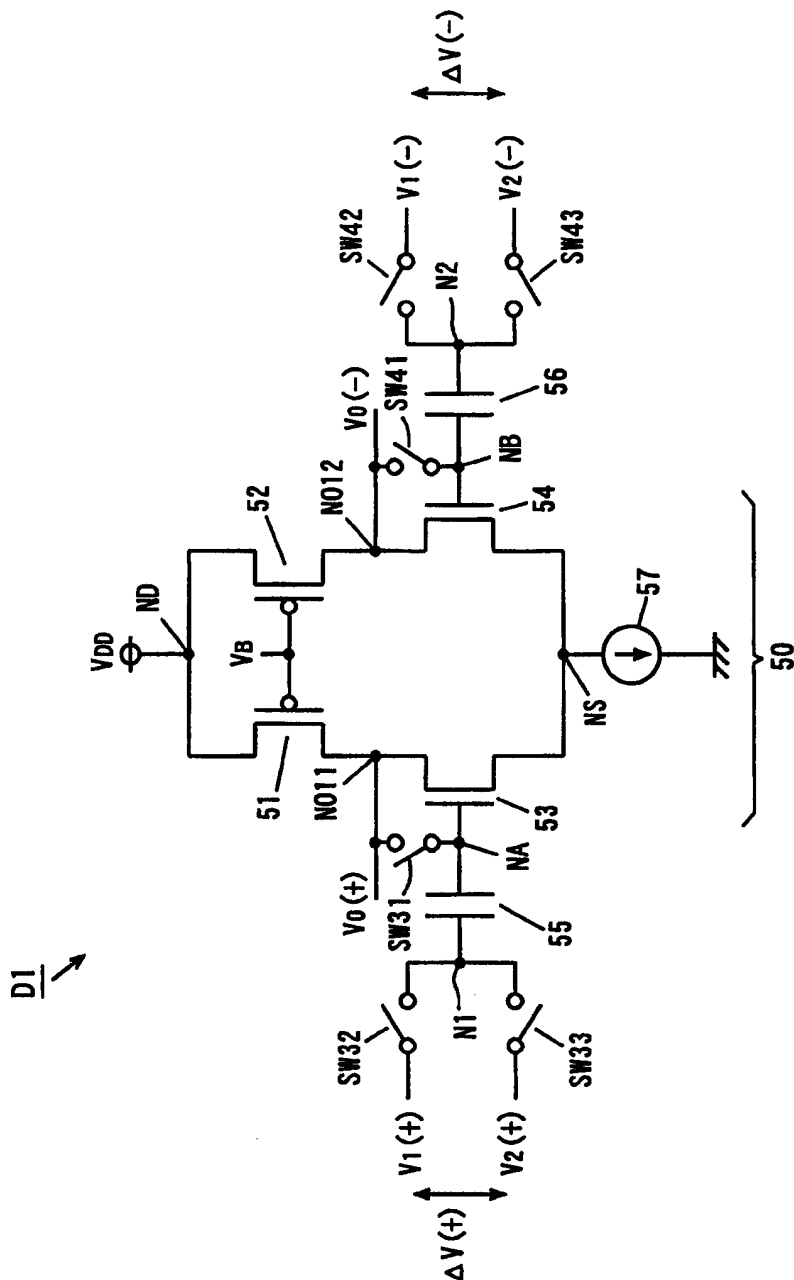


图 9

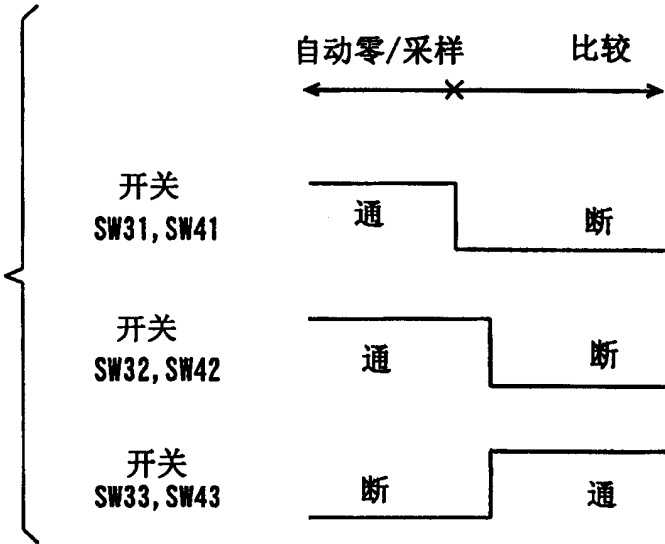


图 10

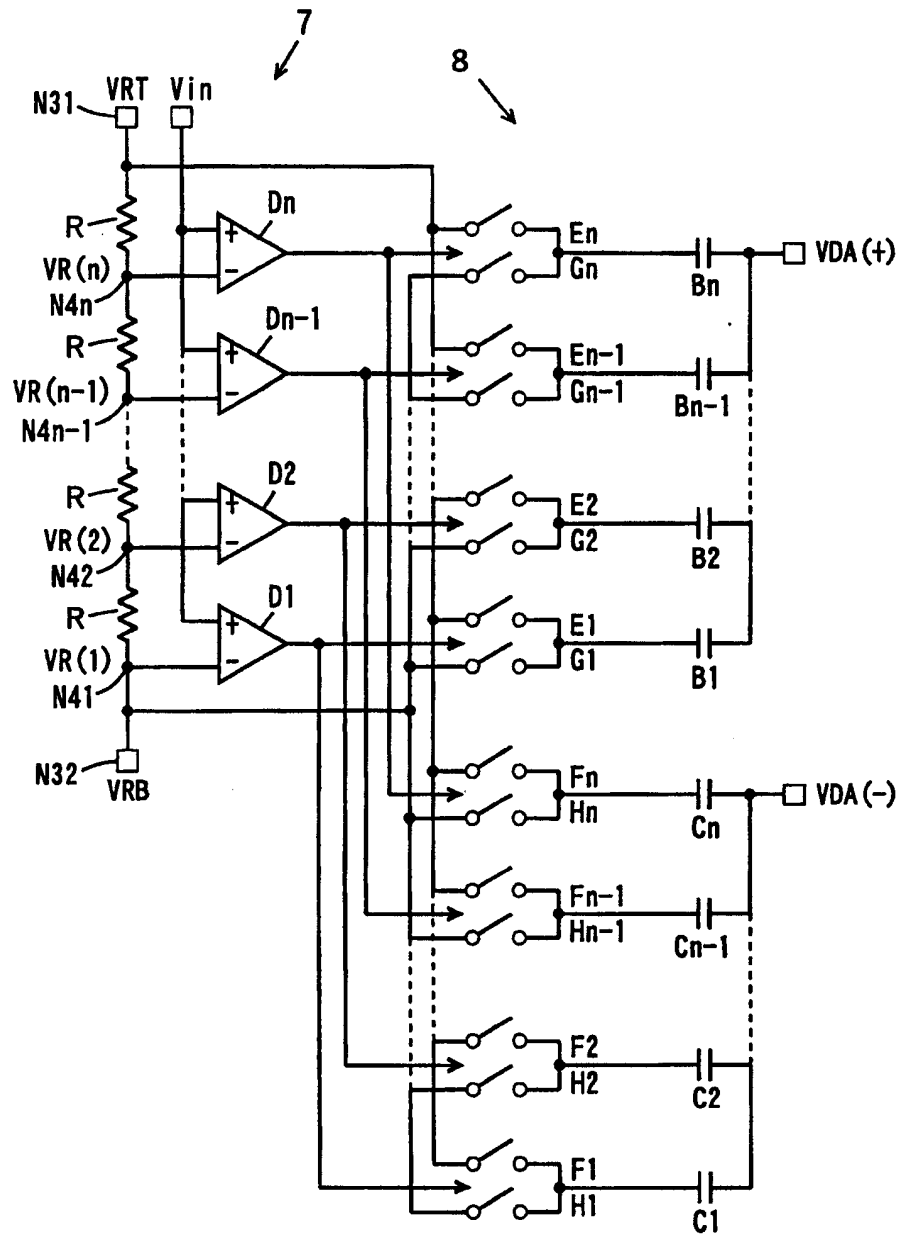


图 11

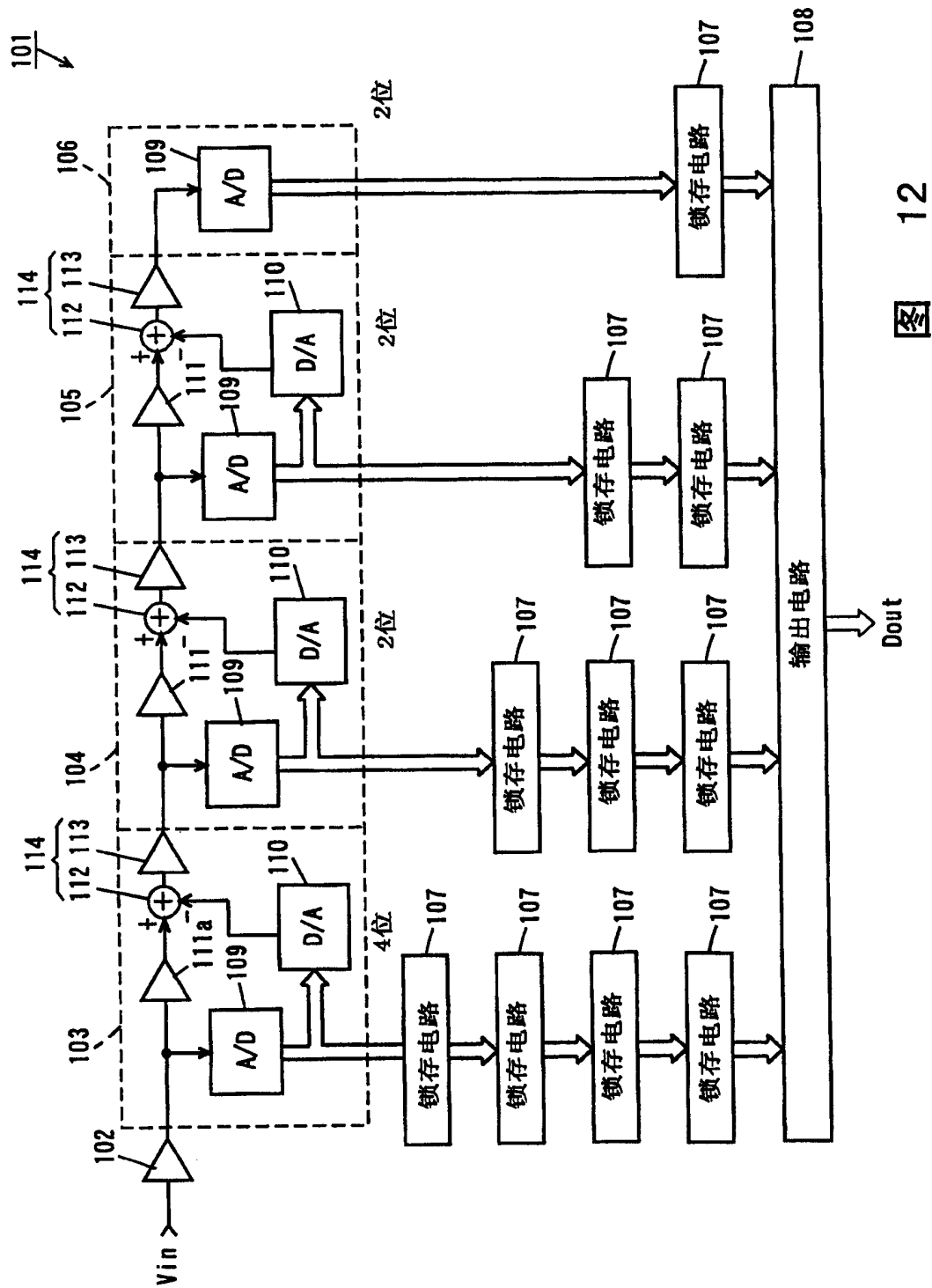


图 12