



## 【特許請求の範囲】

## 【請求項 1】

駆動信号のレベルに応じた輝度となる発光素子と、  
前記発光素子の輝度を指定する駆動信号をデータ信号に応じて生成する信号生成回路とを具備し、  
前記信号生成回路は、データ信号に応じた電位がゲート電極に供給されることで駆動信号を生成する駆動トランジスタと、前記駆動トランジスタから前記発光素子に供給される駆動信号の波形を鈍らせる時定数回路とを含む  
ことを特徴とする画素回路。

## 【請求項 2】

前記発光素子は、駆動信号のレベルが閾値を越えることによって発光し、  
前記時定数回路は、前記信号生成回路に入力されるデータ信号のうち所定の時間長よりも短い時間長で前記閾値を越える信号が前記信号生成回路に入力される場合に、当該時定数回路から出力される信号が前記発光素子の前記閾値を下回るレベルに減衰されるように時定数が決定されている  
ことを特徴とする請求項 1 に記載の画素回路。

10

## 【請求項 3】

前記発光素子は第 1 電極と第 2 電極とを含み、  
前記駆動トランジスタを介して前記第 1 電極に電氣的に接続される電源線を具備し、  
前記時定数回路は、前記電源線と前記第 1 電極との間に配置される  
ことを特徴とする請求項 1 に記載の画素回路。

20

## 【請求項 4】

前記時定数回路は、一方の電極が前記発光素子の第 1 電極に接続されるとともに他方の電極に略一定の電位が印加される容量素子を含む  
ことを特徴とする請求項 3 に記載の画素回路。

## 【請求項 5】

前記時定数回路は、前記電源線と前記第 1 電極との間に介在する抵抗を含む  
ことを特徴とする請求項 4 に記載の画素回路。

## 【請求項 6】

前記発光素子は第 1 電極と第 2 電極とを含み、  
前記駆動トランジスタは、相補型である第 1 トランジスタと第 2 トランジスタとからなる第 1 反転回路であり、  
前記時定数回路は、相補型である第 3 トランジスタと第 4 トランジスタとからなる第 2 反転回路であり、  
データ信号に応じた電位が前記第 1 反転回路の入力端に供給され、前記第 1 反転回路の出力端は前記第 2 反転回路の入力端に接続され、前記第 2 反転回路の出力端は前記第 1 電極に接続されている  
ことを特徴とする請求項 1 に記載の画素回路。

30

## 【請求項 7】

駆動信号のレベルに応じた輝度となる発光素子を各々が含む複数の画素回路と、  
各発光素子の輝度を時分割にて指定するデータ信号を伝送するデータ信号線とを具備し、  
前記複数の画素回路の各々は、  
当該画素回路に対応したサンプリング期間にて前記データ信号線からサンプリングされるデータ信号に応じたレベルの駆動信号を生成する信号生成回路を含み、  
前記信号生成回路は、データ信号に応じた電位がゲート電極に供給されることで駆動信号を生成する駆動トランジスタと、前記駆動トランジスタから前記発光素子に供給される駆動信号の波形を鈍らせる時定数回路とを含む  
ことを特徴とする発光装置。

40

## 【請求項 8】

50

前記発光素子は、駆動信号のレベルが閾値を越えることによって発光し、

前記時定数回路は、前記信号生成回路に入力されるデータ信号のうち所定の時間長よりも短い時間長で前記閾値を越える信号が前記信号生成回路に入力される場合に、当該時定数回路から出力される信号が前記発光素子の前記閾値を下回るレベルに減衰されるように時定数が決定されている

ことを特徴とする請求項 7 に記載の画素回路。

【請求項 9】

前記複数の画素回路のうち第 1 の画素回路に含まれる時定数回路の時定数は、前記データ信号線のうちデータ信号の供給元からの経路長が前記第 1 の画素回路よりも短い地点に接続された第 2 の画素回路の時定数よりも小さい

ことを特徴とする請求項 7 に記載の発光装置。

【請求項 10】

前記各画素回路に含まれる時定数回路の時定数は、前記データ信号線のうちデータ信号の供給元から当該画素回路が接続される地点までの配線抵抗および寄生容量と当該画素回路の時定数回路とを含む部分の時定数が総ての画素回路について略同一となるように画素回路ごとに決定されている

ことを特徴とする請求項 9 に記載の発光装置。

【請求項 11】

前記各画素回路に含まれる時定数回路の時定数は、前記複数の画素回路のうち第 1 のグループに属する各画素回路の時定数回路の時定数が、前記データ信号線のうちデータ信号の供給元からの経路長が前記第 1 のグループの各画素回路よりも短い地点に接続された第 2 のグループに属する各画素回路の時定数回路の時定数よりも小さくなるように、画素回路の各グループごとに決定されている

ことを特徴とする請求項 9 に記載の発光装置。

【請求項 12】

請求項 7 から請求項 11 の何れか 1 項に記載の発光装置を具備する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、OLED (Organic Light Emitting Diode) 素子などの発光素子を制御する技術に関する。

【背景技術】

【0002】

複数の発光素子を備えた発光装置が従来から提案されている。この種の発光装置においては、発光素子の輝度を指定する信号（以下「データ信号」という）の遅延など種々の原因によって発光素子の輝度に誤差が発生する場合がある。

【0003】

例えば、各々が発光素子を含む複数の画素回路を共通の配線（以下「データ信号線」という）に接続した構成の発光装置が従来から提案されている。この構成においては、各発光素子の輝度を時分割にて指定するデータ信号が所定の期間（以下「サンプリング期間」という）ごとにデータ信号線から各画素回路に順次に取り込まれ、このデータ信号に応じて生成された駆動信号の供給によって発光素子の輝度が制御される。この構成において、データ信号がひとつの発光素子の輝度に応じたレベルを維持する期間と、このデータ信号に対するサンプリング期間とが時間軸上において完全に合致していれば、各画素回路にデータ信号の所期の区間を取り込んで発光素子の輝度を適正に制御することができる。しかしながら、データ信号線を伝播するときの波形鈍りなど種々の原因によってデータ信号が

10

20

30

40

50

サンプリング期間に対して遅延する場合がある。この場合、ひとつのサンプリング期間内にてデータ信号のレベルが変動することになるから、発光素子に対して所期の駆動信号を供給することができず、この結果として発光素子の輝度に誤差が発生し得る。

【0004】

この問題を解決するための技術として、例えば特許文献1や特許文献2には、図16に示されるように、相前後するサンプリング期間 $P_s$ に間隔 $P_d$ を介挿した構成が開示されている。この構成によれば、各サンプリング期間 $P_s$ の終点からその直後のサンプリング期間 $P_s$ の始点までの間隔 $P_d$ においてデータ信号 $D$ は何れの画素回路にも取り込まれない。したがって、図16に「 $D$  (遅延あり)」として示されるようにデータ信号 $D$ が時間長 $d$ だけ遅延したとしても、この遅延量 $d$ が期間 $P_d$ の時間長の範囲内である限り、発光素子の輝度に誤差は発生しない。

10

【特許文献1】特開平5-241536号公報(図1および図2)

【特許文献2】特開平9-212133号公報(図1および図2)

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、この技術においては、データ信号 $D$ が各画素回路に取り込まれる時間長(サンプリング期間 $P_s$ )を間隔 $P_d$ の分だけ短縮せざるを得ない。したがって、各画素回路に対して短い周期にてデータ信号をサンプリングしなければならない場合(例えば、データ信号線に接続された画素回路の個数が多い場合)には、各画素回路に対してデータ信号を充分に取り込むことができず、各発光素子の輝度の制御が却って困難になるという問題がある。本発明は、このような事情に鑑みてなされたものであり、発光素子の輝度を指定する信号が画素回路に取り込まれる時間長を短縮することなく各発光素子の輝度の誤差を防止するという課題の解決を目的としている。

20

【課題を解決するための手段】

【0006】

この課題を解決するために、本発明に係る画素回路は、駆動信号のレベルに応じた輝度となる発光素子と、前記発光素子の輝度を指定する駆動信号をデータ信号に応じて生成する信号生成回路とを具備し、前記信号生成回路は、データ信号に応じた電位がゲート電極に供給されることで駆動信号を生成する駆動トランジスタ(例えば図3における駆動トランジスタ81や図9におけるインバータCb1)と、前記駆動トランジスタから前記発光素子に供給される駆動信号の波形を鈍らせる(すなわち駆動信号のレベルの単位時間当たりの変動量を低減する)時定数回路とを含む。

30

この構成においては、信号生成回路から発光素子に供給される駆動信号の波形が時定数回路によって鈍化される。したがって、遅延やノイズなど種々の原因によって駆動信号が短期的に所期値とは相違するレベルに遷移した場合であっても発光素子の輝度に対する影響は低減される。また、駆動信号の変動の影響が時定数回路によって低減されるため、発光素子の輝度を指定する信号(データ信号)が画素回路に取り込まれる時間長を短縮する必要はない。なお、本発明における発光素子とは、電気的な作用によって発光する素子である。例えば、OLED素子のほかに無機ELダイオード素子や発光ダイオード素子など種々の素子が本発明にいう発光素子の概念に含まれる。

40

【0007】

駆動信号のレベルが所定の閾値を越えたときに発光する発光素子を備えた画素回路において、前記時定数回路は、前記信号生成回路に入力されるデータ信号のうち所定の時間長よりも短い時間長で前記閾値を越える信号が前記信号生成回路に入力される場合に、当該時定数回路から出力される信号が前記発光素子の前記閾値を下回るレベルに減衰されるように時定数が決定される。この態様によれば、駆動信号のレベルが短期的に発光素子の閾値を越えたとしても、この区間のレベルは時定数回路によって当該閾値を下回るレベルに減衰させられるから、この駆動信号の変動に起因した発光素子の輝度の誤差を確実に防止することができる。もっとも、本発明において、駆動信号のうち所定値よりも短い時間長

50

にて閾値を越える総ての区間が当該閾値を下回るレベルに減衰される必要は必ずしもない。すなわち、時定数回路によって波形が鈍化された後の駆動信号のレベルが閾値を越える場合であっても、その閾値を越える区間（すなわち発光素子が誤発光する期間）が画素回路の用途に対して特段の問題とならない程度の時間長となるように駆動信号の波形が鈍化されていればよい。例えば、本発明の画素回路を利用した表示装置において、実際には駆動信号の遅延などに起因して発光素子が誤発光したとしても、これが人間の視覚によっては知覚され得ない程度の時間長であれば、本発明の所期の効果は確かに奏される。

**【0008】**

本発明の好適な態様において、前記発光素子は第1電極と第2電極とを含み、前記駆動トランジスタを介して前記第1電極に電氣的に接続される電源線を具備し、前記時定数回路は、前記電源線と前記第1電極との間に配置される。この態様によれば、発光素子の誤発光を効果的に防止することができる。

10

**【0009】**

また、本発明の他の態様においては、発光素子の輝度を指定するデータ信号をデータ信号線からサンプリング期間にてサンプリングするサンプリング回路（例えば図3におけるトランスマッションゲート71）が設けられ、信号生成回路は、サンプリング回路がサンプリングしたデータ信号に応じて駆動信号を生成する。この構成においては、信号生成回路が生成した駆動信号のうち、サンプリング期間に対するデータ信号の遅延量よりも短い時間長にて発光素子の閾値を越える区間が当該閾値を下回るレベルに減衰されるように、時定数回路の時定数が決定される。ただし、データ信号のサンプリングを信号生成回路が行なう構成としてもよい。すなわち、この構成における信号生成回路は、例えばデータ信号線に接続されたスイッチング素子によって構成され、このデータ信号線に供給されるデータ信号をサンプリングすることによって駆動信号として出力する。

20

**【0010】**

本発明の望ましい態様において、前記時定数回路は、一方の電極が前記発光素子の一端に接続されるとともに他方の電極に定電位が印加される容量素子（例えば図3や図11に示される容量Ca）を含む。この態様によれば、例えば発光素子の抵抗成分や配線抵抗と当該容量とによってRC時定数回路が構成される。この態様によれば、時定数回路の構成を簡素化することができる。また、他の態様における時定数回路は、前記電源線と前記第1電極との間に介在する抵抗を含む。この態様においては、容量（例えば発光素子の第1電極に接続された容量素子や発光素子に付随する容量）と当該抵抗とによってRC時定数回路が構成される。

30

**【0011】**

また、他の態様においては、前記駆動トランジスタは、相補型である第1トランジスタと第2トランジスタとからなる第1反転回路（例えば図9や図12に示されるインバータCb1）であり、前記時定数回路は、相補型である第3トランジスタと第4トランジスタとからなる第2反転回路（例えば図9や図12に示されるインバータCb2）であり、データ信号に応じた電位が前記第1反転回路の入力端に供給され、前記第1反転回路の出力端は前記第2反転回路の入力端に接続され、前記第2反転回路の出力端は前記第1電極に接続されている。なお、以上の態様における第1トランジスタおよび第2トランジスタは、例えば図9や図12のインバータCb1におけるトランジスタTr1およびTr2にそれぞれ相当する。また、第3トランジスタおよび第4トランジスタは、例えば図9や図12のインバータCb2におけるトランジスタTr1およびTr2にそれぞれ相当する。

40

**【0012】**

この態様においては、第1反転回路や第2反転回路を構成するトランジスタのゲート容量や当該インバータの出力インピーダンスによってRC時定数回路が構成される。また、インバータの段数やこれを構成するトランジスタのサイズ（特にゲート長やゲート幅）を適宜に選定することによって所望の時定数を持った時定数回路が構成される。もっとも、時定数回路の構成は以上の例示に限定されない。例えば、信号生成回路をトランジスタによって構成した場合には、このトランジスタのゲート容量によって時定数回路を構成して

50

もよい。この構成においては、トランジスタのゲート幅やゲート長を適宜に選定することによって時定数回路の時定数を調整することができる。

#### 【0013】

また、本発明に係る画素回路は発光装置に利用される。この発光装置は、駆動信号のレベルに応じた輝度となる発光素子を各々が含む複数の画素回路と、各発光素子の輝度を時分割にて指定するデータ信号を伝送するデータ信号線とを具備し、前記複数の画素回路の各々は、当該画素回路に対応したサンプリング期間にて前記データ信号線からサンプリングされるデータ信号に応じたレベルの駆動信号を生成する信号生成回路を含み、前記信号生成回路は、データ信号に応じた電位がゲート電極に供給されることで駆動信号を生成する駆動トランジスタと、前記駆動トランジスタから前記発光素子に供給される駆動信号の波形を鈍らせる時定数回路とを含む。この構成によれば、本発明に係る画素回路と同様の作用により、データ信号が画素回路に取り込まれる期間（サンプリング期間）を短縮することなく各発光素子の輝度の誤差を防止することができる。

10

#### 【0014】

本発明の望ましい態様に係る発光装置において、前記発光素子は、駆動信号のレベルが閾値を越えることによって発光し、前記時定数回路は、前記信号生成回路に入力されるデータ信号のうち所定の時間長よりも短い時間長で前記閾値を越える信号が前記信号生成回路に入力される場合に、当該時定数回路から出力される信号が前記発光素子の前記閾値を下回るレベルに減衰されるように時定数が決定される。この構成によれば、サンプリング期間に対するデータ信号の遅延に起因した発光素子の輝度の誤差を確実に防止することができる。

20

#### 【0015】

ところで、データ信号線には配線抵抗や寄生容量が付随する。この抵抗や容量は、データ信号の供給元（例えば図1に示される画像処理回路30やこの画像処理回路30から出力されたデータ信号が入力される端子）から当該データ信号線に沿って離れるほど大きいから、これらの抵抗や容量によって定まる時定数はデータ信号の供給元から離れるほど大きい。したがって、総ての画素回路について時定数回路に等しい時定数を設定すれば、データ信号の供給元から離れた画素回路ほど大きい時定数のもとで駆動信号が減衰されることになり、この結果として各発光素子の挙動にばらつきが生じ得る。そこで、本発明の望ましい態様において、各画素回路に含まれる時定数回路の時定数は、データ信号線のうち当該画素回路が接続される地点に応じて決定される。例えば、第1の画素回路と、データ信号線のうちデータ信号の供給元からの経路長が第1の画素回路よりも短い地点に接続された第2の画素回路とに着目すると、第1の画素回路に含まれる時定数回路の時定数は、第2の画素回路に含まれる時定数回路の時定数よりも小さい。この構成によれば、データ信号線に付随する抵抗や容量と時定数回路との双方を考慮した時定数を各画素回路にて均等化することができるから、各発光素子の挙動のばらつきを抑制することができる。

30

#### 【0016】

より望ましい態様において、前記各画素回路に含まれる時定数回路の時定数は、前記データ信号線のうちデータ信号の供給元から当該画素回路が接続される地点までの配線抵抗および寄生容量と当該画素回路の時定数回路とを含む部分の時定数が総ての画素回路について略同一となるように画素回路ごとに決定される。この構成によれば、データ信号線に対する画素回路の位置に拘わらず総ての発光素子の挙動を精度よく一致させることができる。ただし、この構成においては、総ての画素回路の各々について時定数を別個に選定しなければならないため構成が煩雑化する可能性もある。そこで、画素回路のグループごとに時定数が選定された構成も採用される。すなわち、他の態様に係る発光装置において、前記各画素回路に含まれる時定数回路の時定数は、前記複数の画素回路のうち第1のグループに属する各画素回路の時定数回路の時定数が、前記データ信号線のうちデータ信号の供給元からの経路長が前記第1のグループの各画素回路よりも短い地点に接続された第2のグループに属する各画素回路の時定数回路の時定数よりも小さくなるように、画素回路のグループごとに決定される。なお、ここでは第1および第2のグループのみが明示され

40

50

ているが、複数の画素回路が2つのグループにのみ区分された構成に本発明を限定する趣旨ではない。複数の画素回路が3つ以上のグループに区分された構成においては、そのなかから選択されたひとつのグループが本発明にいう第1のグループに該当し、他のひとつのグループが本発明にいう第2のグループに該当することになる。

#### 【0017】

本発明に係る発光装置は各種の電子機器に利用される。例えば、光線の照射によって画像が形成される感光体を備えた画像形成装置において、感光体に光線を照射するヘッド部（ラインヘッド）として利用される。このような画像形成装置としては、プリンタやコピー機、あるいはこれらの機能を併せ持つ複合機がある。この種の画像形成装置には、複数の発光素子を線状に配列した発光装置が特に好適である。また、本発明に係る発光装置は、携帯電話機やパーソナルコンピュータといった各種の電子機器の表示デバイスとしても利用される。これらの電子機器には、複数の発光素子が面状（マトリクス状）に配列された発光装置が特に好適である。すなわち、この発光装置は、複数のサンプリング信号線（走査線）と複数のデータ信号線との各交差に対応して本発明の画素回路が配置され、複数のサンプリング信号線の各々をサンプリング期間にて順次に選択する垂直走査回路（例えば図8に示されるシフトレジスタ）と、各データ信号線に沿って配列された各発光素子の輝度を時分割にて指定するデータ信号を各データ信号線に出力する水平走査回路（例えば図8に示される画像処理回路30）とを具備する。

10

#### 【発明を実施するための最良の形態】

#### 【0018】

20

##### < A - 1 : 第1実施形態 >

まず、画像形成装置（例えばプリンタ）のヘッド部に採用される発光装置の形態を説明する。図1は、この発光装置の構成を示すブロック図である。同図に示されるように、発光装置は、画素部10とその周辺回路とから構成される。画素部10は、画像形成装置のヘッド部（ライン型の光ヘッド）として使用される部分である。この画素部10は、X方向に配列されたm個の単位回路群G（G1, G2, …, Gm）とその各々に対応するmビットのシフトレジスタ50とを有する（mは自然数）。単位回路群G1ないしGmの各々は、X方向に配列されたn個の単位回路P（P1, P2, …, Pn）を含む。各単位回路Pは、発光素子たるOLED素子83を有する（図3参照）。

#### 【0019】

30

一方、周辺回路は、制御回路20と画像処理回路30と電源回路40とを含む。制御回路20は、開始パルス信号SPとクロック信号CLKとを生成してシフトレジスタ50に出力する。図2に示されるように、開始パルス信号SPは、主走査期間の始点にてアクティブレベルとなる信号である。一方、クロック信号CLKは、主走査の基準となる時間を規定する信号である。図2に示されるように、シフトレジスタ50は、開始パルス信号SPをクロック信号CLKに従って順次にシフトすることによってm系統のシフト信号SR1ないしSRmを生成し、これらのシフト信号SR1ないしSRmに基づいてm系統のサンプリング信号SMP1ないしSMPmを出力する。各シフト信号SR（SR1, SR2, …, SRm）は、クロック信号CLKの1周期に相当する時間長だけアクティブレベル（ローレベル）となる信号である。また、図2に示されるように、各シフト信号SRi（iは1

i mを満たす整数）がアクティブレベルになる期間とその次のシフト信号SRi+1がアクティブレベルになる期間とは、クロック信号CLKの半周期に相当する時間長だけ重複する。一方、各サンプリング信号SMPiは、第i番目のシフト信号SRiとその次のシフト信号SRi+1との否定論理積に相当する信号である。したがって、サンプリング信号SMP1ないしSMPmの各々は、クロック信号CLKの半周期に相当するサンプリング期間Ps（Ps1, Ps2, …, Psm）ごとに順番にアクティブレベル（ハイレベル）となる。サンプリング信号SMP1ないしSMPmはそれぞれサンプリング信号線Ls1ないしLsmを介して各単位回路群G1ないしGmの各単位回路Pに出力される。

40

#### 【0020】

図1に示される画像処理回路30は、ひとつの単位回路群Gに含まれる単位回路Pの総

50

数に相当する  $n$  系統のデータ信号  $D_1$  ないし  $D_n$  を生成する。各データ信号  $D_j$  ( $j$  は  $1 \leq j \leq n$  を満たす自然数) は、 $m$  個の単位回路群  $G_1$  ないし  $G_m$  の各々に含まれる単位回路  $P_j$  の  $OLED$  素子 83 の輝度を単位回路群  $G_1$  ないし  $G_m$  の配列の順番に時分割にて指定する電圧信号である。本実施形態におけるデータ信号  $D_1$  ないし  $D_n$  の各々は、サンプリング期間  $P_s$  と等しい時間長の単位期間ごとにハイレベルおよびローレベルの何れかとなる。ハイレベルのデータ信号  $D_j$  は  $OLED$  素子 83 の発光を指示する。ローレベルのデータ信号  $D_j$  は  $OLED$  素子 83 の消灯を指示する。これらのデータ信号  $D_1$  ないし  $D_n$  はデータ信号線  $L_{d1}$  ないし  $L_{dn}$  に出力される。データ信号線  $L_{dj}$  には、単位回路群  $G_1$  ないし  $G_m$  の各々に含まれる単位回路  $P_j$  (合計  $m$  個) が共通に接続される。画像処理回路 30 から出力されたデータ信号  $D_j$  は、データ信号線  $L_{dj}$  を介して、各単位回路群  $G_1$  ないし  $G_m$  の第  $j$  列目の各単位回路  $P_j$  に供給される。

10

#### 【0021】

図 1 に示される電源回路 40 は、シフトレジスタ 50 などの論理回路にて使用される電源電位のほかに高位側電源電位  $V_{HHe1}$  とこれよりも低い低位側電源電位  $V_{LLe1}$  とを生成する。高位側電源電位  $V_{HHe1}$  は電源線  $L_a$  に供給され、低位側電源電位  $V_{LLe1}$  は電源線  $L_b$  に供給される。総ての単位回路  $P$  は電源線  $L_a$  および  $L_b$  に対して共通に接続されており、これらを介して高位側電源電位  $V_{HHe1}$  および低位側電源電位  $V_{LLe1}$  の給電を受ける。

#### 【0022】

次に、図 3 は、単位回路群  $G_i$  に属する単位回路  $P_j$  の構成を示す回路図である。同図に示されるように、単位回路  $P_j$  はトランスマッションゲート 71 を有する。総ての単位回路群  $G_1$  ないし  $G_m$  に含まれる第  $j$  列目の単位回路  $P_j$  のトランスマッションゲート 71 はその入力端子がデータ信号線  $L_{dj}$  に対して共通に接続される。このトランスマッションゲート 71 は、シフトレジスタ 50 からサンプリング信号線  $L_{si}$  を介して供給されるサンプリング信号  $SMP_i$  に基づいてデータ信号  $D_j$  をサンプリングするスイッチング素子である。すなわち、トランスマッションゲート 71 は、サンプリング信号  $SMP_i$  とその論理レベルをインバータ 72 によって反転した信号とがアクティブレベルとなる期間にてオン状態となってデータ信号  $D_j$  を単位回路  $P_j$  に取り込む。

20

#### 【0023】

トランスマッションゲート 71 の出力端子にはラッチ回路 73 が接続される。このラッチ回路 73 は、出力端子がトランスマッションゲート 71 に接続されたクロックインバータ 731 と、入力端子がクロックインバータ 731 の出力端子に接続されるとともに出力端子がクロックインバータ 731 の入力端子に接続されたインバータ 732 とを有する。クロックインバータ 731 の各制御端子には、シフトレジスタ 50 にて生成されたシフト信号  $SR_i$  とその論理レベルをインバータ 74 によって反転させた信号とが供給される。このクロックインバータ 731 は、シフト信号  $SR_i$  がアクティブレベル (ローレベル) を維持する期間にてハイインピーダンス状態となり、シフト信号  $SR_i$  が非アクティブレベル (ハイレベル) を維持する期間においてはインバータとして機能する。

30

#### 【0024】

ラッチ回路 73 の出力端子 (インバータ 732 の出力端子) にはインバータ 75 の入力端子が接続される。このインバータ 75 の出力端子はノード  $Q$  を介して画素回路 8a に接続される。画素回路 8a は、 $p$  チャネル型のトランジスタ (以下「駆動トランジスタ」という) 81 と  $OLED$  素子 83 とキャパシタ  $C_a$  とを含む。 $OLED$  素子 83 は、有機  $EL$  (ElectroLuminescent) 材料からなる発光層を陽極 (第 1 電極) と陰極 (第 2 電極) との間に介在させた発光素子である。

40

#### 【0025】

駆動トランジスタ 81 のソース電極は高位側電源電位  $V_{HHe1}$  が供給される電源線  $L_a$  に接続され、そのドレイン電極は  $OLED$  素子 83 の陽極に接続される。 $OLED$  素子 83 の陰極は低位側電源電位  $V_{LLe1}$  が供給される電源線  $L_b$  に接続される。一方、キャパシタ  $C_a$  は  $OLED$  素子 83 に対して並列に配置される。すなわち、キャパシタ  $C_a$  の一方の電極  $a$  は  $OLED$  素子 83 の陽極に接続され、他方の電極  $b$  は  $OLED$  素子 83 の陰極 (あ

50

るいは電源線 L b) に接続される。

【 0 0 2 6 】

図 4 は、O L E D 素子 8 3 に印加される電圧と O L E D 素子 8 3 に流れる電流との関係を示すグラフであり、図 5 は、O L E D 素子 8 3 に流れる電流と O L E D 素子 8 3 の輝度（発光量）との関係を示すグラフである。図 4 および図 5 に示されるように、O L E D 素子 8 3 に印加される電圧が閾値  $V_{th}$  を下回る場合には電流がゼロとなるから O L E D 素子 8 3 は消灯する（輝度がゼロとなる）。一方、電圧が閾値  $V_{th}$  を越えると、その電圧に応じた電流が O L E D 素子 8 3 に流れ、この結果として O L E D 素子 8 3 は電流に比例した輝度にて発光する。図 3 に示される構成において、ノード Q がローレベルに維持されると駆動トランジスタ 8 1 がオン状態となるから、O L E D 素子 8 3 には閾値  $V_{th}$  を越える電圧が印加されて発光する。一方、ノード Q がハイレベルに維持されると駆動トランジスタ 8 1 はオフ状態となるから、O L E D 素子 8 3 に印加される電圧は閾値  $V_{th}$  を下回り、この結果として O L E D 素子 8 3 は消灯する。以下では、O L E D 素子 8 3 に印加される電圧を表わす信号を「駆動信号 S c」と表記する。

10

【 0 0 2 7 】

次に、各单位回路 P の動作を説明する。なお、以下では単位回路群 G 1 に属する単位回路 P 1 に特に着目して動作を説明し、その他の単位回路 P の動作の説明を兼ねるものとする。

【 0 0 2 8 】

まず、図 2 に示される時刻  $t_1$  から時刻  $t_2$  においては、シフト信号 S R 1 がローレベルを維持するため、クロックインバータ 7 3 1 はハイインピーダンス状態となる。また、サンプリング信号 S M P 1 はローレベルであるため、トランスミッションゲート 7 1 はオフ状態となる。次に、時刻  $t_2$  から時刻  $t_3$  においては、シフト信号 S R 1 がローレベルを維持するとともにサンプリング信号 S M P 1 はハイレベルとなるから、クロックインバータ 7 3 1 はハイインピーダンス状態を維持する一方、トランスミッションゲート 7 1 はオン状態となる。したがって、その時点にてデータ信号線 L d 1 に供給されているデータ信号 D 1 がトランスミッションゲート 7 1 を介して単位回路 P 1 に取り込まれる。

20

【 0 0 2 9 】

次いで、時刻  $t_3$  以後においては、シフト信号 S R 1 がハイレベルとなるからクロックインバータ 7 3 1 はインバータとして機能し始める。また、サンプリング信号 S M P 1 はオフ状態となるからトランスミッションゲート 7 1 はオフ状態に遷移する。したがって、データ信号 D 1 の取り込みは終了し、以後はデータ信号 D 1 の次の取り込みが開始されるまでデータ信号 D 1 の論理レベルがラッチ回路 7 3 に保持される。

30

【 0 0 3 0 】

ここで、データ信号 D 1 が所期のタイミングから遅延していないとすれば、図 2 に「D 1（遅延なし）」として示されるように、このデータ信号 D 1 はサンプリング信号 S M P 1 ないし S M P m のレベルがアクティブレベルとなるサンプリング期間 P s の全区間にわたって各 O L E D 素子 8 3 の輝度に応じたレベルを維持する。しかしながら、図 2 に「D 1（遅延あり）」として示されるように、データ信号 D 1 にはデータ信号線 L d 1 における電圧降下や波形の鈍りといった種々の原因によって時間長  $d$  の遅延が生じ得る。いま、単位回路群 G 1 および単位回路群 G 3 の各々に属する単位回路 P 1 の O L E D 素子 8 3 を発光させ、単位回路群 G 2 に属する単位回路 P 1 の O L E D 素子 8 3 を消灯させる場合を想定すると、データ信号 D 1 の遅延に起因してノード Q の電圧は以下のように変動する。

40

【 0 0 3 1 】

まず、単位回路群 G 1 の単位回路 P 1 には、サンプリング期間 P s 1 にてデータ信号 D 1 が取り込まれる。このデータ信号 D 1 は、サンプリング期間 P s 1 の始点から時間長  $d$  だけ遅延したタイミングにてローレベルに遷移するが、その論理レベルがラッチ回路 7 3 に保持されるサンプリング期間 P s 1 の終点においてもローレベルを維持するから、当該単位回路 P 1 のノード Q の電圧は、サンプリング期間 P s 1 の始点よりも時間長  $d$  だけ遅れたタイミングからデータ信号 D 1 が次回に取り込まれるまでローレベルを維持する。したがっ

50

て、単位回路群 G1 に属する単位回路 P1 の O L E D 素子 8 3 は、データ信号 D1 によって指定された通り、所期の時間長にわたって継続的に点灯する。単位回路群 G3 に属する第 1 列目の単位回路 P1 についても同様である。

#### 【0032】

一方、単位回路群 G2 に属する単位回路 P1 には、サンプリング信号 S M P2 がアクティブレベルとなるサンプリング期間 P s2 にてデータ信号 D1 が取り込まれる。データ信号 D1 に遅延がないとすれば、サンプリング期間 P s2 の全区間にわたって、データ信号 D1 は O L E D 素子 8 3 の消灯を指示するハイレベルを維持する。しかしながら、上述したようにデータ信号 D1 は時間長  $d$  だけ遅延しているから、サンプリング期間 P s2 の始点から時間長  $d$  が経過するまでの期間 T d において、データ信号 D1 はローレベル（すなわち単位回路群 G1 に属する単位回路 P1 の O L E D 素子 8 3 について点灯を指示するレベル）を維持し、この期間 T d の経過後に本来のハイレベルに遷移する。サンプリング期間 P s2 においてはラッチ回路 7 3 のクロックインバータ 7 3 1 がインバータとして機能しているから、期間 T d においてノード Q はローレベルとなって画素回路 8 a の駆動トランジスタ 8 1 はオン状態となる。

#### 【0033】

ここで、キャパシタ C a が配置されていない従来の構成においては、期間 T d において駆動トランジスタ 8 1 がオン状態に遷移すると、図 6 に示されるように駆動信号 S c の電圧（すなわち O L E D 素子 8 3 に印加される電圧）は閾値  $V_{th}$  を越えて高位側電源電位  $V_{HH}$  に到達する。したがって、本来ならば消灯が維持されるべき単位回路群 G2 の O L E D 素子 8 3 は誤発光することになる。これに対し、本実施形態においては、O L E D 素子 8 3 に並列に配置されたキャパシタ C a と当該 O L E D 素子 8 3 の抵抗成分や配線抵抗とによって R C 時定数回路が構成される。したがって、図 7 に示されるように、期間 T d の始点における駆動信号 S c の立ち上がりは鈍化される。さらに、期間 T d の終点においてノード Q がローレベルに遷移することによって駆動トランジスタ 8 1 はオフ状態となるから、駆動信号 S c のレベルは閾値  $V_{th}$  に到達する前に期間 T d の終点にて低下し始める。したがって、駆動信号 S c のレベルは期間 T d の全区間にわたって閾値  $V_{th}$  を越えず、この結果として O L E D 素子 8 3 の誤発光は発生しない。このように、本実施形態におけるキャパシタ C a は、駆動信号 S c の波形を鈍らせて O L E D 素子 8 3 の誤発光を防止するための時定数回路として機能する。したがって、キャパシタ C a の静電容量は、データ信号 D1 の遅延量  $d$  の最大値に相当する期間 T d の全区間にわたって駆動信号 S c のレベルが O L E D 素子 8 3 の閾値  $V_{th}$  を越えない程度に駆動信号 S c の波形が鈍化されるように選定されることが望ましい。

#### 【0034】

本実施形態によれば、駆動信号 S c の波形がキャパシタ C a によって鈍化されるから、データ信号 D1 の遅延を原因として駆動トランジスタ 8 1 が一時的にオン状態となっても、これに起因した O L E D 素子 8 3 の誤発光は回避される。したがって、発光装置をヘッド部に採用した画像形成装置においては、感光体に対する露光量を精度よく制御して高品位の画像を形成することができる。また、相前後するサンプリング期間 P s に間隔を介挿する必要はないから、データ信号 D j をサンプリングする周期が短い場合であっても、各単位回路 P j に対してデータ信号 D j を充分に取り込むことが可能となる。さらに、本実施形態によれば、キャパシタ C a を配置するという極めて簡易な構成によってこれらの効果を奏することができる。

#### 【0035】

以上に説明したように、本実施形態の画素回路 8 a は、O L E D 素子 8 3（発光素子）と、O L E D 素子 8 3 の陽極に電氣的に接続される電源線 L a と、電源線 L a と陽極との間に介在して O L E D 素子 8 3 の駆動電流を制御する p チャネル型の駆動トランジスタ 8 1 とを含む。一方、サンプリング信号線 L s i から駆動トランジスタ 8 1 のゲート電極までの各要素（トランスミッションゲート 7 1、インバータ 7 2、ラッチ回路 7 3 およびインバータ 7 5）はサンプリング回路として機能する。このサンプリング回路は、サンプリング

信号線  $L_{si}$  を介して供給されるサンプリング信号  $SMP_i$  に基づいてデータ信号線  $L_{dj}$  からデータ信号  $D_j$  をサンプリングし、駆動トランジスタ 81 のゲート電極にデータ信号  $D_j$  に応じた電位を供給する手段である。

【0036】

本実施形態に例示したように、RC 時定数回路は、電源線  $L_a$  と OLED 素子 83 の陽極（第 1 電極）との間に配置されることが望ましい。換言すると、サンプリング回路（特に最後段に位置するインバータ 75）から駆動トランジスタ 81 のゲート電極までの区間に RC 時定数回路は介在しない。この構成によれば、例えばサンプリング回路と駆動トランジスタ 81 との間に RC 時定数回路が介在する構成と比較して、各单位回路  $P_j$  に対して確実にデータ信号  $D_j$  を取り込むことが可能となる。そして、本実施形態のよ

10

【0037】

< B : 第 2 実施形態 >

次に、図 8 を参照して、各種の電子機器の表示装置として採用される発光装置の形態を説明する。なお、本実施形態のうち第 1 実施形態と同様の要素については共通の符号を付してその説明を適宜に省略する。

【0038】

同図に示されるように、この発光装置は、X 方向に延在してシフトレジスタ 50 の各出力段に接続された  $m$  本のサンプリング信号線（走査線） $L_{s1}$  ないし  $L_{sm}$  と、Y 方向に延在して画像処理回路 30 の各出力段に接続された  $n$  本のデータ信号線  $L_{d1}$  ないし  $L_{dn}$  とを有する。サンプリング信号線  $L_{s1}$  ないし  $L_{sm}$  の各々とデータ信号線  $L_{d1}$  ないし  $L_{dn}$  の各々との交差には単位回路  $P$  が配置される。したがって、これらの単位回路  $P$  は、X 方向および Y 方向にわたって  $m$  行  $n$  列のマトリクス状に配列される。各单位回路  $P$  の構成や各周辺回路の機能や作用は第 1 実施形態と同様である。

20

【0039】

データ信号線  $L_{d1}$  ないし  $L_{dn}$  の各々に沿って Y 方向に配列する  $m$  個の単位回路  $P$  の各々は、赤色、緑色および青色の何れかに発光する OLED 素子 83 を有する。例えば、第 1 列目の各单位回路  $P$  は赤色の OLED 素子 83 を備え、第 2 列目の各单位回路  $P$  は緑色の OLED 素子 83 を備え、第 3 列目の各单位回路  $P$  は青色の OLED 素子 83 を備えるといった具合である。電源回路 40 は、低位側電源電位  $V_{LLe1}$  のほかに、赤色に対応する列の各单位回路  $P$  に供給される高位側電源電位  $V_{HHe1}[R]$  と、緑色に対応する列の各单位回路  $P$  に供給される高位側電源電位  $V_{HHe1}[G]$  と、青色に対応する列の各单位回路  $P$  に供給される高位側電源電位  $V_{HHe1}[B]$  とを生成する。

30

【0040】

以上の構成において、シフトレジスタ 50 からサンプリング信号線  $L_{si}$  に供給されるサンプリング信号  $SMP_i$  がサンプリング期間  $P_{si}$  にてアクティブレベルに遷移すると、第  $i$  行目に属する  $n$  個の単位回路  $P$  のトランスミッションゲート 71 が一斉にオン状態となる。画像処理回路 30 から各データ信号線  $L_{d1}$  ないし  $L_{dn}$  の各々に供給されるデータ信号  $D_1$  ないし  $D_n$  は、このサンプリング期間  $P_{si}$  にてトランスミッションゲート 71 から各单位回路  $P$  に取り込まれる。本実施形態の単位回路  $P$  は、図 3 に例示したように OLED 素子 83 に対して並列に配置されたキャパシタ  $C_a$  を含んでいるから、データ信号  $D_j$  がサンプリング期間  $P_{si}$  に対して遅延したとしても、この遅延に起因した OLED 素子 83 の誤発光は防止される。したがって、各 OLED 素子 83 の輝度を高精度に制御して良好な表示品位が実現される。なお、ここでは OLED 素子 83 を制御するための駆動トランジスタ 81 が単位回路  $P$  に配置されたアクティブマトリクス方式の発光装置を例示したが、このようなスイッチング素子を持たないパッシブマトリクス方式の発光装置にも本発明は適用される。

40

50

## 【 0 0 4 1 】

< C : 第 3 実施形態 >

次に、図 9 ないし図 1 2 を参照して、単位回路 P の他の態様を例示する。なお、以下の各態様のうち第 1 および第 2 実施形態と同様の要素については共通の符号を付してその説明を適宜に省略する。

## 【 0 0 4 2 】

< C - 1 : 第 1 の態様 >

図 9 は、本実施形態の第 1 の態様に係る単位回路 P ( P j ) の構成を示す回路図である。同図に示されるように、本態様に係る単位回路 P の画素回路 8 b は、図 3 に示した駆動トランジスタ 8 1 およびキャパシタ C a に代えて、2 個のインバータ C b ( C b 1 および C b 2 ) を有する。各インバータ C b は、各々のドレイン電極が相互に接続された p チャネル型のトランジスタ T r 1 と n チャネル型のトランジスタ T r 2 とを含む。トランジスタ T r 1 のソース電極は電源線 L a に接続され、トランジスタ T r 2 のソース電極は電源線 L b に接続される。また、インバータ C b 1 の入力端子はインバータ 7 5 の出力端子に接続され、インバータ C b 1 の出力端子はインバータ C b 2 の入力端子に接続される。インバータ C b 2 の出力端子は O L E D 素子 8 3 の陽極に接続される。

## 【 0 0 4 3 】

本態様においては、トランジスタ T r 1 および T r 2 の各々のゲート容量と出力インピーダンスとによって時定数回路が構成される。したがって、インバータ C b 1 とインバータ C b 2 とは、データ信号 D j に応じた駆動信号 S c を生成する手段 ( 第 1 実施形態や第 2 実施形態における駆動トランジスタ 8 1 ) として機能するとともに、この駆動信号 S c の波形を鈍化する時定数回路としても機能する。駆動信号 S c とインバータ C b 1 および C b 2 との関係の便宜的に区分すると、データ信号 D j に応じた駆動信号 S c を生成する機能がインバータ C b 1 ( もしくはインバータ C b 1 の部分であるトランジスタ T r 1 または T r 2 ) によって実現され、この駆動信号 S c の波形を鈍化する機能がインバータ C b 2 ( あるいはインバータ C b 1 および C b 2 の双方 ) によって実現されるということが出来る。

## 【 0 0 4 4 】

図 1 0 の部分 ( a ) に示されるように、インバータ C b 1 の入力端子の電位は期間 T d における立ち上がりおよび立ち下りが急峻な矩形波となるが、インバータ C b 1 から出力される駆動信号 S c は、図 1 0 の部分 ( b ) に示されるように、論理レベルが反転するとともに波形が鈍化した波形となる。そして、インバータ C b 2 から出力される駆動信号 S c は、図 1 0 の部分 ( c ) に示されるように、さらに波形が鈍り、期間 T d の全区間にわたって O L E D 素子 8 3 の閾値 V t h を下回る信号となる。したがって、データ信号 D j の遅延に起因して期間 T d にてノード Q がローレベルに遷移しても、第 1 実施形態と同様に O L E D 素子 8 3 の誤発光は回避される。このように、本態様においてはインバータ C b ( 特にインバータ C b 2 ) が時定数回路として機能する。この時定数回路の時定数は、画素回路 8 b におけるインバータ C b の総数や各インバータ C b におけるトランジスタ T r 1 および T r 2 の特性 ( ゲート長やゲート幅 ) を適宜に選定することによって調整される。

## 【 0 0 4 5 】

< C - 2 : 第 2 の態様 >

図 1 1 は、本実施形態の第 2 の態様に係る単位回路 P ( 単位回路群 G i に属する第 j 列目の単位回路 P j ) の構成を示す回路図である。同図に示されるように、本態様に係る単位回路 P は、図 3 と同様の画素回路 8 a に加えてトランジスタ 7 7 と保持容量 7 8 とを有する。トランジスタ 7 7 は n チャネル型のトランジスタであり、ソース電極がデータ信号線 L d j に接続されるとともにドレイン電極が画素回路 8 a の駆動トランジスタ 8 1 のゲート電極に接続される。このトランジスタ 7 7 のゲート電極にはサンプリング信号線 L s i からサンプリング信号 S M P i が供給される。一方、保持容量 7 8 は、一端が駆動トランジスタ 8 1 のゲート電極に接続されるとともに他端が電源線 L a ( あるいは他の電源線 ) に接続された容量である。画素回路 8 a は、図 3 の構成と同様に、O L E D 素子 8 3 に対して並列に配置されたキャパシタ C a を有する。

## 【0046】

この構成において、サンプリング信号  $SMP_i$  の供給によってトランジスタ 77 がオン状態に遷移すると、その時点にてデータ信号線  $L_{dj}$  に供給されているデータ信号  $D_j$  の論理レベルが駆動トランジスタ 81 のゲート電極に印加される。また、この論理レベルは保持容量 78 によって保持されるから、サンプリング信号  $SMP_i$  が非アクティブレベルとなってトランジスタ 77 がオフ状態に遷移した後も、駆動トランジスタ 81 はその直前のサンプリング期間  $P_s$  にて単位回路  $P$  に取り込まれたデータ信号  $D_j$  に応じた状態に維持される。本態様においても、第 1 実施形態と同様に、時定数回路として機能するキャパシタ  $C_a$  が画素回路 8a に設けられているから、データ信号  $D_j$  の遅延に起因した  $OLED$  素子 83 の誤発光は防止される。

10

## 【0047】

< C - 3 : 第 3 の態様 >

図 12 は、第 3 の態様に係る単位回路  $P$  の構成を示す回路図である。同図に示されるように、本態様に係る単位回路  $P$  は、キャパシタ  $C_a$  を有する画素回路 8a (図 11) の代わりに、2 個のインバータ  $Cb_1$  および  $Cb_2$  を有する画素回路 8b (図 9) を含む。第 1 の態様について説明したように、本態様によっても、データ信号  $D_j$  の遅延に起因した  $OLED$  素子 83 の誤発光は防止される。

## 【0048】

< C - 4 : その他の態様 >

本発明に係る単位回路  $P$  の構成 (特に時定数回路の構成) は以上に例示したものに限られない。例えば、以上に説明した各態様の時定数回路を適宜に組み合わせて採用してもよい。すなわち、例えばキャパシタ  $C_a$  およびインバータ  $C_b$  の双方を単位回路  $P$  に設けた構成も採用される。また、駆動トランジスタ 81 と  $OLED$  素子 83 との間に抵抗が介挿された構成も採用される。この構成においては、駆動トランジスタ 81 と  $OLED$  素子 83 との間に介在する抵抗と、 $OLED$  素子 83 の容量成分や配線の寄生容量とによって、駆動信号  $S_c$  の波形を鈍らせる時定数回路が構成される。したがって、この抵抗の抵抗値は、駆動信号  $S_c$  のレベルが期間  $T_d$  にて  $OLED$  素子 83 の閾値  $V_{th}$  を越えないように選定される。また、単位回路  $P$  の構成も任意に変更される。すなわち、データ信号線  $L_{dj}$  から取り込まれたデータ信号  $D_j$  に応じた駆動信号  $S_c$  が  $OLED$  素子 83 に供給される構成であれば足り、その他の要素の構成の如何は不問である。

20

30

## 【0049】

なお、以上の各形態においては、説明の便宜のために、画素回路 8 (8a または 8b) とデータ信号線  $L_{dj}$  からデータ信号  $D_j$  を取り込む手段 (図 3 のトランスミッションゲート 71 や図 11 のトランジスタ 77) とデータ信号  $D_j$  を保持する手段 (図 3 のラッチ回路 73 や図 11 の保持容量 78) とを含む部分を併せて単位回路  $P_j$  と表記した。しかしながら、各形態の画素回路 8 (8a または 8b) とデータ信号  $D_j$  を取り込む手段やこれを保持する手段とを含む部分を本発明の画素回路と把握してもよい。

## 【0050】

< D : 第 4 実施形態 >

次に、本発明の第 4 実施形態に係る発光装置の構成を説明する。なお、本実施形態のうち第 1 ないし第 3 実施形態と同様の要素については共通の符号を付してその説明を適宜に省略する。

40

## 【0051】

図 13 は、各実施形態に係る発光装置のうち 1 本のデータ信号線  $L_{dj}$  とこれに共通に接続された  $m$  個の単位回路  $P_j$  とを抽出した図である。同図に示されるように、データ信号線  $L_{dj}$  には、それ自身の配線抵抗  $R$  が付随するとともに他の要素と容量的に結合して寄生容量  $C$  が付随する。これらの配線抵抗  $R$  や寄生容量  $C$  に起因した時定数は、データ信号  $D_j$  の供給元である画像処理回路 30 から当該データ信号線  $L_{dj}$  に沿って遠ざかった位置ほど大きい。したがって、総ての単位回路  $P_j$  の画素回路 8 (8a または 8b) における時定数回路 (キャパシタ  $C_a$  やインバータ  $C_b$ ) について等しい時定数を設定すれば、画像処理

50

回路 30 から離間した単位回路  $P_j$  の駆動信号  $S_c$  ほど時定数に起因した鈍りの程度が大きくなり、この結果として各 O L E D 素子 83 の輝度がデータ信号線  $L_{dj}$  に沿ってばらつくという問題が生じ得る。そこで、本実施形態においては、データ信号線  $L_{dj}$  のうち画像処理回路 30 に近い位置に接続された単位回路  $P_j$  (画素回路 8) における時定数回路の時定数が、これよりも画像処理回路 30 からみて遠い位置に接続された単位回路  $P_j$  (画素回路 8) の時定数回路の時定数よりも大きい数値に設定される。より具体的には、各単位回路群  $G_i$  に属する単位回路  $P_j$  の時定数回路の時定数  $\tau_i$  は、

$$\tau_1 > \tau_2 > \dots > \tau_m$$

という関係を満たすように選定される。時定数  $\tau_i$  がキャパシタ  $C_a$  の静電容量やインバータ  $C_b$  の総数 (あるいはトランジスタ  $T_{r1}$  および  $T_{r2}$  の特性) によって決定されることは上述したとおりである。この構成によれば、配線抵抗  $R$  と寄生容量  $C$  に起因した駆動信号  $S_c$  の鈍りの程度と、単位回路  $P$  の時定数回路による駆動信号  $S_c$  の鈍りの程度との総和を、総ての単位回路  $P_j$  について略同一に近づけることができるから、データ信号線  $L_{dj}$  に沿った輝度のばらつきを抑制することができる。

#### 【0052】

なお、ここでは総ての単位回路  $P_j$  の各々について個別に時定数が選定された構成を例示したが、単位回路  $P_j$  のグループごとに時定数が選定される構成としてもよい。例えば、共通のデータ信号線  $L_{dj}$  に接続された  $m$  個の単位回路  $P_j$  を  $X$  方向の中央にて 2 つのグループに区分し、このうち画像処理回路 30 に近い側に位置するグループの各単位回路  $P_j$  の時定数  $\tau_a$  と、これよりも遠い側に位置するグループの各単位回路  $P_j$  の時定数  $\tau_b$  とが

$$\tau_a > \tau_b$$

という関係を満たすように、各単位回路  $P_j$  における時定数回路の時定数がグループごとに選定された構成としてもよい。なお、ここでは  $m$  個の単位回路  $P_j$  を 2 つのグループに区分したが、グループの総数やその区分の仕方は任意である。例えば、 $m$  個の単位回路  $P_j$  を 3 つ以上のグループに区分し、画像処理回路 30 に近いグループの単位回路  $P_j$  ほど時定数回路の時定数が小さくなるようにしてもよい。

#### 【0053】

< E : その他の態様 >

図 3 および図 11 においてはキャパシタ  $C_a$  の電極  $b$  が O L E D 素子 83 の陰極に接続された構成を例示したが、この電極  $b$  の接続先は任意に変更される。すなわち、電極  $b$  に略一定の電位が印加される構成であればよい。また、単位回路  $P$  に含まれる駆動トランジスタ 81 (あるいは図 11 および図 12 のトランジスタ 77) の導電型は任意に変更される。

#### 【0054】

各実施形態においては O L E D 素子 15 を利用した発光装置を例示したが、これ以外の発光素子を利用した発光装置にも本発明は適用される。例えば、無機 E L 素子を利用した発光装置、電界放出ディスプレイ (F E D : Field Emission Display)、表面導電型電子放出ディスプレイ (S E D : Surface-conduction Electron-emitter Display)、弾道電子放出ディスプレイ (B S D : Ballistic electron Surface emitting Display)、あるいは発光ダイオードを利用した表示装置など各種の発光装置にも本発明が適用される。

#### 【0055】

< F : 電子機器 >

各実施形態に例示した発光装置は各種の電子機器に使用される。本発明に係る電子機器の一例である画像形成装置の構成を以下に説明する。

#### 【0056】

図 14 は、各実施形態に係る発光装置を利用した画像形成装置の構成を示す縦断側面図である。この画像形成装置は、同様な構成の 4 個の有機 E L アレイ露光ヘッド 20 K、20 C、20 M、20 Y を、対応する同様な構成である 4 個の感光体ドラム (像担持体) 1

10

20

30

40

50

20K、120C、120M、120Yの露光位置にそれぞれ配置したものであり、タンデム方式の画像形成装置として構成されている。有機ELアレイ露光ヘッド20K、20C、20M、20Yは、各実施形態に係る発光装置の画素部10によって構成される。

【0057】

図14に示すように、この画像形成装置は、駆動ローラ121と従動ローラ132が設けられており、図示矢印方向へ循環駆動される中間転写ベルト130を備えている。この中間転写ベルト130に対して所定間隔で配置された4個の像担持体としての外周面に感光層を有する120K、120C、120M、120Yが配置される。符号の後に付加されたK、C、M、Yはそれぞれ黒、シアン、マゼンタ、イエローを意味し、それぞれ黒、シアン、マゼンタ、イエロー用の感光体であることを示す。他の部材についても同様である。感光体120K、120C、120M、120Yは、中間転写ベルト130の駆動と同期して回転駆動される。

10

【0058】

各感光体120(K、C、M、Y)の周囲には、それぞれ感光体120(K、C、M、Y)の外周面を一様に帯電させる帯電手段(コロナ帯電器)211(K、C、M、Y)と、この帯電手段211(K、C、M、Y)により一様に帯電させられた外周面を感光体120(K、C、M、Y)の回転に同期して順次ライン走査する本発明の上記のような有機ELアレイ露光ヘッド20(K、C、M、Y)が設けられている。

また、この有機ELアレイ露光ヘッド20(K、C、M、Y)で形成された静電潜像に現像剤であるトナーを付与して可視像(トナー像)とする現像装置214(K、C、M、Y)を有している。

20

【0059】

ここで、各有機ELアレイ露光ヘッド20(K、C、M、Y)は、有機ELアレイ露光ヘッド20(K、C、M、Y)のアレイ方向が感光体ドラム120(K、C、M、Y)の母線に沿うように設置される。そして、各有機ELアレイ露光ヘッド20(K、C、M、Y)の発光エネルギーピーク波長と、感光体120(K、C、M、Y)の感度ピーク波長とは略一致するように設定されている。

【0060】

現像装置214(K、C、M、Y)は、例えば、現像剤として非磁性一成分トナーを用いるもので、その一成分現像剤を例えば供給ローラで現像ローラへ搬送し、現像ローラ表面に付着した現像剤の膜厚を規制ブレードで規制し、その現像ローラを感光体120(K、C、M、Y)に接触あるいは押厚させることにより、感光体120(K、C、M、Y)の電位レベルに応じて現像剤を付着させることによりトナー像として現像するものである。

30

【0061】

このような4色の単色トナー像形成ステーションにより形成された黒、シアン、マゼンタ、イエローの各トナー像は、中間転写ベルト130上に順次一次転写され、中間転写ベルト130上で順次重ね合わされてフルカラーとなる。ピックアップローラ203によって、給紙カセット201から1枚ずつ給送された記録媒体202は、二次転写ローラ136に送られる。中間転写ベルト130上のトナー像は、二次転写ローラ136において用紙等の記録媒体202に二次転写され、定着部である定着ローラ対137を通ることで記録媒体202上に定着される。この後、記録媒体202は、排紙ローラ対138によって、装置上部に形成された排紙トレイ上へ排出される。

40

このように、図14の画像形成装置は、書き込み手段として有機ELアレイを用いているので、レーザ走査光学系を用いた場合よりも、装置の小型化を図ることができる。

【0062】

次に、本発明に係る画像形成装置に係る他の実施の形態について説明する。

図15は、画像形成装置の縦断側面図である。図15において、画像形成装置には主要構成部材として、ロータリ構成の現像装置161、像担持体として機能する感光体ドラム165、有機ELアレイが設けられている露光ヘッド167、中間転写ベルト169、用

50

紙搬送路 174、定着器の加熱ローラ 172、給紙トレイ 178 が設けられている。露光ヘッド 167 は上述した各実施形態に係る発光装置の画素部 10 によって構成されている。

**【0063】**

現像装置 161 は、現像ロータリ 161 a が軸 161 b を中心として反時計回り方向に回転する。現像ロータリ 161 a の内部は 4 分割されており、それぞれイエロー（Y）、シアン（C）、マゼンタ（M）、ブラック（K）の 4 色の像形成ユニットが設けられている。現像ローラ 162 a ~ 162 d およびトナー供給ローラ 163 a ~ 163 d は、4 色の各像形成ユニットに各々配置されている。また、規制フレード 164 a ~ 164 d によってトナーは所定の厚さに規制される。

10

**【0064】**

感光体ドラム 165 は、帯電器 168 によって帯電され、図示を省略した駆動モータ、例えばステップモータにより現像ローラ 162 a とは逆方向に駆動される。中間転写ベルト 169 は、従動ローラ 170 b と駆動ローラ 170 a 間に張架されており、駆動ローラ 170 a が感光体ドラム 165 の駆動モータに連結されて、中間転写ベルトに動力を伝達している。当該駆動モータの駆動により、中間転写ベルト 169 の駆動ローラ 170 a は感光体ドラム 165 とは逆方向に回転される。

**【0065】**

用紙搬送路 174 には、複数の搬送ローラと排紙ローラ対 176 などが設けられており、用紙を搬送する。中間転写ベルト 169 に担持されている片面の画像（トナー像）が、二次転写ローラ 171 の位置で用紙の片面に転写される。二次転写ローラ 171 は、クラッチにより中間転写ベルト 169 に離当接され、クラッチオンで中間転写ベルト 169 に当接されて用紙に画像が転写される。

20

**【0066】**

上記のようにして画像が転写された用紙は、次に、定着ヒータを有する定着器で定着処理がなされる。定着器には、加熱ローラ 172、加圧ローラ 173 が設けられている。定着処理後の用紙は、排紙ローラ対 176 に引き込まれて矢印 F 方向に進行する。この状態から排紙ローラ対 176 が逆方向に回転すると、用紙は方向を反転して両面プリント用搬送路 175 を矢印 G 方向に進行する。用紙は、給紙トレイ 178 から、ピックアップローラ 179 によって 1 枚ずつ取り出されるようになっている。

30

用紙搬送路において、搬送ローラを駆動する駆動モータは、例えば低速のブラシレスモータが用いられる。また、中間転写ベルト 169 は色ずれ補正などが必要となるのでステップモータが用いられている。これらの各モータは、図示を省略している制御手段からの信号により制御される。

**【0067】**

図の状態、イエロー（Y）の静電潜像が感光体ドラム 165 に形成され、現像ローラ 162 a に高電圧が印加されることにより、感光体ドラム 165 にはイエローの画像が形成される。イエローの裏側および表側の画像がすべて中間転写ベルト 169 に担持されると、現像ロータリ 161 a が 90 度回転する。

中間転写ベルト 169 は 1 回転して感光体ドラム 165 の位置に戻る。次にシアン（C）の 2 面の画像が感光体ドラム 165 に形成され、この画像が中間転写ベルト 169 に担持されているイエローの画像に重ねて担持される。以下、同様にして現像ロータリ 161 の 90 度回転、中間転写ベルト 169 への画像担持後の 1 回転処理が繰り返される。

40

**【0068】**

4 色のカラー画像担持には中間転写ベルト 169 は 4 回転して、その後更に回転位置が制御されて二次転写ローラ 171 の位置で用紙に画像を転写する。給紙トレイ 178 から給紙された用紙を搬送路 174 で搬送し、二次転写ローラ 171 の位置で用紙の片面にカラー画像を転写する。片面に画像が転写された用紙はのように排紙ローラ対 176 で反転されて、搬送径路で待機している。その後、用紙は適宜のタイミングで二次転写ローラ 171 の位置に搬送されて、他面にカラー画像が転写される。ハウジング 180 には、排

50

気ファン 181 が設けられている。

【0069】

ところで、以上の各態様に係る画像形成装置においては、OLED素子83から像担持体（例えば図14の感光体ドラム120（K、C、M、Y）や図15の感光体ドラム165）に照射される光量が所定の閾値 $L_{th}$ を越えたときに感光して静電潜像が形成される。ここで、像担持体に対して閾値 $L_{th}$ に相当する光量を照射するためにOLED素子83に印加されるべき電圧 $V_{th1}$ がOLED素子83の閾値 $V_{th}$ よりも大きい場合には、データ信号 $D_j$ の遅延に起因して駆動信号 $S_c$ のレベルが電圧 $V_{th}$ を超えることによりOLED素子83が発光したとしても、このレベルが電圧 $V_{th1}$ 以下であれば（すなわち像担持体に照射される光量が閾値 $L_{th}$ を下回る光量であれば）、像担持体に形成される静電潜像にデータ線 $D_j$ の遅延の影響は現れない。したがって、本発明に係る発光装置を光書込み型の画像形成装置に採用した場合には、期間 $T_d$ における駆動信号 $S_c$ のレベルが、像担持体を感光させるための閾値 $V_{th1}$ を下回るレベル（閾値 $V_{th}$ を越えるレベルでもよい）に減衰されるように時定数回路の時定数が選定された構成としてもよい。

10

【0070】

また、上述した発光装置を画像読取装置に適用してもよい。この画像読取装置は、対象物に光線を照射する発光部と、対象物によって反射された光線を読み取って画像信号を出力する読み取り部とを備え、上述した発光装置を発光部に用いたことを特徴とする。ここで、発光部が移動して読み取り部が固定であってもよいし、発光部と読み取り部が一体となって移動するものであってもよい。後者の場合には、読み取り部をTFEで構成し、読み取り部と発光部を1枚の基板上に形成してもよい。このような画像読取装置としては、スキャナやバーコードリーダーが該当する。

20

【0071】

なお、本発明に係る発光装置が適用される電子機器は画像形成装置や画像読取装置に限定されない。例えば、各種の電子機器における表示デバイスとして各実施形態に係る発光装置を利用してもよい。このような電子機器としては、パーソナルコンピュータ、携帯電話機、携帯型情報端末（PDA：Personal Digital Assistants）、デジタルスチルカメラ、テレビ、ビデオカメラ、カーナビゲーション装置、ページャ、電子手帳、電子ペーパー、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、プリンタ、スキャナ、複写機、ビデオプレーヤ、タッチパネルを備えた機器等などが挙げられる。これらの電子機器には、第2実施形態として説明したように複数の単位回路Pを面状に配列した発光装置が好適に採用される。

30

【図面の簡単な説明】

【0072】

【図1】本発明の第1実施形態に係る発光装置の構成を示すブロック図である。

【図2】発光装置の動作を説明するためのタイミングチャートである。

【図3】ひとつの単位回路の構成を示す回路図である。

【図4】従来の単位回路においてOLED素子が誤発光することを説明するための図である。

【図5】本実施形態の単位回路によって誤発光が防止されることを説明するための図である。

40

【図6】OLED素子の電圧と電流との関係を示すグラフである。

【図7】OLED素子の電流と輝度（発光量）との関係を示すグラフである。

【図8】本発明の第2実施形態に係る発光装置の構成を示すブロック図である。

【図9】本発明の第3実施形態に係る単位回路の構成を示す回路図である。

【図10】駆動信号の変化の様子を示す図である。

【図11】他の態様に係る単位回路の構成を示す回路図である。

【図12】他の態様に係る単位回路の構成を示す回路図である。

【図13】本発明の第4実施形態における各単位回路の時定数について説明するための図である。

50

【図14】画像形成装置の構成を示す縦断側面図である。

【図15】他の態様に係る画像形成装置の構成を示す縦断側面図である。

【図16】従来の構成における問題点を説明するためのタイミングチャートである。

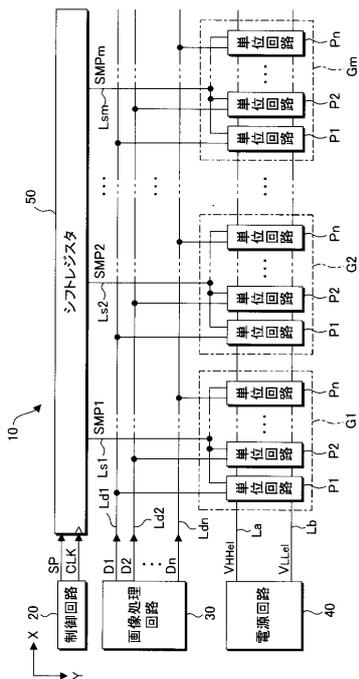
【符号の説明】

【0073】

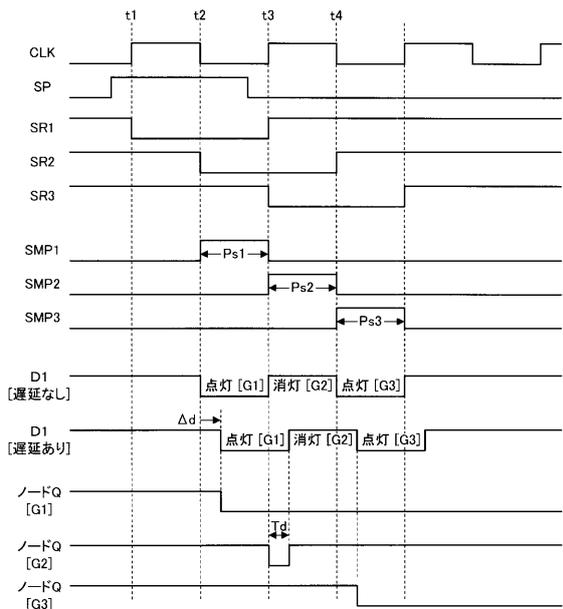
10 …… 画素部、20 …… 制御回路、30 …… 画像処理回路、40 …… 電源回路、50 …… シフトレジスタ、G (G1, G2, …… , Gm) …… 単位回路群、P (P1, P2, …… , Pn) …… 単位回路、71 …… トランSMissionゲート、73 …… ラッチ回路、8 (8a, 8b) …… 画素回路、81 …… トランジスタ、83 …… O L E D素子、Ca …… キャパシタ、Cb (Cb1, Cb2) …… インバータ、Ld1, Ld2, …… , Ldn …… データ信号線、Ls1, Ls2, …… , Lsm …… サンプリング信号線、La, Lb …… 電源線、SR (SR1, SR2, …… , SRm) …… シフト信号、SMP (SMP1, SMP2, …… , SMPm) …… サンプリング信号、D (D1, D2, …… , Dn) …… データ信号、Sc …… 駆動信号。

10

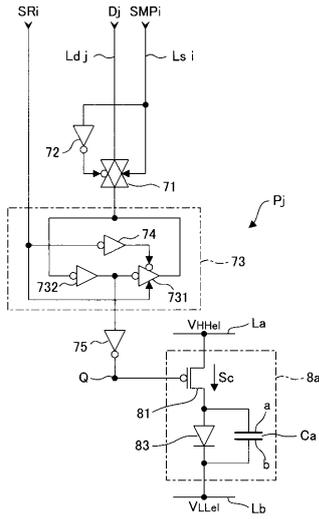
【図1】



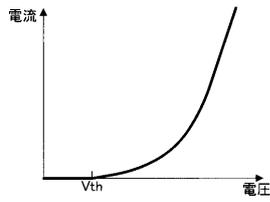
【図2】



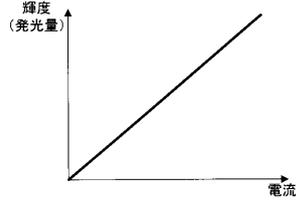
【図3】



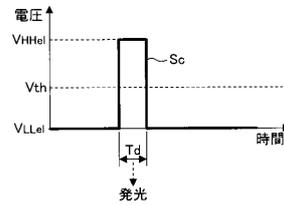
【図4】



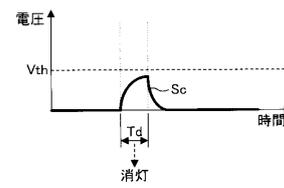
【図5】



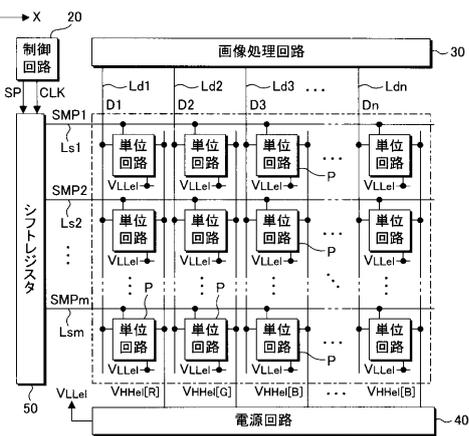
【図6】



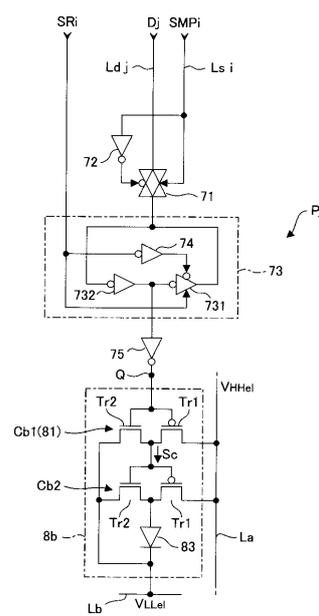
【図7】



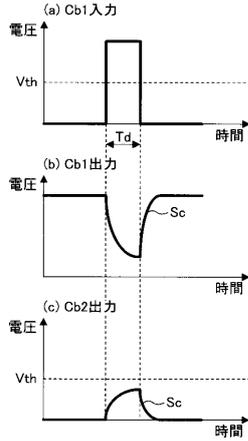
【図8】



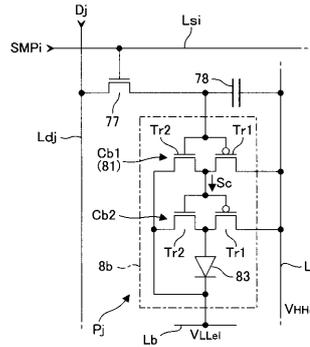
【図9】



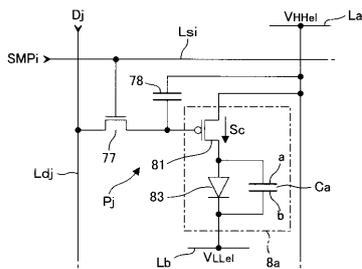
【図10】



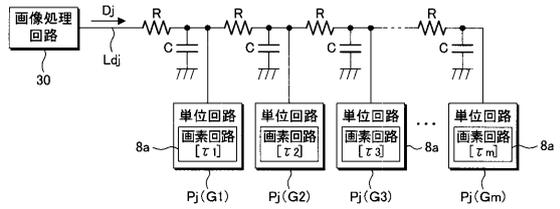
【図12】



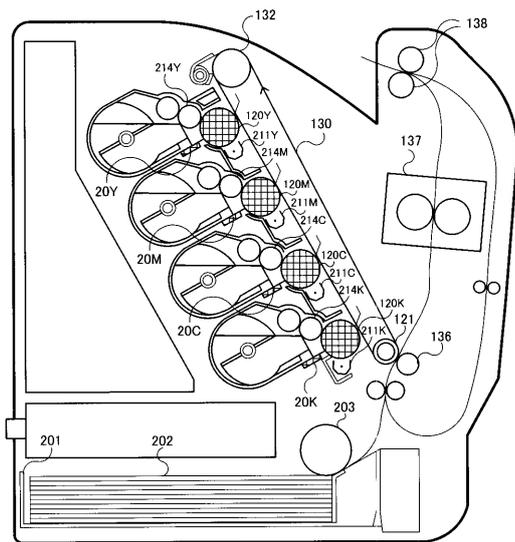
【図11】



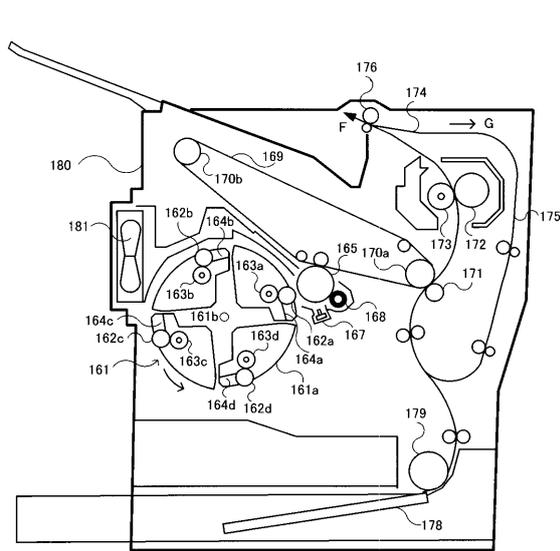
【図13】



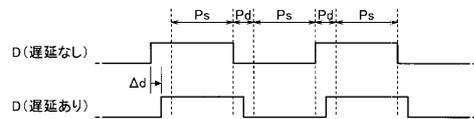
【図14】



【図15】



【図16】



## フロントページの続き

(51) Int.Cl.		F I		テーマコード(参考)	
<b>H 0 1 L</b>	<b>51/50</b>	<b>(2006.01)</b>	G 0 9 G	3/20	6 4 2 A
<b>H 0 4 N</b>	<b>1/036</b>	<b>(2006.01)</b>	G 0 9 G	3/20	6 7 0 E
			H 0 5 B	33/14	A
			H 0 4 N	1/036	A

Fターム(参考) 5C051 AA02 CA06 DA03 DA06 DB02 DB07 DC03 DC07 DE05 DE29  
5C080 AA06 BB01 BB05 DD05 DD09 EE28 FF11 JJ02 JJ03 JJ04  
JJ05 JJ06