

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-10160

(P2010-10160A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 6 M	2 H O 9 2
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 6 A	5 C O 9 4
G O 9 F 9/30 (2006.01)	H O 1 L 29/78 6 1 2 Z	5 F 1 1 0
G O 9 F 9/00 (2006.01)	H O 1 L 29/78 6 1 9 A	5 G 4 3 5
G O 2 F 1/1368 (2006.01)	H O 1 L 29/78 6 1 7 U	
審査請求 未請求 請求項の数 9 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2008-164028 (P2008-164028)
 (22) 出願日 平成20年6月24日 (2008. 6. 24)

(71) 出願人 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100075959
 弁理士 小林 保
 (72) 発明者 大植 栄司
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 園田 大介
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 野田 剛史
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 表示装置およびその製造方法

(57) 【要約】

【課題】 製造工数の低減を図った表示装置の製造方法の提供。

【解決手段】 半導体層に少なくともチャネル領域とソース・ドレイン領域を備える薄膜トランジスタが基板に形成されている表示装置の製造方法であって、

前記薄膜トランジスタは、

前記半導体層の形成領域と重なる領域にゲート電極を形成する工程と、

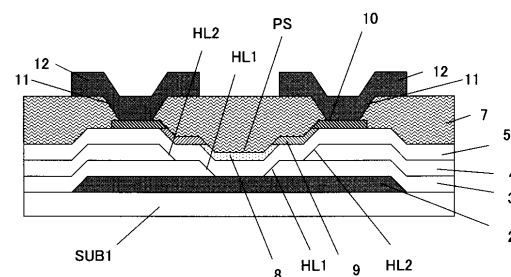
前記ゲート電極上の前記チャネル領域の形成領域と重なる領域に開口を有する絶縁膜を形成する工程と、

前記絶縁膜を被い前記開口によって段差を有するゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記ゲート電極と重ねられ、前記絶縁膜の開口によって段差を有する半導体層を形成する工程と、

前記半導体層をも被って表面が平坦な保護膜を形成する工程と、

前記保護膜を通して、エネルギー調整された不純物打ち込みによって、前記半導体層に少なくともソース・ド



【特許請求の範囲】

【請求項 1】

半導体層に少なくともチャネル領域とソース・ドレイン領域を備える薄膜トランジスタが基板に形成されている表示装置の製造方法であって、

前記薄膜トランジスタは、

前記半導体層の形成領域と重なる領域にゲート電極を形成する工程と、

前記ゲート電極上の前記チャネル領域の形成領域と重なる領域に開口を有する絶縁膜を形成する工程と、

前記絶縁膜を被い前記開口によって段差を有するゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記ゲート電極と重ねられ、前記絶縁膜の開口によって段差を有する半導体層を形成する工程と、

前記半導体層をも被って表面が平坦な保護膜を形成する工程と、

前記保護膜を通して、エネルギー調整された不純物打ち込みによって、前記半導体層に少なくともソース・ドレイン領域を形成する工程を経て形成することを特徴とする表示装置の製造方法。

【請求項 2】

前記絶縁膜は、前記ゲート電極の前記チャネル領域の形成領域と重なる領域に開口を有する第 1 絶縁膜と、前記第 1 絶縁膜に積層され、前記開口と同心状に該開口よりも大きな開口を有する第 2 絶縁膜で構成され、

前記保護膜を通して、エネルギー調整された不純物打ち込みによって、前記半導体層のチャネル領域とソース・ドレイン領域の間に L D D 領域を形成する工程を含むことを特徴とする請求項 1 に記載の表示装置の製造方法。

【請求項 3】

前記第 1 絶縁膜の開口、および前記第 2 絶縁膜の開口は、その側壁面において前記基板側から末広がるテーパを形成することを特徴とする請求項 2 に記載の表示装置の製造方法。

【請求項 4】

前記絶縁膜の開口は、その側壁面において前記基板側から末広がるテーパを形成し、

前記保護膜を通して、エネルギー調整された不純物打ち込みによって、前記絶縁膜の開口のテーパ上に L D D 領域を形成する工程を含むことを特徴とする請求項 1 に記載の表示装置の製造方法。

【請求項 5】

前記保護膜は、前記半導体層に少なくともチャネル領域、およびソース・ドレイン領域を形成した後に、前記ソース・ドレイン領域の表面を露出させるための表面エッチングを行う工程を含むことを特徴とする請求項 1 ないし 4 のいずれかに記載の表示装置の製造方法。

【請求項 6】

半導体層に少なくともチャネル領域とソース・ドレイン領域を備える薄膜トランジスタが基板に形成されている表示装置であって、

前記薄膜トランジスタは、

前記半導体層の形成領域と重なる領域に形成されたゲート電極と、

前記ゲート電極上に前記チャネル領域の形成領域と重なる領域に開口を有して形成された絶縁膜と、

前記絶縁膜を被い前記開口によって段差を有して形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に、前記ゲート電極と重ねられ、前記絶縁膜の開口によって段差を有して形成された半導体層と、

前記半導体層をも被って形成された表面の平坦な保護膜と、を備え、

前記半導体層は、平面的に観て、前記絶縁膜の開口内の領域にチャネル領域が形成され、前記絶縁膜の開口外で該絶縁膜上の領域にソース・ドレイン領域が形成されていることを特徴とする表示装置。

10

20

30

40

50

【請求項 7】

前記絶縁膜は、前記ゲート電極上に前記チャンネル領域の形成領域と重なる領域に開口を有する第 1 絶縁膜と、前記第 1 絶縁膜に積層され、前記開口と同心状に該開口よりも大きな開口を有する第 2 絶縁膜で構成され、

前記半導体層は、前記第 1 絶縁膜の開口内の領域にチャンネル領域、前記第 1 絶縁膜の開口外で前記第 2 絶縁膜の開口内の領域に L D D 領域、前記第 2 絶縁膜の開口外で前記第 2 絶縁膜上の領域にソース・ドレイン領域が形成されていることを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記第 1 絶縁膜の開口、および前記第 1 絶縁膜の開口は、その側壁面において前記基板側から末広がるテーパが形成されていることを特徴とする請求項 7 に記載の表示装置。

10

【請求項 9】

前記絶縁膜の開口は、その側壁面において前記基板側から末広がるテーパが形成され、前記半導体層の前記テーパ上に L D D 領域が形成されていることを特徴とする請求項 6 に記載の表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置およびその製造方法に係り、特に、その基板に薄膜トランジスタが形成されている表示装置およびその製造方法に関する。

20

【背景技術】

【0002】

いわゆるアクティブ・マトリックス型の表示装置は、その基板上の表示領域にマトリックス状に配置される複数の画素を有し、前記表示領域の周辺に前記各画素を独立に駆動する駆動回路（走査信号駆動回路、映像信号駆動回路）が形成されたものが知られている。

【0003】

このような表示装置は、行方向に配列される各画素を、それらに共通に設けられたゲート信号線を介して走査信号駆動回路からの信号（走査信号）によって列方向に順次選択し、この選択のタイミングに合わせて、列方向に配列される各画素に共通に設けられたドレイン信号線を介して映像信号回路から前記選択された各画素に信号（映像信号）を供給するようになっている。

30

【0004】

このため、前記各画素には前記走査信号の供給によってオンされ該オンの際に映像信号を当該画素に取り込むための薄膜トランジスタが備えられ、前記駆動回路においてもたとえばシフトレジスタを構成するための多数の薄膜トランジスタが備えられた構成となっている。

【0005】

ここで、薄膜トランジスタは、いわゆる M I S (Metal Insulator Semiconductor) 型構造からなり、そのゲート電極が、半導体層よりも下層に配置されるもの（ボトムゲート型と称される）、半導体層よりも上層に配置されるもの（トップゲート型と称される）が知られている。

40

【0006】

この場合、該薄膜トランジスタが形成される基板の裏面側にバックライトが配置される場合、該薄膜トランジスタはボトムゲート型で形成することが好ましいとされる。ゲート電極が遮光膜の機能を果たし、前記バックライトの光が半導体層に照射されるのを防ぎ、薄膜トランジスタのフォトコンによるオフ電流の増加を回避できるからである。

【0007】

ボトムゲート型の薄膜トランジスタ、その製造方法に関しては、たとえば下記特許文献 1 に開示がなされている。

【特許文献 1】特開 2 0 0 2 - 1 4 1 5 1 4 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかし、ボトムゲート型の薄膜トランジスタは、トップゲート型の薄膜トランジスタの場合と比較すると、一般に、製造工数が増大する傾向がある。

【0009】

トップゲート型の薄膜トランジスタは、その半導体層の形成後に形成したゲート電極をマスクとして前記半導体層にイオン打ち込みができ、これにより、チャンネル領域、ソース・ドレイン領域を自己整合的にできるのに対し、ボトムゲート型の薄膜トランジスタは、構造上の相異から、上述した手法を採用することができないからである。

10

【0010】

それ故、ボトムゲート型の薄膜トランジスタにおいても、そのチャンネル領域、ソース・ドレイン領域を自己整合的に形成し、表示装置の製造工数の低減を図ることが要望されるに至っている。

【0011】

本発明の目的は、製造工数の低減を図った表示装置の製造方法を提供することにある。

【課題を解決するための手段】

【0012】

本発明の構成は、たとえば、以下のようなものとすることができる。

【0013】

(1) 本発明の表示装置の製造方法は、たとえば、半導体層に少なくともチャンネル領域とソース・ドレイン領域を備える薄膜トランジスタが基板に形成されている表示装置の製造方法であって、

20

前記薄膜トランジスタは、

前記半導体層の形成領域と重なる領域にゲート電極を形成する工程と、

前記ゲート電極上の前記チャンネル領域の形成領域と重なる領域に開口を有する絶縁膜を形成する工程と、

前記絶縁膜を被い前記開口によって段差を有するゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記ゲート電極と重ねられ、前記絶縁膜の開口によって段差を有する半導体層を形成する工程と、

30

前記半導体層をも被って表面が平坦な保護膜を形成する工程と、

前記保護膜を通して、エネルギー調整された不純物打ち込みによって、前記半導体層に少なくともソース・ドレイン領域を形成する工程を経て形成することを特徴とする。

【0014】

(2) 本発明の表示装置の製造方法は、たとえば、(1)の構成を前提とし、前記絶縁膜は、前記ゲート電極の前記チャンネル領域の形成領域と重なる領域に開口を有する第1絶縁膜と、前記第1絶縁膜に積層され、前記開口と同心状に該開口よりも大きな開口を有する第2絶縁膜で構成され、

前記保護膜を通して、エネルギー調整された不純物打ち込みによって、前記半導体層のチャンネル領域とソース・ドレイン領域の間にLDD領域を形成する工程を含むことを特徴とする。

40

【0015】

(3) 本発明の表示装置の製造方法は、たとえば、(2)の構成を前提とし、前記第1絶縁膜の開口、および前記第2絶縁膜の開口は、その側壁面において前記基板側から末広がるテーパを形成することを特徴とする。

【0016】

(4) 本発明の表示装置の製造方法は、たとえば、(1)の構成を前提とし、前記絶縁膜の開口は、その側壁面において前記基板側から末広がるテーパを形成し、

前記保護膜を通して、エネルギー調整された不純物打ち込みによって、前記絶縁膜の開口のテーパ上にLDD領域を形成する工程を含むことを特徴とする。

50

【0017】

(5) 本発明の表示装置の製造方法は、たとえば、(1)ないし(4)のいずれかの構成を前提とし、前記保護膜は、前記半導体層に少なくともチャネル領域、およびソース・ドレイン領域を形成した後に、前記ソース・ドレイン領域の表面を露出させるための表面エッチングを行う工程を含むことを特徴とする。

【0018】

(6) 本発明の表示装置は、たとえば、半導体層に少なくともチャネル領域とソース・ドレイン領域を備える薄膜トランジスタが基板に形成されている表示装置であって、

前記薄膜トランジスタは、

前記半導体層の形成領域と重なる領域に形成されたゲート電極と、

10

前記ゲート電極上に前記チャネル領域の形成領域と重なる領域に開口を有して形成された絶縁膜と、

前記絶縁膜を被い前記開口によって段差を有して形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に、前記ゲート電極と重ねられ、前記絶縁膜の開口によって段差を有して形成された半導体層と、

前記半導体層をも被って形成された表面の平坦な保護膜と、を備え、

前記半導体層は、平面的に観て、前記絶縁膜の開口内の領域にチャネル領域が形成され、前記絶縁膜の開口外で該絶縁膜上の領域にソース・ドレイン領域が形成されていることを特徴とする。

【0019】

20

(7) 本発明の表示装置は、たとえば、(6)の構成を前提とし、前記絶縁膜は、前記ゲート電極上に前記チャネル領域の形成領域と重なる領域に開口を有する第1絶縁膜と、前記第1絶縁膜に積層され、前記開口と同心状に該開口よりも大きな開口を有する第2絶縁膜で構成され、

前記半導体層は、前記第1絶縁膜の開口内の領域にチャネル領域、前記第1絶縁膜の開口外で前記第2絶縁膜の開口内の領域にLDD領域、前記第2絶縁膜の開口外で前記第2絶縁膜上の領域にソース・ドレイン領域が形成されていることを特徴とする。

【0020】

(8) 本発明の表示装置は、たとえば、(7)の構成を前提とし、前記第1絶縁膜の開口、および前記第1絶縁膜の開口は、その側壁面において前記基板側から末広がるテーパが形成されていることを特徴とする。

30

【0021】

(9) 本発明の表示装置は、たとえば、(6)の構成を前提とし、前記絶縁膜の開口は、その側壁面において前記基板側から末広がるテーパが形成され、

前記半導体層の前記テーパ上にLDD領域が形成されていることを特徴とする。

【0022】

なお、上記した構成はあくまで一例であり、本発明は、技術思想を逸脱しない範囲内で適宜変更が可能である。また、上記した構成以外の本発明の構成の例は、本願明細書全体の記載または図面から明らかにされる。

【発明の効果】

40

【0023】

上記表示装置の製造方法によれば、製造工数の低減を図ることができる。本発明のその他の効果については、明細書全体の記載から明らかにされる。

【発明を実施するための最良の形態】

【0024】

本発明の実施例を、図面を参照しながら説明する。なお、各図および各実施例において、同一または類似の構成要素には同じ符号を付し、説明を省略する。

【0025】

〈実施例1〉

(表示装置の全体構成)

50

図 2 は、本発明による表示装置の実施例 1 を示す平面図である。図 2 は、たとえば携帯電話器に組み込まれる液晶表示装置の全体構成を示している。

【0026】

図 2 において、液晶表示装置は、たとえばガラスからなる矩形状の基板 SUB 1 および基板 SUB 2 によって外囲器を構成するようになっている。基板 SUB 1 と基板 SUB 2 との間には液晶（図示せず）が挟持され、この液晶は、基板 SUB 1 と基板 SUB 2 を固定するシール材 SL によって封入されている。該シール材 SL によって液晶が封入された領域は、その僅かな周辺を除いた中央部において液晶表示領域 AR を構成するようになっている。この液晶表示領域 AR は複数の画素がマトリックス状に配置された領域となっている。

10

【0027】

前記基板 SUB 1 の下側辺部は、基板 SUB 2 から露出する部分を有し、この部分には、外部から信号を入力させるフレキシブル基板 FPC の一端が接続されるようになっている。また、前記基板 SUB 1 上において、前記フレキシブル基板 FPC と前記基板 SUB 2 の間の領域にはチップからなる半導体装置 SCN が搭載されている。この半導体装置 SCN は、基板 SUB 1 の面に形成された配線 WL を介して前記フレキシブル基板 FPC からの各信号が入力されるようになっている。

【0028】

また、シール材 SL と前記液晶表示領域 AR の間の領域であって、該液晶表示領域 AR のたとえば左側の領域には走査信号駆動回路 V、下側の領域には RGB スイッチング回路 RGB S が形成されている。これら走査信号駆動回路 V、および RGB スイッチング回路 RGB S には前記半導体装置 SCN から信号が供給されるようになっている。走査信号駆動回路 V は後述する複数のゲート信号線 GL に走査信号を順次供給するための回路からなり、RGB スイッチング回路 RGB S は後述する複数のドレイン信号線 DL に供給する映像信号を赤色用、緑色用、および青色用ごとに時系列的に切り替える回路からなっている。

20

【0029】

ここで、前記走査信号駆動回路 V および RGB スイッチング回路 RGB S は、前記液晶表示領域 AR 内の画素の形成と並行して基板 SUB 1 上に形成される回路であり、それぞれ複数の薄膜トランジスタ（図示せず）を備えて構成されるようになっている。

30

【0030】

前記液晶表示領域 AR には、ゲート信号線 GL、ドレイン信号線 DL、および対向電圧信号線 CL が形成されている。前記ゲート信号線 GL は、図中 x 方向に延在し y 方向に並設され、それらの左側端は、前記走査信号駆動回路 V に接続されている。前記ドレイン信号線 DL は、図中 y 方向に延在し x 方向に並設され、それらの下端は、前記 RGB スイッチング回路 RGB S に接続されている。前記対向電圧信号線 CL は、隣接するゲート信号線 GL の間に該ゲート信号線 GL と並行に形成され、その一端（たとえば図中右側端）は共通に接続され、前記半導体装置 SCN から基準信号（映像信号に対して基準となる信号）が供給されるようになっている。

【0031】

40

隣接する一对のゲート信号線 GL と隣接する一对のドレイン信号線 DL とで囲まれる領域（たとえば図中点線楕円枠内）は画素 PIX の領域に相当するようになっている。画素 PIX は、図中実線楕円枠 A 内の拡大された図に示すように、ゲート信号線 GL からの走査信号によってオンされる薄膜トランジスタ TFT と、このオンされた薄膜トランジスタ TFT を介してドレイン信号線 DL からの映像信号が供給される画素電極 PX と、前記対向電圧信号線 CL に接続され基準信号が供給される対向電極 CT を備えて構成されている。画素電極 PX と対向電極 CT の間には電圧差に応じた電界が生じ、この電界によって液晶が駆動されるようになっている。

【0032】

図 2 では、携帯電話器に組み込まれる液晶表示装置を例に挙げて説明したが、本発明は

50

、この種の液晶表示装置に限定されることはない。

【0033】

(薄膜トランジスタ)

図1は、前記基板SUB1上に形成される薄膜トランジスタの実施例1の断面図である。ここで、図1に示す薄膜トランジスタは、前記画素PIX、走査信号駆動回路V、RGBスイッチング回路RGBSにそれぞれ備えられる薄膜トランジスタの全てに適用させる必要はない。たとえば、走査信号駆動回路Vのみ、あるいはRGBスイッチング回路RGBSのみの薄膜トランジスタに適用するようにしてもよい。

【0034】

図1において、基板SUB1の表面にゲート電極2が形成されている。このゲート電極2は、平面的に観て、後述する薄膜トランジスタの半導体層PSのチャネル領域のみでなく前記半導体層PSに重なるように形成されている。後述で明らかとなるように、前記半導体層PSの形成領域において第1絶縁膜3と第2絶縁膜4を用いて段差を作る必要があるからである。

【0035】

基板SUB1の表面には、前記ゲート電極2をも被って第1絶縁膜3が形成されている。この第1絶縁膜3には、平面的に観て、前記薄膜トランジスタの半導体層PSのチャネル領域と重なる部分に開口HL1が形成されている。

【0036】

また、前記第1絶縁膜3の上面には、第2絶縁膜4が形成され、この第2絶縁膜4には、第1絶縁膜3の前記開口HL1と同心状に該開口HL1よりも面積の大きな開口HL2が形成されている。これにより、前記第2絶縁膜4と第1絶縁膜3の表面は、前記開口HL2および前記開口HL1の近傍において高さの異なる段差が形成されることになる。

【0037】

前記段差は、高さの異なる3つの面、すなわち、前記第1絶縁膜3の開口HL1内のゲート電極2の表面、前記第2絶縁膜4の開口HL2内であって前記第1絶縁膜3の表面、前記第2絶縁膜4の開口HL2外であって前記第2絶縁膜4の表面を有して形成されるようになっている。

【0038】

基板SUB1面には、前記第1絶縁膜3、第2絶縁膜4をも被ってゲート絶縁膜5が形成されている。このゲート絶縁膜5の表面は前記第1絶縁膜3および第2絶縁膜4による段差がそのまま浮上して顕在化されている。

【0039】

前記ゲート絶縁膜5の上面には前記ゲート電極2と重ねられるようにして半導体層PSが形成されている。これにより、前記半導体層PSは、平面的に観て、前記第1絶縁膜3の開口HL1内、前記第2絶縁膜4の開口HL2内であって前記第1絶縁膜3上、前記第2絶縁膜4の開口HL2外であって前記第2絶縁膜4上、において高さの異なる3段階構造の半導体層として構成される。

【0040】

この半導体層PSは、平面的に観て、前記第1絶縁膜3の開口HL1内の領域においてたとえばP(−)型不純物がドーピングされたチャネル領域8、前記第2絶縁膜4の開口HL2内であって前記第1絶縁膜3上の領域においてたとえばN(−)型不純物がドーピングされたLDD領域9、前記第2絶縁膜4の開口HL2外であって前記第2絶縁膜4上の領域においてたとえばN(+)型不純物がドーピングされたソース・ドレイン領域10が形成されている。ここで、前記チャネル領域8、LDD領域9、およびソース・ドレイン領域は半導体層PS内において途切れのない連続した状態で形成されている。基板SUB1面には、前記半導体層PSをも被って保護膜7が形成されている。この保護膜7の表面は平坦に形成されている。そして、前記保護膜7の上面には、該保護膜7に形成されたスルーホール11を通して前記ソース・ドレイン領域10の一部と接続されるソース・ドレイン電極12が形成されている。

10

20

30

40

50

【0041】

なお、MIS (Metal Insulator Semiconductor) 型の薄膜トランジスタにおいて、その使用態様によって、前記ソース・ドレイン領域10は、一方がソース領域となり、他方がドレイン領域として機能するが、この明細書では、説明を簡単にするため、いずれの領域もソース・ドレイン領域10と称する。前記ソース・ドレイン領域10と電氣的に接続されるソース・ドレイン電極12に関しても同様である。

【0042】

上述のように構成された薄膜トランジスタは、その半導体層PSのソース・ドレイン領域10がゲート電極2と重畳して形成されている。このため、該ソース・ドレイン領域10とゲート電極2との間に発生する寄生容量が増大することが懸念される。しかし、前記半導体層PSは、その段差構造によって、前記ソース・ドレイン領域10は、チャンネル領域8よりも高い位置にあり、ゲート電極2との間に、第1絶縁膜3、第2絶縁膜4、ゲート絶縁膜5が存在し、前記寄生容量の増大を抑制できる効果を奏する。

【0043】

また、前記保護膜7は、前記半導体層PSの段差構造によって、該半導体層PSのチャンネル領域8上において、ソース・ドレイン領域10等の他の領域よりも膜厚を大きくして形成できることになる。これにより、該保護膜7上に形成される信号線等からの電界が前記半導体層PSのチャンネル領域8に影響を及ぼすことが少なく、いわゆるバックチャンネルの発生を抑制できる効果を奏する。

【0044】

(薄膜トランジスタの製造方法)

図3(a)ないし(e)、および図4(a)ないし(b)は、図1に示した薄膜トランジスタの製造方法の一実施例を示す工程図である。以下、工程順に説明をする。

【0045】

工程1. (図3(a))

基板SUB1の表面にたとえば金属からなる導電膜を形成し、フォトリソグラフィ技術による選択エッチングにより、ゲート電極2を形成する。

【0046】

工程2. (図3(b))

基板SUB1上に前記ゲート電極2をも被って第1絶縁膜3、第2絶縁膜4を順次形成する。第1絶縁膜3、第2絶縁膜4のそれぞれの膜厚はたとえば50nm以上とする。

【0047】

工程3. (図3(c))

前記第1絶縁膜3、第2絶縁膜4に、それぞれ、同心状の開口HL1、開口HL2を設ける。前記第1絶縁膜3に形成した開口HL1は面積が小さく、前記第2絶縁膜4に形成した開口HL2は面積が大きくなるように形成する。ここで、前記第1絶縁膜3に形成した開口HL1は、平面的に観て、後述の薄膜トランジスタのチャンネル領域に重ねられるようになっている。また、第1絶縁膜3に形成した開口HL1の側壁面、第2絶縁膜4に形成した開口HL2の側壁面は、それぞれ、基板SUB1側から末広がるテーパが形成されるようになっている。

【0048】

この場合の形成方法として、前記第1絶縁膜3をたとえばシリコン窒化膜、前記第2絶縁膜4をたとえばシリコン酸化膜として、順次形成する。そして、前記第2絶縁膜4の表面に形成したフォトレジストマスクを用いて、HF系のエッチング液で該第2絶縁膜4の開口HL2を形成する。この場合の前記フォトレジストマスクの開口は前記第1絶縁膜4の開口HL1の大きさとほぼ同じ大きさで形成され、前記第2絶縁膜4の開口HL2は前記開口よりも約1μm広くなるようにして形成する。そして、前記第2絶縁膜4の表面から約10nmの厚さの部分において残りの厚さの部分よりHF系のエッチング液に対してエッチングレートが高い膜とすることで、前記開口HL2にテーパを形成することができる。次に、前記フォトレジストマスクをそのまま残存させ、ウェットエッチングあるいは

10

20

30

40

50

ドライエッチングによって前記第1絶縁膜3に開口H L 1を形成する。この場合も、前記第1絶縁膜4の表面から約10nmの厚さの部分において残りの厚さの部分よりエッチングレートが高い膜とすることで、前記開口H L 1にテーパーを形成することができる。

【0049】

このような形成方法を採用することにより、1回のフォトリソ工程で、第1絶縁膜3、第2絶縁膜4にそれぞれ大きさの異なる開口H L 1、開口H L 2を形成することができる。また、このような形成方法に限定されず、たとえばハーフ露光を用いることによっても1回のフォトリソ工程で済むことができる。

【0050】

工程4. (図3(d))

前記第1絶縁膜3、前記第2絶縁膜4上に、それらの開口H L 1、開口H L 2をも被って、シリコン酸化膜からなるゲート絶縁膜5を形成する。

【0051】

前記ゲート絶縁膜5の上面にアモルファスシリコン層を形成し、該アモルファスシリコン層をレーザ照射によってポリシリコン層に変質させ、このポリシリコン層をパターン化することにより半導体層P Sを形成する。この半導体層P Sは、平面的に観て、前記第1絶縁膜3の開口H L 1内、前記第2絶縁膜4の開口H L 2内であって前記第1絶縁膜3上、前記第2絶縁膜4の開口H L 2外であって前記第2絶縁膜4上、において高さの異なる3段階構造として構成される。

【0052】

なお、この半導体層P Sは、前記第1絶縁膜3の開口H L 1、前記第2絶縁膜の開口H L 2は、それぞれ、その側壁面にテーパーが形成されていることから、途切れのない連続した3段階構造となる。

【0053】

工程5. (図3(e))

前記ゲート絶縁膜5の上面に、前記半導体層P Sをも被って、保護膜7を形成する。この保護膜7は、塗布によって形成できる有機絶縁膜で、平坦化された表面を有するようになっている。

【0054】

工程6. (図4(a))

前記保護膜7の上方からたとえばP(−)型不純物をイオン打ち込みする。このイオン打ち込みは、前記半導体層P Sのうち、平面的に観て、少なくとも前記第1絶縁膜3の開口H L 1内の領域に前記P(−)型不純物がドーブされるように加速エネルギーの調整がなされる。これにより、前記第1絶縁膜3の開口H L 1内の半導体層P S内にチャネル領域8が形成される。

【0055】

工程7. (図4(b))

前記保護膜7の上方からたとえばN(−)型不純物をイオン打ち込みする。このイオン打ち込みは、前記半導体層P Sのうち、平面的に観て、前記第2絶縁膜4の開口H L 2内であって前記第1絶縁膜3上の領域に前記N(−)型不純物がドーブされるように加速エネルギーの調整がなされる。これにより、前記第2絶縁膜4の開口H L 2内であって前記第1絶縁膜3上の半導体層P S内にL D D領域9が形成される。この場合、前記L D D領域9は前記チャネル領域8と途切れのない連続した状態となっている。

【0056】

工程8. (図4(c))

前記保護膜7の上方からたとえばN(+)型不純物をイオン打ち込みする。このイオン打ち込みは、前記半導体層P Sのうち、平面的に観て、少なくとも前記第2絶縁膜4の開口H L 2外であって前記第2絶縁膜4上の領域に前記N(+)型不純物がドーブされるように加速エネルギーの調整がなされる。これにより、前記第2絶縁膜4の開口H L 2外であって前記第2絶縁膜4上の半導体層P S内にソース・ドレイン領域10が形成される。

10

20

30

40

50

この場合、前記ソース・ドレイン領域 10 は前記 LDD 領域 9 と途切れのない連続した状態となっている。

【0057】

工程 9. (図 4 (d))

前記保護膜 7 にスルーホール 11 を形成することによって、前記半導体層 PS のソース・ドレイン領域 10 の一部を露出させる。そして、前記保護膜 7 上に、前記スルーホール 11 を通して前記ソース・ドレイン領域 10 と電氣的に接続されるソース・ドレイン電極 12 を形成する。

【0058】

このように製造される薄膜トランジスタは、その半導体層 PS が段差構造を有することを利用し、自己整合的に、チャンネル領域 8、LDD 領域 9、およびソース・ドレイン領域 10 を形成するようにしている。したがって、この各領域を形成する際のフォトリソ工程を不要とすることができる。

【0059】

そして、薄膜トランジスタの完成までに、5 回のフォトリソ工程を行うことで済むようになる。すなわち、それぞれのフォトリソ工程は、前記ゲート電極 2 の形成、前記第 1 絶縁膜 3 および第 2 絶縁膜 4 の形成、半導体層 PS の形成、保護膜 7 の形成、ソース・ドレイン電極 12 の形成の際に行えばよいことになる。

【0060】

なお、上述した製造方法は、工程 6 (図 4 (a)) においてチャンネル領域 8 を形成したものである。しかし、これに限定されることはなく、たとえば、工程 4 (図 3 (d)) において半導体層 PS の全域に P (-) 型不純物をイオン打ち込みすることによって前記チャンネル領域 8 を形成するようにしてもよい。

【0061】

〈実施例 2〉

(薄膜トランジスタ)

図 5 は、前記基板 SUB 1 上に形成される薄膜トランジスタの実施例 2 の断面図である。

【0062】

図 5 において、基板 SUB 1 の表面にゲート電極 2 が形成されている。このゲート電極 2 は平面的に観て、後述する薄膜トランジスタの半導体層 PS のチャンネル領域のみでなく前記半導体層 PS に重なるように形成されている。後述で明らかとなるように、前記ゲート電極 2 上に形成される絶縁膜 21 によってテーパで連結される段差を作る必要があるからである。

【0063】

基板 SUB 1 の表面には、前記ゲート電極 2 をも被って絶縁膜 21 が形成されている。この絶縁膜 21 には、平面的に観て、薄膜トランジスタの半導体層 PS のチャンネル領域と重なる部分に開口 HL 3 が形成されている。そして、前記開口 HL 3 は、その側壁面において基板 SUB 1 側から末広がるテーパが形成されている。

【0064】

基板 SUB 1 上には、前記絶縁膜 21 をも被ってゲート絶縁膜 5 が形成されている。このゲート絶縁膜 5 の表面は前記絶縁膜 21 の開口 HL 3 が浮上して開口 HL 3' が形成されている。

【0065】

前記ゲート絶縁膜 5 の上面には前記ゲート電極 2 と重ねられるようにして半導体層 PS が形成されている。前記半導体層 PS は、平面的に観て、少なくとも前記絶縁膜 21 の開口 HL 3 内においてチャンネル領域 8 が形成され、前記絶縁膜 21 のテーパ上において LDD 領域 9 が形成され、前記絶縁膜 21 の表面上においてソース・ドレイン領域 10 が形成されている。ここで、前記チャンネル領域 8、LDD 領域 9、およびソース・ドレイン領域は半導体層 PS 内において途切れのない連続した状態で形成されている。

【0066】

基板SUB1上には、前記半導体層PSをも被って保護膜7が形成されている。この保護膜7の表面は平坦に形成されている。そして、前記保護膜7の上面には、該保護膜7に形成されたスルーホール11を通して前記ソース・ドレイン領域10の一部と接続されるソース・ドレイン電極12が形成されている。

【0067】

(薄膜トランジスタの製造方法)

図6(a)ないし(d)、および図7(a)ないし(d)は、図5に示した薄膜トランジスタの製造方法の一実施例を示す工程図である。以下、工程順に説明をする。

【0068】

工程1. (図6(a))

基板SUB1の表面にたとえばシリコン窒化膜等からなる下地層20を形成する。そして、この下地層20の上面に、たとえば金属からなる導電膜を形成し、フォトリソグラフィ技術による選択エッチングにより、ゲート電極2を形成する。

【0069】

工程2. (図6(b))

基板SUB1上に、前記ゲート電極2をも被って、たとえばシリコン窒化膜からなる約100nmの膜厚の絶縁膜21を形成する。次に、前記絶縁膜21に開口HL3を設ける。この開口HL3は薄膜トランジスタのチャネル領域に相当する領域を露出させ、その側壁面において基板SUB1側から末広がるテーパが形成されている。前記絶縁膜21の表面から約10nmの厚さの部分において残りの厚さの部分よりHF系のエッチング液に対してエッチングレートが高い膜とすることで、前記開口HL3にテーパを形成することができる。前記絶縁膜21のこのような形状の開口は、後述する半導体層PSを段差構造に形成するように機能する。

【0070】

次に、前記絶縁膜21の上面に前記開口HL3をも被ってゲート絶縁膜5を形成する。このゲート絶縁膜5はその表面において前記前記開口HL3の形状が浮上し開口HL3'を形成するようになる。

【0071】

そして、前記ゲート絶縁膜5の上面にアモルファスシリコン層を形成し、該アモルファスシリコン層をレーザ照射によってポリシリコン層に変質させ、このポリシリコン層をパターン化することにより半導体層PSを形成する。この半導体層PSは、前記ゲート電極2と重畳するように形成され、前記開口HL3'の底面、テーパ、表面周囲にわたって形成される。

【0072】

工程3. (図6(c))

前記ゲート絶縁膜5の上面に、前記半導体層PSをも被って、保護膜7を形成する。この保護膜7は、塗布によって形成できる有機絶縁膜で、平坦化された表面を有するようになっている。

【0073】

工程4. (図6(d))

前記保護膜7の上方からたとえばP(-)型不純物をイオン打ち込みする。このイオン打ち込みは、前記半導体層PSのうち、平面的に観て、前記ゲート絶縁膜5の開口HL3'の少なくとも底面の領域に前記P(-)型不純物がドーピングされるように加速エネルギーの調整がなされる。これにより、前記ゲート絶縁膜5の開口HL3'の底面付近の半導体層PS内にチャネル領域8が形成される。

【0074】

工程5. (図7(a))

前記保護膜7の上方からたとえばN(-)型不純物をイオン打ち込みする。このイオン打ち込みは、前記半導体層PSのうち、平面的に観て、前記ゲート絶縁膜5の開口HL3

10

20

30

40

50

'のテーパ上の領域に前記N（－）型不純物がドーピングされるように加速エネルギーの調整がなされる。これにより、前記ゲート絶縁膜5の開口HL3'のテーパ上の半導体層PS内にLDD領域9が形成される。

【0075】

工程6．（図7（b））

前記保護膜7の上方からたとえばN（＋）型不純物をイオン打ち込みする。このイオン打ち込みは、前記半導体層PSのうち、平面的に観て、前記ゲート絶縁膜5の少なくとも開口HL3'の周辺の表面上の領域に前記N（＋）型不純物がドーピングされるように加速エネルギーの調整がなされる。これにより、前記ゲート絶縁膜5の開口HL3'の周辺の表面上の半導体層PS内にソース・ドレイン領域10が形成される。

10

【0076】

工程7．（図7（c））

前記保護膜7にスルーホール11を形成し、ソース・ドレイン領域10の一部を露出させる。

【0077】

工程8．（図7（d））

前期保護膜7上に、前記スルーホール11を通して、前記ソース・ドレイン領域10に電氣的に接続されたソース・ドレイン電極12を形成する。

【0078】

なお、上述した製造方法は、工程4（図6（d））においてチャネル領域8を形成したものである。しかし、これに限定されることはなく、たとえば、工程2（図6（b））において半導体層PSの全域にP（－）型不純物をイオン打ち込みすることによって前記チャネル領域8を形成するようにしてもよい。

20

【0079】

〈実施例3〉

図8は、前記基板SUB1上に形成される薄膜トランジスタの実施例3の断面図で、図1と対応した図となっている。

【0080】

図1の場合と比較して異なる構成は、まず、保護膜30にある。この保護膜30は半導体層PSのチャネル領域8およびLDD領域9を被って形成されているが、ソース・ドレイン領域10を露出させて形成されている。このため、ソース・ドレイン電極13は、前記ソース・ドレイン領域10に電氣的に接続され、第2絶縁膜4上に引き出されて形成されている。

30

【0081】

（薄膜トランジスタの製造方法）

図9（a）ないし（e）、図10（a）ないし（c）、および図11（a）、（b）は、図8に示した薄膜トランジスタの製造方法の一実施例を示す工程図である。以下、工程順に説明をする。

【0082】

工程1．（図9（a））

基板SUB1の表面にたとえば金属からなる導電膜を形成し、フォトリソグラフィ技術による選択エッチングにより、ゲート電極2を形成する。

40

【0083】

工程2．（図9（b））

基板SUB1上に前記ゲート電極2をも被って第1絶縁膜3、第2絶縁膜4を順次形成する。第1絶縁膜3、第2絶縁膜4のそれぞれの膜厚はたとえば50nm以上とする。

【0084】

工程3．（図9（c））

前記第1絶縁膜3、第2絶縁膜4に、それぞれ、同心状の開口HL1、開口HL2を設ける。前記第1絶縁膜3に形成した開口HL1は面積を小さく、前記第2絶縁膜4に形成

50

した開口H L 2は面積を大きく形成する。ここで、前記第1絶縁膜3に形成した開口H L 1は、平面的に観て、後述の薄膜トランジスタのチャネル領域に重ねられるようになっている。また、第1絶縁膜3に形成した開口H L 1の側壁面、第2絶縁膜4に形成した開口H L 2の側壁面は、それぞれ、基板S U B 1側から末広がるテーパーが形成されるようになっている。

【0085】

工程4. (図9 (d))

前記第1絶縁膜2、前記第2絶縁膜3上に、それらの開口H L 1、開口H L 2をも被って、シリコン酸化膜からなるゲート絶縁膜5を形成する。

【0086】

次に、前記ゲート絶縁膜5の上面にアモルファスシリコン層を形成し、該アモルファスシリコン層をレーザ照射によってポリシリコン層に変質させた半導体層6を形成する。

【0087】

工程5. (図9 (e))

前記半導体層6の上面に感光性塗布型の保護膜30を形成する。この保護膜30は表面を平坦化して形成する。次に、前記保護膜30を薄膜トランジスタの半導体層形成領域において残存させ、残存された該保護膜30をマスクとして前記半導体層6をエッチングし、これにより、パターン化された半導体層P Sを形成する。

【0088】

工程6. (図10 (a))

前記保護膜30の上方からたとえばP (－)型不純物をイオン打ち込みする。このイオン打ち込みは、前記半導体層P Sのうち、平面的に観て、前記第1絶縁膜3の開口H L 1内の領域に前記P (－)型不純物がドーピングされるように加速エネルギーの調整がなされる。これにより、前記第1絶縁膜3の開口H L 1内の半導体層P S内にチャネル領域8が形成される。

【0089】

工程7. (図10 (b))

前記保護膜30の上方からたとえばN (－)型不純物をイオン打ち込みする。このイオン打ち込みは、前記半導体層P Sのうち、平面的に観て、前記第2絶縁膜4の開口H L 2内であって前記第1絶縁膜3上の領域に前記N (－)型不純物がドーピングされるように加速エネルギーの調整がなされる。これにより、前記第2絶縁膜4の開口H L 2内であって前記第1絶縁膜3上の半導体層P S内にL D D領域9が形成される。

【0090】

工程8. (図10 (c))

前記保護膜30の上方からたとえばN (＋)型不純物をイオン打ち込みする。このイオン打ち込みは、前記半導体層P Sのうち、平面的に観て、前記第2絶縁膜4の開口H L 2外であって前記第2絶縁膜4上の領域に前記N (＋)型不純物がドーピングされるように加速エネルギーの調整がなされる。これにより、前記第2絶縁膜4の開口H L 2外であって前記第2絶縁膜4上の半導体層P S内にソース・ドレイン領域10が形成される。

【0091】

工程9. (図11 (a))

前記保護膜30をウェットエッチあるいはドライエッチによって途中の厚さまでエッチングし、前記半導体層P Sのソース・ドレイン領域10を露出させる。この場合、前記エッチングによって、ゲート絶縁膜5も前記半導体層P S下の部分を除いてエッチングされる。

【0092】

工程10. (図11 (b))

前記ソース・ドレイン領域10上を被い、第2絶縁膜4の表面に延在されるソース・ドレイン電極13を形成する。

【0093】

なお、上述した製造方法は、工程 6（図 10（a））においてチャネル領域 8 を形成したものである。しかし、これに限定されることはなく、たとえば、工程 4（図 9（d））において半導体層 6 の全域に P（－）型不純物をイオン打ち込みすることによって前記チャネル領域 8 を形成するようにしてもよい。

【0094】

〈実施例 4〉

図 12 は、前記基板 SUB 1 上に形成される薄膜トランジスタの実施例 4 の断面図で、図 5 に対応した図となっている。

【0095】

図 5 の場合と比較して異なる構成は、まず、保護膜 30 にある。この保護膜 30 は半導体層 PS のチャネル領域 8 および LDD 領域 9 を被って形成されているが、ソース・ドレイン領域 10 を露出させて形成されている。このため、ソース・ドレイン電極 13 は、前記ソース・ドレイン領域 10 に電氣的に接続され、絶縁膜 21 上に引き出されて形成されている。

【0096】

（薄膜トランジスタの製造方法）

図 13（a）ないし（d）、図 14（a）ないし（c）、および図 15（a）、（b）は、図 12 に示した薄膜トランジスタの製造方法の一実施例を示す工程図である。以下、工程順に説明をする。

【0097】

工程 1.（図 13（a））

基板 SUB 1 の表面にたとえばシリコン窒化膜等からなる下地層 20 を形成する。そして、この下地層 20 の上面に、たとえば金属からなる導電膜を形成し、フォトリソグラフィ技術による選択エッチングにより、ゲート電極 2 を形成する。

【0098】

工程 2.（図 13（b））

基板 SUB 1 上に、前記ゲート電極 2 をも被って、たとえばシリコン窒化膜からなる約 100 nm の膜厚の絶縁膜 21 を形成する。次に、前記絶縁膜 21 に開口 HL 3 を設ける。この開口 HL 3 は薄膜トランジスタのチャネル領域に相当する領域を露出させ、その側壁面において基板 SUB 1 側から末広がるテーパが形成されている。

【0099】

次に、前記絶縁膜 21 の上面に前記開口 HL 3 をも被ってゲート絶縁膜 5 を形成する。このゲート絶縁膜 5 はその表面において前記開口 HL 3 の形状が浮上し開口 HL 3' を形成するようになる。

【0100】

工程 3.（図 13（c））

次に、前記ゲート絶縁膜 5 の上面にアモルファスシリコン層を形成し、該アモルファスシリコン層をレーザ照射によってポリシリコン層に変質させた半導体層 6 を形成する。

【0101】

そして、前記半導体層 6 の上面に感光性塗布型の保護膜 30 を形成する。この保護膜 30 は表面を平坦化して形成する。

【0102】

工程 4.（図 13（d））

次に、前記保護膜 30 を薄膜トランジスタの半導体層形成領域において残存させ、残存された該絶縁膜 30 をマスクとして前記半導体層 6 をエッチングし、これにより、パターン化された半導体層 PS を形成する。

【0103】

工程 5.（図 14（a））

前記保護膜 30 の上方からたとえば N（－）型不純物をイオン打ち込みする。このイオン打ち込みは、前記半導体層 PS のうち、平面的に観て、前記ゲート絶縁膜 5 の開口 HL

10

20

30

40

50

3'のテーパ上の領域に前記N(－)型不純物がドーピングされるように加速エネルギーの調整がなされる。これにより、前記ゲート絶縁膜5の開口HL3'のテーパ上の半導体層PS内にLDD領域9が形成される。

【0104】

工程6.(図14(b))

前記保護膜30の上方からたとえばN(－)型不純物をイオン打ち込みする。このイオン打ち込みは、前記半導体層PSのうち、平面的に観て、前記ゲート絶縁膜5の開口HL3'のテーパ上の領域に前記N(－)型不純物がドーピングされるように加速エネルギーの調整がなされる。これにより、前記ゲート絶縁膜5の開口HL3'のテーパ上の半導体層PS内にLDD領域9が形成される。

10

【0105】

工程7.(図14(c))

前記保護膜30の上方からたとえばN(＋)型不純物をイオン打ち込みする。このイオン打ち込みは、前記半導体層PSのうち、平面的に観て、前記ゲート絶縁膜5の少なくとも開口HL3'の周辺の表面上の領域に前記N(＋)型不純物がドーピングされるように加速エネルギーの調整がなされる。これにより、前記ゲート絶縁膜5の開口HL3'の周辺の表面上の半導体層PS内にソース・ドレイン領域10が形成される。

【0106】

工程8.(図15(a))

前記保護膜30をウェットエッチあるいはドライエッチによって途中の厚さまでエッチングし、前記半導体層PSのソース・ドレイン領域10を露出させる。この場合、前記エッチングによって、ゲート絶縁膜5も前記半導体層PS下の部分を除いてエッチングされる。

20

【0107】

工程9.(図15(b))

前記ソース・ドレイン領域10上を被い、第2絶縁膜4の表面に延在されるソース・ドレイン電極13を形成する。

【0108】

なお、上述した製造方法は、工程5(図14(a))においてチャネル領域8を形成したものである。しかし、これに限定されることはなく、たとえば、工程3.(図13(c))において半導体層6の全域にP(－)型不純物をイオン打ち込みすることによって前記チャネル領域8を形成するようにしてもよい。

30

【0109】

上述した実施例では、いずれも薄膜トランジスタはソース・ドレイン領域にN型不純物がドーピングされたN型薄膜トランジスタについて説明したものである。しかし、これに限定されることはなく、P型薄膜トランジスタにおいても適用できる。

【0110】

上述した実施例では、いずれも薄膜トランジスタの半導体層PSにLDD層9を備えた構成となっているものである。しかし、このLDD層9は形成されていなくてもよい。この場合、実施例1では、第2絶縁膜4を形成しない構成とすることができる。

40

【0111】

上述した実施例では、液晶表示装置を例に挙げて本発明を説明したものである。しかし、有機EL表示装置等の他の表示装置にも適用できる。

【図面の簡単な説明】

【0112】

【図1】本発明の表示装置に形成される薄膜トランジスタの実施例1の断面図である。

【図2】本発明の表示装置の概略を示す平面図である。

【図3】図4とともに、実施例1の薄膜トランジスタの製造方法の工程を示す図である。

【図4】図3とともに、実施例1の薄膜トランジスタの製造方法の工程を示す図である。

【図5】本発明の表示装置に形成される薄膜トランジスタの実施例2の断面図である。

50

【図 6】図 7 とともに、実施例 2 の薄膜トランジスタの製造方法の工程を示す図である。

【図 7】図 6 とともに、実施例 2 の薄膜トランジスタの製造方法の工程を示す図である。

【図 8】本発明の表示装置に形成される薄膜トランジスタの実施例 3 の断面図である。

【図 9】図 10、図 11 とともに、実施例 3 の薄膜トランジスタの製造方法の工程を示す図である。

【図 10】図 9、図 11 とともに、実施例 3 の薄膜トランジスタの製造方法の工程を示す図である。

【図 11】図 9、図 10 とともに、実施例 3 の薄膜トランジスタの製造方法の工程を示す図である。

【図 12】本発明の表示装置に形成される薄膜トランジスタの実施例 4 の断面図である。

【図 13】図 14、図 15 とともに、実施例 4 の薄膜トランジスタの製造方法の工程を示す図である。

【図 14】図 13、図 15 とともに、実施例 4 の薄膜トランジスタの製造方法の工程を示す図である。

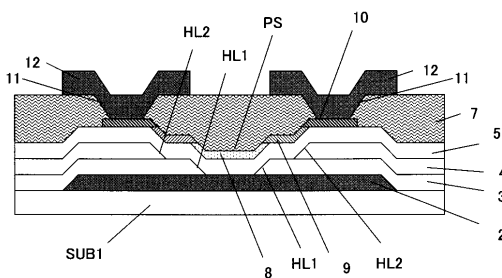
【図 15】図 13、図 14 とともに、実施例 4 の薄膜トランジスタの製造方法の工程を示す図である。

【符号の説明】

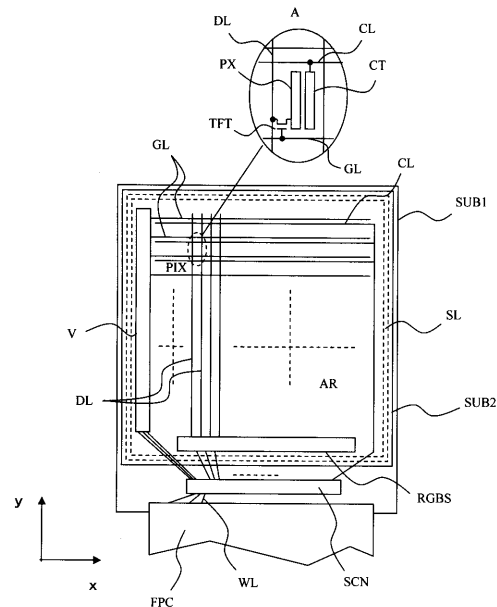
【0113】

SUB1、SUB2 ……基板、SL ……シール材、AR ……液晶表示領域、FPC ……フレキシブル基板、SCN ……半導体装置、V ……走査信号駆動回路、RGBS ……RGB スイッチング回路、GL ……ゲート信号線、DL ……ドレイン信号線、CL ……対向電圧信号線、TFT ……薄膜トランジスタ、PX ……画素電極、CT ……対向電極、PS、6 ……半導体層、2 ……ゲート電極、3 ……第 1 絶縁膜、4 ……第 2 絶縁膜、5 ……ゲート絶縁膜、7、30 ……保護膜、8 ……チャネル領域、9 ……LDD 領域、10 ……ソース・ドレイン領域、12、13 ……ソース・ドレイン電極。

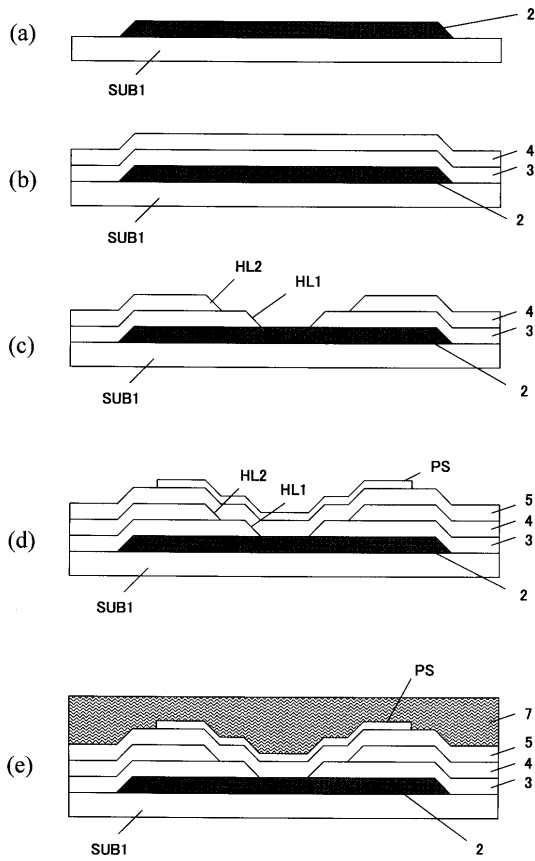
【図 1】



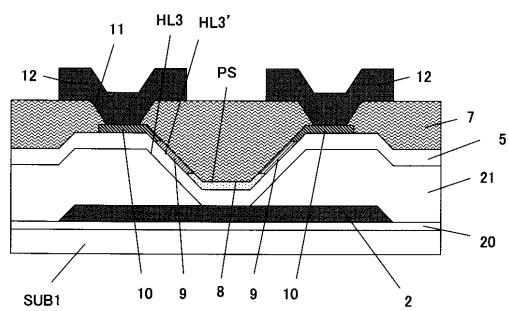
【図 2】



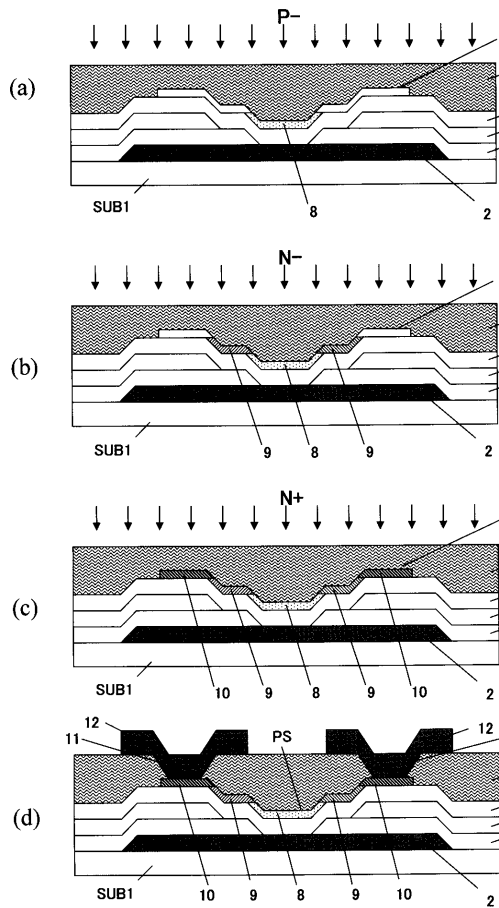
【図 3】



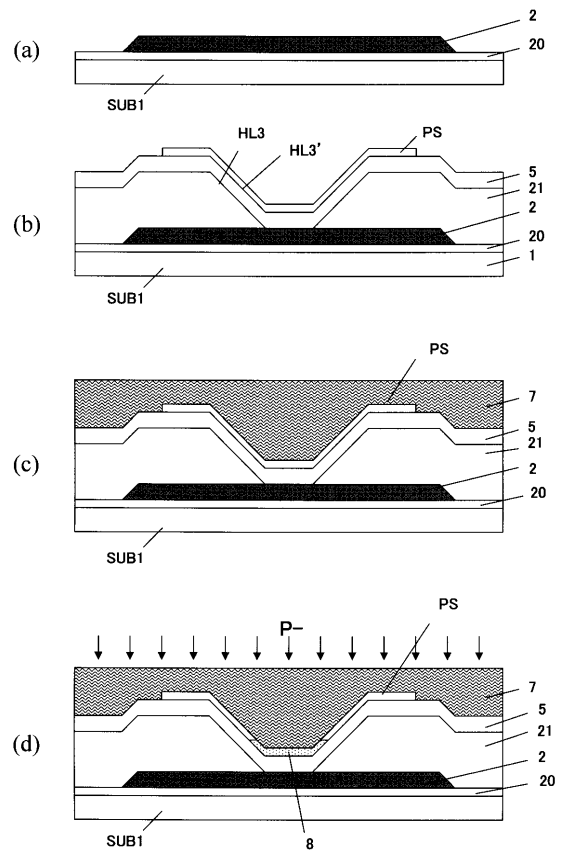
【図 5】



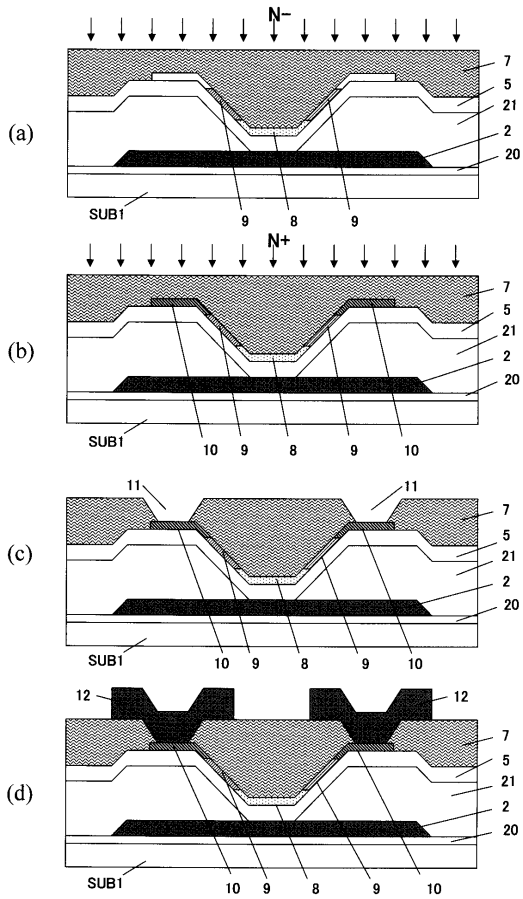
【図 4】



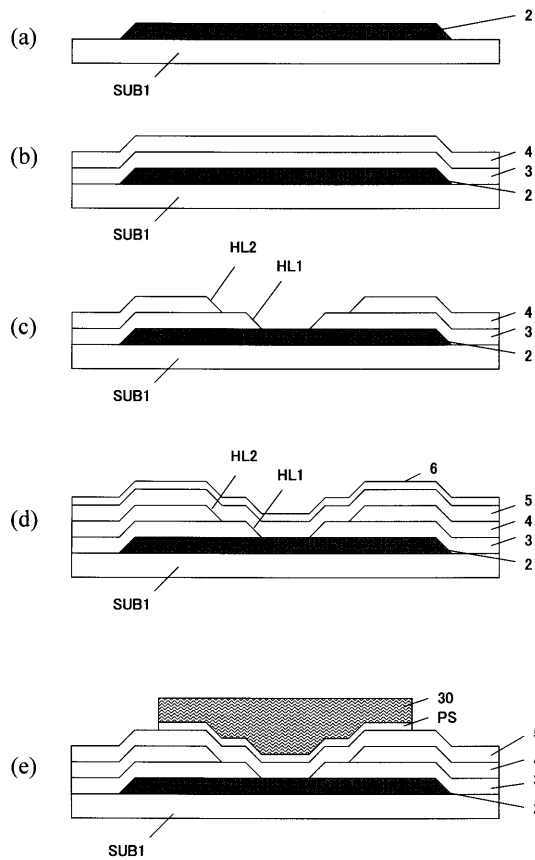
【図 6】



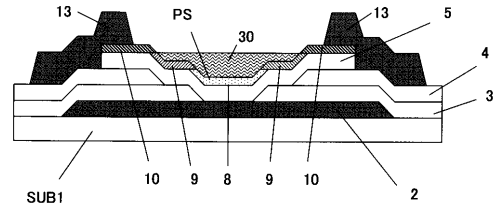
【図 7】



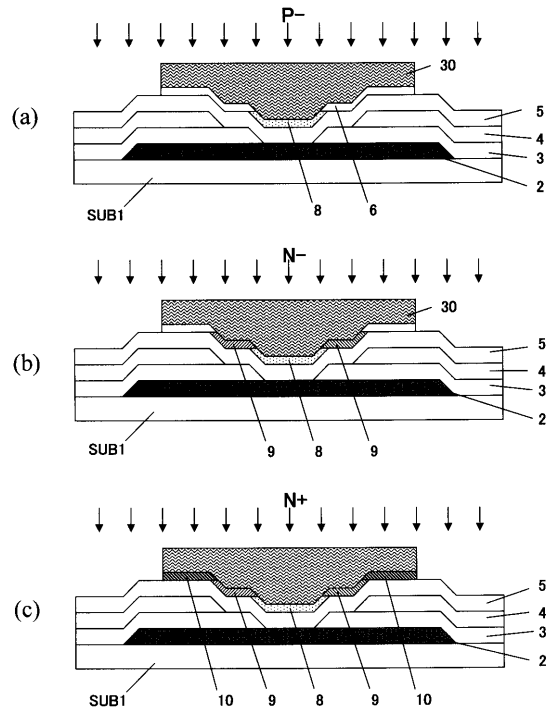
【図 9】



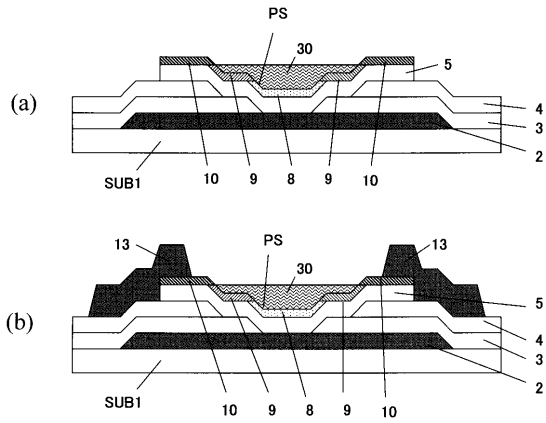
【図 8】



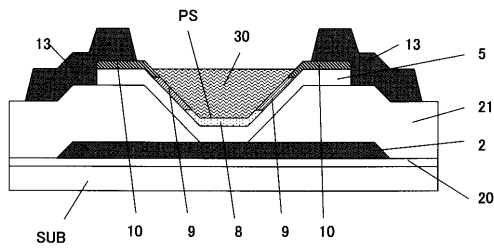
【図 10】



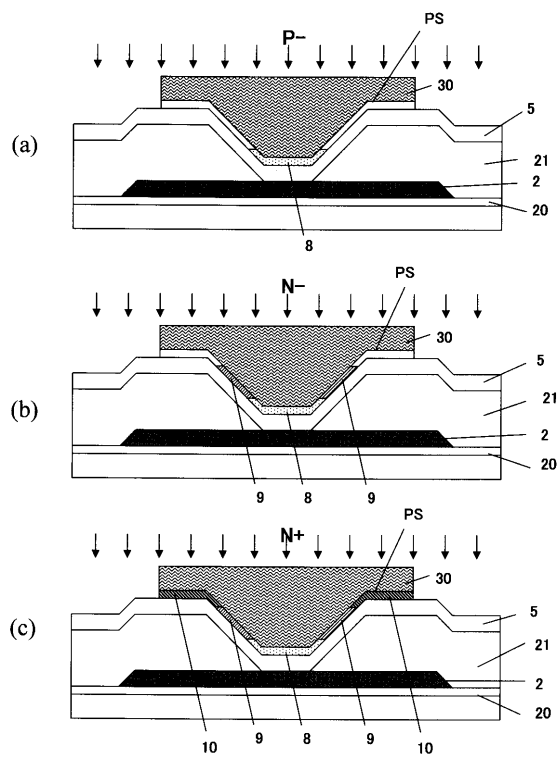
【図 1 1】



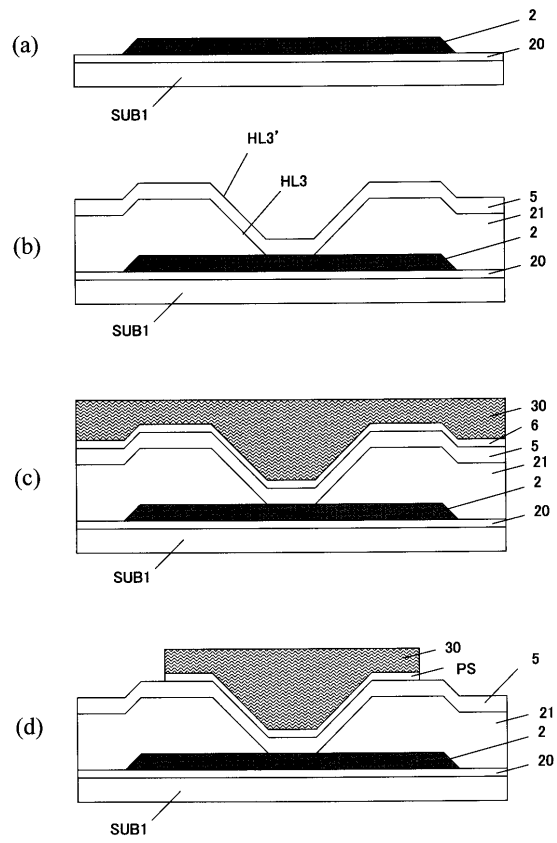
【図 1 2】



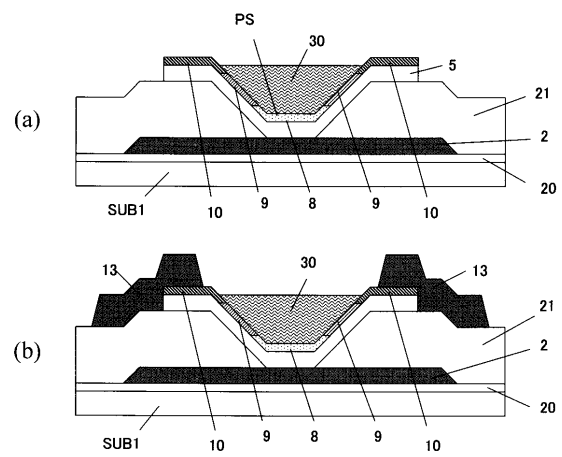
【図 1 4】



【図 1 3】



【図 1 5】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 F 9/30 3 3 8	
	G 0 9 F 9/00 3 3 8	
	G 0 2 F 1/1368	

(72)発明者 海東 拓生

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

Fターム(参考) 2H092 JA26 JA36 JA44 JA46 JB56 KA04 KA10 MA14 MA15 MA16
MA18 MA20 MA27 MA28 MA30 MA41 NA27
5C094 AA43 BA03 BA43 DA13 FB14 GB10
5F110 AA16 BB02 CC08 DD02 DD14 EE02 FF02 FF03 FF09 FF12
GG02 GG13 GG22 GG52 HJ13 HM15 NN04 NN27 NN36 PP03
QQ11 QQ19
5G435 AA17 BB12 HH13 KK05 LL07

【要約の続き】

レイン領域を形成する工程を経て形成する。

【選択図】 図 1