

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4582332号
(P4582332)

(45) 発行日 平成22年11月17日(2010.11.17)

(24) 登録日 平成22年9月10日(2010.9.10)

(51) Int.Cl. F I
G05F 1/56 (2006.01) G O 5 F 1/56 3 2 0 A
H02J 1/00 (2006.01) H O 2 J 1/00 3 0 9 H

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2005-346593 (P2005-346593)	(73) 特許権者	000003207
(22) 出願日	平成17年11月30日(2005.11.30)		トヨタ自動車株式会社
(65) 公開番号	特開2007-156521 (P2007-156521A)		愛知県豊田市トヨタ町1番地
(43) 公開日	平成19年6月21日(2007.6.21)	(74) 代理人	100068618
審査請求日	平成20年2月14日(2008.2.14)		弁理士 粁 経夫
		(74) 代理人	100104145
			弁理士 宮崎 嘉夫
		(74) 代理人	100109690
			弁理士 小野塚 薫
		(74) 代理人	100135035
			弁理士 田上 明夫
		(74) 代理人	100131266
			弁理士 ▲高▼ 昌宏
		(74) 代理人	100093193
			弁理士 中村 壽夫

最終頁に続く

(54) 【発明の名称】 電源電圧制御装置及びその制御方法

(57) 【特許請求の範囲】

【請求項1】

電源供給線における負荷が接続される電源供給線負荷側部分に電源分岐線の一端部が接続され、該電源分岐線の他端部に設けたフィードバック用端子に、前記電源供給線における前記電源供給線負荷側部分より上流部に設けた出力用トランジスタの出力電圧が所定値になるように前記出力用トランジスタをフィードバック制御するフィードバック回路が接続される電源電圧制御装置であって、

前記電源供給線負荷側部分又は前記電源分岐線の一端部側部分に電源監視用分岐線を介して接続された電圧監視用入力端子と、

該電圧監視用入力端子における電圧監視用入力端子電圧及び前記フィードバック用端子におけるフィードバック用端子電圧について、それぞれ前記所定値を含むように予め定められた許容電圧範囲内か否かを監視し、許容電圧範囲内の場合はL信号を、許容電圧範囲外の場合はH信号を判定信号として出力する電圧監視回路と、

前記フィードバック用端子電圧に関する前記判定信号及び前記電圧監視用入力端子電圧に関する前記判定信号の入力を受けるNAND回路および出力保持回路を有し、前記電源供給線を通した前記負荷への電源電圧の供給開始判定を行う起動判定回路と、

前記フィードバック用端子電圧に関する前記判定信号及び前記NAND回路および出力保持回路の出力信号の入力を受ける第1AND回路、並びに前記電圧監視用入力端子電圧に関する前記判定信号及び前記NAND回路および出力保持回路の出力信号の入力を受ける第2AND回路を備え、第1、第2AND回路の出力信号に基づいて、前記出力用ト

10

20

ンジスタの出力電圧を停止するように前記出力用トランジスタの制御を行う制御信号を出力する異常判定回路と、
を備えたことを特徴とする電源電圧制御装置。

【請求項 2】

前記電圧監視回路は、前記フィードバック用端子電圧を対象にして L 信号又は H 信号を出力する第 1 ウィンドウコンパレータと、前記電圧監視用入力端子電圧を対象にして L 信号又は H 信号を出力する第 2 ウィンドウコンパレータと、を備えていることを特徴とする請求項 1 記載の電源電圧制御装置。

【請求項 3】

電源供給線における負荷が接続される電源供給線負荷側部分に電源分岐線の一端部が接続され、該電源分岐線の他端部に設けたフィードバック用端子に、前記電源供給線における前記電源供給線負荷側部分より上流部に設けた出力用トランジスタの出力電圧が所定値になるように前記出力用トランジスタをフィードバック制御するフィードバック回路が接続される電源電圧制御装置の制御方法であって、

10

前記電源供給線負荷側部分又は前記電源分岐線の一端部側部分に電源監視用分岐線を介して接続された電圧監視用入力端子における電圧監視用入力端子電圧及び前記フィードバック用端子におけるフィードバック用端子電圧について、それぞれ前記所定値を含むように予め定められた許容電圧範囲内か否かを監視し、許容電圧範囲内の場合は L 信号を、許容電圧範囲外の場合は H 信号を判定信号として出力する電圧監視工程と、

前記フィードバック用端子電圧に関する前記判定信号及び前記電圧監視用入力端子電圧に関する前記判定信号の入力を受ける N A N D 回路および出力保持回路が、前記電源供給線を通した前記負荷への電源電圧の供給開始判定を行う起動判定処理工程と、

20

前記フィードバック用端子電圧に関する前記判定信号及び前記 N A N D 回路および出力保持回路の出力信号の入力を受ける第 1 A N D 回路が実施する第 1 A N D 回路信号処理工程と、

前記電圧監視用入力端子電圧に関する前記判定信号及び前記 N A N D 回路および出力保持回路の出力信号の入力を受ける第 2 A N D 回路が実施する第 2 A N D 回路信号処理工程と、

第 1、第 2 A N D 回路の出力信号に基づいて、前記出力用トランジスタの出力電圧を停止するように前記出力用トランジスタの制御を行う制御信号を出力する異常判定処理工程と、

30

を備えたことを特徴とする電源電圧制御装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、負荷に供給される電源供給電圧を所望の値になるように調整する電源電圧制御装置及びその制御方法に関する。

【背景技術】

【0002】

40

従来の電源電圧制御装置の一例として、電源供給線における負荷（CPU やセンサ等）が接続される電源供給線負荷側部分に電源分岐線の一端部が接続され、該電源分岐線の他端部に設けたフィードバック用端子に、前記電源供給線における前記電源供給線負荷側部分より上流部に設けた出力用トランジスタの出力電圧が所定値になるように前記出力用トランジスタをフィードバック制御するフィードバック回路が接続される電源 IC（電源電圧制御装置。以下、従来第 1 例という。）がある。

上記従来第 1 例では、フィードバック用端子がオープン故障した場合、CPU やセンサ等の負荷に供給される電圧（以下、負荷供給電圧という。）は、バッテリーなどの電圧供給電源の供給電圧（以下、電源供給電圧という。）近くまで異常上昇し、負荷の破損を招いてしまうおそれがある。

50

【 0 0 0 3 】

この対策を施した装置の例として、フィードバック用電源入力端子とは別に、クランプ用電源入力端子を設けるように構成した電源 IC (電源電圧制御装置。以下、従来第 2 例という。) が考えられている (特許文献 1 参照)。

従来第 2 例は、電源供給線負荷側部分にクランプ用分岐線の一端部を接続し、クランプ用分岐線の他端部に前記クランプ用電源入力端子を設けている。クランプ用電源入力端子には、IC 内蔵のツェナーダイオード及び抵抗からなるクランプ回路が接続されている。この従来第 2 例では、フィードバック用端子がオープン故障した場合、クランプ回路の作動により出力用トランジスタを制御し負荷供給電圧が一定の電圧値を保つ (クランプされる) ようにしている。

10

【特許文献 1】特開 2 0 0 0 - 3 5 3 0 2 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

ところで、上述した従来第 2 例では、クランプ回路を IC 内蔵のツェナーダイオード及び抵抗から構成しており、IC の製造工程ばらつき・温度特性を考えるとクランプ電圧のばらつきが大きく、CPU やセンサ等の負荷の仕様によっては動作保証電圧範囲を超えやすく、その改善が望まれているというのが実情であった。

本発明は、上記事情に鑑みてなされたものであり、フィードバック用端子のオープン故障があった場合、負荷への異常電圧の供給を適切に防止できる電源電圧制御装置及びその制御方法を提供することを目的とする。

20

【課題を解決するための手段】

【 0 0 0 5 】

請求項 1 記載の電源電圧制御装置に係る発明は、電源供給線における負荷が接続される電源供給線負荷側部分に電源分岐線の一端部が接続され、該電源分岐線の他端部に設けたフィードバック用端子に、前記電源供給線における前記電源供給線負荷側部分より上流部に設けた出力用トランジスタの出力電圧が所定値になるように前記出力用トランジスタをフィードバック制御するフィードバック回路が接続される電源電圧制御装置であって、前記電源供給線負荷側部分又は前記電源分岐線の一端部側部分に電源監視用分岐線を介して接続された電圧監視用入力端子と、該電圧監視用入力端子における電圧監視用入力端子電圧及び前記フィードバック用端子におけるフィードバック用端子電圧について、それぞれ前記所定値を含むように予め定められた許容電圧範囲内か否かを監視し、許容電圧範囲内の場合は L 信号を、許容電圧範囲外の場合は H 信号を判定信号として出力する電圧監視回路と、前記フィードバック用端子電圧に関する前記判定信号及び前記電圧監視用入力端子電圧に関する前記判定信号の入力を受ける N A N D 回路および出力保持回路を有し、前記電源供給線を通した前記負荷への電源電圧の供給開始判定を行う起動判定回路と、前記フィードバック用端子電圧に関する前記判定信号及び前記 N A N D 回路および出力保持回路の出力信号の入力を受ける第 1 A N D 回路、並びに前記電圧監視用入力端子電圧に関する前記判定信号及び前記 N A N D 回路および出力保持回路の出力信号の入力を受ける第 2 A N D 回路を備え、第 1、第 2 A N D 回路の出力信号に基づいて、前記出力用トランジスタの出力電圧を停止するように前記出力用トランジスタの制御を行う制御信号を出力する異常判定回路と、を備えたことを特徴とする。

30

40

請求項 2 記載の発明は、請求項 1 記載の電源電圧制御装置において、前記電圧監視回路は、前記フィードバック用端子電圧を対象にして L 信号又は H 信号を出力する第 1 ウィンドウコンパレータと、前記電圧監視用入力端子電圧を対象にして L 信号又は H 信号を出力する第 2 ウィンドウコンパレータと、を備えていることを特徴とする。

【 0 0 0 6 】

請求項 3 記載の発明は、電源供給線における負荷が接続される電源供給線負荷側部分に電源分岐線の一端部が接続され、該電源分岐線の他端部に設けたフィードバック用端子に、前記電源供給線における前記電源供給線負荷側部分より上流部に設けた出力用トランジ

50

スタの出力電圧が所定値になるように前記出力用トランジスタをフィードバック制御するフィードバック回路が接続される電源電圧制御装置の制御方法であって、前記電源供給線負荷側部分又は前記電源分岐線の一端部側部分に電源監視用分岐線を介して接続された電圧監視用入力端子における電圧監視用入力端子電圧及び前記フィードバック用端子におけるフィードバック用端子電圧について、それぞれ前記所定値を含むように予め定められた許容電圧範囲内か否かを監視し、許容電圧範囲内の場合はL信号を、許容電圧範囲外の場合はH信号を判定信号として出力する電圧監視工程と、前記フィードバック用端子電圧に関する前記判定信号及び前記電圧監視用入力端子電圧に関する前記判定信号の入力を受けるNAND回路および出力保持回路が、前記電源供給線を通した前記負荷への電源電圧の供給開始判定を行う起動判定処理工程と、前記フィードバック用端子電圧に関する前記判定信号及び前記NAND回路および出力保持回路の出力信号の入力を受ける第1AND回路が実施する第1AND回路信号処理工程と、前記電圧監視用入力端子電圧に関する前記判定信号及び前記NAND回路および出力保持回路の出力信号の入力を受ける第2AND回路が実施する第2AND回路信号処理工程と、第1、第2AND回路の出力信号に基づいて、前記出力用トランジスタの出力電圧を停止するように前記出力用トランジスタの制御を行う制御信号を出力する異常判定処理工程と、を備えたことを特徴とする。

10

【発明の効果】

【0007】

請求項1記載の発明によれば、フィードバック用端子のオープンによりフィードバック用入力端子電圧が小さくなり、許容電圧範囲を下まわると、NAND回路および出力保持回路の出力信号の入力を受ける第1AND回路及び第2AND回路を有する異常判定回路は、出力用トランジスタの出力電圧を停止するように出力用トランジスタの制御を行う(制御信号を出力する)。このため、負荷への電源電圧供給が停止され、負荷供給電圧の異常上昇が抑制される。負荷供給電圧の異常上昇の抑制を、ツェナーダイオード等からなるクランプ回路を用いずに行うことができるので、前記クランプ回路を用いた場合に起こり得る電圧ばらつきが回避され、これに伴い広範囲にわたる負荷に適用できるようになる。

20

【発明を実施するための最良の形態】

【0008】

以下、本発明の第1実施の形態を図1に基づいて説明する。

30

図1において、電源IC1(電源電圧制御装置)は、電源供給線2の途中に設けられたPMOS型の出力用トランジスタ3を制御してその出力電圧を調整するようにしている。電源供給線2の一端側には、スイッチによりバッテリーなどの電圧が供給される電圧供給電源4が接続されている。後述する電源供給線負荷側部分2A(電源電圧出力線)の一端側には、CPU及びセンサ等の外部負荷(以下、負荷 R_L という。)が接続されている。電源供給線2の出力用トランジスタ Tr_1 より下流側の部分を、以下、電源供給線負荷側部分2Aという。

【0009】

電源供給線負荷側部分2Aには、電源分岐線5の一端部が接続されている。電源分岐線5の他端部は、電源IC1に達しており、当該他端部にはフィードバック用端子VCC1が設けられている。フィードバック用端子VCC1には、出力用トランジスタ Tr_1 の出力電圧、ひいては電源供給線負荷側部分2Aにおける電圧(負荷供給電圧 V_f)が所定値(本実施の形態では5V)になるように出力用トランジスタ Tr_1 をフィードバック制御するフィードバック回路7が接続されている。

40

【0010】

電源分岐線5の一端部側部分(フィードバック用端子VCC1から離間した部分)には、電圧監視用分岐線8の一端部が接続されている。電圧監視用分岐線8の他端部は、電源IC1に達しており、当該他端部には電圧監視用入力端子VCC2が設けられている。

電圧監視用入力端子VCC2と接地部Eaとの間には、直列接続された分圧用の電圧監視用1、第2抵抗 R_{1K} 、 R_{2K} が介在されている。フィードバック用端子VCC1と接地部

50

E aとの間には、直列接続された分圧用のフィードバック用端子側第1、第2抵抗 R_1 、 R_2 が介在されている。

【0011】

電圧監視用1、第2抵抗 R_{1K} 、 R_{2K} の接続部分には、電圧監視用分圧線10の一端部が接続されている。フィードバック用端子側第1、第2抵抗 R_1 、 R_2 の接続部分には、フィードバック用オペアンプ11の非反転入力端子11bが接続されると共に、フィードバック用分圧線12の一端部が接続されている。

電源IC1には、フィードバック回路7に加えて、同等仕様の第1、第2ウィンドウコンパレータ13a、13bを有する電圧監視回路15と、NAND回路16および出力保持回路50（起動判定出力ラッチ回路）からなる起動判定回路17と、異常判定回路18

10

【0012】

第1ウィンドウコンパレータ13aは、基準電圧 V_{Ref2} を発生する基準電圧源20と接地部E aとの間に直列に介在されたコンパレータ第1、第2、第3抵抗 R_3 、 R_4 、 R_5 と、上限側、下限側オペアンプ21、22と、を備えている。基準電圧 V_{Ref2} を分圧することにより、コンパレータ第1、第2抵抗 R_3 、 R_4 の接続部の電圧が、負荷 R_L にかかる電圧〔ひいては、電圧監視用入力端子VCC2にかかる電圧（電圧監視用入力端子電圧V2）、フィードバック用端子VCC1にかかる電圧（フィードバック用端子電圧V1）〕を対象にして予め定められる正常電圧範囲（許容電圧範囲）の上限値に対応する値（分圧上限値、監視上限値 V_H ）になるようにされている。本実施の形態では、正常電圧範囲は、

20

上限値が5.5Vとされ、後述する下限値が4.5Vとされている。前記所定値（5V）は正常電圧範囲内に入るようにされている。

同様に、基準電圧 V_{Ref2} を分圧することにより、コンパレータ第2、第3抵抗 R_4 、 R_5 の接続部の電圧が、前記正常電圧範囲の下限値（前記4.5V）に対応する値（分圧下限値、監視下限値 V_L ）になるようにされている。

【0013】

コンパレータ第1、第2抵抗 R_3 、 R_4 の接続部は、上限側オペアンプ21の反転入力端子21bに接続されている。コンパレータ第2、第3抵抗 R_4 、 R_5 の接続部は、下限側オペアンプ22の非反転入力端子22aに接続されている。上限側オペアンプ21の非反転入力端子21a及び下限側オペアンプ22の反転入力端子22bは接続されており、この

30

接続部には、前記フィードバック用分圧線12の他端部が接続されている。

上限側オペアンプ21の出力端子及び下限側オペアンプ22の出力端子は、接続されており、この接続部（第1ウィンドウコンパレータ13aの出力部13as）は、起動判定回路17のNAND回路16の一方の入力端子16a及び異常判定回路18の第1AND回路24の第1入力端子24aに接続されている。

【0014】

第2ウィンドウコンパレータ13bは、コンパレータ第1、第2、第3抵抗 R_3 、 R_4 、 R_5 との接続については、第1ウィンドウコンパレータ13aの場合と同様に接続されている。

また、第2ウィンドウコンパレータ13bの上限側オペアンプ21の非反転入力端子21a及び下限側オペアンプ22の反転入力端子22bは接続され、この接続部には、前記電圧監視用分圧線10の他端部が接続されている。

40

第2ウィンドウコンパレータ13bの上限側オペアンプ21の出力端子及び下限側オペアンプ22の出力端子は、接続されており、この接続部（第2ウィンドウコンパレータ13bの出力部13bs）は、起動判定回路17のNAND回路16の他方の入力端子16b及び異常判定回路18の第2AND回路25の第1入力端子25aに接続されている。

【0015】

電圧監視回路15の第1ウィンドウコンパレータ13aは、フィードバック用分圧線12からの電圧信号の値が監視上限値 V_H ないし監視下限値 V_L で定まる監視電圧範囲（正常電圧範囲に対応する）に入っている場合はL信号を、入っていない場合はH信号を判定信

50

号として各接続部に出力する。また、第2ウィンドウコンパレータ13bは、電圧監視用分圧線10からの電圧信号の値が前記監視電圧範囲に入っている場合はL信号を、入っていない場合はH信号を判定信号として各接続部に出力する。

出力保持回路50は、電源電圧(+B)の電源投入後、フィードバック用端子VCC1の電圧又は電圧監視用入力端子VCC2の電圧のいずれか一方が正常電圧範囲内に入り、NAND回路16の出力がLレベルからHレベルになった後は、Hレベルをラッチ(保持)し続ける。+B電源を入れ直すことによってラッチは解除される。これにより、フィードバック用端子VCC1又は電圧監視用入力端子VCC2のオープンによる端子電圧低下で、一旦異常判定されると再度起動し直すことを防止できる。

【0016】

異常判定回路18は、前記第1、第2AND回路24, 25と、第1AND回路24の出力部にベースが接続されエミッタが接地された出力停止用のNPN型の第4トランジスタ T_{r4} と、第2AND回路25の出力部にベースが接続されエミッタが接地された出力停止用のNPN型の第5トランジスタ T_{r5} と、を有している。第1AND回路24の第2入力端子24b及び第2AND回路25の第2入力端子25bは、NAND回路16および出力保持回路50の出力部に接続されている。

第4、第5トランジスタ T_{r4} , T_{r5} の各コレクタは、第4、第5トランジスタ接続線27に接続されている。第4、第5トランジスタ接続線27は、第2トランジスタ T_{r2} のベースに接続されている。第4、第5トランジスタ接続線27には、定電流源28が接続されている。

【0017】

フィードバック回路7は、前記フィードバック用端子側第1、第2抵抗 R_1 , R_2 と、フィードバック用オペアンプ11と、Pチャネル型電界効果トランジスタ T_{r3} (T_{r3} は、ドレインが接地されている。)と、基準電圧源 V_{ref} とから大略構成されている。

前記フィードバック用端子側第1、第2抵抗 R_1 , R_2 を設けていることにより、フィードバック用端子電圧 V_1 の分圧により得られるフィードバック用端子分圧電圧が、フィードバック用端子側第1、第2抵抗 R_1 , R_2 の接続部ひいてはフィードバック用オペアンプ11の非反転入力端子11bに、かかるようになっていく。フィードバック用オペアンプ11の反転入力端子11aには、予め定められる前記所定値(5V)に対応したフィードバック用基準電圧 V_{ref} が加えられている。

【0018】

フィードバック用オペアンプ11の出力端子は、第3トランジスタ T_{r3} のゲートに接続されている。第3トランジスタ T_{r3} のゲートは、電源分岐線5に発振防止用の位相補償用コンデンサ C_1 を介して接続されたコンデンサ接続端子CMに接続されている。第3トランジスタ T_{r3} のソースは、第2トランジスタ T_{r2} のエミッタに接続されている。

第2トランジスタ T_{r2} のコレクタは、出力用トランジスタ T_{r1} のベースに出力用トランジスタ T_{r1} 用端子BMを介して接続されている。

そして、フィードバック用オペアンプ11は、フィードバック用端子分圧電圧がフィードバック用基準電圧 V_{ref} と同電圧となるように、ゲート制御信号を第3トランジスタ T_{r3} のゲートに供給し、第2トランジスタ T_{r2} を介して出力用トランジスタ T_{r1} を制御して、出力用トランジスタ T_{r1} の出力電圧を所定値(本実施の形態の場合、5V)に保つようにしている。

【0019】

電源供給線負荷側部分2Aには、フェールセーフ機構40が接続されている。フェールセーフ機構40は、異常検知手段42と、報知手段43と、から大略構成されている。異常検知手段42は、電源供給線負荷側部分2A(電源電圧出力線)の負荷として動作する素子(CPUやセンサ)からの信号が停止することで異常検知する。報知手段43は、異常検知手段42が異常検知した場合、これを受けて、音声や文字表示などによりオペレータに報知するようにしている。

【0020】

10

20

30

40

50

上述したように構成された電源 IC 1 の作用を以下に説明する。

電圧供給電源 4 から負荷 R_L への電源電圧供給の開始（起動）に際し、起動前の状態における電圧監視用入力端子電圧 V_2 及びフィードバック用端子電圧 V_1 は正常電圧範囲の下限值未満であることから、第 1、第 2 ウィンドウコンパレータ 13 a, 13 b は共に、判定信号として H 信号を出力する（電圧監視工程）。これにより、起動判定回路 17（NAND 回路 16）は、L 信号を出力する。NAND 回路 16 の L 信号の出力は、後述するように出力トランジスタ Tr_1 のオン作動ひいては負荷 R_L への電圧供給を可能とする、ひいては起動判定を行うものになっている（起動判定処理工程）。

このため、NAND 回路 16 から L 信号の入力を受ける第 1、第 2 AND 回路 24, 25 は、共に L 信号を出力し（第 1 AND 回路信号処理工程、第 2 AND 回路信号処理工程）、第 4、第 5 トランジスタ Tr_4, Tr_5 は共にオフ（OFF）し、このことを示す制御信号を出力する（異常判定処理工程）。これにより、第 2 トランジスタ Tr_2 は、定電流源 28 によりオン（ON）し、さらに出力用トランジスタ Tr_1 にベース電流を供給することで出力用トランジスタ Tr_1 はオンし、負荷 R_L への電源電圧供給を開始できる（起動できる）状態になる。そして、出力用トランジスタ Tr_1 を通して負荷 R_L に電源電圧が供給されることにより、負荷 R_L への電源電圧供給が開始（起動）される。

【0021】

起動が行われると、負荷供給電圧 V_f （ひいては電圧監視用入力端子電圧 V_2 及びフィードバック用端子電圧 V_1 ）は、逡増し、正常電圧範囲に入る。この状態では、第 1、第 2 ウィンドウコンパレータ 13 a, 13 b は共に、L 信号を出力する。そして、NAND 回路 16 は、H 信号を出力し、これを出力保持回路 50 にて H 信号を保持して出力する。これにより、第 1 AND 回路 24 の第 2 入力端子、第 2 AND 回路 25 の第 2 入力端子は、L 信号の入力を受ける状態になっている。

この状態において、フィードバック用端子電圧 V_1 が所定値 V_{ref} と同電圧となるように、フィードバック回路 7 が作動して、出力用トランジスタ Tr_1 を制御して負荷供給電圧 V_f を 5 V に保つようにし、負荷 R_L に 5 V の電圧が供給されるようにしている。

このように負荷供給電圧 V_f が正常電圧範囲に入っている状態では、第 1 AND 回路 24 の第 1 入力端子 24 a 及び第 2 AND 回路 25 の第 1 入力端子 25 b のうち一方が、H 信号の入力を受けることにより、当該 H 信号の入力を受けた方の AND 回路（24 又は 25）の出力が H 信号を出力し得る状態で待機することになる。

【0022】

上述したように負荷 R_L に 5 V の電圧が供給される状態で、仮に電源分岐線 5 におけるフィードバック用端子 V_{CC1} 側の部分 5 a が断線してフィードバック用端子 V_{CC1} がオープンし、フィードバック用端子 V_{CC1} の端子電圧が低下し、正常電圧範囲を下まわると、第 1 ウィンドウコンパレータ 13 a は H 信号を出力する。これに伴い、第 1 AND 回路 24 は、第 1 入力端子 24 a に H 信号の入力を受け、第 2 入力端子 24 b に上述したように H 信号の入力を受けていることから、H 信号を出力する。そして、第 4 トランジスタ Tr_4 がオンし、第 2 トランジスタ Tr_2 をオンさせていた定電流源 28 の電流が接地部 E a に流れ、第 2 トランジスタ Tr_2 がオフする。これにより、出力用トランジスタ Tr_1 は、そのベースへの電流供給が停止してオフし、負荷 R_L への電源電圧供給が停止され、負荷供給電圧 V_f の出力を停止する。

【0023】

上述したようにフィードバック用端子 V_{CC1} のオープン故障（図 1 中、点線の x 印で示す）があり、フィードバック用端子電圧 V_2 が正常電圧範囲を下まわることにより、第 1 ウィンドウコンパレータ 13 a が H 信号を出力し、これにより、負荷 R_L への負荷供給電圧 V_f の供給を迅速に停止できる。クランプ回路を IC 内蔵のツェナーダイオード及び抵抗から構成した従来技術の電源電圧制御装置では、IC の製造工程ばらつき・温度特性を考えるとクランプ電圧のばらつきが大きく、採用できる負荷 R_L が制約されることが起こり得た。これに対し、本実施の形態によれば、IC 内蔵のツェナーダイオード及び抵抗から構成されてクランプ電圧のばらつきを招き易いクランプ回路を用いずに、電圧監視用

10

20

30

40

50

入力端子電圧 V_2 が正常電圧範囲を超えたことにより、負荷 R_L への負荷供給電圧 V_f の供給を迅速に停止でき、その分、適用できる対象負荷が広くなり汎用性が高くなる。

【0024】

上記例では、電源分岐線 5 のフィードバック用端子 V_{CC1} 側の部分 5 a がオープンし電圧監視用入力端子 V_{CC2} 側が低電圧となる場合にも、上述したのと同様にして（この場合には、第 2 ウィンドウコンパレータ 13 b が H 信号を出力する。）、負荷供給電圧 V_f の異常上昇を抑制する。

【0025】

また、フィードバック用端子 V_{CC1} 及び電圧監視用入力端子 V_{CC2} が共にオープン故障した場合、そのまま、電源 $IC1$ を再起動させてしまうと、負荷供給電圧は異常上昇してしまう。これに対して、本実施の形態では、フィードバック用端子 V_{CC1} 及び電圧監視用入力端子 V_{CC2} が共にオープン故障し、異常検知手段 42 が異常検知した場合、フェールセーフ機構 40 が作動し、オペレータに、電源供給線負荷側部分 2 A の負荷として作動する素子（CPU やセンサ）からの信号が停止したことを報知する。これにより、フィードバック用端子 V_{CC1} 及び電圧監視用入力端子 V_{CC2} の両者のオープン故障に伴う負荷供給電圧の異常上昇を回避を図るようにしている。

10

【0026】

上記実施の形態では、電圧監視回路 15 は、フィードバック用端子電圧 V_1 及び電圧監視用入力端子電圧 V_2 について分圧した電圧の入力を受けるようにした場合を例にしたが、本発明はこれに限らず、図 2 に示すように、フィードバック用端子電圧 V_1 及び電圧監視用入力端子電圧 V_2 について直接に入力を受けるように構成してもよい（第 2 実施の形態）。

20

また、この第 2 実施の形態では、電圧監視用入力端子 V_{CC2} の接続線には、電圧監視用入力端子 V_{CC2} のオープン時に電圧を低下させるため、プルダウン抵抗 R_3 を接続している。図 2 の、電圧監視回路 15、起動判定回路 17 及び異常判定回路 18 は、第 1 実施の形態と同様に構成されている。

【図面の簡単な説明】

【0027】

【図 1】本発明の第 1 実施の形態に係る電源電圧制御装置を模式的に示す回路図である。

【図 2】本発明の第 2 実施の形態に係る電源電圧制御装置を模式的に示す回路図である。

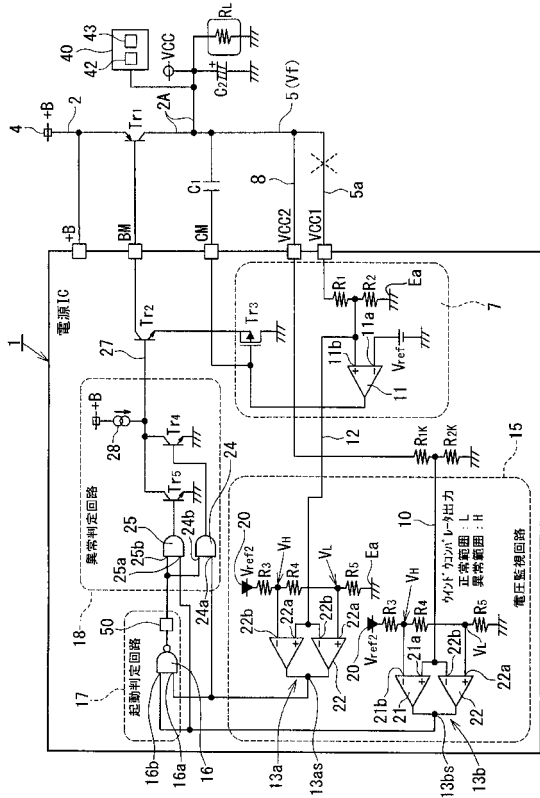
30

【符号の説明】

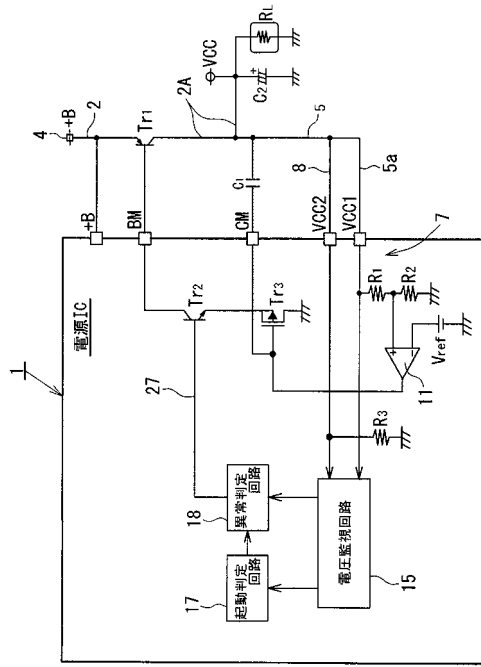
【0028】

1 ... 電源 IC 、13 a, 13 b ... 第 1、第 2 ウィンドウコンパレータ、15 ... 電圧監視回路、16 ... NAND 回路、17 ... 起動判定回路、18 ... 異常判定回路、24, 25 ... 第 1、第 2 AND 回路、50 ... 出力保持回路、 Tr_1 ... 出力用トランジスタ、 V_{CC1} ... フィードバック用端子、 V_{CC2} ... 電圧監視用入力端子。

【図1】



【図2】



フロントページの続き

(72)発明者 木下 和哉
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

審査官 櫻田 正紀

(56)参考文献 特開2000-353020(JP,A)
特開2003-150255(JP,A)
特開2003-316453(JP,A)
実開平03-063217(JP,U)
特開平04-238513(JP,A)
実開昭61-042613(JP,U)

(58)調査した分野(Int.Cl., DB名)
G05F 1/445, 1/56, 1/613, 1/618
H02J 1/00