

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3743109号  
(P3743109)

(45) 発行日 平成18年2月8日(2006.2.8)

(24) 登録日 平成17年11月25日(2005.11.25)

(51) Int.C1.

F 1

HO3M 1/66

(2006.01)

HO3M 1/66

C

請求項の数 4 (全 10 頁)

(21) 出願番号

特願平9-95847

(22) 出願日

平成9年4月14日(1997.4.14)

(65) 公開番号

特開平10-290164

(43) 公開日

平成10年10月27日(1998.10.27)

審査請求日

平成15年10月8日(2003.10.8)

(73) 特許権者 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100094053

弁理士 佐藤 隆久

(72) 発明者 小松 穎浩

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

審査官 柳下 勝幸

(56) 参考文献 特開平09-206311 (JP, A)

特開平03-186013 (JP, A)

特開平9-69823 (JP, A)

特開平8-79076 (JP, A)

最終頁に続く

(54) 【発明の名称】 ディジタル／アナログ変換回路

## (57) 【特許請求の範囲】

## 【請求項 1】

クロック信号に応じてディジタル信号をアナログ信号に変換するディジタル／アナログ変換回路であって、

上記クロック信号を所定の分周比で分周した分周クロック信号に応じて、入力したディジタル信号を保持し、さらに、上記クロック信号に応じて、保持したディジタル信号を所定の順にアナログ信号に変換する少なくとも二つの変換回路と、

上記分周クロック信号に応じて、上記所定の分周比に応じた数のディジタル信号を、並列に各変換回路に供給するデータ供給手段と

を有し、

上記各変換回路は、共通の起動信号に同期して上記クロック信号を分周する  
ディジタル／アナログ変換回路。

## 【請求項 2】

上記共通の起動信号は、リセット信号である

請求項1記載のディジタル／アナログ変換回路。

## 【請求項 3】

上記データ供給手段は、上記分周クロック信号に応じて記憶データを読み出し、上記各変換回路に出力するメモリ装置により構成されている

請求項1記載のディジタル／アナログ変換回路。

## 【請求項 4】

10

20

上記各変換回路は、並列に入力したデジタル信号を一時的に記憶し、上記分周クロック信号に応じて、一時的に記憶したデジタル信号を順に出力するマルチプレクサを有する

請求項 1 記載のデジタル / アナログ変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル信号をアナログ信号に変換するデジタル / アナログ変換回路に関するものである。

【0002】

10

【従来の技術】

図3は従来の8ビット3チャネルマルチプレクス入力デジタル / アナログ変換回路20aの構成を示す回路図である。図示のように、デジタル / アナログ変換回路20aは分周器FDV、バッファBUF、ラッチ回路LAT1, LAT2, LAT3、マルチプレクサMUX1, MUX2, MUX3およびデジタル / アナログ変換器DAC1, DAC2, DAC3により構成されている。

【0003】

分周器FDVは入力したクロック信号CLKを2分周して、分周クロック信号CLK1がバッファBUFを介してメモリ10aに出力され、メモリ10aにおけるデータ読み出しのタイミングが制御される。また、分周クロック信号CLK1は各ラッチ回路LAT1～LAT3、マルチプレクサMUX1～MUX3に入力され、これらの回路の動作タイミングが制御される。

20

デジタル / アナログ変換器DAC1～DAC3にはクロック信号CLKが入力され、これらの変換器はクロック信号CLKにより変換動作のタイミングが制御される。

【0004】

メモリ10aは、例えば、ペアをなす3組の出力端子があり、それぞれ8ビットのデータ1A, 1B, 2A, 2B, 3A, 3Bが出力される。データ1A, 1Bはラッチ回路LAT1に入力され、データ2A, 2Bがラッチ回路LAT2が入力され、データ3A, 3Bがラッチ回路LAT3に入力される。それぞれのラッチ回路によりラッチされたデータがマルチプレクサMUX1, MUX2, MUX3に入力され、各マルチプレクサによりペアに入力された二つのデータが順次デジタル / アナログ変換器に転送され、アナログ信号に変換される。

30

【0005】

図4はマルチプレクサMUXの構成を示している。図4(a)はマルチプレクサMUXの等価回路であり、図4(b)はマルチプレクサMUXの内部構成を示す回路図である。図示のように、マルチプレクサMUXはラッチ回路LAT0とスイッチSW0により構成されている。スイッチSW0は入力したクロック信号CLK1に応じてデータDAとラッチ回路LAT0の出力データDBaを相互に選択して、選択したデータをDoutとして出力する。ラッチ回路LAT0はクロック信号CLK1に応じてマルチプレクサMUXに入力されたデータDBをラッチし、ラッチしたデータDBaをスイッチSW0に出力する。

40

【0006】

図5はマルチプレクサMUXの動作を示すタイミングチャートである。クロック信号CLK1は図3に示す分周器FDVの出力信号であり、クロック信号CLKを2分周したクロック信号である。図5に示すように、クロック信号CLK1に同期してデータDA, DBがマルチプレクサMUXに入力される。ラッチ回路LAT0はクロック信号CLK1の立ち下がりエッジにおいて入力信号を保持し、保持信号をデータDBaとしてスイッチSW0に出力する。スイッチSW0は、例えば、クロック信号CLK1がハイレベルのときデータDAを出力し、クロック信号CLK1がローレベルのときデータDBaを出力する。これによって、図5に示すように、スイッチSW0の出力データDoutはマルチプレクサMUXに入力されたデータDA, DBがクロック信号CLK1の半周期ごとに相互に取り

50

入れられるデータとなる。例えば、図示のようにマルチプレクサMUXの入力データDAとして、データD0, D2, D4が表記順番に入力され、さらに入力データDBとして、データD1, D3, D5が表記順番に入力される場合、マルチプレクサMUXの出力信号D<sub>out</sub>はクロック信号CLK1の半周期ごとに変化し、D0, D1, D2, …のデータ系列となる。

#### 【0007】

図6は図3のデジタル/アナログ変換回路20aに入力されたクロック信号CLK、データ1A, 1B, 2A, 2B, 3A, 3Bおよび分周器FDVの出力信号、即ちクロック信号CLK1のタイミングを示すタイミングチャートである。

クロック信号CLK1は入力したクロック信号CLKの2分周信号である。メモリ10aは分周したクロック信号CLK1によりデータの読み出し動作が制御され、クロック信号CLK1の周期ごとに出力信号が変化する。例えば、データ1Aとして、DN, DN+2, DN+4が順次出力され、データ1Bとして、DN+1, DN+3, DN+5が順次出力されるとする。マルチプレクサMUX1により、入力データ1A, 1Bが相互に選択されて出力されるので、デジタル/アナログ変換器DAC1により、クロック信号CLKに同期してDN, DN+1, DN+2, DN+3…の順にアナログ信号に変換される。また、他の変換チャネルにおいても同様に変換動作が行われる。このようなマルチプレクス入力デジタル/アナログ変換回路により、高速な変換動作を実現できる。

#### 【0008】

【発明が解決しようとする課題】  
ところで、上述した従来のデジタル/アナログ変換回路において、複数のチャネルが内蔵している場合では、各チャネルの変換動作は同じ分周クロック信号CLK1により制御されているので、すべてのチャネルの同期が保たれている。しかし、デジタル/アナログ変換回路に1チャネルのみが内蔵している場合、複数のチャネルを同時に変換動作を行う場合に、各チャネル間の同期を保つことが困難であり、チャネル間の同期ずれが生じるという不利益がある。

#### 【0009】

図7は1チャネルのみを有するデジタル/アナログ変換回路20a、30aを用いて構成されているデジタル/アナログ変換回路の回路図である。変換回路20aと30aが同じくクロック信号CLKにより動作タイミングが制御されているが、各変換回路にそれぞれ分周器FDV1a, FDV2aが設けられているため、これらの分周器の出力クロック信号CLK1、CLK1aの位相が半周期ずれことがある。

#### 【0010】

図8はクロック信号CLKおよび分周器FDV1a, FDV2aにより得られた分周信号CLK1, CLK1aの波形図である。図示のように分周器にクロック信号CLKが入力された場合、分周器の動作タイミングのラッピングにより、分周クロック信号CLK1とCLK1aの位相がクロック信号CLKの1周期分ずれことがある。

#### 【0011】

図8に示すような位相のずれた分周信号CLK1, CLK1aにより、図7のデジタル/アナログ変換回路20aと30aの変換動作を制御する場合、変換動作のタイミングにずれが生じる。そしてメモリ読み出し用のクロック信号として、例えば、デジタル/アナログ変換回路20aから出力された分周クロック信号CLK1を採用すると、デジタル/アナログ変換回路30aにおいて、ラッピング回路LAT2およびマルチプレクサMUX2の動作を制御するクロック信号CLK1aはクロック信号CLK1との位相ずれがあり、デジタル/アナログ変換回路30aにおいて、メモリからの読み出しデータを正しい順にアナログ信号に変換することはできなくなる。

#### 【0012】

図9は図7のデジタル/アナログ変換回路におけるタイミングチャートである。図示のように、クロック信号CLKを分周器により位相の異なる二つの分周信号CLK1, CLK1aがそれぞれ生成される。クロック信号CLK1がメモリ10に入力され、これによ

10

20

30

40

50

ってメモリ10のデータ読み出し動作が制御される。ディジタル／アナログ変換回路20aにおいて、クロック信号CLK1に応じてデータ1A, 1Bがラッチ回路LAT1によりラッチされ、マルチプレクサMUX1によりラッチデータがクロック信号CLK1の半周期ごとにディジタル／アナログ変換器DAC1に出力され、アナログ信号に変換される。即ち、ディジタル／アナログ変換回路20aにおいて、データDN, DN+1, DN+2…の順にアナログ信号に変換される。

【0013】

一方、ディジタル／アナログ変換回路30aにおいては、ラッチ回路LAT2およびマルチプレクサMUX2はクロック信号CLK1aにより制御されるので、データ2A, 2Bの出力タイミングより半周期がずれてラッチ動作が行われる。このため、ラッチ回路LAT2によりラッチしたデータが所望のデータとは異なり、さらにマルチプレクサMUX2により相互に出力され、ディジタル／アナログ変換器DAC2により変換した結果、メモリ10の読み出しデータ2A, 2Bを正しい順に変換できなくなる。

【0014】

このように、複数のディジタル／アナログ変換回路を用いてシステムを構成する場合、各変換回路間の同期を保つことは困難であり、システムの構築は容易にできない問題がある。

【0015】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、複数の変換回路を使用する場合に分周したクロック信号の位相を合わせることにより各変換回路の変換動作を同期させ、システムの構築を容易に実現できるディジタル／アナログ変換回路を提供することにある。

【0016】

【課題を解決するための手段】

上記目的を達成するため、本発明はクロック信号に応じてディジタル信号をアナログ信号に変換するディジタル／アナログ変換回路であって、上記クロック信号を所定の分周比で分周した分周クロック信号に応じて、入力したディジタル信号を保持し、さらに、上記クロック信号に応じて、保持したディジタル信号を所定の順にアナログ信号に変換する少なくとも二つの変換回路と、上記分周クロック信号に応じて、上記所定の分周比に応じた数のディジタル信号を、並列に各変換回路に供給するデータ供給手段とを有し、上記各変換回路は、共通の起動信号、例えば、システムのリセット信号に同期して上記クロック信号を分周する。

【0018】

さらに、好適には、上記各変換回路は、並列に入力したディジタル信号を一時的に記憶し、上記分周クロック信号に応じて、一時的に記憶したディジタル信号を順に出力するマルチプレクサを有する。

【0019】

本発明によれば、複数の、例えば、少なくとも二つの変換回路により構成されているディジタル／アナログ変換回路において、各変換回路にある分周手段は、共通の起動信号、例えば、リセット信号により動作開始のタイミングが制御されるので、それぞれの変換回路の分周手段により生成された分周クロック信号の位相の同期が保たれ、これによって各変換回路におけるデータ保持手段とマルチプレクサの動作同期性が保証でき、複数の変換回路によりシステムの構築を容易に実現できる。

【0020】

【発明の実施の形態】

図1は本発明に係るディジタル／アナログ変換回路の一実施形態を示す回路図である。

図示のように、本実施形態は1チャネルを有するディジタル／アナログ変換回路20、30を二つ用いて、システムが構築されている。メモリ10からペアになっている二組のデータ1A, 1Bと2A, 2Bがそれぞれディジタル／アナログ変換回路20、30に入力される。ディジタル／アナログ変換回路20と30は入力データを順にアナログ信号に変

10

20

30

40

50

換してアナログ信号  $S_{out1}$ ,  $S_{out2}$  として出力する。

【0021】

図1に示すように、本実施形態のディジタル／アナログ変換回路20は分周器FDV1、バッファBUF1、ラッチ回路LAT1、マルチプレクサMUX1およびディジタル／アナログ変換器DAC1により構成されている。また、同様にディジタル／アナログ変換器30は分周器FDV2、バッファBUF2、ラッチ回路LAT2、マルチプレクサMUX2およびディジタル／アナログ変換器DAC2により構成されている。各ディジタル／アナログ変換回路は図7に示すディジタル／アナログ変換回路20a、30aと較べて、分周器FDV1, FDV2を除いて他の構成部分はほぼ同じである。

【0022】

変換回路20において、分周器FDV1からの分周クロック信号CLK1はそれぞれラッチ回路LAT1およびマルチプレクサMUX1に入力され、これらの回路は分周クロック信号CLK1により動作が制御される。

ラッチ回路LAT1はメモリ10から入力された、例えば8ビットのデータ1A, 1Bを受けて、これらの入力データを保持し、保持データをマルチプレクサMUX1に出力する。

マルチプレクサMUX1は、分周クロック信号CLK1に応じてラッチ回路LAT1から入力された二つのデータを相互に取り出して、ディジタル／アナログ変換器DAC1に出力する。マルチプレクサMUX1は、図4に示すマルチプレクサMUXと同様な構成を有し、例えば、ラッチ回路LAT0とスイッチSW0により構成されており、ラッチ回路LAT0はマルチプレクサMUX1に入力された二つのデータの内データDBを保持して、保持データをDBaとして、スイッチSW0に出力する。スイッチSW0により、マルチプレクサMUX1に入力されたデータDAとラッチ回路LAT0からの保持データDBaを順次選択して出力する。例えば、クロック信号CLK1がハイレベルのとき、データDAが選択して出力され、クロック信号CLK1がローレベルのとき、ラッチ回路LAT0の保持データDBaが選択して出力される。このように、マルチプレクサMUX1により、ラッチ回路LAT1から入力された二つのデータが順次選択して出力される。

マルチプレクサMUX1から出力されたデータはディジタル／アナログ変換器DAC1に入力される。ディジタル／アナログ変換器DAC1は外部から入力されたクロック信号CLKに応じて、入力データをアナログ信号  $S_{out1}$  に変換する。

【0023】

変換回路30は変換回路20とほぼ同様な構成を有し、メモリ10から出力された二つのデータ2A, 2Bをラッチ回路LAT2により保持し、マルチプレクサMUX2に出力する。マルチプレクサMUX2は分周クロック信号CLK1aに応じて入力された二つのデータを相互に取り出し、ディジタル／アナログ変換器DAC2に出力する。そして、ディジタル／アナログ変換器DAC2は外部から入力されたクロック信号CLKに応じてマルチプレクサMUX2からの入力データをアナログ信号  $S_{out2}$  に変換する。

【0024】

本実施形態では、リセット信号RESETが設けられ、分周器FDV1, FDV2はリセット信号RESETにより動作が制御され、これによって分周器FDV1とFDV2から出力されるクロック信号CLK1とCLK1aの同期が保たれ、システムの構築が容易になる。例えば、リセット信号RESETがハイレベルに保持されているとき、分周器FDV1, FDV2が停止状態に保持され、リセット信号RESETがハイレベルからローレベルに切り換わったとき、これに応じて分周器FDV1, FDV2はともに動作状態に切り換わる。動作時にこれらの分周器は入力されたクロック信号CLKを、例えば、2分周してそれぞれ分周クロック信号CLK1とCLK1aを生成する。リセット信号RESETにより、分周器FDV1とFDV2の同期が保たれるので、それぞれの分周器により生成された分周クロック信号CLK1とCLK1aは同期クロック信号となる。このため、分周クロック信号CLK1とCLK1aにより制御されている変換回路20と30の動作が同期しており、例えば、図1に示すようにバッファBUF1を介して出力された分周ク

10

20

30

40

50

ロック信号 C L K 1 をメモリ 1 0 に入力し、メモリ 1 0 は分周クロック信号 C L K 1 を動作クロック信号として、これに応じてデータを読み出して出力する。例えば分周クロック信号 C L K 1 に応じて 4 つの 8 ビットデータを読み出し、分周クロック信号 C L K 1 の、例えば立ち上がりエッジで読み出しデータを確定し、データ 1 A , 1 B , 2 A , 2 B としてそれぞれ変換回路 2 0 と 3 0 に出力する。

【 0 0 2 5 】

図 2 は本実施形態の動作を示すタイミングチャートである。以下、図 1 および図 2 を参照しつつ、本実施形態の動作を説明する。

リセット信号 R E S E T がハイレベルに保持されているとき、分周器 F D V 1 , F D V 2 が停止状態に保持される。そして、リセット信号 R E S E T がハイレベルからローレベル 10 に切り換わったあと、分周器 F D V 1 と F D V 2 の分周動作が同時に始まる。このため、分周器 F D V 1 から出力された分周クロック信号 C L K 1 と分周器 F D V 2 から出力された分周クロック信号 C L K 1 a の位相が常に同相である。

【 0 0 2 6 】

このため、図 1 に示すディジタル / アナログ変換回路 2 0 と 3 0 の同期保たれる。ここで、例えば分周クロック信号 C L K 1 をメモリ 1 0 に入力し、メモリ 1 0 のデータ読み出しを制御する。図 2 に示すようにクロック信号 C L K 1 の立ち上がりエッジに応じてメモリ 1 0 からデータ 1 A , 1 B , 2 A , 2 B が同時に読み出される。ディジタル / アナログ変換回路 2 0 において、クロック信号 C L K 1 によりラッチ回路 L A T 1 およびマルチプレクサ M U X 1 の動作が制御され、クロック信号 C L K 1 の半周期ごとにデータ 1 A , 1 B 20 が相互に取り込まれ、ディジタル / アナログ変換器 D A C 1 に出力される。ディジタル / アナログ変換器 D A C 1 はクロック信号 C L K 1 により制御され、マルチプレクサ M U X 1 から入力されたデータをアナログ信号 S <sub>out</sub> 1 に変換して出力する。

【 0 0 2 7 】

一方、ディジタル / アナログ変換器 3 0 において、分周クロック信号 C L K 1 a に応じてラッチ回路 L A T 2 およびマルチプレクサ M U X 2 の動作が制御される。リセット信号 R E S E T の働きにより、分周クロック信号 C L K 1 a と C L K 1 の位相が同相しているため、ディジタル / アナログ変換回路 3 0 の変換動作はディジタル / アナログ変換回路 2 0 の変換動作と同期しており、メモリ 1 0 から出力されたデータ 2 A , 2 B がラッチ回路 L A T 2 30 により保持され、さらにマルチプレクサ M U X 2 により相互に出力される。ディジタル / アナログ変換器 D A C 2 によってマルチプレクサ M U X 2 の出力信号が順次アナログ信号 S <sub>out</sub> 2 に変換して出力される。

【 0 0 2 8 】

以上説明したように、本実施形態によれば、リセット信号 R E S E T によりディジタル / アナログ変換回路 2 0 , 3 0 にある分周器 F D V 1 , F D V 2 の動作を制御し、分周クロック信号 C L K 1 と C L K 1 a の位相を同相させ、分周クロック信号 C L K 1 をメモリ 1 0 に出力し、メモリ 1 0 のデータの読み出しを制御する。ディジタル / アナログ変換回路 2 0 においてクロック信号 C L K 1 によりラッチ回路 L A T 1 とマルチプレクサ M U X 1 の動作を制御し、読み出しデータ 1 A , 1 B を相互に出力し変換器 D A C 1 によりアナログ信号 S <sub>out</sub> 1 に変換し、ディジタル / アナログ変換回路 3 0 においてクロック信号 C L K 1 a 40 によりラッチ回路 L A T 2 とマルチプレクサ M U X 2 の動作を制御し、読み出しデータ 2 A , 2 B を相互に出力し変換器 D A C 2 によりアナログ信号 S <sub>out</sub> 2 に変換するので、変換回路 2 0 と 3 0 の変換動作が同期に行われ、システムの構築を容易に実現できる。

【 0 0 2 9 】

なお、以上では分周器 F D V 1 , F D V 2 により入力したクロック信号 C L K を 2 分周してメモリ 1 0 およびラッチ回路、マルチプレクサの動作を制御するが、本発明はこれに限定するものではなく、分周比を 2 以上に設定できることはいうまでもない。ただし、各変換回路のラッチ回路に入力されるデータの数は分周器の分周比に応じて設定され、例えば、分周器の分周比が 4 の場合、各ラッチ回路には 4 つのデータが並列に入力される。また、この場合マルチプレクサは入力された 4 つのデータを順次にディジタル / アナログ変換

器 D A C に出力する。

【0030】

【発明の効果】

以上説明したように、本発明のデジタル／アナログ変換回路によれば、リセット機能を有するクロック分周回路を用いて分周クロックを生成し、各デジタル／アナログ変換回路の内部に生成された分周クロックの位相同期を保持でき、複数の変換回路によりシステムを容易に構築できる利点がある。

【図面の簡単な説明】

【図1】本発明に係るデジタル／アナログ変換回路の一実施形態を示す回路図である。

【図2】本実施形態のタイミングチャートである。

10

【図3】従来の多チャネルデジタル／アナログ変換回路の回路図である。

【図4】マルチプレクサの構成を示す回路図である。(a)はマルチプレクサ MUX の等価回路であり、(b)はマルチプレクサ MUX の内部構成を示す回路図である。

【図5】マルチプレクサの動作を示すタイミングチャートである。

【図6】多チャネルデジタル／アナログ変換回路の動作を示すタイミングチャートである。

【図7】二つの単チャネルデジタル／アナログ変換回路から構成された変換システムの回路図である。

【図8】分周回路の出力信号の不確定性を示すタイミングチャートである。

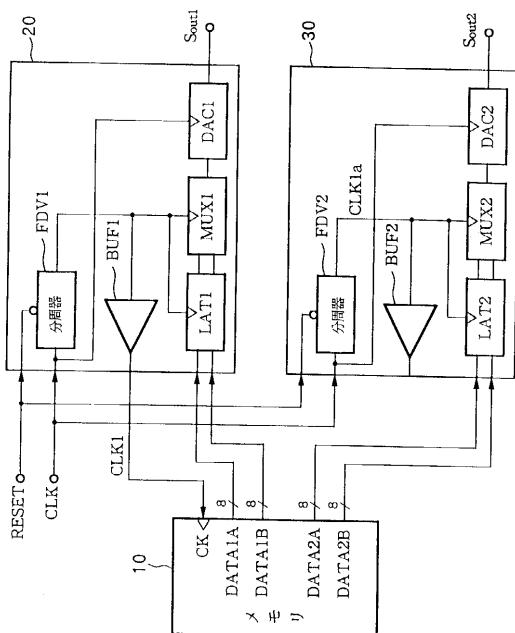
【図9】図7の変換回路の動作を示すタイミングチャートである。

20

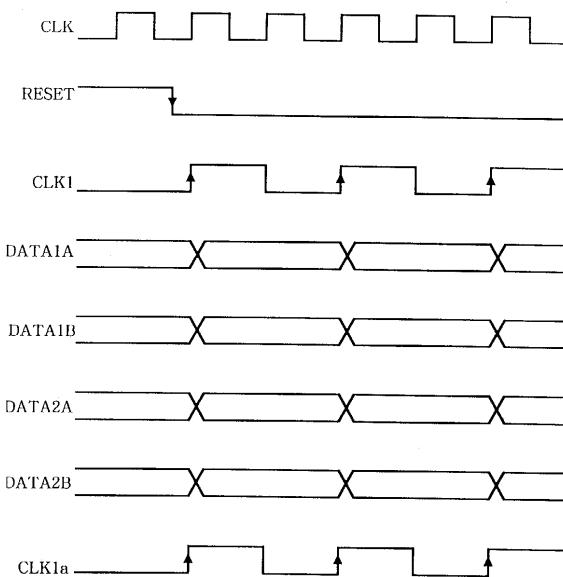
【符号の説明】

10, 10a...メモリ、20, 20a, 30, 30a...デジタル／アナログ変換回路、BUF1, BUF2...バッファ、FDV1, FDV2...分周器、LAT1, LAT2...ラッチ回路、MUX1, MUX2...マルチプレクサ、D A C 1, D A C 2...デジタル／アナログ変換器。

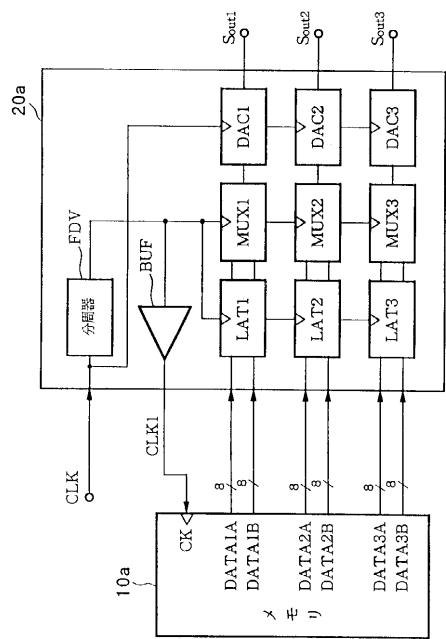
【図1】



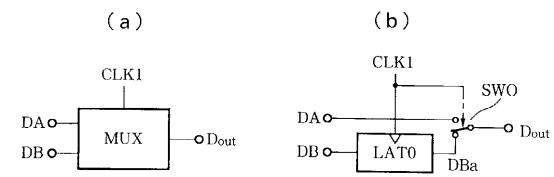
【図2】



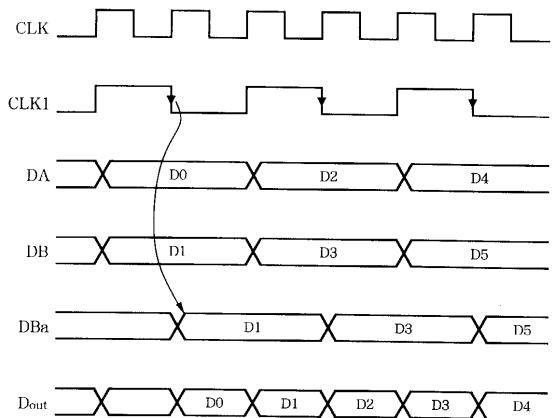
【図3】



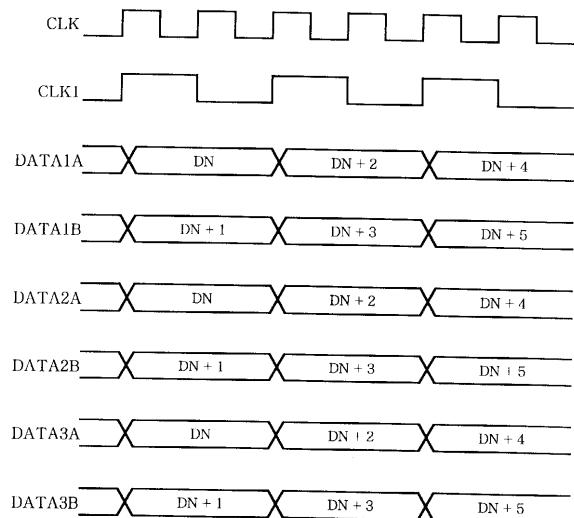
【図4】



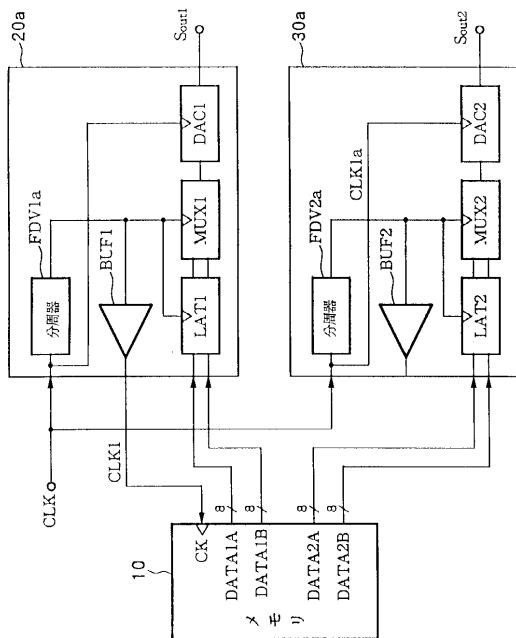
【図5】



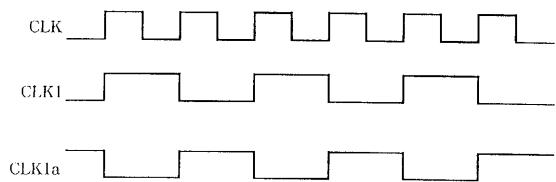
【図6】



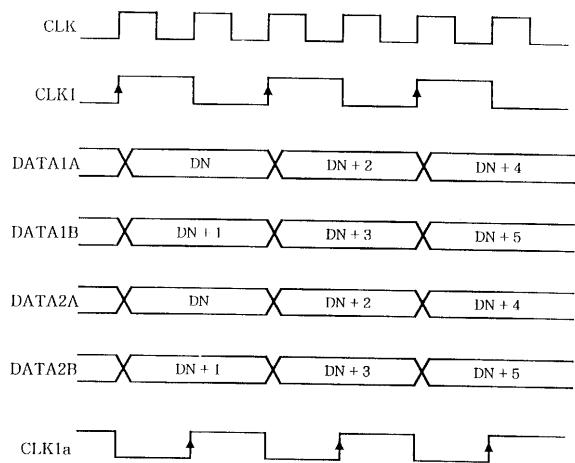
【図7】



【図8】



【図9】



---

フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H03M1/00-1/88