

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 6 月 30 日 (2016.6.30)

【公表番号】特表 2015-529006 (P2015-529006A)

【公表日】平成 27 年 10 月 1 日 (2015.10.1)

【年通号数】公開・登録公報 2015-061

【出願番号】特願 2015-519381 (P2015-519381)

【国際特許分類】

H 0 1 L 21/329 (2006.01)

H 0 1 L 29/88 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/06 (2006.01)

H 0 1 L 29/66 (2006.01)

B 8 2 Y 30/00 (2011.01)

B 8 2 Y 20/00 (2011.01)

H 0 1 L 31/068 (2012.01)

【 F I 】

H 0 1 L 29/88 S

H 0 1 L 29/78 6 2 2

H 0 1 L 29/78 3 0 1 B

H 0 1 L 29/78 3 0 1 J

H 0 1 L 29/88 F

H 0 1 L 29/06 6 0 1 N

H 0 1 L 29/66 T

H 0 1 L 29/06 6 0 1 W

B 8 2 Y 30/00

B 8 2 Y 20/00

H 0 1 L 31/06 3 0 0

【手続補正書】

【提出日】平成 28 年 5 月 10 日 (2016.5.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

径方向ナノワイヤエサキダイオードを備えるデバイスであって、前記径方向ナノワイヤが第 1 の導電型の半導体コア、および前記第 1 の導電型と異なる第 2 の導電型の半導体シェルを備える、デバイス。

【請求項 2】

ゲート制御された径方向ナノワイヤエサキダイオードを備える、請求項 1 に記載のデバイス。

【請求項 3】

トンネリング電界効果トランジスタ (TFET) を備え、さらに、前記シェルのまわりに位置するゲート絶縁層、および前記ゲート絶縁層に隣接して位置するゲート電極を備え

る、請求項 2 に記載のデバイス。

【請求項 4】

前記コアと前記シェル間のトンネル電流の方向が前記ナノワイヤを支持する基板の主表面と実質的に平行であり、

前記コアと前記シェル間のトンネル電流の方向が前記ナノワイヤおよび前記ゲート絶縁層に面する前記ゲート電極の表面と実質的に垂直であり、

前記コアと前記シェル間のトンネル電流の方向がゲート電界の方向と実質的に平行である、請求項 3 に記載のデバイス。

【請求項 5】

前記ナノワイヤコアが、第 1 のドーピング濃度を有する前記第 1 の導電型の下方の半導体部分、および前記下方部分上に位置する上方部分を備え、

前記上方部分が、電氣的絶縁材料、または前記下方部分の前記第 1 のドーピング濃度よりも低く、前記シェルのドーピング濃度よりも低い第 2 のドーピング濃度を有する半導体材料を含み、

前記コアの前記下方部分が前記第 1 の導電型の半導体ソース領域と電氣的に接触し、前記シェルが前記第 2 の導電型のドレイン領域と電氣的に接触し、

前記シェルが前記コアの前記上方部分に隣接して位置し、p n 接合を形成するように前記コアの前記下方部分と少なくとも部分的にオーバーラップし、

前記ゲート電極が前記 p n 接合と少なくとも部分的にオーバーラップする、請求項 4 に記載のデバイス。

【請求項 6】

前記シェルが前記ゲート絶縁層と前記コア間に量子井戸を形成するのに十分に薄く、

前記コアおよび前記シェルの少なくとも 1 つが前記デバイス中の電荷キャリアのエネルギーを増加させるのに十分に薄い、請求項 4 に記載のデバイス。

【請求項 7】

前記コアと前記 T F E T のソース領域およびドレイン領域の少なくとも 1 つとの間に位置するバリア領域をさらに備え、

前記バリア領域の材料が前記半導体コアの材料および前記半導体シェルの材料の両方よりも高いバンドギャップを有し、

前記バリア領域が漏れ電流を抑えるために伝導帯端および価電子帯エッジの両方で十分に高いバンドオフセットを有するプラグ形の領域を備え、

前記バリア領域が、電氣的絶縁材料、あるいは 10^{16} cm^{-3} 以下のドーピング濃度を有する軽くドーブされた、真性の、または半絶縁性半導体材料を備える、請求項 4 に記載のデバイス。

【請求項 8】

太陽電池を備える、請求項 1 に記載のデバイス。

【請求項 9】

前記太陽電池が前記径方向ナノワイヤエサキダイオードに加えて平面状太陽電池を含むマルチ接合太陽電池を備え、

前記ダイオードが前記平面状太陽電池の上面に直立しており、

前記平面状太陽電池がシリコン p n 接合を備え、前記エサキダイオードが I I I - V 半導体 p n 接合を備える、請求項 8 に記載のデバイス。

【請求項 10】

径方向半導体ナノワイヤを備えるゲート制御されたエサキダイオードを動作させる方法であって、前記径方向半導体ナノワイヤの反対にドーブされたコアとシェル間のトンネル電流が、ゲート電極によって前記径方向半導体ナノワイヤに提供される電界と実質的に平行に流れる、方法。

【請求項 11】

前記シェルのまわりに位置するゲート絶縁層、および前記ゲート絶縁層に隣接して位置する前記ゲート電極をさらに備え、

前記コアが第 1 の導電型の半導体コアを備え、前記シェルが前記第 1 の導電型と異なる第 2 の導電型の半導体シェルを備える、請求項 1 0 に記載の方法。

【請求項 1 2】

前記コアと前記シェル間の前記トンネル電流が前記ナノワイヤを支持する基板の主表面と実質的に平行に流れる、請求項 1 1 に記載の方法。

【請求項 1 3】

前記コアと前記シェル間の前記トンネル電流が前記ナノワイヤおよび前記ゲート絶縁層に面する前記ゲート電極の表面と実質的に垂直に流れる、請求項 1 1 に記載の方法。

【請求項 1 4】

前記コアと前記シェル間の前記トンネル電流が前記ナノワイヤを支持する前記基板の主表面と実質的に平行に流れ、前記コアと前記シェル間の前記トンネル電流が前記ナノワイヤおよび前記ゲート絶縁層に面する前記ゲート電極の表面と実質的に垂直に流れる、請求項 1 1 に記載の方法。

【請求項 1 5】

前記ゲート制御されたエサキダイオードが T F E T を備え、

前記ナノワイヤコアが、第 1 のドーピング濃度を有する前記第 1 の導電型の下方の半導体部分および前記下方部分上に位置する上方部分を備え、

前記上方部分が、電氣的絶縁材料、または下方部分の前記第 1 のドーピング濃度よりも低く、前記シェルのドーピング濃度よりも低い第 2 のドーピング濃度を有する半導体材料を含み、

前記コアの前記下方部分が、前記第 1 の導電型の半導体ソース領域と電氣的に接触し、前記シェルが前記第 2 の導電型のドレイン領域と電氣的に接触し、

前記シェルが前記コアの前記上方部分に隣接して位置し、p n 接合を形成するように前記コアの前記下方部分と少なくとも部分的にオーバーラップし

前記ゲート電極が前記 p n 接合と少なくとも部分的にオーバーラップし、

前記コアの前記上方部分が、印加されたソースドレイン間電界と平行なトンネルキャリアの大きな横方向の生成を阻止し、

前記ゲート電極が、ソースドレイン間およびゲート電界を含む前記 p n 接合を横切る全電界が、前記 p n 接合と本質的に垂直となるように、前記 p n 接合に垂直な電界を提供し

、

フェルミ準位が前記 p n 接合の両面で実質的に一定であり、

前記 p n 接合を横切るフェルミ準位の実質的に階段状に誘起される変化が、 $60\text{ mV} / d e c$ 未満のサブスレッショルドスイングを提供するサブサーマルなトンネルキャリアの生成を提供する、請求項 1 1 に記載の方法。