



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I452576 B

(45)公告日：中華民國 103 (2014) 年 09 月 11 日

(21)申請案號：100103403

(22)申請日：中華民國 100 (2011) 年 01 月 28 日

(51)Int. Cl. : G11C7/22 (2006.01)

(30)優先權：2010/02/09 美國 12/702,767

(71)申請人：摩西斯股份有限公司 (美國) MOSYS, INC. (US)
美國

(72)發明人：斯克達 迪帕克 K SIKDAR, DIPAK K (US)

(74)代理人：劉育志

(56)參考文獻：

TW	200401191	TW	200638435
TW	200816197	EP	00660329
EP	01202281	US	6564287B1
US	2007/0133312A1	US	2007/0198782A1

審查人員：蔡夙勇

申請專利範圍項數：21 項 圖式數：7 共 0 頁

(54)名稱

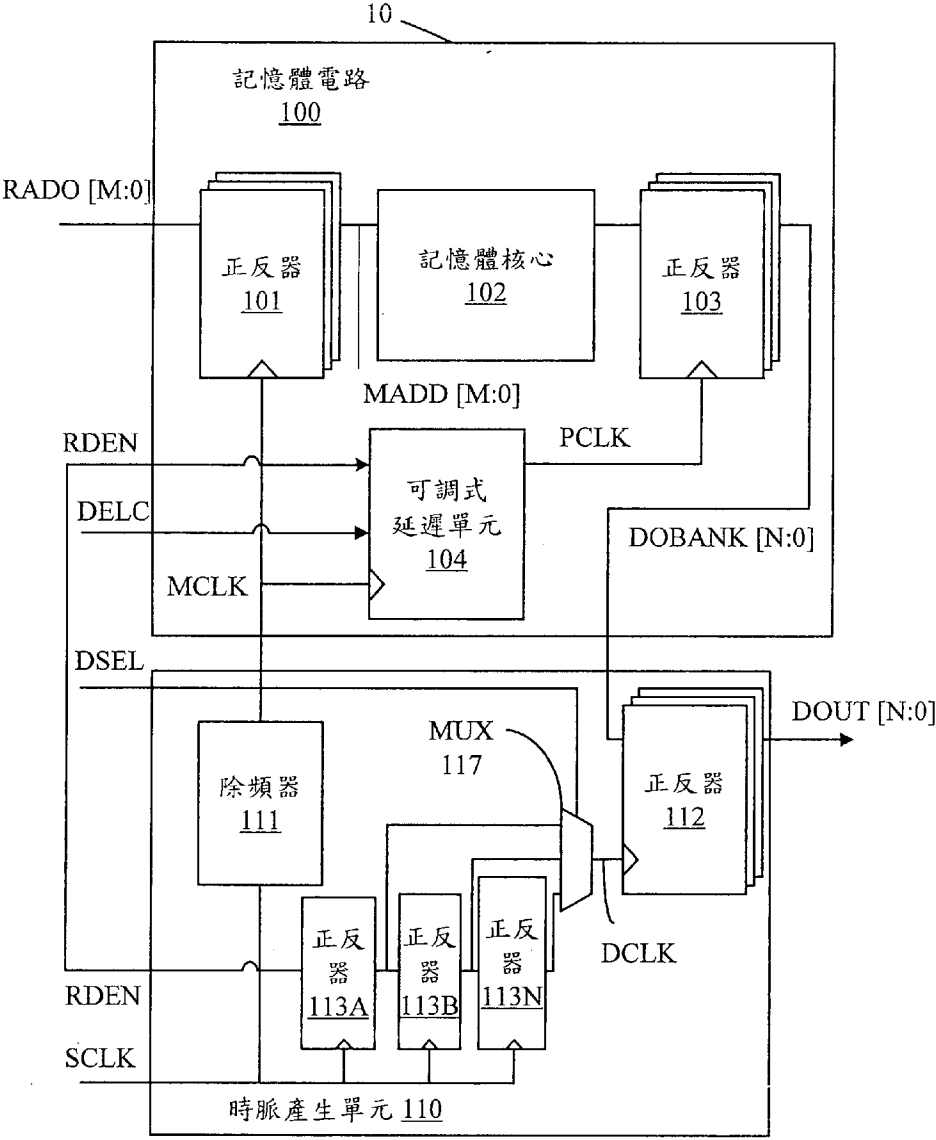
包括具固定資料輸出等待時間之記憶體塊的記憶體裝置

MEMORY DEVICE INCLUDING A MEMORY BLOCK HAVING A FIXED LATENCY DATA
OUTPUT

(57)摘要

一種記憶體塊，包括記憶體電路以及時脈產生單元。記憶體電路回應於具選擇性延遲之時脈訊號的時脈控制而從記憶體核心輸出讀取資料，延遲係取決於記憶體塊接收讀取指令後，記憶體核心輸出讀取資料所費時間而定。時脈產生單元可構成以回應於藉選定版資料時脈訊號作的時脈控制，以使時脈產生單元從記憶體電路抓取讀取資料並使讀取資料作為記憶體塊輸出。資料時脈訊號可從系統時脈之複數個時脈邊緣之一所產生的複數個時脈邊緣之一所選出，以使無論系統時脈之操作頻率為何，係在記憶體塊接收讀取指令一預定時間後提供讀取資料作為記憶體塊輸出。

A memory block includes a memory circuit and a clock generation unit. The memory circuit may output read data in response to being clocked by a clock signal having a selectable delay that may be dependent upon a time taken for the read data to be output by a memory core after the read command is received at the memory block. The clock generation unit may cause the read data to be provided as an output of the memory block in response to being clocked by a selected data clock signal. The data clock signal maybe selected from one of several clock edges generated by one of several clock edges of a system clock such that regardless of the frequency of the system clock, the read data is provided by the memory block a predetermined amount of time after the read command is received at the memory block.



- 10 . . . 記憶體塊
- 100 . . . 記憶體電路
- 101、103、112、113A、113B、113N . . . 正反器
- 102 . . . 記憶體核心
- 104 . . . 可調式延遲單元
- 110 . . . 時脈產生單元
- 111 . . . 除頻器
- 117 . . . 多工器

第 1 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100103403

※申請日： 100. 1. 28

※IPC 分類： G11C 7/22 (2006.01)

一、發明名稱：(中文/英文)

包括具固定資料輸出等待時間之記憶體塊的記憶體裝置
/MEMORY DEVICE INCLUDING A MEMORY BLOCK
HAVING A FIXED LATENCY DATA OUTPUT

二、中文發明摘要：

一種記憶體塊，包括記憶體電路以及時脈產生單元。記憶體電路回應於具選擇性延遲之時脈訊號之時脈控制而從記憶體核心輸出讀取資料，延遲係取決記憶體塊接收讀取指令後，記憶體核心輸出讀取資料所費時間而定。時脈產生單元可構成以回應於藉選定版資料時脈訊號作的時脈控制，以使時脈產生單元從記憶體電路抓取讀取資料並使讀取資料作為記憶體塊輸出。資料時脈訊號可從系統時脈之複數個時脈邊緣之一所產生的複數個時脈邊緣之一所選出，以使無論系統時脈之操作頻率為何，係在記憶體塊接收讀取指令一預定時間後提供讀取資料作為記憶體塊輸出。

三、英文發明摘要：

A memory block includes a memory circuit and a clock generation unit. The memory circuit may output read data in response to being clocked by a clock signal having a selectable delay that may be dependent upon a time taken for the read data to be output by a memory core after the read command is received at the memory block. The clock generation unit may cause the read data to be provided as an output of the memory block in response to being clocked by a selected data clock signal. The data clock signal maybe selected from one of several clock edges generated by one of several clock edges of a system clock such that regardless of the frequency of the system clock, the read data is provided by the memory block a predetermined amount of time after the read command is received at the memory block.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10	記憶體塊
100	記憶體電路
101、103、112、113A、113B、113N	正反器
102	記憶體核心
104	可調式延遲單元
110	時脈產生單元
111	除頻器
117	多工器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種記憶體系統，特別是有關一種管線式記憶體電路(pipelined memory circuits)。

【先前技術】

多數電腦系統必須使用某些類型的隨機存取記憶體(Random Access Memory, RAM)。基於成本考量，常會在揮發性記憶體(volatile memory)之應用中使用屬於動態隨機存取記憶體(Dynamic RAM, DRAM)家族之記憶體裝置。與其他記憶體一樣，當 DRAM 接收一讀取指令時，其輸出資料需要經過一段時間，這段時間通常被稱為讀取等待時間(read latency)或存取時間(access time)。目前有一種動態隨機存取記憶體，即大家熟知之同步動態隨機存取記憶體(synchronous DRAM)，係使用管線式架構(pipelined architecture)實施，來些許縮短讀取等待時間，於該管線式架構中，讀取延遲延續(stretch)在多個週期中，但新指令則是每一個週期發出。藉由這種技術可以增加記憶體裝置之有效資料輸出頻寬(effective data output bandwidth)，即可以減少讀取週期時間(read cycle time)。當使用管線式架構時，片段的讀取週期時間(phrase read cycle time)一般用來表示為連續的讀取輸出資料輸出週期之間的時間或期間。

許多習知管線式架構之記憶體裝置在讀取位址路徑(read address path)及資料輸出時脈路徑(data output clock path)中使用循序邏輯時脈受控儲存裝置(sequential logic clocked storage device)，例如閘鎖器(latch)、正反器(flip-flop)等等。該等循序

邏輯時脈受控儲存裝置可以由系統時脈或系統時脈衍生的訊號來作時脈控制。因此，已知系統時脈之頻率，記憶體裝置具有對應該頻率之週期。然而，一旦系統時脈之頻率改變，週期也會改變。這種隨著頻率改變而有不同週期的情況會造成無法維持固定讀取延遲的問題。

【發明內容】

本發明之一目的在於提供一種具固定讀取資料輸出等待時間之記憶體塊的記憶體裝置之各種實施例。於一實施例中，該記憶體塊包括一記憶體電路及一輸出時脈單元。該記憶體電路包括一記憶體核心，該記憶體核心係構成以回應於接收一讀取指令以輸出讀取資料。該記憶體電路係進一步構成以回應於具有選擇性延遲之時脈訊號的時脈控制而從該記憶體核心輸出該讀取資料。該延遲係取決於該記憶體塊接收到該讀取指令之後，該記憶體核心輸出該讀取資料所費的時間而定。該輸出時脈單元可以構成以回應於藉由一選定版資料時脈訊號作的時脈控制，以使該輸出時脈單元從該記憶體電路抓取該讀取資料並使得該讀取資料作為該記憶體塊之一輸出。該選定版資料時脈訊號係從一系統時脈之複數個時脈邊緣之一所產生的複數個時脈邊緣之一所選出，以使無論該系統時脈之操作頻率為何，係在該記憶體塊接收該讀取指令一預定時間之後提供該讀取資料作為該記憶體塊的輸出。

【實施方式】

以下結合附圖對本發明的實施例進行詳細說明。然而應當瞭解圖示及實施方式並非使申請專利範圍限制於揭露的特定

實施例，即使對於特定技術特徵僅揭露一個實施例也並非限制於該實施例。相反地，應當涵蓋本發明所屬技術領域中具有通常知識者能根據揭露內容所作的改變、等效及替換。除非特別描述，否則實施例僅為舉例而非限制。

說明書中“可以”之描述表示為許可(即有可能)之意，而非強制(即必須)之意。類似的道理，“包括”之描述並非限制之意。

各單元、電路或其他元件可以描述為“構成”或“用以”執行工作。於上下文中，“構成”或“用以”為最寬廣之描述，通常指具有電路系統在操作中執行工作，即使單元/電路/元件並未說明於工作狀態也可以執行工作。一般來說，電路系統包括硬體電路。類似的道理，為了方便說明，各單元、電路或其他元件也可以直接描述執行工作而省略“構成”或“用以”的描述。

請參閱第 1 圖，係繪示根據本發明一實施例之一記憶體塊(memory block)10 方塊圖。該記憶體塊 10 包括一記憶體電路 100 耦接至一時脈產生單元 110。該記憶體電路 100 包括一正反器(flip-flop, FF)101 耦接至一記憶體核心 102 之一輸入。該記憶體核心 102 之一輸出耦接至一正反器 103。如圖所示，該正反器 101 之該輸入耦接以接收一讀取及位址輸入指令 RADD[M:0](以下稱為 RADD [M:0]訊號)，且係由一記憶體時脈訊號 MCLK(以下稱為 MCLK 訊號)時脈控制。該記憶體電路 100 進一步包括一可調式延遲單元 104 耦接以接收一讀取致能訊號 RDEN(以下稱為 RDEN 訊號)。該可調式延遲單元 104 同樣由 MCLK 訊號時脈控制並產生一對該正反器 103 時脈控制之管線式時脈訊號 PCLK(以下稱為 PCLK 訊號)。要注意的是，RADD [M:0]訊號對應至一包括 M+1 個訊號路徑之多訊號路徑。因此，該正反器 101 可以表示為多正反器的實施架構，其中每一個訊

號路徑對應至一個正反器 101。

於本實施例中，該時脈產生單元 110 包括一除頻器 111 耦接以接收一系統時脈訊號 SCLK(以下稱 SCLK 訊號)，並提供該 MCLK 訊號給該記憶體電路 100(於一實施例中，該 MCLK 訊號之頻率可以為小於該 SCLK 訊號一倍之頻率)。該時脈產生單元 110 還包括串接之正反器，例如 FF113A、FF113B、FF113N，各正反器分別由 SCLK 訊號時脈控制。該串接之正反器之輸入係耦接以接收該 RDEN 訊號。該串接正反器之各輸出耦接至多工器(multiplexer, mux)117 之各輸入。該多工器 117 之選擇輸入耦接至一可以為多位元的 DSEL 訊號。該多工器 117 之輸出耦接至該正反器 112 之時脈輸入。該正反器 112 之輸入耦接以接收該正反器 103 之輸出，其中該正反器 103 之輸出以 DOBANK [N:0]訊號表示。上述訊號在 SCLK 訊號不同頻率時之時序圖如第 2A 圖至第 2D 圖所示，並進一步說明如下。要注意的是，雖然第 1 圖中串接之正反器僅以三個正反器裝置 FF113A、FF113B、FF113N 為例，惟應瞭解串接之正反器之數量可以為 n 個，其中 n 為正整數。此外還需注意的是，與多訊號路徑之 RADD [M:0]訊號類似，DOBANK [N:0]訊號及 DOUT [N:0]訊號分別代表包括 $N+1$ 個資料路徑之多位元資料路徑。

於一實施例中，該記憶體電路 100 經由輸入至該正反器 101 之 RADD [M:0]訊號接收讀取位址及讀取指令。當 MCLK 訊號對該正反器 101 時脈控制時，該正反器 101 抓取(catch，即暫時儲存)RADD [M:0]訊號並提供 MADD [M:0]訊號給該記憶體核心 102，使得讀取操作經由該記憶體核心 102 開始進行。一段時間之後，讀取資料會出現於該記憶體核心 102 之輸出並作為該正反器 103 之輸入。部份額外的讀取操作能同時在該記憶體

核心 102 中同步進行(例如每一個 MCLK 訊號之週期進行一額外的讀取操作),使得該記憶體核心 102 可以提供讀取資料給該正反器 103(例如在 MCLK 訊號頻率時)。因此,PCLK 訊號必須在適當的時間對該正反器 103 時脈控制,該正反器 103 才能從該記憶體核心 100 抓取每一讀取資料。當 PCLK 訊號對該正反器 103 時脈控制時,讀取資料出現在該正反器 103 之輸出以作為 DOBANK [N:0]訊號。

然而,讀取週期會因為各種因素而改變。舉例來說,記憶體時序會因為製程變化、操作電壓及溫度變化而改變。為了容納(accommodate)可能改變的讀取資料輸出視窗(read data output window),該可調式延遲單元係構成以調整 PCLK 訊號之相位以便能正確地對該正反器 103 時脈控制,讓該正反器 103 能從該記憶體核心 102 抓取讀取資料。於一實施例中,該記憶體核心 102 可以為具任何數量之記憶單元(memory cell)之記憶體陣列(memory array),或是可以在各種製造階段,例如於第一矽測試(first silicon testing)階段,被特性化為在製程、電壓及溫度邊界(process, voltage and temperature corners)下具有最佳讀取週期時序(optimum read cycle timing)。於一實施例中,該可調式單元 104 可以包含複數個由 DELC 訊號選擇之選擇性延遲階段。DELC 訊號可以為記憶體控制器(如第 4 圖所示)所提供之多位元訊號,或是例如由系統主板(system board)上之硬體連線訊號(hardwired signals)或跳線元件(jumpers)所提供。於另一實施例中,對應至 DELC 訊號之延遲訊號可以被提供至該記憶體控制器,然後再由該記憶體控制器提供 DELC 訊號給該可調式延遲單元 104。於部分實施例中,當 DELC 訊號由該記憶體控制器提供時,可以在操作過程中動態地改變 DELC 訊號之

值。舉例來說，於一實施例中，內建自我測試程序(built-in self-test routine)可以指示時序不精確，該記憶體控制器可以改變 DELC 訊號來修正 PCLK 訊號的時序直到內建自我測試程序通過。

如果 SCLK 訊號之頻率改變，雖然可如第 2A 圖至第 2D 圖所示調整 PCLK 訊號來應付記憶體核心讀取資料輸出時序的改變，但是讀取資料輸出(即 DOBANK [N:0] 訊號)也會因為 MCLK 訊號及 PCLK 訊號隨著 SCLK 改變而改變。為致力提供讀取延遲跨越系統時脈頻率變化的固定讀取等待時間(latency)，係使用額外補償。

更明確而言，如第 1 圖所示，DOBANK [N:0] 訊號係提供至該正反器 112。該正反器 112 由 DCLK 訊號時脈控制以提供資料輸出(DOUT [N:0] 訊號)。DCLK 訊號係由該多工器 117 選擇包括正反器 113A-113N 之串接之正反器之一輸出而產生。DCLK 訊號的各版(version)係由 SCLK 訊號對各正反器 113A、113B、113N 時脈控制並以 RDEN 訊號作為串接之正反器之起始而產生。如第 2A 圖至第 2D 圖所示，隨著 SCLK 訊號之期間增加，可以藉由選擇 DCLK 訊號之適當版來對該正反器 112 時脈控制，使得該正反器 112 於該記憶體塊 10 接收 RADD [M:0] 訊號一預定時間之後正確地抓取 DOBANK [N:0] 訊號並輸出 DOUT [N:0] 訊號。藉此，無論 SCLK 之頻率為何，可使 DOUT [N:0] 訊號具有固定的讀取資料輸出延遲。

與 DELC 訊號類似，多工選擇訊號即 DSEL 訊號也可以是記憶體控制器(如第 4 圖所示)所提供之多位元訊號。於一實施例中，對於一特定頻率可以選擇該串接之正反器之一特定的個別輸出。如下結合第 4 圖之詳述，該記憶體控制器可以使用一

查找表(look-up table)、一組態暫存器(configuration register)或其他適合的組態機制(configuration mechanism)去選擇以 SCLK 訊號之頻率為基礎的 DCLK 訊號。

要注意的是，雖然上述實施例中名為正反器，應當瞭解凡是以時脈控制之任何形式之儲存裝置都可以使用，例如暫存器(register)、閃鎖器(latch)等等。

第 2A 圖至第 2D 圖係繪示第 1 圖之記憶體塊 10 之時序圖之各種實施例。更明確而言，各時序圖係圖示 SCLK 訊號操作在不同頻率時，使該記憶體塊 10 具有固定讀取資料輸出等待時間之 SCLK 訊號(即系統時脈)及 DCLK 訊號(用以調整延遲及輸出)之不同時序組合。

請參閱第 2A 圖，係描述第 1 圖之記憶體塊 100 之時序圖之一實施例。該時序圖圖示數個訊號，時間從左至右開始。更明確而言，圖中最上方之系統時脈(SCLK 訊號)為第一個訊號，然後依序為讀取指令/位址訊號(RADD [M:0] 訊號)、記憶體時脈訊號(MCLK 訊號)、管線式時脈訊號(PCLK 訊號)、該正反器 103 之讀取資料輸出(DOBANK [N:0] 訊號)、讀取致能訊號(RDEN 訊號)、資料時脈(DCLK 訊號)及資料輸出訊號(DOUT [N:0] 訊號)。

如圖所示，SCLK 訊號之週期為 1ns(nano-second)，即頻率為 1GHz(giga-hertz)，1ns.週期係對應至例如實施 10G 串列化器及解串列化器(10Gbps (giga-bit per second) SerDes)時所使用之系統時脈。如第 1 圖所示，SCLK 訊號起始之上升邊緣(leading edge)產生 MCLK 訊號(如箭頭所示)。此外，MCLK 訊號之頻率係由 SCLK 訊號之頻率除以四而產生。RADD [M:0] 訊號於 SCLK 訊號之第一週期內及每隔四個週期(即每隔

250MHz(mega-hertz))為有效(active)。因此，MCLK 訊號之上升邊緣(rising edge)使得該正反器 101 抓取 RADD [M:0]訊號並提供 MADD [M:0]訊號給該記憶體核心 102 之輸入。如上所述，該可調式延遲單元 104 從 MCLK 訊號產生 PCLK 訊號(如箭頭所示)。因此如第 2A 圖所示，PCLK 訊號係經過適當的延遲而產生，以從該記憶體核心 102 抓取讀取資料輸出並提供讀取資料作為輸出的 DOBANK [N:0] 訊號。如圖所示，PCLK 訊號之第一上升邊緣發生在 6ns 左右，代表本實施例之記憶體核心等待時間或記憶體核心存取時間為 6ns 左右。

此外，如上所述，DOBANK [N:0]訊號係提供至由 DCLK 訊號時脈控制之正反器 112 之輸入。DCLK 訊號係從數個版中選擇，各版係由 SCLK 訊號不同的上升邊緣觸發(triggered)。於第 2A 圖中，DCLK 訊號大致與第八個 SCLK 訊號的邊緣對齊。因此，RADD [M:0]訊號被輸入至該記憶體塊 10 之後 8ns 左右，DOUT [N:0]訊號為可使用的。因此對於 250MHz 之記憶體讀取週期及 6ns 左右之記憶體核心讀取等待時間而言，記憶體塊等待時間約為 8ns。

請參閱第 2B 圖，係繪示第 1 圖之該記憶體塊 10 之時序圖之另一實施例。第 2B 圖之時序圖與第 2A 圖之時序圖類似。不過如第 2B 圖所示，SCLK 訊號之週期為 2ns，即其操作頻率為 500MHz，2ns 週期係對應至例如實施 5G SerDes 時所使用之系統時脈。

如圖所示，MCLK 訊號與 SCLK 訊號之頻率比為 1:4，因此記憶體讀取週期為 125MHz。故若 RADD [M:0]訊號在 MCLK 訊號之第一上升邊緣被抓取及輸入至該記憶體核心 102，約 6ns 之後由 PCLK 訊號抓取該正反器 103 中所提供而由該記憶體核

心 102 輸出的 DOBANK [N:0] 訊號。

當 DOBANK [N:0] 訊號可使用時，選擇 DCLK 訊號之第一邊緣來抓取 DOBANK [N:0] 訊號。如第 2B 圖所示，選擇 DCLK 訊號之一版以使 RADD [M:0] 訊號輸入至該記憶體塊 10 之後 8ns 左右出現 DOUT [N:0] 訊號，約與第 2A 圖之時序相同。然而如第 2B 圖所示，只使用四個 SCLK 訊號邊緣而非八個訊號邊緣產生 DCLK 訊號來獲得 8ns 之讀取資料輸出等待時間。

請參閱第 2C 圖，係繪示第 1 圖之該記憶體塊 10 之時序圖之又一實施例。第 2C 圖之時序圖與第 2A 圖之時序圖類似。具體而言，選擇 DCLK 訊號之一版以使 RADD [M:0] 訊號輸入至該記憶體塊 10 之後 8ns 左右出現 DOUT [N:0] 訊號(八個 SCLK 訊號之週期)，約與第 2A 圖及第 2B 圖之時序相同。

然而，如第 2C 圖之箭頭所示，PCLK 訊號之第一上升邊緣發生在 MCLK 訊號之第二週期並由 MCLK 訊號之第二上升邊緣所產生，但是於第 2A 圖中，PCLK 訊號之第一上升邊緣由 MCLK 訊號之第一上升邊緣所產生。於第 2B 圖中，PCLK 訊號之第一上升邊緣發生在 MCLK 訊號之第一週期中並由 MCLK 訊號之第一上升邊緣所產生。因此，該可調式延遲單元 104 可以構成以使用 MCLK 訊號超過一個以上的邊緣而在相當寬的視窗(window)中調整 PCLK 訊號的延遲，以符合記憶體核心等待時間的寬廣變化。

請參閱第 2D 圖，係繪示第 1 圖之該記憶體塊 10 之時序圖之又一實施例。第 2D 圖之時序圖與第 2C 圖之時序圖類似。然而，第 2D 圖中 SCLK 訊號之週期為 1.67ns，即其操作頻率為 600MHz，1.67ns 週期係對應至例如實施 6G SerDes 時所使用之系統時脈。

如圖所示，MCLK 訊號與 SCLK 訊號之頻率比也是 1:4，因此記憶體讀取週期約為 150MHz。然而使用該圖之時序時，MCLK 訊號之週期(6.7ns)大於該記憶體核心 102 所具有之約 6ns 的等待時間。因此 MCLK 訊號至 PCLK 訊號的延遲需很小或最小，否則資料會在該正反器 103 之輸入而未被使用。因此於第 2D 圖中，約 7.5ns 時 PCLK 訊號抓取該正反器 103 中所提供而從該記憶體核心 102 輸出之 DOBANK [N:0]訊號。第 2D 圖中 MCLK 訊號至 PCLK 訊號之延遲小於第 2D 圖，這是因為第 2D 圖中 MCLK 訊號之週期結束時，在該記憶體核心 102 之輸出的讀取資料還不能使用。

於第 2D 圖中，當 DOBANK [N:0]訊號可使用時，藉由選擇 DCLK 訊號之第一上升邊緣來抓取 DOBANK [N:0]訊號。如第 2D 圖所示，給定 SCLK 訊號的可用邊緣時，選擇 DCLK 訊號之一版以使 DOUT [N:0]訊號盡可能越接近 8ns 發生。如圖所示，RADD [M:0]訊號輸入至該記憶體塊 10 之後，DOUT [N:0]訊號在 8.33ns 左右出現，其等待時間約與第 2A 圖至第 2C 圖之時序相同。因此，如第 2D 圖所示，只使用五個 SCLK 訊號邊緣而非第 2C 圖之八個訊號邊緣產生 DCLK 訊號來獲得 8.33ns 之讀取資料輸出等待時間。

於第 3 圖中，係繪示第 1 圖之該記憶體塊 10 之操作流程圖之一實施例。請同時參閱第 1 圖至第 3 圖，流程圖開始的區塊 301 中，基於該記憶體核心 102 之讀取存取時間，選擇已延遲版 MCLK 訊號之(例如 PCLK 訊號)適當延遲。於一實施例中，決定系統時脈之頻率(區塊 303)並選擇一對應之資料輸出時脈(區塊 305)。更明確而言，如上所述，一特定資料輸出時脈(DCLK 訊號)版係取決於 SCLK 訊號之頻率來選擇。各版係由 SCLK 訊

號不同邊緣時脈控制。

因此，已延遲之 PCLK 訊號係提供至該正反器 103 以使該正反器 103 從該記憶體核心 102 抓取讀取資料(區塊 307)。選定版輸出資料時脈(DCLK 訊號)係提供至該正反器 112 以從該記憶體區塊 10 輸出讀取資料(區塊 309)。藉此無論 SCLK 訊號之頻率為何，讀取資料輸出等待時間都可以固定為一預先決定之等待時間。

請參閱第 4 圖，係繪示包括第 1 圖之記憶體塊 10 之一記憶體系統 500 之一實施例。該記憶體系統 500 包括一記憶體控制器 510 耦接以接收延遲控制訊號(例如 DELC 訊號及 DSEL 訊號)、指令、位址及資料(例如 RADD [M:0] 訊號及 RDEN 訊號)。如圖所示，RADD [M:0] 訊號及 RDEN 訊號可以經由接收 SerDes(Rx SerDes)單元 525 被接收。於一實施例中，該等延遲控制訊號可以經由一分離介面(separate interface)例如一接合測試行動組(joint test action group, JTAG)介面被接收。該記憶體控制器 510 也耦接該記憶體塊 10，該記憶體塊 10 耦接至傳送 SerDes(Tx SerDes)單元 550。要注意的是，為達明確簡單之目的，上述元件於不同圖中具有相同符號。

於一實施例中，該記憶體塊 10 可以如上所述及第 1 圖至第 3 圖來操作，為了簡要目的此不再贅述。

然而，如第 4 圖所示之實施例，該記憶體控制器 510 包括一儲存器(storage)511。於一實施例中，該儲存器 511 可以為一暫存器組(register set)。於其他實施例中，該儲存器 511 可以為 RAM 家族中揮發性(volatile)RAM 或非揮發性(non-volatile)RAM，或是某些形式的唯讀記憶體(Read Only Memory, ROM)裝置。因此，查找表可以透過各種方式被程式化

至該儲存器 511 中。舉例來說，該儲存器 511 可以在製造時被程式化、或是由一系統的基本輸入/輸出系統(system basic input/output system, system BIOS)透過系統初始化來程式化、或是作為標準規劃空間寫入(configuration space write)之操作時被程式化。

於一實施例中，該儲存器 511 可以構成以儲存該記憶體塊 10 之時脈資訊。更明確而言，該記憶體控制器 510 可以儲存一包括數個項目(entry)之查找表。各項目可以對應至取決於 SerDes 單元(例如 525 及 550)頻率之 SCLK 訊號之一特定頻率。因此，該查找表中 SCLK 訊號各個可能之頻率可以保持而對應至一個別資料時脈選擇值(respective data clock select value)。如上所述，個別資料時脈選擇值可以為多位元值以供該記憶體控制器 510 使用以產生傳送至該記憶體塊 10 之資料時脈選擇訊號。因此該記憶體控制器 510 在開始時可以基於 SCLK 訊號之頻率選擇適當的資料時脈選擇值。

此外，於一實施例中，該記憶體控制器 510 係構成以產生延遲選擇訊號供該記憶體塊 10 使用來調整 PCLK 訊號的延遲。於一實施例中，該記憶體控制器 510 也可以維持對應至延遲量之時脈資訊，其中該延遲量對應至該記憶體電路 100 之該記憶體核心 102 之記憶體存取延遲。例如，於初始化期間，該記憶體控制器 510 可以提供一初始延遲值至該記憶體塊 10。該初始延遲值需足夠以允許在製程、操作溫度及電壓廣泛的變化下仍能維持正確地操作。然而，在某些情況下，記憶體塊 10 之特定記憶體核心可以有不同的存取時間。因此，如上述例如 BIST 的操作期間，記憶體塊 10 可能無法成功而需要時序調整。在這樣的情況下，該記憶體塊 10 可以配合並反覆調整 PCLK 訊號

之延遲值，直到時序最佳化為止。該記憶體控制器 510 可以將延遲值維持在該儲存器 511 中。

因此，藉由調整管線式時脈(PCLK 訊號)之延遲以與不同記憶體核心的存取時間相容，並選擇系統時脈(例如 SCLK 訊號)以產生輸出資料時脈(DCLK 訊號)，即使系統時脈之頻率改變，該記憶體塊 10 也可以提供固定的讀取資料輸出等待時間。

要注意的是，於一實施例中，該記憶體系統 500 可以為一實施為一系統單晶片(system on a chip)之記憶體裝置。此外，第 1 圖及第 4 圖之記憶體塊 10 可以為例如一設計庫(design library)中一記憶體巨集塊之單一實例(single instantiation of a memory macro block)。進一步要注意的是，於其他實施例中，可以使用更多記憶體塊，例如可以多工使用該等記憶體塊來提供一資料輸出。

綜上所述，雖然本發明已用較佳實施例揭露如上，然其並非用以限定本發明，本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係繪示根據本發明一實施例之一記憶體塊(memory block)方塊圖；

第 2A 圖至第 2D 圖係繪示第 1 圖之記憶體塊之時序圖之各種實施例；

第 3 圖係繪示根據第 1 圖之該記憶體塊之操作流程圖之一實施例；以及

第 4 圖係繪示包括第 1 圖之記憶體塊之一記憶體系統之一實施例。

【主要元件符號說明】

10	記憶體塊
100	記憶體電路
101、103、112、113A、113B、113N	正反器
102	記憶體核心
104	可調式延遲單元
110	時脈產生單元
111	除頻器
117	多工器
301-309	區塊
500	記憶體系統
510	記憶體控制器
511	儲存器
525	接收 SerDes 單元
550	傳送 SerDes 單元

七、申請專利範圍：

1. 一種記憶體塊，包括：

一記憶體電路，包括一記憶體核心，該記憶體核心係構成以回應於接收一讀取指令以輸出讀取資料；

其中該記憶體電路係構成以回應於具有選擇性延遲之時脈訊號之時脈控制(clocked)而從該記憶體核心輸出該讀取資料；其中該延遲係取決於該記憶體塊接收到該讀取指令之後，該記憶體核心輸出該讀取資料所費的時間而定；

一時脈產生單元，構成以回應於藉由一選定版資料時脈訊號作的時脈控制，以使該時脈產生單元從該記憶體電路抓取該讀取資料並使得該讀取資料作為該記憶體塊之一輸出；

其中該選定版資料時脈訊號係從複數個資料時脈邊緣之一所選出，每一資料時脈邊緣係由一系統時脈之複數個時脈邊緣之一所產生，以使無論該系統時脈之操作頻率為何，係在該記憶體塊接收該讀取指令一預定時間之後提供該讀取資料作為該記憶體塊的輸出。

2. 如申請專利範圍第 1 項所述之記憶體塊，其中該時脈訊號係操作在小於該系統時脈一倍之頻率。

3. 如申請專利範圍第 1 項所述之記憶體塊，其中該記憶體電路係構成以回應於接收一延遲選擇訊號以延遲該時脈訊號，該延遲選擇訊號用以選擇延遲量。

4. 如申請專利範圍第 1 項所述之記憶體塊，其中當該記憶體塊的操作跨越製程、電壓及溫度變化時，該延遲選擇訊號對應至一延遲值，該延遲值係補償該記憶體塊接收該讀取指令之後，由該記憶體核心輸出該讀取資料所用時間上的變異。

5. 如申請專利範圍第 1 項所述之記憶體塊，其中該記憶體

電路係構成以於該記憶體塊操作期間動態地調整該時脈訊號之延遲。

6. 如申請專利範圍第 1 項所述之記憶體塊，其中該時脈產生單元係構成以回應接收一資料時脈選擇訊號以選擇複數個時脈邊緣之其中一者作為資料輸出時脈。

7. 如申請專利範圍第 1 項所述之記憶體塊，其中該記憶體電路係構成以於該記憶體塊操作期間動態地選擇複數個時脈邊緣之其中一者作為資料輸出時脈。

8. 一種記憶體塊的操作方法，包括：

基於包括一記憶體核心之該記憶體區塊接收一讀取指令之後，該記憶體核心輸出讀取資料之一時間量來選擇延遲一延遲時脈訊號之時間量；

提供該延遲時脈訊號至一輸出時脈受控儲存裝置以從該記憶體核心輸出該讀取資料；

提供一選定版資料時脈訊號至一第二時脈受控儲存裝置以抓取該讀取資料並使得該讀取資料作為該記憶體塊之一輸出；

從複數個資料時脈邊緣之一選出該選定版資料時脈訊號，每一資料時脈邊緣係由一系統時脈之複數個時脈邊緣之一所產生，以使無論一系統時脈之操作頻率為何，係在該記憶體塊接收該讀取指令一預定時間之後提供該讀取資料作為該記憶體塊的輸出。

9. 如申請專利範圍第 8 項所述之方法，進一步包括將該時脈訊號操作在小於該系統時脈一倍之頻率。

10. 如申請專利範圍第 8 項所述之方法，進一步包括回應於接收一延遲選擇訊號以延遲該時脈訊號，該延遲選擇訊號用

以選擇該延遲量。

11. 如申請專利範圍第 8 項所述之方法，其中當該記憶體塊的操作跨越製程、電壓及溫度變化時，該延遲選擇訊號對應至一延遲值，該延遲值係補償該記憶體塊接收該讀取指令之後，由該記憶體核心輸出該讀取資料所用時間上的變異。

12. 如申請專利範圍第 8 項所述之方法，進一步包括於該記憶體塊操作期間動態地調整該時脈訊號之該延遲。

13. 如申請專利範圍第 8 項所述之操作方法，進一步包括回應於接收一資料時脈選擇訊號以選擇複數個時脈邊緣之其中一者作為資料輸出時脈。

14. 如申請專利範圍第 8 項所述之操作方法，進一步包括於該記憶體塊初始化期間選擇複數個時脈邊緣之其中一者作為資料輸出時脈。

15. 一種記憶體系統，包括：

一記憶體控制器；以及

一記憶體塊耦接至該記憶體控制器，其中該記憶體塊包括：

一記憶體電路，包括一記憶體核心，該記憶體核心係構成以回應於接收一讀取指令以輸出讀取資料，

其中該記憶體電路係構成以回應於具有選擇性延遲之時脈訊號之時脈控制(clocked)而從該記憶體核心輸出該讀取資料；其中該延遲係取決於該記憶體塊接收到該讀取指令之後，該記憶體核心輸出該讀取資料所費的時間而定；

一時脈產生單元，係構成以回應於藉由一選定版資料時脈訊號作的時脈控制，以使該時脈產生單元從該記憶體電路抓取該讀取資料並使得該讀取資料作為該記憶體塊之一輸

出；

其中該選定版資料時脈訊號係從複數個資料時脈邊緣之一所選出，每一資料時脈邊緣係由一系統時脈之複數個時脈邊緣之一所產生，以使無論該系統時脈之操作頻率為何，係在該記憶體塊接收該讀取指令一預定時間之後提供該讀取資料作為該記憶體塊的輸出。

16. 如申請專利範圍第 15 項所述之系統，其中該記憶體控制器包括一儲存器，該儲存器係構成以儲存時脈架構資訊，其中該記憶體控制器係構成以使用該時脈架構資訊產生複數個時脈選擇訊號來選擇該選定版資料時脈訊號。

17. 如申請專利範圍第 16 項所述之系統，其中該時脈架構資訊包括一具有對應該系統時脈之不同操作頻率之各項目(entry)的查找表，其中各項目包括一對應該等時脈選擇訊號之編碼。

18. 如申請專利範圍第 15 項所述之系統，其中基於一預定組態值，該記憶體控制器係構成以產生複數個初始時脈延遲選擇訊號來選擇該時脈訊號之該延遲時間量。

19. 如申請專利範圍第 18 項所述之系統，其中該記憶體控制器係構成以於該記憶體塊操作期間提供額外的延遲選擇訊號來動態地延遲該時脈訊號。

20. 如申請專利範圍第 15 項所述之系統，其中該時脈訊號係對應至一來自於並操作在小於該系統時脈一倍之頻率的一已延遲版之一記憶體時脈訊號。

21. 一種記憶體塊，包括：

一記憶體電路，包括：

一記憶體核心，係構成以回應於接收一讀取指令以輸出

讀取資料；

一第一時脈受控儲存裝置，係構成以回應於一時脈訊號的時脈控制以抓取並輸出該讀取資料；

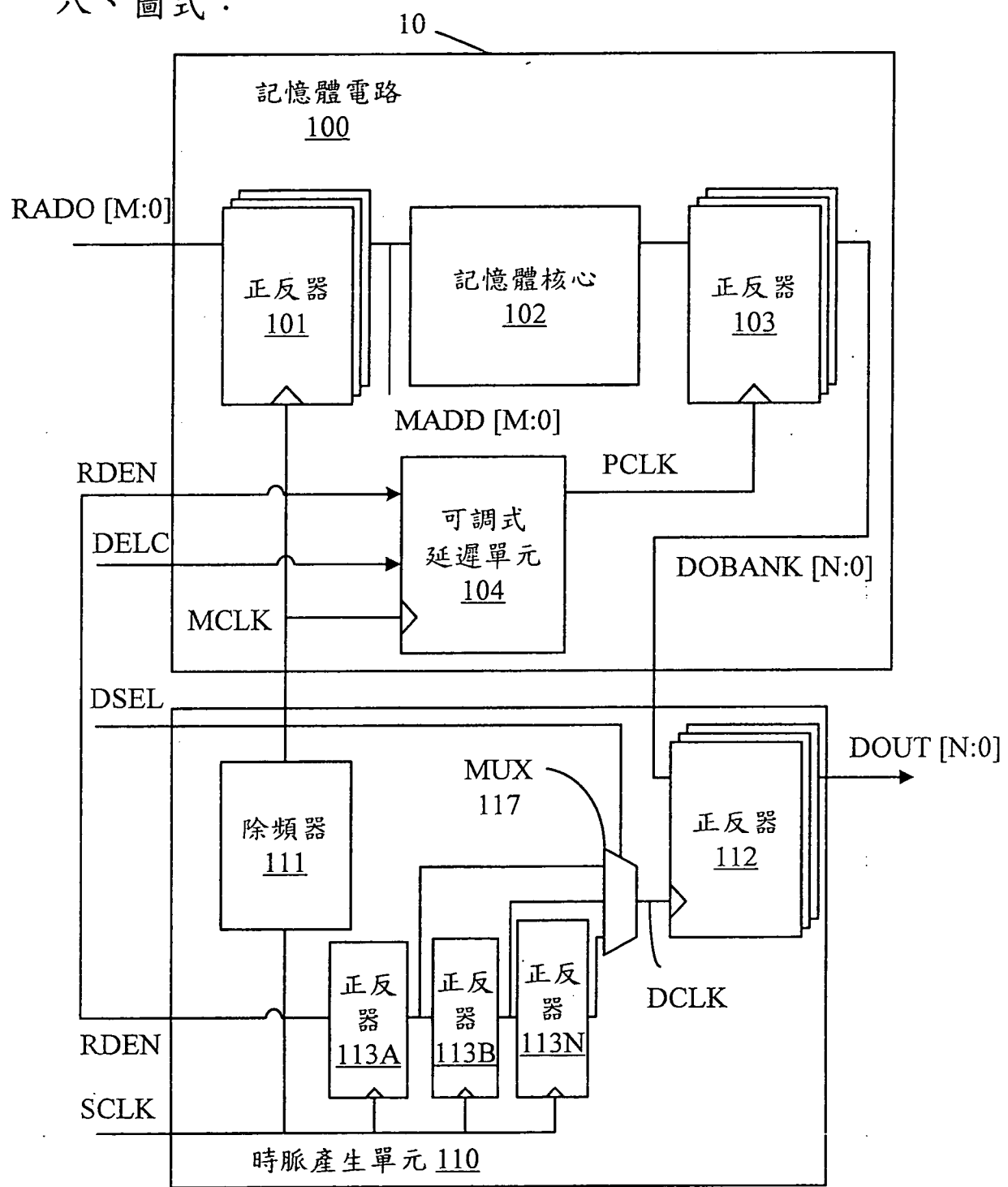
一可調式延遲單元，係構成以選擇性地提供該時脈訊號，其中該時脈訊號係取決於該記憶體塊接收到該讀取指令之後，該記憶體核心輸出該讀取資料所費的時間來延遲一時間；

一時脈產生單元，包括一第二時脈受控儲存裝置，該第二時脈受控儲存裝置係構成以回應於藉由一選定版資料時脈訊號作的時脈控制，以使該時脈產生單元從該第一時脈受控儲存裝置抓取該讀取資料並使得該讀取資料作為該記憶體塊之一輸出；

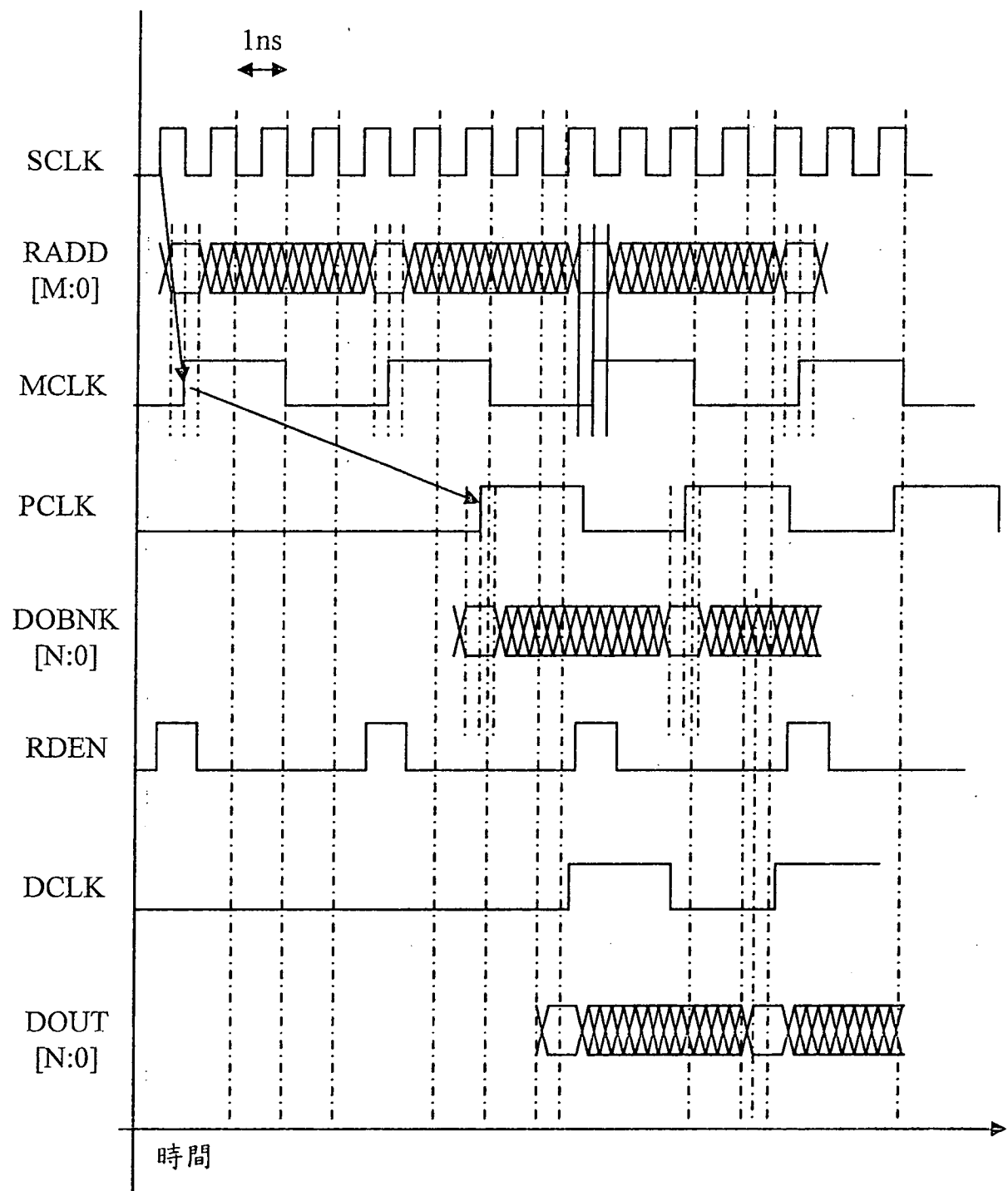
其中該時脈產生單元係構成以從複數個資料時脈邊緣之一選出該選定版資料時脈訊號，每一資料時脈邊緣係由一系統時脈之複數個時脈邊緣之一所產生；

其中係選擇該選定版資料時脈訊號以使無論該系統時脈之操作頻率為何，係在該記憶體塊接收該讀取指令一預定時間之後提供該讀取資料作為該記憶體塊的輸出。

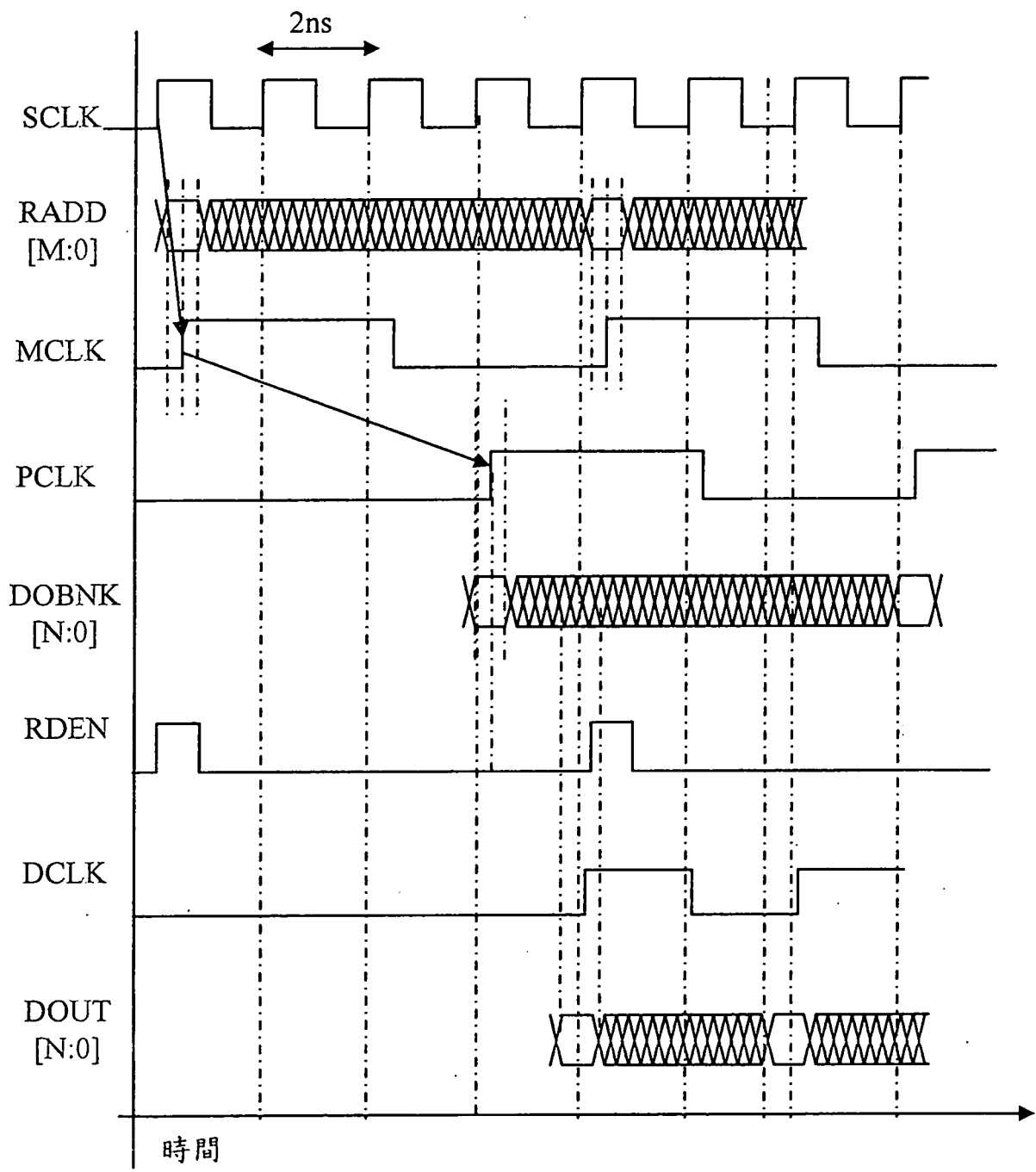
八、圖式：



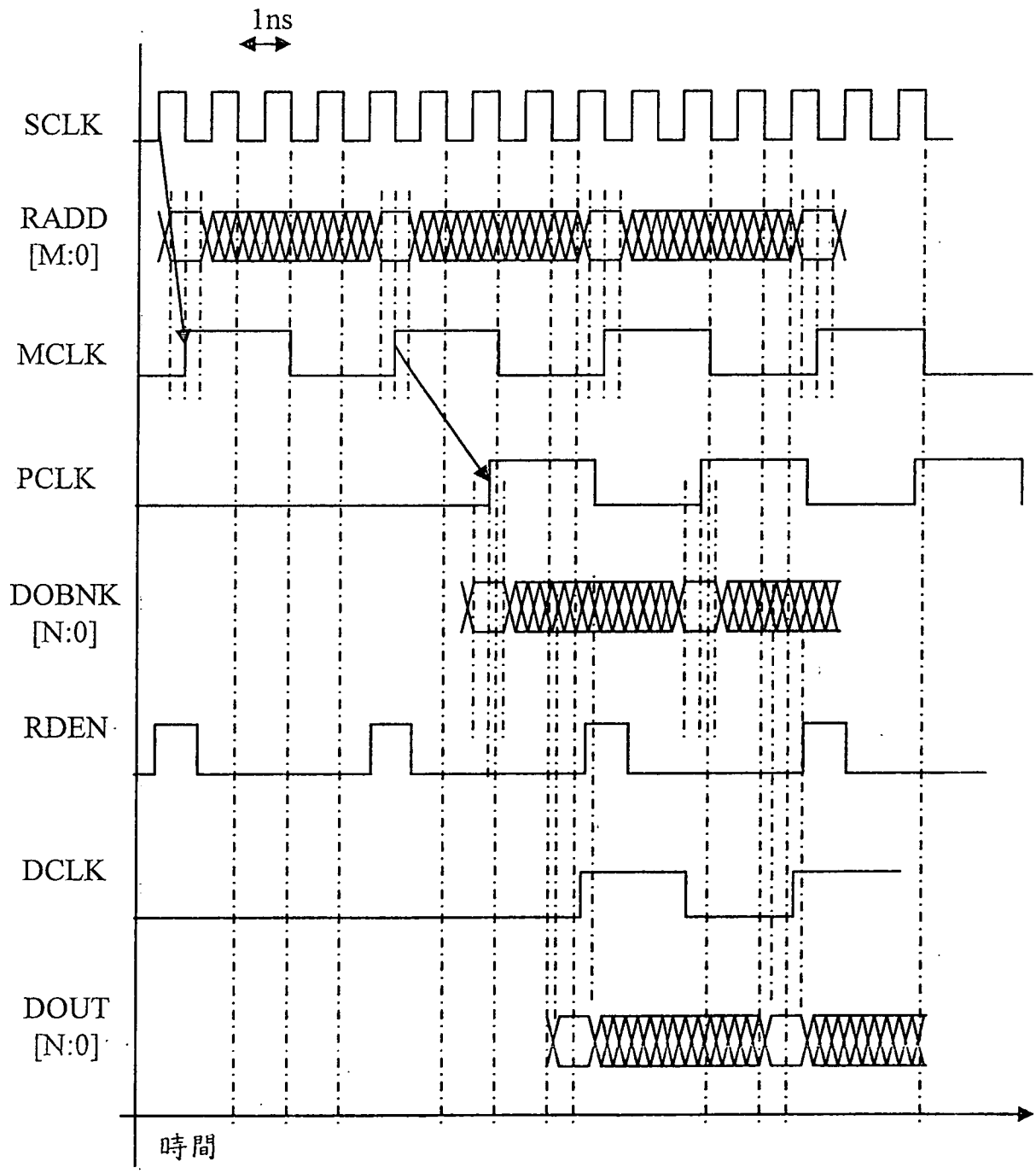
第 1 圖



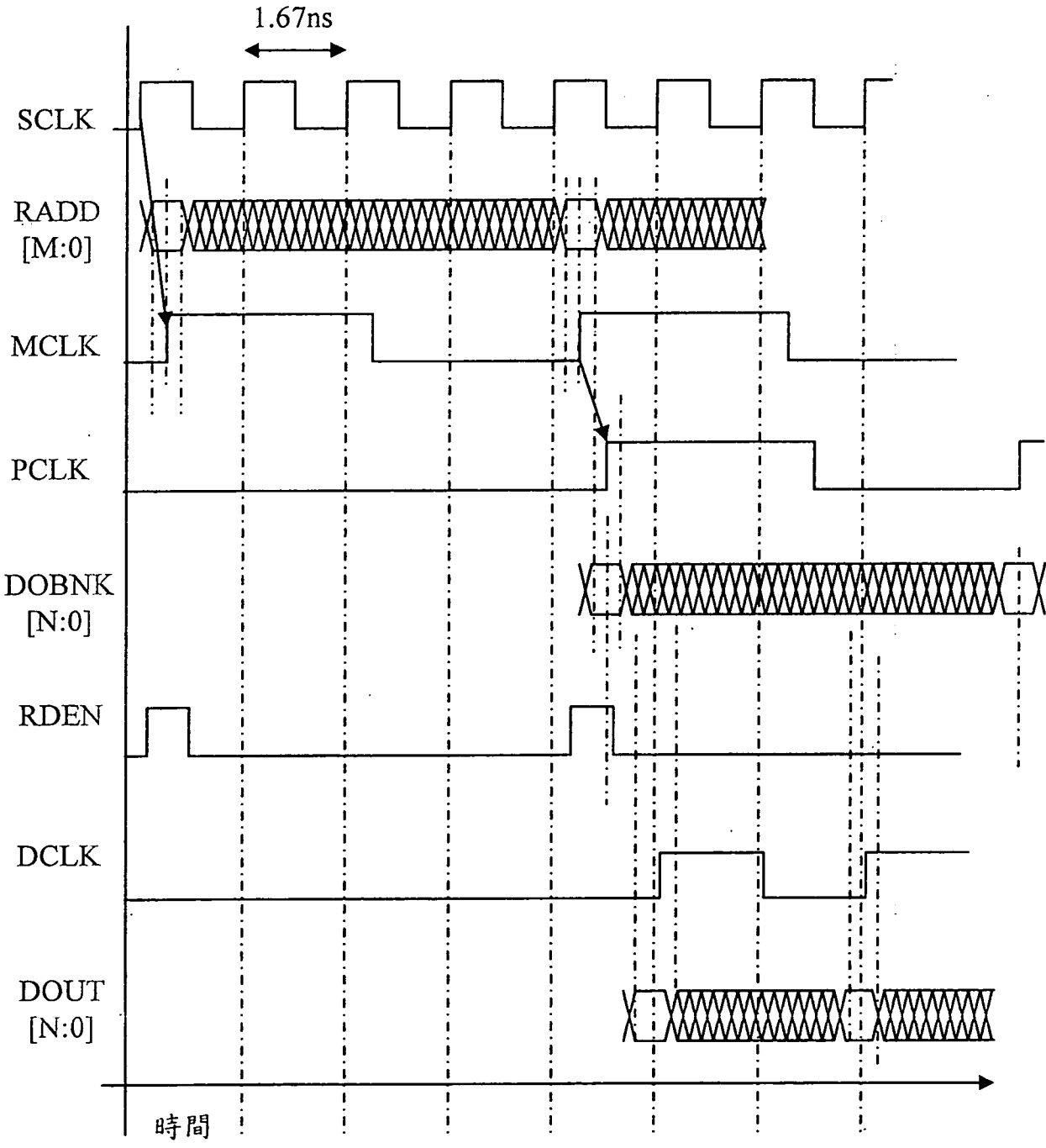
第 2A 圖



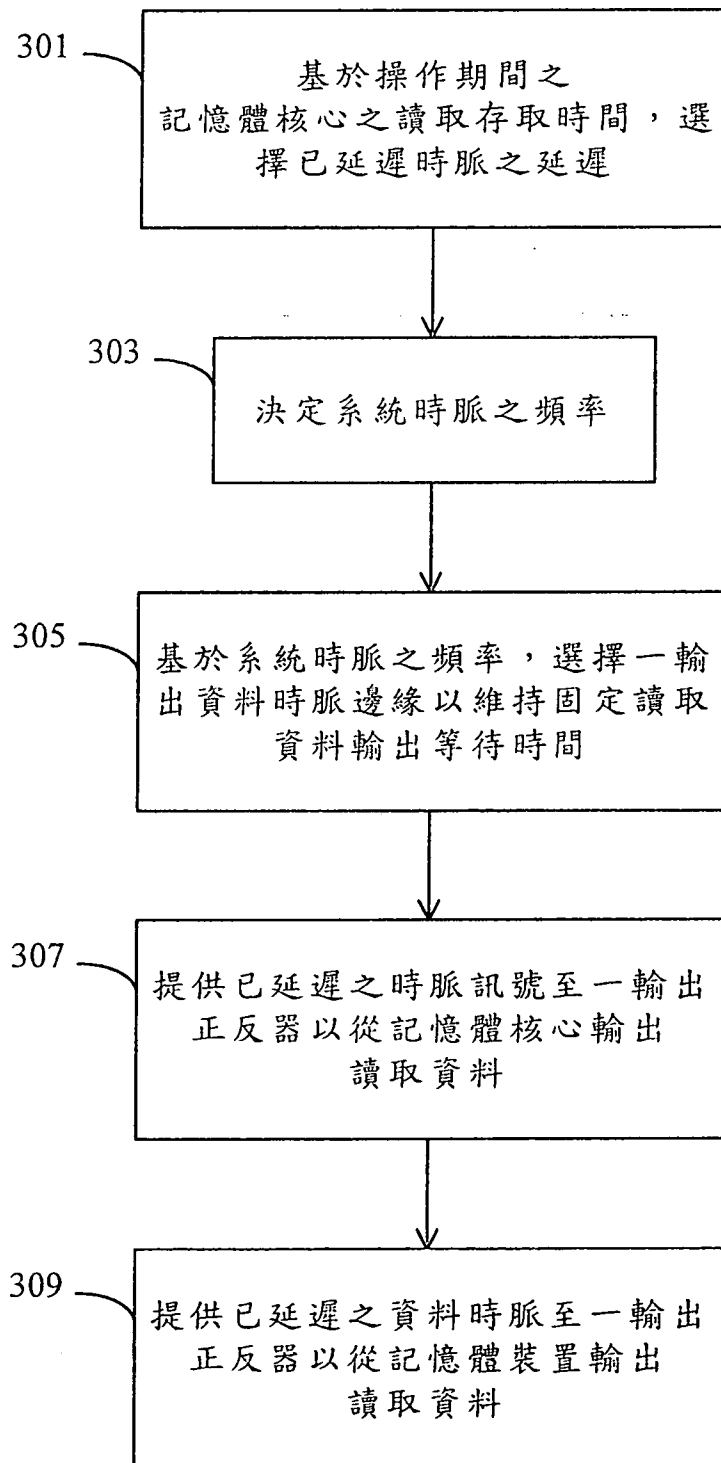
第 2B 圖



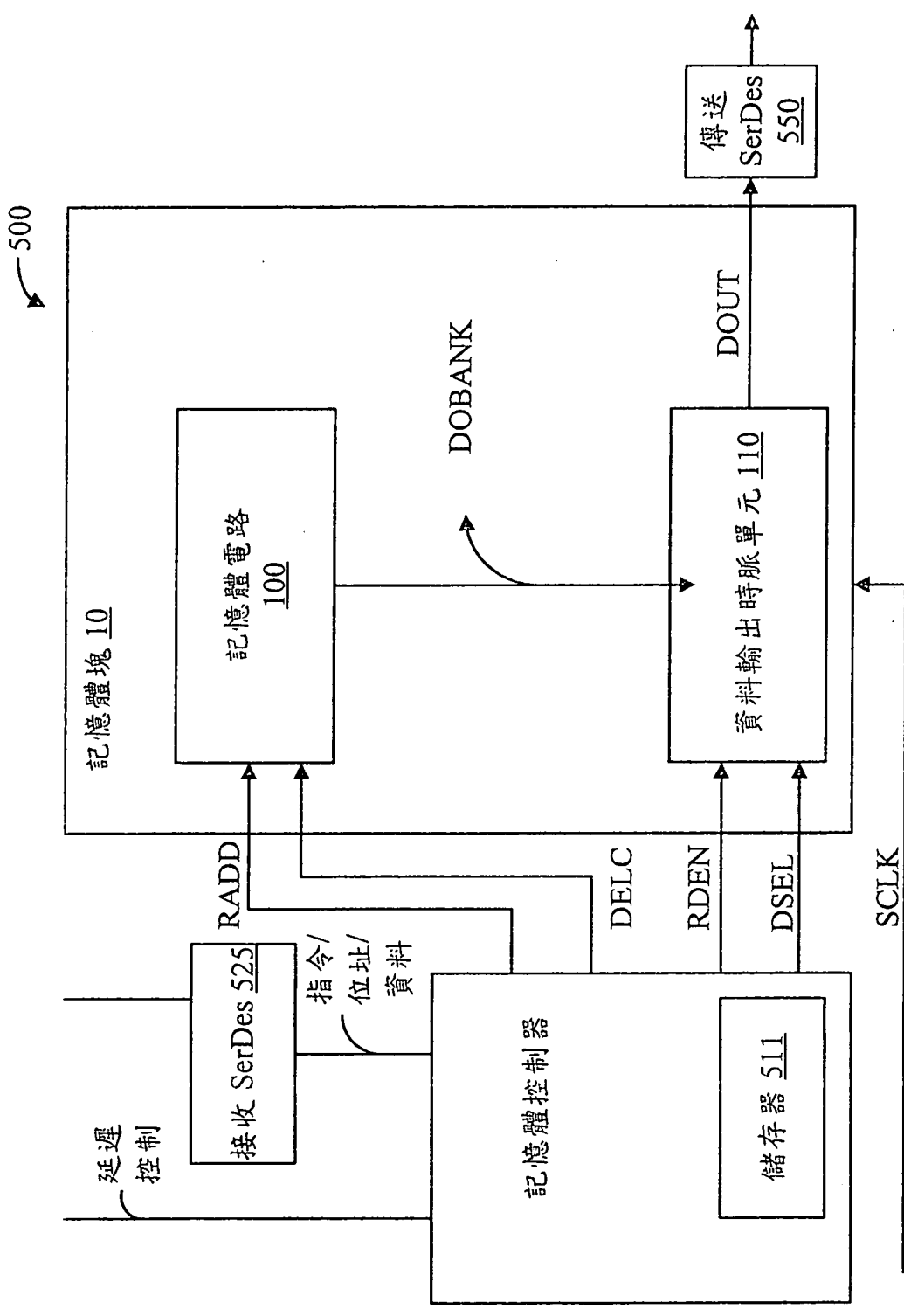
第 2C 圖



第 2D 圖



第 3 圖



第 4 圖