



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I521717 B

(45)公告日：中華民國 105 (2016) 年 02 月 11 日

(21)申請案號：099139939

(22)申請日：中華民國 99 (2010) 年 11 月 19 日

(51)Int. Cl. : *H01L29/792 (2006.01)**H01L27/105 (2006.01)*

(30)優先權：2009/11/20 日本

2009-264552

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；小山潤 KOYAMA, JUN (JP)；加藤清
KATO, KIYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200919477A

CN 1558962A

US 6198652B1

US 6787835B2

US 2008/0291350A1

審查人員：楊啟全

申請專利範圍項數：11 項 圖式數：20 共 106 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

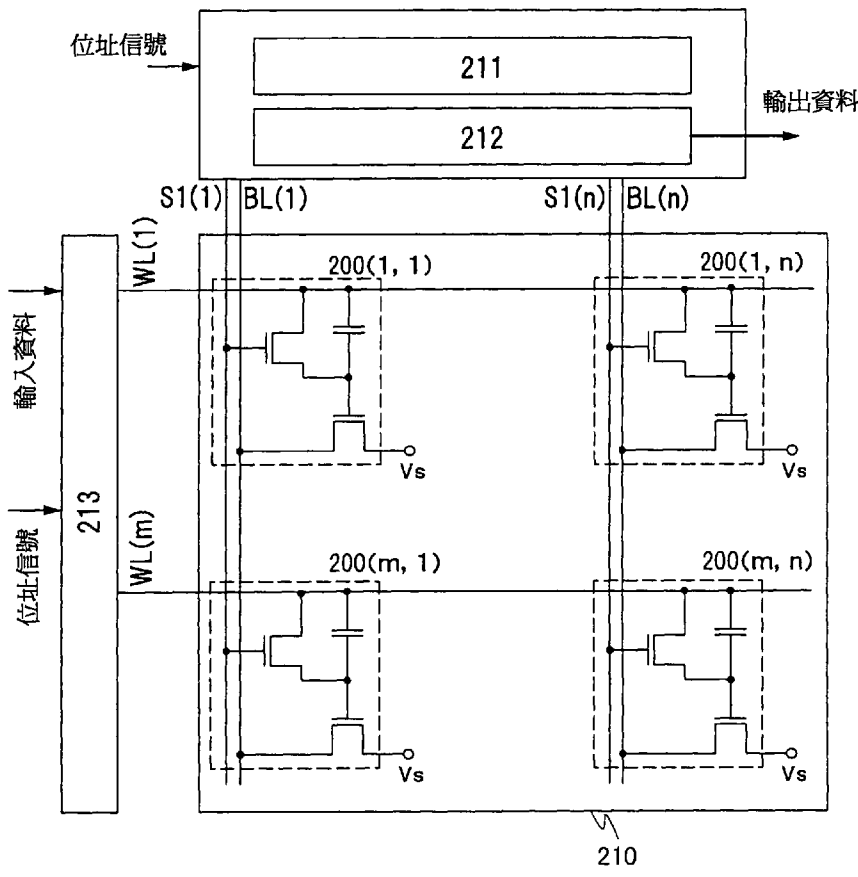
(57)摘要

本發明的目的之一是提供一種新的結構的半導體裝置。本發明是一種半導體裝置，包括：第一佈線；第二佈線；第三佈線；第四佈線；具有第一閘極電極、第一源極電極以及第一汲極電極的第一電晶體；具有第二閘極電極、第二源極電極以及第二汲極電極的第二電晶體，其中，第一電晶體設置在包括半導體材料的基板上，並且，第二電晶體包括氧化物半導體層。

It is an object to provide a semiconductor device with a novel structure. The semiconductor device includes a first wiring, a second wiring, a third wiring, a fourth wiring, a first transistor including a first gate electrode, a first source electrode, and a first drain electrode, and a second transistor including a second gate electrode, a second source electrode, and a second drain electrode. The first transistor is provided over a substrate including a semiconductor material, and the second transistor includes an oxide semiconductor layer.

指定代表圖：

圖 17



符號簡單說明：

210 . . . 儲存單元陣列

211 . . . 驅動電路

212 . . . 讀取電路

213 . . . 驅動電路

S1(1)、S1(n) . . . 信號線

BL(1)、BL(n) . . . 位元線

WL(1)、WL(m) . . . 字線

Vs . . . 電位

200(1,1)、200(1,n)、200(m,1)、200(m,n) . . . 儲存單元

發明專利說明書

公告本

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099139939

※申請日：099 年 11 月 19 日

※IPC 分類：

H01L 29/79252006.01

一、發明名稱：(中文／英文)

半導體裝置

H01L 27/1052006.01

Semiconductor device

二、中文發明摘要：

本發明的目的之一是提供一種新的結構的半導體裝置。本發明是一種半導體裝置，包括：第一佈線；第二佈線；第三佈線；第四佈線；具有第一閘極電極、第一源極電極以及第一汲極電極的第一電晶體；具有第二閘極電極、第二源極電極以及第二汲極電極的第二電晶體，其中，第一電晶體設置在包括半導體材料的基板上，並且，第二電晶體包括氧化物半導體層。

三、英文發明摘要：

It is an object to provide a semiconductor device with a novel structure. The semiconductor device includes a first wiring, a second wiring, a third wiring, a fourth wiring, a first transistor including a first gate electrode, a first source electrode, and a first drain electrode, and a second transistor including a second gate electrode, a second source electrode, and a second drain electrode. The first transistor is provided over a substrate including a semiconductor material, and the second transistor includes an oxide semiconductor layer.

四、指定代表圖：

(一) 本案指定代表圖為：第(17)圖。

(二) 本代表圖之元件符號簡單說明：

210：儲存單元陣列

211：驅動電路

212：讀取電路

213：驅動電路

S1(1)、S1(n)：信號線

BL(1)、BL(n)：位元線

WL(1)、WL(m)：字線

Vs：電位

200(1,1)、200(1,n)、200(m,1)、

200(m,n)：儲存單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明所公開的發明係關於一種利用半導體元件的半導體裝置及該半導體裝置的製造方法。

【先前技術】

利用半導體元件的儲存裝置粗分為當沒有電力供給時消除儲存內容的易失性儲存裝置和當沒有電力供給時也保持儲存內容的非易失性儲存裝置。

作為易失性儲存裝置的典型例子，有 DRAM（Dynamic Random Access Memory：動態隨機存取記憶體）。DRAM 選擇構成記憶元件的電晶體並將電荷蓄積在電容器中來儲存資訊。

根據上述原理，因為在從 DRAM 讀取資訊時消失電容器的電荷，所以為了在讀取資料後再度儲存資訊而需要再度進行寫入工作。另外，因為在構成記憶元件的電晶體中發生漏電流，而即使未選擇電晶體也流出或流入電荷，所以資料的保持期間較短。由此，需要按指定的週期再次進行寫入工作（更新工作），而難以充分降低耗電量。另外，因為當沒有電力供給時消失儲存內容，所以為了保持很長時間儲存，而需要利用磁性材料或光學材料的另一儲存裝置。

作為易失性儲存裝置的另一例子，有 SRAM（Static Random Access Memory：靜態隨機存取記憶體）。SRAM

使用正反器等電路保持儲存內容，而不需要進行更新工作，在這一點上SRAM優越於DRAM。但是，因為使用正反器等電路，所以有儲存容量的單價變高的問題。另外，在當沒有電力供給時消失儲存內容這一點上，SRAM和DRAM相同。

作為非易失性儲存裝置的典型例子，有快閃記憶體。快閃記憶體在電晶體的閘極電極和通道形成區域之間具有浮動閘極，並使該浮動閘極保持電荷而進行儲存，因此，快閃儲存器具有其資料保持期間極長（半永久）並不需要易失性儲存裝置所需要的更新工作的優點（例如，參照專利文獻1）。

但是，由於在進行寫入時產生的隧道電流而發生構成記憶元件的閘極絕緣層的退化，因此發生因指定次數的寫入而記憶元件不能發揮作用的問題。為了緩和上述問題的影響，例如，採用使各記憶元件的寫入次數均勻化的方法，但是，為了實現該方法，而需要複雜的週邊電路。另外，即使使用上述方法，也不能解決使用壽命的根本問題。就是說，快閃記憶體不合適於資訊的重寫頻率高的用途。

另外，為了使浮動閘極保持電荷或者去除該電荷，需要高電壓。再者，還有電荷的保持或去除需要較長時間而不容易實現寫入和擦除的高速化的問題。

[專利檔案1] 日本專利申請公開 昭57-105889號公報

【發明內容】

鑒於上述問題，所公開的發明的一個實施例的目的之一
一是提供一種當沒有電力供給時也能夠保持儲存內容並且
對寫入次數也沒有限制的新的結構的半導體裝置。

本發明的一個實施例是一種採用使用氧化物半導體來
形成的電晶體和使用除此以外的材料來形成的電晶體的疊
層結構的半導體裝置。例如，可以採用如下結構。

本發明的一個實施例是一種半導體裝置，包括：源極
電極線；位元線；信號線；以及字線，其中，在源極電極
線和位元線之間並聯連接有多個儲存單元，並且，多個儲
存單元之一，包括：具有第一閘極電極、第一源極電極以
及第一汲極電極的第一電晶體；具有第二閘極電極、第二
源極電極以及第二汲極電極的第二電晶體；以及電容器，
並且，第一電晶體設置在包括半導體材料的基板上，並且
，第二電晶體包括氧化物半導體層，並且，第一閘極電極
、第二源極電極和第二汲極電極中的一個、電容器的電極
中的一個電連接，並且，源極電極線與第一源極電極和第
一汲極電極中的一個電連接，並且，位元線與第一電極和
第一汲極電極中的另一個電連接，並且，信號線與第二閘
極電極電連接，並且，字線、第二源極電極和第二汲極電
極中的另一個、電容器的電極中的另一個電連接。

本發明的一個實施例是一種半導體裝置，包括：源極
電極線；位元線；信號線；以及字線，其中，在源極電極
線和位元線之間並聯連接有多個儲存單元，並且，多個儲
存單元之一，包括：具有第一閘極電極、第一源極電極以

及第一汲極電極的第一電晶體；具有第二閘極電極、第二源極電極以及第二汲極電極的第二電晶體；以及電容器，並且，第一電晶體設置在包括半導體材料的基板上，並且，第二電晶體包括氧化物半導體層，並且，第一閘極電極、第二源極電極和第二汲極電極中的一個、電容器的電極中的一個電連接，並且，源極電極線與第一源極電極和第一汲極電極中的一個電連接，並且，位元線與第一源極電極和第一汲極電極中的另一個電連接，並且，信號線與第二源極電極和第二汲極電極中的另一個電連接，並且，字線、第二閘極電極、電容器的電極中的另一個電連接。

在上述結構中，第一電晶體包括：設置在包括半導體材料的基板中的通道形成區域；以夾著通道形成區域的方式設置的雜質區域；通道形成區域上的第一閘極絕緣層；第一閘極絕緣層上的第一閘極電極；以及電連接到雜質區域的第一源極電極及第一汲極電極。

另外，在上述結構中，第二電晶體，包括：包括半導體材料的基板上的第二閘極電極；第二閘極電極上的第二閘極絕緣層；第二閘極絕緣層上的氧化物半導體層；以及電連接到氧化物半導體層的第二源極電極及第二汲極電極。

另外，在上述結構中，較佳使用單晶半導體基板或SOI基板作為包括半導體材料的基板。尤其是，半導體材料較佳為矽。

另外，在上述結構中，氧化物半導體層較佳包括In-

Ga-Zn-O基的氧化物半導體材料。尤其是，氧化物半導體層較佳包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的結晶。再者，氧化物半導體層的氫濃度較佳為 5×10^{19} 原子/ cm^3 以下。另外，第二電晶體的截止電流較佳為 1×10^{-13} A以下。

另外，在上述結構中，第二電晶體可以設置在重疊於第一電晶體的區域中。

另外，在本說明書等中，“上”或“下”的用語不應該被解釋為侷限於構成要素的位置關係為“正上”或“正下”。例如，“閘極絕緣層上的第一閘極電極”包括在閘極絕緣層和第一閘極電極之間包括另一構成要素的情況。另外，“上”或“下”的用語只是為便於說明而使用的表現，在沒有特別的說明時，“上”或“下”的用語還包括其上下倒轉的情況。

另外，在本說明書等中，“電極”或“佈線”的用語不在功能上限定其構成要素。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”的用語還包括多個“電極”或“佈線”形成為一體的情況等。

另外，在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，“源極電極”和“汲極電極”的功能有時互相調換。因此，在本說明書中，“源極電極”和“汲極電極”的用語可以互相調換。

另外，在本說明書等中，“電連接”包括物件隔著“具有某種電作用的物體”連接的情況。這裏，“具有某種

電作用的物體”只要可以進行連接物件間的電信號的授受，就對物體沒有特別的限制。

例如，“具有某種電作用的物件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、具有各種功能的元件等。

另外，一般來說，“SOI基板”是指具有在絕緣表面上設置有矽半導體層的結構的基板，但是在本說明書等中，還包括在絕緣表面上設置有包括矽以外的材料而成的半導體層的結構的基板。換言之，“SOI基板”所包括的半導體層不侷限於矽半導體層。另外，“SOI基板”的基板不侷限於矽晶圓等的半導體基板，而還包括玻璃基板、石英基板、藍寶石基板、金屬基板等的非半導體基板。就是說，“SOI基板”還包括在非半導體基板等絕緣基板上隔著絕緣層設置有半導體層的結構的基板。再者，在本說明書等中，“半導體基板”不但是指僅由半導體材料構成的基板，而且是指包括半導體材料的所有的基板。就是說，在本說明書等中，“半導體基板”廣泛地包括“SOI基板”。

此外，在本說明書等中，氧化物半導體以外的半導體材料只要是氧化物半導體以外的半導體材料，就可以使用任何半導體材料。例如，有矽、銻、矽銻、碳化矽、鎵砷等。此外，還可以使用有機半導體材料等。注意，在對構成半導體裝置等的材料沒有特別的說明時，可以使用氧化物半導體材料或氧化物半導體以外的半導體材料。

作為本發明的一個實施例，提供一種在其下部具有使

用氧化物半導體以外的材料的電晶體並在其上部具有使用氧化物半導體的電晶體的半導體裝置。

因為使用氧化物半導體的電晶體的截止電流極小，所以藉由使用該電晶體而可以在極長期間內保持儲存內容。就是說，因為不需要更新工作，或者，可以使更新工作的頻率極少，所以可以充分降低耗電量。另外，當沒有電力供給時，也可以在較長期間內保持儲存內容。

另外，資訊的寫入不需要高電壓，而且也沒有元件退化的問題。例如，不需要如現有的非易失性記憶體所進行的對浮動閘極的電子的植入和從浮動閘極的電子的釋放，所以完全不發生如閘極絕緣層的退化等的退化。就是說，至於根據本實施例模式的半導體裝置，對作為現有的非易失性記憶體所具有的問題的可重寫次數沒有限制，而可靠性飛躍提高。再者，根據電晶體的導通狀態或截止狀態而進行資訊的寫入，從而可以容易實現高速工作。另外，還有不需要用來擦除資訊的工作的優點。

另外，使用氧化物半導體以外的材料的電晶體可以進行足夠的高速工作，因此，藉由利用該電晶體，可以進行高速的儲存內容的讀取。

如上所述，藉由一體地具備使用氧化物半導體以外的材料的電晶體和使用氧化物半導體的電晶體，可以實現具有新穎的特徵的半導體裝置。

【實施方式】

下面，關於本發明的實施例模式的一個例子參照附圖給予說明。但是，本發明並不侷限於下面的描述。所屬領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種各樣的形式，而不脫離本發明的宗旨及其範圍。因此，本發明不應當被解釋為侷限制於以下示出的實施例模式的描述。

注意，為了容易理解，附圖等所示出的各結構的位置、大小和範圍等有時不表示實際上的位置、大小和範圍等。因此，本發明不侷限於附圖等所示出的位置、大小和範圍等。

另外，本說明書等中使用的“第一”、“第二”、“第三”等序數詞是用來避免結構要素的混同的，而不是用來在數目方面上限定的。

實施例模式 1

在本實施例模式中，參照圖 1 至圖 15B 而說明根據所公開的發明的一個實施例的半導體裝置的結構及該半導體裝置的製造方法。

<半導體裝置的電路結構>

圖 1 示出半導體裝置的電路結構的一個例子。該半導體裝置由使用氧化物半導體以外的材料的電晶體 160 和使用氧化物半導體的電晶體 162 構成。

這裏，電晶體 160 的閘極電極與電晶體 162 的源極電極

和汲極電極中的一個電連接。另外，第一佈線（1st Line：也稱為源極電極線）和電晶體160的源極電極電連接，第二佈線（2nd Line：也稱為位元線）和電晶體160的汲極電極電連接。並且，第三佈線（3rd Line：也稱為第一信號線）與電晶體162的源極電極和汲極電極中的另一個電連接，第四佈線（4th Line：也稱為第二信號線）和電晶體162的閘極電極電連接。

使用氧化物半導體以外的材料的電晶體160可以進行足夠的高速工作，因此藉由使用該電晶體而可以進行高速的儲存內容的讀取等。另外，使用氧化物半導體的電晶體162具有截止電流極為小的特徵。因此，藉由使電晶體162成為截止狀態，可以在極長時間內保持電晶體160的閘極電極的電位。

藉由有效地利用可以保持閘極電極的電位很長時間的特徵，如下所述那樣可以進行資訊的寫入、保持和讀取。

首先，說明資訊的寫入及保持。首先，藉由將第四佈線的電位設定為使電晶體162成為導通狀態的電位，使電晶體162成為導通狀態。由此，將第三佈線的電位施加到電晶體160的閘極電極（寫入）。然後，藉由將第四佈線的電位設定為使電晶體162成為截止狀態的電位，使電晶體162成為截止狀態，而保持電晶體160的閘極電極的電位（保持）。

因為電晶體162的截止電流極為小，所以在長時間內保持電晶體160的閘極電極的電位。例如，在電晶體160的

閘極電極的電位為使電晶體 160 成為導通狀態的電位的情況下，在長時間內保持電晶體 160 的導通狀態。另外，在電晶體 160 的閘極電極的電位為使電晶體 160 成為截止狀態的電位的情況下，在長時間內保持電晶體 160 的截止狀態。

下面，說明資訊的讀取。如上所述，當在保持電晶體 160 的導通狀態或截止狀態的狀態下將規定的電位（低電位）施加到第一佈線時，第二佈線的電位根據電晶體 160 的導通狀態或截止狀態而不同。例如，在電晶體 160 處於導通狀態的情況下，第二佈線的電位受到第一佈線的電位的影響而降低。與此相反，在電晶體 160 處於截止狀態的情況下，第二佈線的電位不變化。

如上所述，藉由在保持資訊的狀態下對第一佈線的電位和第二佈線的電位進行比較，可以讀取資訊。

下面，說明資訊的重寫。與上述資訊的寫入及保持同樣，進行資訊的重寫。就是說，藉由將第四佈線的電位設定為使電晶體 162 成為導通狀態的電位，使電晶體 162 成為導通狀態。由此，將第三佈線的電位（根據新的資訊的電位）施加到電晶體 160 的閘極電極。然後，藉由將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，而成為保持新的資訊的狀態。

如上所述，根據所公開的發明的半導體裝置可以藉由再次進行資訊的寫入而直接重寫資訊。由此，不需要快閃記憶體等所需要的擦除工作，而可以抑制起因於擦除工作

的工作速度的降低。就是說，實現半導體裝置的高速工作。

另外，上述說明關於使用以電子為載子的n型電晶體（n通道型電晶體）的情況，但是，當然可以使用以電洞為載子的p型電晶體代替n型電晶體。

<半導體裝置的平面結構及截面結構>

圖2A和2B是上述半導體裝置的結構的一個例子。圖2A和圖2B分別示出半導體裝置的截面圖和半導體裝置的平面圖。這裏，圖2A相當於沿圖2B的線A1-A2及線B1-B2的截面。圖2A和圖2B所示的半導體裝置在其下部具有使用氧化物半導體以外的材料的電晶體160並在其上部具有使用氧化物半導體的電晶體162。這裏，在電晶體160及電晶體162都是n型電晶體的情況下進行說明，但是也可以採用p型電晶體。尤其是，電晶體160容易成為p型電晶體。

電晶體160具有設置在包含半導體材料的基板100的通道形成區域116、夾有通道形成區域116而設置的雜質區域114及高濃度雜質區域120（也將這些區域總稱為雜質區域）、設置在通道形成區域116上的閘極絕緣層108a、設置在閘極絕緣層108a上的閘極電極110a、電連接於雜質區域114的源極電極或汲極電極130a以及源極電極或汲極電極130b。

這裏，在閘極電極110a的側面設置有側壁絕緣層118。另外，在基板100的平面圖中不重疊於側壁絕緣層118的

區域中具有高濃度雜質區域120，並且在高濃度雜質區域120上存在著金屬化合物區域124。另外，在基板100上圍繞電晶體160地設置有元件分離絕緣層106，並且覆蓋電晶體160地設置有層間絕緣層126及層間絕緣層128。源極電極或汲極電極130a和源極電極或汲極電極130b藉由形成在層間絕緣層126及層間絕緣層128中的開口電連接於金屬化合物區域124。就是說，源極電極或汲極電極130a和源極電極或汲極電極130b隔著金屬化合物區域124電連接於高濃度雜質區域120及雜質區域114。另外，閘極電極110a電連接於與源極電極或汲極電極130a、源極電極或汲極電極130b同樣設置的電極130c。

電晶體162具有設置在層間絕緣層128上的閘極電極136d、設置在閘極電極136d上的閘極絕緣層138、設置在閘極絕緣層138上的氧化物半導體層140、設置在氧化物半導體層140上且電連接於氧化物半導體層140的源極電極或汲極電極142a以及源極電極或汲極電極142b。

這裏，閘極電極136d設置為嵌入形成在層間絕緣層128上的絕緣層132。另外，與閘極電極136d同樣，分別形成接觸於源極電極或汲極電極130a的電極136a、接觸於源極電極或汲極電極130b的電極136b以及接觸於電極130c的電極136c。

另外，在電晶體162上接觸於氧化物半導體層140的一部分地設置有保護絕緣層144，並在保護絕緣層144上設置有層間絕緣層146。這裏，在保護絕緣層144和層間絕緣層

146中形成有到達源極電極或汲極電極142a和源極電極或汲極電極142b的開口，並且電極150d及電極150e形成爲藉由該開口接觸於源極電極或汲極電極142a和源極電極或汲極電極142b。另外，與電極150d及電極150e同樣，電極150a、電極150b以及電極150c形成爲藉由設置在閘極絕緣層138、保護絕緣層144和層間絕緣層146中的開口接觸於電極136a、電極136b以及電極136c。

這裏，氧化物半導體層140較佳爲雜質如氫等充分得到去除並被高純度化的氧化物半導體層。明確地說，氧化物半導體層140的氫濃度爲 5×10^{19} 原子/cm³以下，較佳爲 5×10^{18} 原子/cm³以下，更較佳爲 5×10^{17} 原子/cm³以下。另外，氧化物半導體層140較佳爲藉由包含足夠的氧而減少了起因於氧缺乏的缺陷的層。在氫濃度充分得到降低並高純度化並且減少了起因於氧缺乏的缺陷的氧化物半導體層140中，載子濃度成爲低於 1×10^{12} /cm³，較佳成爲 1×10^{11} /cm³以下。如上所述，藉由使用i型化（本徵化）或實際上i型化的氧化物半導體，可以獲得截止電流特性極爲優良的電晶體162。例如，在汲極電極電壓V_d爲+1V或+10V且閘極電壓V_g爲-5V至-20V的情況下，截止電流爲 1×10^{-13} A以下。如上所述，藉由使用氫濃度充分得到降低並高純度化並且減少了起因於氧缺乏的缺陷的氧化物半導體層140而降低電晶體162的截止電流，可以實現新的結構的半導體裝置。另外，使用二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectroscopy）測量上述氧化物半導

體層 140 中的氫濃度。

另外，在層間絕緣層 146 上設置有絕緣層 152，並將電極 154a、電極 154b、電極 154c 以及電極 154d 設置為嵌入該絕緣層 152。這裏，電極 154a 接觸於電極 150a，電極 154b 接觸於電極 150b，電極 154c 接觸於電極 150c 及電極 150d，並且電極 154d 接觸於電極 150e。

就是說，在圖 2A 和 2B 所示的半導體裝置中，電晶體 160 的閘極電極 110a 隔著電極 130c、電極 136c、電極 150c、電極 154c 以及電極 150d 電連接於電晶體 162 的源極電極或汲極電極 142a。

<半導體裝置的製造方法>

以下，說明上述半導體裝置的製造方法的一個例子。以下，首先，參照圖 3A 至 3H 說明下部的電晶體 160 的製造方法，然後，參照圖 4A 至 4G 和圖 5A 至 5D 說明上部的電晶體 162 的製造方法。

<下部的電晶體的製造方法>

首先，準備包含半導體材料的基板 100（參照圖 3A）。作為包含半導體材料的基板 100，可以使用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等。這裏，示出當作為包含半導體材料的基板 100 而使用單晶矽基板時的一個例子。注意，一般來說，“SOI 基板”是指具有在絕緣表面上設置有矽

半導體層的結構的基板，但是在本說明書等中，作為包括在絕緣表面上設置有由矽以外的材料構成的半導體層的結構的基板的概念而使用。換言之，“SOI基板”所具有半導體層不侷限於矽半導體層。此外，將具有在玻璃基板等絕緣基板上隔著絕緣層設置半導體層的結構的基板也包括在SOI基板中。

在基板100上形成用作用來形成元件分離絕緣層的掩模的保護層102（參照圖3A）。作為保護層102，例如可以使用氧化矽、氮化矽、氮氧化矽等的材料的絕緣層。另外，在該製程的前後，也可以將賦予n型導電性的雜質元素、賦予p型導電性的雜質元素添加到基板100，以控制電晶體的臨界值電壓。在半導體為矽時，作為賦予n型的導電性的雜質，例如可以使用磷、砷等。另外，作為賦予p型的導電性的雜質，例如可以使用硼、鋁、鎵等。

接著，使用上述保護層102作為掩模進行蝕刻，去除不由保護層102覆蓋的區域（露出的區域）的基板100的一部分。由此，形成得到分離的半導體區域104（參照圖3B）。該蝕刻較佳使用乾蝕刻，但是也可以使用濕蝕刻。可以根據被蝕刻材料適當地選擇蝕刻氣體和蝕刻液。

接著，藉由覆蓋半導體區域104地形成絕緣層，並且選擇性地去除重疊於半導體區域104的區域的絕緣層，形成元件分離絕緣層106（參照圖3B）。該絕緣層使用氧化矽、氮化矽、氮氧化矽等而形成。作為絕緣層的去方法，有CMP等拋光處理或蝕刻處理等，可以使用任一方法

。另外，在形成半導體區域104之後，或者，在形成元件分離絕緣層106之後，去除上述保護層102。

接著，在半導體區域104上形成絕緣層，而在該絕緣層上形成包含導電材料的層。

絕緣層是之後成為閘極絕緣層的層，該絕緣層較佳採用藉由CVD法或濺射法等來得到的包含氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭等的膜的單層結構或多層結構即可。另外，也可以藉由高密度電漿處理或熱氧化處理使半導體區域104的表面氧化或氮化，形成上述絕緣層。高密度電漿處理例如可以使用氮、氬、氦、氫等稀有氣體和氧、氧化氮、氨、氮、氫等的混合氣體來進行。另外，對絕緣層的厚度沒有特別的限制，例如其厚度可以設定為1nm以上且100nm以下。

包含導電材料的層可以使用鋁、銅、鈦、鉭、鎢等的金屬材料而形成。另外，也可以藉由使用包含導電材料的多晶矽等的半導體材料，形成包含導電材料的層。對形成方法也沒有特別的限制，可以使用蒸鍍法、CVD法、濺射法、旋塗法等各種成膜方法。此外，在本實施例模式中，說明使用金屬材料形成包含導電材料的層時的一個例子。

然後，藉由選擇性地蝕刻絕緣層和包含導電材料的層，形成閘極絕緣層108a和閘極電極110a。（參照圖3C）。

接著，形成覆蓋閘極電極110a的絕緣層112（參照圖3C）。然後，藉由將磷（P）或砷（As）等添加到半導體

區域 104，形成其接面深度淺的雜質區域 114（參照圖 3C）。這裏，雖然添加磷或砷以形成 n 型電晶體，但是也可以在形成 p 型電晶體時添加硼（B）或鋁（Al）等的雜質元素。另外，藉由形成雜質區域 114，在半導體區域 104 的閘極絕緣層 108a 的下部形成通道形成區域 116（參照圖 3C）。在此，雖然可以適當地設定所添加的雜質的濃度，但是較佳在半導體元件被高微細化時提高其濃度。這裏，雖然採用在形成絕緣層 112 之後形成雜質區域 114 的製程，但是也可以採用在形成雜質區域 114 之後形成絕緣層 112 的製程。

接著，形成側壁絕緣層 118（參照圖 3D）。可以在覆蓋絕緣層 112 地形成絕緣層之後，藉由對該絕緣層進行各向異性高的蝕刻處理，以自對準的方式形成側壁絕緣層 118。另外，此時，較佳藉由對絕緣層 112 的一部分進行蝕刻，暴露閘極電極 110a 的頂面和雜質區域 114 的頂面。

接著，覆蓋閘極電極 110a、雜質區域 114 和側壁絕緣層 118 等地形成絕緣層。然後，藉由將磷（P）或砷（As）等添加到該絕緣層接觸雜質區域 114 的區域，形成高濃度雜質區域 120（參照圖 3E）。然後，去除上述絕緣層，覆蓋閘極電極 110a、側壁絕緣層 118 和高濃度雜質區域 120 等地形成金屬層 122（參照圖 3E）。該金屬層 122 可以使用真空蒸鍍法、濺射法和旋塗法等各種成膜方法形成。較佳使用與構成半導體區域 104 的半導體材料起反應而成為低電阻的金屬化合物的金屬材料形成金屬層 122。作為上述金屬材料，例如有鈦、鉭、鎢、鎳、鈷、鉑等。

接著，進行熱處理，使上述金屬層 122 與半導體材料起反應。由此，形成接觸高濃度雜質區域 120 的金屬化合物區域 124（參照圖 3F）。另外，在使用多晶矽等作為閘極電極 110a 的情況下，還在閘極電極 110a 與金屬層 122 接觸的部分形成金屬化合物區域。

作為上述熱處理，例如可以使用照射閃光燈的熱處理。當然，也可以使用其他熱處理方法，為了提高在形成金屬化合物時的化學反應的控制性，較佳使用可以在極短的時間內進行熱處理的方法。另外，上述金屬化合物區域由金屬材料與半導體材料之間的反應而形成，該金屬化合物區域的導電性充分得到提高。藉由形成該金屬化合物區域，可以充分降低電阻，並可以提高元件特性。另外，在形成金屬化合物區域 124 之後，去除金屬層 122。

接著，覆蓋藉由上述製程形成的各結構地形成層間絕緣層 126 和層間絕緣層 128（參照圖 3G）。層間絕緣層 126 和層間絕緣層 128 可以使用包含氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭等無機絕緣材料的材料形成。此外，也可以使用聚醯亞胺、丙烯酸樹脂等有機絕緣材料形成層間絕緣層 126 和層間絕緣層 128。這裏，雖然示出層間絕緣層 126 和層間絕緣層 128 的兩層結構，但是層間絕緣層的結構不侷限於此。在形成層間絕緣層 128 之後，較佳藉由對其表面進行 CMP 或蝕刻處理等而使其平坦化。

然後，在上述層間絕緣層中形成到達金屬化合物區域 124 的開口，並且在該開口中形成源極電極或汲極電極

130a和源極電極或汲極電極130b（參照圖3H）。例如，可以在包括開口的區域中使用PVD法或CVD法等形成導電層，然後使用蝕刻處理或CMP等的方法去除上述導電層的一部分，以形成源極電極或汲極電極130a和源極電極或汲極電極130b。

另外，在藉由去除上述導電層的一部分形成源極電極或汲極電極130a和源極電極或汲極電極130b時，較佳將其表面加工為平坦。例如，當在包含開口的區域中形成薄的鈦膜或氮化鈦膜，然後將鎢膜形成為嵌入開口中時，可以在藉由進行之後的CMP去除多餘的鎢膜、鈦膜或氮化鈦膜等的同時提高其表面的平坦性。像這樣，藉由對包含源極電極或汲極電極130a和源極電極或汲極電極130b的表面進行平坦化，可以在之後的製程中形成優良的電極、佈線、絕緣層或半導體層等。

這裏，雖然附圖僅示出接觸金屬化合物區域124的源極電極或汲極電極130a和源極電極或汲極電極130b，但是也可以在該製程中形成接觸閘極電極110a的電極（例如，圖2A中的電極130c）等。對可以用作源極電極或汲極電極130a和源極電極或汲極電極130b的材料沒有特別的限制，而可以使用各種導電材料。例如，可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹和鈳等導電材料。

藉由上述製程，形成使用包含半導體材料的基板100的電晶體160。另外，在進行上述製程之後，還可以形成電極、佈線或絕緣層等。藉由使用由層間絕緣層和導電層

的疊層結構構成的多層佈線結構作為佈線的結構，可以提供高集成化的半導體裝置。

<上部的電晶體的製造方法>

接著，參照圖4A至4G及圖5A至5D說明在層間絕緣層128上製造電晶體162的製程。另外，圖4A至4G及圖5A至5D示出層間絕緣層128上的各種電極或電晶體162等的製造製程，而省略存在於電晶體162的下部的電晶體160等。

首先，在層間絕緣層128、源極電極或汲極電極130a和源極電極或汲極電極130b、電極130c上形成絕緣層132（參照圖4A）。絕緣層132可以使用PVD法或CVD法等而形成。另外，絕緣層132可以使用包含氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭等無機絕緣材料的材料形成。

接著，在絕緣層132中形成到達源極電極或汲極電極130a、源極電極或汲極電極130b以及電極130c的開口。此時，還在之後形成閘極電極136d的區域中形成開口。然後，將導電層134形成為嵌入上述開口中（參照圖4B）。上述開口可以使用掩模藉由蝕刻等的方法而形成。上述掩模可以藉由使用光掩模的曝光等的方法而形成。作為蝕刻，使用濕蝕刻和乾蝕刻中的任何一種，但是從微細加工的觀點來看，較佳使用乾蝕刻。導電層134可以使用PVD法或CVD法等成膜法而形成。作為可以用來形成導電層134的材料，可以舉出鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹和鈳

等導電材料、該材料的合金或化合物（例如，氮化物）等。

更明確地說，可以使用如下方法：例如，在包括開口的區域中使用PVD法形成薄的鈦膜，並且使用CVD法形成薄的氮化鈦膜，然後將鎢膜形成為嵌入開口中。這裏，藉由PVD法形成的鈦膜具有還原與下部電極（這裏，源極電極或汲極電極130a、源極電極或汲極電極130b以及電極130c等）的介面的氧化膜，並且降低與下部電極的接觸電阻的功能。另外，之後形成的氮化鈦膜具有抑制導電材料的擴散的阻擋功能。另外，也可以在形成由鈦或氮化鈦等構成的障壁膜之後，使用鍍法形成銅膜。

在形成導電層134之後，藉由使用蝕刻處理或CMP等的方法去除導電層134的一部分，暴露絕緣層132，以形成電極136a、電極136b、電極136c以及閘極電極136d（參照圖4C）。另外，在去除上述導電層134的一部分以形成電極136a、電極136b、電極136c以及閘極電極136d時，較佳將其表面加工為平坦。如此，藉由將絕緣層132、電極136a、電極136b、電極136c以及閘極電極136d的表面加工為平坦，可以在之後的製程中形成優良的電極、佈線、絕緣層以及半導體層等。

接著，覆蓋絕緣層132、電極136a、電極136b、電極136c以及閘極電極136d地形成閘極絕緣層138（參照圖4D）。閘極絕緣層138可以藉由CVD法或濺射法等形成。另外，閘極絕緣層138較佳包含氧化矽、氮化矽、氧氮化矽

、氮氧化矽、氧化鋁、氧化鉛或氧化鉬等。注意，閘極絕緣層 138 可以為單層結構或者疊層結構。例如，藉由使用作為原料氣體使用矽烷（ SiH_4 ）、氧和氮的電漿 CVD 法，可以形成包含氧氮化矽的閘極絕緣層 138。對閘極絕緣層 138 的厚度沒有特別的限制，例如其厚度可以設定為 10 nm 以上且 500 nm 以下。在使用疊層結構時，例如，較佳使用由厚度為 50 nm 以上且 200 nm 以下的第一閘極絕緣層和第一閘極絕緣層上的厚度為 5 nm 以上且 300 nm 以下的第二閘極絕緣層構成的疊層。

另外，因為藉由去除雜質而 i 型化或者在實際上 i 型化的氧化物半導體（高純度化的氧化物半導體）對介面能級或介面電荷極為敏感，所以在作為氧化物半導體層使用該氧化物半導體的情況下，氧化物半導體層與閘極絕緣層的介面是重要的。就是說，接觸高純度化的氧化物半導體層的閘極絕緣層 138 被要求高品質化。

例如，可以藉由使用 μ 波（2.45 GHz）的高密度電漿 CVD 法而形成緻密且絕緣耐壓高的高品質的閘極絕緣層 138，因此該方法是較佳的。這是因為高純度化的氧化物半導體層與高品質閘極絕緣層黏合而可以降低介面能級而得到優良的介面特性的緣故。

當然，只要是能夠作為閘極絕緣層形成優質的絕緣層的方法，就在使用高純度化的氧化物半導體層的情況下也可以使用濺射法或電漿 CVD 法等的其他方法。另外，也可以使用藉由其形成後的熱處理而使其膜品質或其介面特性

得到改善的絕緣層。總之，只要形成作為閘極絕緣層 138 的膜品質優良且可以降低其與氧化物半導體層的介面態密度而形成優良的介面的閘極絕緣層，即可。

再者，在溫度為 85°C ，電場強度為 $2 \times 10^6 \text{ V/cm}$ 且時間為 12 小時的閘極偏壓・熱應力試驗（稱為 BT 試驗）中，如果在氧化物半導體中添加有雜質，雜質和氧化物半導體的主要成分之間的鍵由強電場（B：偏壓）和高溫（T：溫度）切斷，由所生成的懸空鍵而引起臨界值電壓（ V_{th} ）的偏移。

與此相反，藉由儘量去除氧化物半導體的雜質，尤其是氫或水等，如上所述那樣得到閘極絕緣層與氧化物半導體層的優良的介面特性，而可以得到對 BT 試驗也穩定的電晶體。

接著，在閘極絕緣層 138 上形成氧化物半導體層，藉由使用掩模的蝕刻等方法而加工該氧化物半導體層，以形成島狀的氧化物半導體層 140（參照圖 4E）。

作為氧化物半導體層，較佳採用 In-Ga-Zn-O 基、In-Sn-Zn-O 基、In-Al-Zn-O 基、Sn-Ga-Zn-O 基、Al-Ga-Zn-O 基、Sn-Al-Zn-O 基、In-Zn-O 基、Sn-Zn-O 基、Al-Zn-O 基、In-O 基、Sn-O 基、Zn-O 基的氧化物半導體層，尤其是非晶氧化物半導體層。在本實施例模式中，作為氧化物半導體層，使用 In-Ga-Zn-O 基氧化物半導體成膜用靶材藉由濺射法形成非晶氧化物半導體層。另外，因為可以藉由將矽添加到非晶氧化物半導體層中抑制其結晶化，所以例如，

也可以使用包含 2wt% 以上且 10wt% 以下的 SiO_2 的靶材形成氧化物半導體層。

作為用來使用濺射法製造氧化物半導體層的靶材，例如，可以使用以氧化鋅為主要成分的金屬氧化物的靶材。另外，也可以使用包含 In、Ga 和 Zn 的氧化物半導體成膜用靶材（組成比為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1:1:1$ [mol 比]、或者 $\text{In}:\text{Ga}:\text{Zn} = 1:1:0.5$ [atom 比]）等。另外，作為包含 In、Ga 和 Zn 的氧化物半導體成膜用靶材，也可以使用其組成比為 $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ [atom 比]、或者 $\text{In}:\text{Ga}:\text{Zn} = 1:1:2$ [atom 比] 的靶材等。氧化物半導體成膜用靶材的填充率為 90% 以上且 100% 以下，較佳為 95% 以上（例如，99.9%）。藉由使用填充率高的氧化物半導體成膜用靶材，形成緻密的氧化物半導體層。

氧化物半導體層的形成氣圍較佳為稀有氣體（典型為氬）氣圍、氧氣圍或稀有氣體（典型為氬）和氧的混合氣圍。明確地說，例如，較佳使用氬、水、羥基或氫化物等的雜質的濃度降低到幾 ppm 左右（較佳為幾 ppb 左右）的高純度氣體。

在形成氧化物半導體層時，在保持為減壓狀態的處理室內固定基板，並且將基板溫度設定為 100°C 以上且 600°C 以下，較佳為 200°C 以上且 400°C 以下。藉由在加熱基板的同時形成氧化物半導體層，可以降低氧化物半導體層所包含的雜質的濃度。另外，可以減輕由濺射導致的損傷。然後，在去除處理室內的殘留水分的同時引入氬和水得到去

除的濺射氣體，並且將金屬氧化物用作靶材以形成氧化物半導體層。較佳使用吸附型真空泵，以去除處理室內的殘留水分。例如，可以使用低溫泵、離子泵、鈦昇華泵。另外，作為排氣單元，也可以使用提供有冷阱的渦輪泵。在使用低溫泵進行了排氣的沉積室中，例如，對氫原子、水（ H_2O ）等包含氫原子的化合物（更佳，還有包含碳原子的化合物）等進行排氣，因此可以降低在該沉積室中形成的氧化物半導體層所包含的雜質的濃度。

作為形成條件，例如，可以採用如下條件：基板和靶材之間的距離為100mm，壓力為0.6Pa，直流（DC）電力為0.5kW，並且氣圍為氧（氧流量比率為100%）氣圍。注意，當使用脈衝直流（DC）電源時，可以減少在成膜時發生的粉狀物質（也稱為微粒、塵屑），並且膜厚度分佈也變得均勻，所以是較佳的。將氧化物半導體層的厚度設定為2nm以上且200nm以下，較佳為5nm以上且30nm以下。另外，因為氧化物半導體層的適當的厚度根據使用的氧化物半導體材料而不同，所以可以根據使用的材料適當地選擇其厚度。

另外，較佳在藉由濺射法形成氧化物半導體層之前進行導入氬氣體來產生電漿的反濺射，以去除附著在閘極絕緣層138的表面上的塵屑。這裏，通常的濺射是指將離子碰撞到濺射靶材，而反濺射是指將離子碰撞到處理表面以改變其表面的性質。作為將離子碰撞到處理表面的方法，有在氬氣圍中將高頻電壓施加到處理表面一側而在基板附

近生成電漿的方法等。另外，也可以使用氮氣圍、氬氣圍或氧氣圍等代替氬氣圍。

作為上述氧化物半導體層的蝕刻可以使用乾蝕刻或濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。根據材料適當地設定蝕刻條件（蝕刻氣體、蝕刻液、蝕刻時間、溫度等），以將其蝕刻成所希望的形狀。

作為乾蝕刻所使用的蝕刻氣體，例如有含有氯的氣體（氯基氣體，例如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、四氯化碳（ CCl_4 ）等）等。另外，還可以使用含有氟的氣體（氟基氣體，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等）、溴化氫（ HBr ）、氧（ O_2 ）或對上述氣體添加了氦（ He ）或氬（ Ar ）等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型RIE（反應性離子蝕刻：Reactive Ion Etching）法或ICP（感應耦合電漿：Inductively Coupled Plasma）蝕刻法。適當地設定蝕刻條件（施加到線圈形電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等），以便蝕刻為所希望的形狀。

作為用於濕蝕刻的蝕刻液，可以使用將磷酸、醋酸以及硝酸混合的溶液、過氧化氫氨水（31wt%過氧化氫水：28wt%氨水：水=5：2：2）等。另外，還可以使用ITO07N（由Kanto Chemical Co., Inc製造）等蝕刻液。

接著，較佳對氧化物半導體層進行第一熱處理。藉由

進行該第一熱處理，可以進行氧化物半導體層的脫水化或脫氫化。將第一熱處理的溫度設定為 300°C 以上且 750°C 以下，較佳為 400°C 以上且低於基板的應變點。例如，將基板引入到使用電阻發熱體等的電爐中，在氮氣圍中且在 450°C 的溫度下對氧化物半導體層140進行熱處理1小時。在該期間，不使氧化物半導體層140接觸大氣，以避免水或氫的再混入。

另外，熱處理裝置不侷限於電爐，也可以為利用來自被進行了加熱的氣體等介質的導熱或熱輻射對被處理物進行加熱的裝置。例如，可以使用GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置或LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置等RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA裝置是利用從燈如鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光（電磁波）的輻射加熱被處理物的裝置。GRTA裝置是利用高溫氣體進行熱處理的裝置。作為氣體，使用不藉由加熱處理與被處理物起反應的惰性氣體如氬等稀有氣體或氮。

例如，作為第一熱處理，也可以進行如下GRTA處理，即將基板引入到被加熱到 650°C 至 700°C 的高溫的惰性氣體中，進行加熱幾分鐘，然後從該惰性氣體抽出基板。藉由使用GRTA處理，可以在短時間內進行高溫熱處理。另外，因為GRTA處理是在短時間內進行的熱處理，所以即使在超過基板的應變點的溫度條件下也可以使用上述熱處

理。

另外，較佳在以氮或稀有氣體（氮、氦或氬等）為主要成分且不包含水或氫等的氣圍下進行第一熱處理。例如，較佳將導入加熱處理裝置中的氮或氮、氦、氬等的稀有氣體的純度設定為6N（99.9999%）以上，較佳設定為7N（99.99999%）以上（即，雜質濃度為1ppm以下，較佳為0.1ppm以下）。

根據第一加熱處理的條件或氧化物半導體層的材料，有時氧化物半導體層晶化並成為微晶或多晶。例如，有時成為結晶化率為90%以上或80%以上的微晶氧化物半導體層。另外，根據第一熱處理的條件或氧化物半導體層的材料，有時成為不包含結晶成分的非晶氧化物半導體層。

另外，有時成為非晶氧化物半導體（例如，在氧化物半導體層的表面）和結晶（粒徑為1nm以上且20nm以下，典型為2nm以上且4nm以下）混合在一起的氧化物半導體層。

另外，藉由在非晶的表面設置結晶層，也可以改變氧化物半導體層的電特性。例如，在使用In-Ga-Zn-O基氧化物半導體成膜用靶材形成氧化物半導體層時，藉由形成具有電各向異性的 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒取向的結晶部，可以改變氧化物半導體層的電特性。

更明確地說，例如，藉由將 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒取向為其c軸垂直於氧化物半導體層的表面，可以提高平行於氧化物半導體層表面的方向上的導電性，並提高垂直於氧化

物半導體層表面的方向上的絕緣性。另外，上述結晶部具有抑制水或氫等雜質侵入到氧化物半導體層中的功能。

另外，具有上述結晶部的氧化物半導體層可以藉由GRTA處理對氧化物半導體層進行表面加熱而形成。另外，更佳地藉由使用Zn含量小於In或Ga的含量的濺射靶材來形成氧化物半導體層。

也可以對被加工為島狀的氧化物半導體層140之前的氧化物半導體層進行對氧化物半導體層140的第一熱處理。在此情況下，在進行第一熱處理之後從加熱裝置抽出基板，並進行光微影製程。

另外，上述熱處理有對氧化物半導體層140的脫水化或脫氫化的效果，所以也可以被稱為脫水化處理或脫氫化處理等。在形成氧化物半導體層之後，在將源極電極或汲極電極層疊在氧化物半導體層140上之後，或者，在將保護絕緣層形成在源極電極或汲極電極上之後等可以進行上述脫水化處理或脫氫化處理。另外，可以進行該脫水化處理或脫氫化處理一次或多次。

接著，接觸氧化物半導體層140地形成源極電極或汲極電極142a和源極電極或汲極電極142b（參照圖4F）。藉由在覆蓋氧化物半導體層140地形成導電層之後對該導電層選擇性地進行蝕刻，可以形成源極電極或汲極電極142a和源極電極或汲極電極142b。

導電層可以使用以濺射法為典型的PVD法或電漿CVD法等CVD法而形成。另外，作為導電層的材料，可以使

用選自鋁、鉻、銅、鈮、鈦、鉬和鎢的元素或以上述元素為成分的合金等。也可以使用選自錳、鎂、鋯、鈹和鈦的任何一種或多種材料。另外，也可以使用組合鋁與選自鈦、鈮、鎢、鉬、鉻、鈹和鈦的一種元素或多種元素而成的材料。導電層既可為單層結構，又可為兩層以上的疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鋁膜上層疊有鈦膜的兩層結構以及層疊有鈦膜、鋁膜和鈦膜的三層結構等。

此外，導電層也可以使用導電金屬氧化物來形成。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時簡略為ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、或者包括矽或氧化矽的這些金屬氧化物材料中的任一種。

這裏，在進行曝光以形成用於蝕刻的掩模時，較佳使用紫外線、KrF雷射或ArF雷射。

根據源極電極或汲極電極142a和源極電極或汲極電極142b的間隔，決定電晶體的通道長度（L）。另外，當在通道長度（L）短於25nm的條件下進行曝光時，使用波長極短，即幾nm至幾十nm的超紫外線（Extreme Ultraviolet）進行用來形成掩模的曝光。利用超紫外線的曝光的解析度高，並且聚焦深度也大。因此，也可以將之後形成的電晶體的通道長度（L）設定為10nm以上且1000nm以下，而可以實現電路的工作速度的高速化。再者，因為截止電流

值極小，所以可以降低耗電量。

另外，在對導電層進行蝕刻時，適當地調節其材料和蝕刻條件，以避免氧化物半導體層140得到去除。另外，根據材料和蝕刻條件，有時在該製程中氧化物半導體層140的一部分被進行蝕刻而成爲具有槽部（凹部）的氧化物半導體層。

另外，也可以在氧化物半導體層140和源極電極或汲極電極142a之間或者在氧化物半導體層140和源極電極或汲極電極142b之間形成氧化物導電層。可以連續形成（連續成膜）氧化物導電層和用來形成源極電極或汲極電極142a和源極電極或汲極電極142b的金屬層。氧化物導電層可以用作源極區或汲極區。藉由設置該氧化物導電層，可以實現源極區或汲極區的低電阻化，而可以實現電晶體的高速工作。

另外，爲了削減上述掩模的使用數或製程數，而也可以使用作爲透光爲具有多種強度的曝光掩模的多色調掩模形成抗蝕劑掩模，並使用該抗蝕劑掩模進行蝕刻製程。使用多色調掩模形成的抗蝕劑掩模成爲具有多種厚度的形狀（階梯狀），並進行灰化來可以進一步改變形狀，所以可以用於加工爲不同的圖案的多個蝕刻製程。就是說，利用一個多色調掩模，可以形成對應於至少兩種以上的不同圖案的抗蝕劑掩模。因此，可以削減曝光掩模數，並且可以削減所對應的光微影製程數，所以可以簡化製程。

另外，在進行上述製程之後，較佳進行使用 N_2O 、 N_2

或 Ar 等的氣體的電漿處理。藉由進行該電漿處理，去除附著於露出的氧化物半導體層表面的水等。另外，也可以使用如氧和氬的混合氣體等含有氧的氣體進行電漿處理。由此，可以對氧化物半導體層供應氧，並且降低起因於氧缺乏的缺陷。

接著，不接觸大氣地形成接觸氧化物半導體層 140 的一部分的保護絕緣層 144（參照圖 4G）。

保護絕緣層 144 可以藉由適當地使用濺射法等的不使水或氬等的雜質混入到保護絕緣層 144 的方法而形成。另外，其厚度至少為 1 nm 以上。作為可以用於保護絕緣層 144 的材料，有氧化矽、氮化矽、氧氮化矽或氮氧化矽等。此外，其結構可以為單層結構或者疊層結構。較佳將形成保護絕緣層 144 時的基板溫度設定為室溫以上且 300℃ 以下，較佳採用稀有氣體（典型為氬）氣圍、氧氣圍或稀有氣體（典型為氬）和氧的混合氣圍。

在保護絕緣層 144 包含氬的情況下，有時該氬侵入到氧化物半導體層或者由該氬從氧化物半導體層中抽出氧、等等，這會導致氧化物半導體層的背通道側的低電阻化，而引起寄生通道的形成。因此，在保護絕緣層 144 的形成方法中不使用氬是重要的，以儘量使保護絕緣層 144 不包含氬。

另外，較佳在去除處理室內的殘留水分的同時形成保護絕緣層 144。這是為了不使氧化物半導體層 140 和保護絕緣層 144 包含氬、水、羥基或氫化物。

較佳使用吸附型真空泵，以去除處理室內的殘留水分。例如，較佳使用低溫泵、離子泵或鈦昇華泵。另外，作為排氣單元，也可以使用提供有冷阱的渦輪泵。在使用低溫泵進行了排氣的沉積室中，例如，氫原子、水（ H_2O ）等包含氫原子的化合物等得到去除，因此可以降低在該沉積室中形成的保護絕緣層144所包含的雜質的濃度。

作為形成保護絕緣層144時的濺射氣體，較佳使用氫、水、羥基或氫化物等雜質的濃度降低到幾ppm左右（較佳為幾ppb左右）的高純度氣體。

接著，較佳在惰性氣體氣圍中或在氧氣體氣圍中進行第二熱處理（較佳為 $200^{\circ}C$ 以上且 $400^{\circ}C$ 以下，例如 $250^{\circ}C$ 以上且 $350^{\circ}C$ 以下）。例如，在氮氣圍下以 $250^{\circ}C$ 進行一個小時的第二熱處理。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻。此外，藉由進行第二熱處理，可以對氧化物半導體層供應氧。

另外，也可以在大氣中並在 $100^{\circ}C$ 以上且 $200^{\circ}C$ 以下的溫度下進行熱處理1小時以上且30小時以下。該熱處理既可在保持一定的加熱溫度的狀態下進行加熱，又可藉由反復進行多次的從室溫到 $100^{\circ}C$ 以上且 $200^{\circ}C$ 以下的加熱溫度的升溫和從加熱溫度到室溫的降溫而進行加熱。另外，也可以在形成保護絕緣層之前在減壓狀態下進行該熱處理。藉由在減壓狀態下進行熱處理，可以縮短加熱時間。另外，既可進行該熱處理代替上述第二熱處理，又可在進行第二熱處理前後等進行該熱處理。

接著，在保護絕緣層 144 上形成層間絕緣層 146（參照圖 5A）。層間絕緣層 146 可以使用 PVD 法或 CVD 法等而形成。另外，層間絕緣層 146 可以使用包含氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭等無機絕緣材料的材料形成。在形成層間絕緣層 146 之後，較佳藉由對其表面進行 CMP 或蝕刻處理等而進行平坦化。

接著，在層間絕緣層 146、保護絕緣層 144 以及閘極絕緣層 138 中形成到達電極 136a、電極 136b、電極 136c、源極電極或汲極電極 142a 以及源極電極或汲極電極 142b 的開口，並將導電層 148 形成為嵌入該開口中（參照圖 5B）。上述開口可以使用掩模藉由蝕刻等的方法而形成。上述掩模可以藉由使用光掩模的曝光等的方法而形成。作為蝕刻，可以使用濕蝕刻和乾蝕刻中的任何一種，但是從微細加工的觀點來看，較佳使用乾蝕刻。導電層 148 可以使用 PVD 法或 CVD 法等成膜法而形成。作為可以用來形成導電層 148 的材料，可以舉出鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹和鈳等導電材料、該材料的合金或化合物（例如，氮化物）等。

明確地說，可以使用如下方法：例如，在包括開口的區域中使用 PVD 法形成薄的鈦膜，並且使用 CVD 法形成薄的氮化鈦膜，然後將鎢膜形成為嵌入開口中。這裏，藉由 PVD 法形成的鈦膜具有還原與下部電極（這裏，電極 136a、電極 136b、電極 136c、源極電極或汲極電極 142a 以及源極電極或汲極電極 142b 等）的界面的氧化膜，並且降低與

下部電極的接觸電阻的功能。另外，之後形成的氮化鈦膜具有抑制導電材料的擴散的阻擋功能。另外，也可以在形成由鈦或氮化鈦等構成的障壁膜之後，使用鍍法形成銅膜。

在形成導電層 148 之後，藉由使用蝕刻處理或 CMP 等的方法去除導電層 148 的一部分，暴露層間絕緣層 146，以形成電極 150a、電極 150b、電極 150c、電極 150d 以及電極 150e（參照圖 5C）。另外，在去除上述導電層 148 的一部分以形成電極 150a、電極 150b、電極 150c、電極 150d 以及電極 150e 時，較佳將其表面加工為平坦。如此，藉由將層間絕緣層 146、電極 150a、電極 150b、電極 150c、電極 150d 以及電極 150e 的表面加工為平坦，可以在之後的製程中形成優良的電極、佈線、絕緣層以及半導體層等。

再者，形成絕緣層 152，在絕緣層 152 中形成到達電極 150a、電極 150b、電極 150c、電極 150d 以及電極 150e 的開口，並且將導電層形成為嵌入該開口中，然後，使用蝕刻或 CMP 等的方法去除導電層的一部分來暴露絕緣層 152，以形成電極 154a、電極 154b、電極 154c 以及電極 154d（參照圖 5D）。該製程與形成電極 150a 等的情況相同，而省略其詳細說明。

在使用上述方法製造電晶體 162 的情況下，氧化物半導體層 140 的氫濃度為 5×10^{19} 原子/cm³ 以下，另外，電晶體 162 的截止電流為 1×10^{-13} A 以下。像這樣，藉由使用氫濃度得到充分降低而高純度化且起因於氧缺乏的缺陷得到降低

的氧化物半導體層 140，可以得到優良特性的電晶體 162。另外，可以製造在下部具有使用氧化物半導體以外的材料的電晶體 160 並在上部具有使用氧化物半導體的電晶體 162 且具有優良特性的半導體裝置。

注意，關於氧化物半導體，雖然進行多個物性研究，但是這些研究不包括充分降低定域能級本身的思想。在所公開的發明的一個實施例中，藉由去除氧化物半導體中的有可能成為定域能級的原因的水、氫，製造高純度化的氧化物半導體。這是根據充分降低定域能級本身的思想。由此，可以製造極為優良的工業產品。

注意，當去除氫、水等時，有時同時去除氧。因此，藉由對起因於氧缺乏而發生的金屬的懸空鍵供應氧，減少氧缺陷所引起的定域能級，實現氧化物半導體的進一步的高純度化（i型化）是較佳的。例如，藉由密接於通道形成區域地形成氧過剩的氧化膜，以 200℃ 以上且 400℃ 以下，典型為 250℃ 左右的溫度條件進行熱處理，可以從該氧化膜供應氧，以減少氧缺陷所引起的定域能級。此外，也可以在第二熱處理中，將惰性氣體轉換為包含氧的氣體。藉由在第二熱處理後進行氧氣圍或者充分去除了氫、水的氣圍下的降溫過程，也可以將氧供應到氧化物半導體中。

作為使氧化物半導體的特性惡化的主要原因，可以認為：過剩的氫所導致的傳導帶下的 0.1 至 0.2 eV 的淺能級；氧欠缺所導致的深能級；等等。可以說，為了去掉這些缺陷而徹底去除氫並充分供應氧的技術思想是正確的。

因為在所公開的發明中使氧化物半導體高純度化，所以氧化物半導體中的載子密度足夠小。

並且，按照費米·狄拉克分佈（Fermi-Dirac distribution），而能隙為3.05至3.15eV的氧化物半導體的本徵載子密度成為 $10^{-7}/\text{cm}^3$ ，並且，其與本徵載子密度為 $1.45 \times 10^{10}/\text{cm}^3$ 的矽相比小得多。

因此，作為少數載子的電洞也極少，並且，IGFET（Insulated Gate Field Effect Transistor）中的反向偏壓的漏電流可以期待為 $100\text{aA}/\mu\text{m}$ 以下，較佳為 $10\text{aA}/\mu\text{m}$ 以下，更佳為 $1\text{aA}/\mu\text{m}$ 以下。注意，這裏， $1\text{aA}/\mu\text{m}$ 的記載表示在每個電晶體的通道寬度 $1\mu\text{m}$ 中流過 1aA （ $1 \times 10^{-18}\text{A}$ ）的電流的情況。

作為能隙為3eV以上的寬帶半導體（semiconductor having a wide gap），已知SiC（3.26eV）、GaN（3.42eV）等，並且期待為能夠得到同樣的電晶體特性。然而，這些半導體材料需要 1500°C 以上的處理溫度，而薄膜化在實際上是不可可能的。此外，即使要在矽積體電路上進行三維的疊層化，也處理溫度過高，而是不可可能的。另一個面，氧化物半導體可以藉由利用室溫以上且 400°C 以下的溫度的加熱濺射而形成薄膜，並且，可以以 450°C 以上且 700°C 以下的溫度實現脫水化·脫氫化（去除氫、水）以及加氧化（供應氧），所以可以在矽積體電路上形成三維的疊層結構。

注意，氧化物半導體一般是n型，但是在所公開的發

明的一種實施例中，藉由在去除水、氫等雜質的同時供應作為氧化物半導體的構成元素的氧，來實現i型化。這與如矽藉由添加雜質實現i型化的情況不同，而可以說是包括從來沒有的技術思想。

<使用氧化物半導體的電晶體的導電機構>

這裏，參照圖6至圖9而說明使用氧化物半導體的電晶體的導電機構。注意，下面的說明為了容易理解而假定理想的情況，所以其全部並不一定反映實際的情況。此外，下面的說明不過是一個考察，而不影響到發明的有效性。

圖6是使用氧化物半導體的電晶體（薄膜電晶體）的截面圖。在閘極電極（GE1）上隔著閘極絕緣層（GI）設置有氧化物半導體層（OS），在其上設置主動電極（S）和汲極電極（D），覆蓋源極電極（S）和汲極電極（D）地設置有絕緣層。

圖7示出沿圖6的A-A'的截面的能帶圖（示意圖）。此外，圖7中的黑圓點（●）表示電子，且白圓點（○）表示電洞，並且它們都具有電荷（ $-q$ ， $+q$ ）。當對汲極電極施加正電壓（ $V_D > 0$ ）時，虛線表示對閘極電極不施加電壓的情況（ $V_G = 0$ ），並且，實線表示對閘極電極施加正電壓（ $V_G > 0$ ）的情況。在對閘極電極不施加電壓的情況下，由於高的勢壘而不從電極將載子（電子）植入到氧化物半導體側，而示出不流過電流的截止狀態。另一方面，當對閘極施加正電壓時，降低勢壘，而示出流過電流的導通狀態。

圖 8A 和圖 8B 示出沿圖 6 的 B-B' 的截面的能帶圖（示意圖）。圖 8A 示出將正的電位（ $V_G > 0$ ）施加到閘極電極（GE1）的狀態，並示出在源極電極和汲極電極之間流過載子（電子）的導通狀態。另外，圖 8B 示出將負的電位（ $V_G < 0$ ）施加到閘極電極（GE1）的狀態，並示出截止狀態（不流過少數載子的狀態）。

圖 9 示出真空位準和金屬的功函數（ ϕ_M ）和氧化物半導體的電子親和力（ χ ）的關係。

在常溫下，金屬中的電子縮退，其費米能級位於傳導帶內。另一方面，現有的氧化物半導體為 n 型，其費米能級（ E_F ）離開位於帶隙中央的本徵費米能級（ E_i ），而位於接近傳導帶的一側。另外，氧化物半導體中的氫的一部分成為施主，這被認為是 n 型化的主要原因之一。

與此相反，根據所公開的發明的一個實施例的氧化物半導體是如下氧化物半導體：藉由從氧化物半導體去除作為 n 型化的主要原因的氫，進行高純度化以儘量使其不包含氧化物半導體的主要成分以外的元素（雜質元素），而得到本徵（i 型）氧化物半導體或接近本徵的氧化物半導體。就是說，其特徵在於：藉由不添加雜質元素而實現 i 型化而儘量去除氫或水等的雜質，來得到高純度化的 i 型（本徵半導體）氧化物半導體或接近本徵的氧化物半導體。由此，可以將費米能級（ E_F ）設定為與本徵費米能級（ E_i ）大致相同。

氧化物半導體的帶隙 (E_g) 被認為是 3.15 eV ，電子親和力 (χ) 被認為是 4.3 V 。構成源極電極及汲極電極的鈦 (Ti) 的功函數與氧化物半導體的電子親和力 (χ) 大致相同。在此情況下，在金屬-氧化物半導體介面不形成對電子的肖特基勢壘。

此時，如圖 8A 所示，電子在閘極絕緣層和高純度化的氧化物半導體的介面附近（氧化物半導體的能量穩定的最低部）遷移。

另外，如圖 8B 所示，在將負的電位施加到閘極電極 (GE1) 時，因為實際上沒有少數載子的電洞，所以電流成為極為接近 0 的數值。

如上所述，藉由進行氧化物半導體的高純度化以儘量使其不包含氧化物半導體的主要成分以外的元素（雜質元素），得到本徵 (i 型) 或實際上本徵的氧化物半導體，由此氧化物半導體與閘極絕緣層的介面特性明顯化。因此，作為閘極絕緣層，被要求可以形成與氧化物半導體的優良介面的閘極絕緣層。明確地說，例如，較佳使用藉由使用利用 VHF 頻帶至微波頻帶的電源頻率而產生的高密度電漿的 CVD 法製造的絕緣層或藉由濺射法而製造的絕緣層等。

藉由在對氧化物半導體進行高純度化的同時改善氧化物半導體和閘極絕緣層的介面，例如，在電晶體的通道寬度 (W) 為 $1 \times 10^4 \mu\text{m}$ 且通道長度 (L) 為 $3 \mu\text{m}$ 的情況下可以實現 10^{-13} A 以下的截止電流、 0.1 V/dec. 的亞臨界值擺幅值

(S值) (閘極絕緣層的厚度 : 100nm) 。

像這樣，藉由進行氧化物半導體的高純度化以儘量使其不包含氧化物半導體的主要成分以外的元素（雜質元素），可以實現電晶體的優良工作。

<載子濃度>

根據所公開的發明的技術思想是充分降低氧化物半導體層中的載子濃度而使其儘量接近本徵（i型）的。下面，參照圖10和圖11而說明計算載子濃度的方法、以及實際上測量了的載子濃度。

首先，簡單地說明計算載子濃度的方法。載子濃度可以藉由製造MOS電容器並評價MOS電容器的C-V測量的結果（C-V特性）來計算。

更明確地說，取得繪製MOS電容器的閘極電壓 V_g 和電容 C 的關係的C-V特性，從該C-V特性取得表示閘極電壓 V_g 和 $(1/C)^2$ 的關係的圖表，在該圖表中取得弱反轉區域中的 $(1/C)^2$ 的微分值，並且將該微分值代入算式（1）中，從而可以取得載子濃度 N_d 的大小。注意，在算式（1）中， e 表示基本電荷（elementary electric charge）， ϵ_0 表示真空的介電常數，並且 ϵ 表示氧化物半導體的介電常數。

[算式1]

$$N_d = - \left(\frac{2}{e\epsilon_0\epsilon} \right) \left/ \frac{d(1/C)^2}{dV} \right. \quad (1)$$

接著，說明使用上述方法而實際上測量的載子濃度。在測量中，使用在玻璃基板上形成300nm厚的鈦膜，在鈦膜上形成100nm厚的氮化鈦膜，在氮化鈦膜上形成2μm厚的使用In-Ga-Zn-O基的氧化物半導體的氧化物半導體層，並且在氧化物半導體層上形成300nm厚的銀膜而得到的樣品（MOS電容器）。注意，氧化物半導體層藉由使用包含In、Ga、Zn的氧化物半導體成膜用靶材（In：Ga：Zn=1：1：0.5[atom比]）的濺射法來形成。此外，將氧化物半導體層的形成氣圍設定為氬和氧的混合氣圍（流量比為Ar：O₂=30（sccm）：15（sccm））。

圖10示出C-V特性，並且圖11示出V_g和（1/C）²的關係。使用算式（1）從圖11的弱反型區中的（1/C）²的微分值而得到的載子濃度為6.0×10¹⁰/cm³。

如此，藉由使用i型化或實際上i型化的氧化物半導體（例如，載子濃度為小於1×10¹²/cm³，較佳為1×10¹¹/cm³以下）可以得到具有極為優越的截止電流特性的電晶體。

<變形例子>

圖12至圖15B示出半導體裝置的結構的變形例子。另外，以下，作為變形例子，說明其結構與上述不同的電晶體162。就是說，電晶體160的結構與上述同樣。

圖12示出具有如下結構的電晶體162的例子，該電晶體162具有氧化物半導體層140下的閘極電極136d，並且源極電極或汲極電極142a和源極電極或汲極電極142b在氧化

物半導體層 140 的下部表面的一部分接觸氧化物半導體層 140。另外，只要根據截面而適當地改變平面的結構，即可，因此，這裏只示出截面。

圖 12 所示的結構和圖 2A 和 2B 所示的結構的最大的不同之處在於：源極電極或汲極電極 142a 和源極電極或汲極電極 142b 與氧化物半導體層 140 的連接位置。就是說，在圖 2A 和 2B 所示的結構中，源極電極或汲極電極 142a 和源極電極或汲極電極 142b 在氧化物半導體層 140 的上部表面的一部分接觸氧化物半導體層 140，而在圖 12 所示的結構中，源極電極或汲極電極 142a 和源極電極或汲極電極 142b 在氧化物半導體層 140 的下部表面的一部分接觸氧化物半導體層 140。並且，起因於上述接觸的不同，而其他電極和絕緣層等的配置不同。各結構元件的詳細與圖 2A 和 2B 同樣。

明確地說，包括：設置在層間絕緣層 128 上的閘極電極 136d；設置在閘極電極 136d 上的閘極絕緣層 138；設置在閘極絕緣層 138 上的源極電極或汲極電極 142a 和源極電極或汲極電極 142b；以及接觸源極電極或汲極電極 142a 和源極電極或汲極電極 142b 的上部表面的一部分的氧化物半導體層 140。

這裏，閘極電極 136d 設置為嵌入形成在層間絕緣層 128 上的絕緣層 132 中。另外，與閘極電極 136d 同樣，分別形成接觸於源極電極或汲極電極 130a 的電極 136a、接觸於源極電極或汲極電極 130b 的電極 136b 以及接觸於電極 130c 的電極 136c。

另外，在電晶體 162 上接觸於氧化物半導體層 140 的一部分地設置有保護絕緣層 144，並在保護絕緣層 144 上設置有層間絕緣層 146。這裏，在保護絕緣層 144 和層間絕緣層 146 中形成有到達源極電極或汲極電極 142a 和源極電極或汲極電極 142b 的開口，並且電極 150d 及電極 150e 形成爲藉由該開口接觸於源極電極或汲極電極 142a 和源極電極或汲極電極 142b。另外，與電極 150d 及電極 150e 同樣，電極 150a、電極 150b 以及電極 150c 形成爲藉由設置在閘極絕緣層 138、保護絕緣層 144 和層間絕緣層 146 中的開口接觸於電極 136a、電極 136b 以及電極 136c。

這裏，氧化物半導體層 140 較佳爲雜質如氫等充分得到去除並高純度化的氧化物半導體層。明確地說，氧化物半導體層 140 的氫濃度爲 5×10^{19} 原子/cm³ 以下，較佳爲 5×10^{18} 原子/cm³ 以下，更較佳爲 5×10^{17} 原子/cm³ 以下。另外，氧化物半導體層 140 較佳爲包含足夠的氧而起因於氧缺乏的缺陷得到降低的層。氫濃度充分得到降低並高純度化且起因於氧缺乏的缺陷得到降低的氧化物半導體層 140 具有小於 1×10^{12} /cm³，較佳爲 1×10^{11} /cm³ 以下的載子濃度。如上所述，藉由使用 i 型化或實際上 i 型化的氧化物半導體，可以得到截止電流特性極爲優良的電晶體 162。例如，在汲極電極電壓 Vd 爲 +1V 或 +10V 且閘極電壓 Vg 爲 -5V 至 -20V 的情況下，截止電流爲 1×10^{-13} A 以下。如上所述，藉由使用氫濃度充分得到降低並高純度化且起因於氧缺乏的缺陷得到降低的氧化物半導體層 140 而降低電晶體 162 的截

止電流，可以實現新的結構的半導體裝置。另外，使用二次離子質譜測定技術（SIMS）測量上述氧化物半導體層140中的氫濃度。

另外，在層間絕緣層146上設置有絕緣層152，並將電極154a、電極154b、電極154c以及電極154d設置為嵌入該絕緣層152中。這裏，電極154a接觸於電極150a，電極154b接觸於電極150b，電極154c接觸於電極150c及電極150d，並且電極154d接觸於電極150e。

圖13A和13B示出在氧化物半導體層140上具有閘極電極136d的結構的例子。這裏，圖13A示出源極電極或汲極電極142a和源極電極或汲極電極142b在氧化物半導體層140的下部表面的一部分接觸氧化物半導體層140的結構的例子，而圖13B示出源極電極或汲極電極142a和源極電極或汲極電極142b在氧化物半導體層140的上部表面的一部分接觸氧化物半導體層140的結構的例子。

圖2A和2B及圖12所示的結構與圖13A和13B所示的結構大不相同的一點是在氧化物半導體層140上具有閘極電極136d。另外，圖13A所示的結構與圖13B所示的結構大不相同的一點是源極電極或汲極電極142a和源極電極或汲極電極142b在氧化物半導體層140的下部表面的一部分接觸氧化物半導體層140還是在氧化物半導體層140的上部表面的一部分接觸氧化物半導體層140。並且，起因於這些的不同，而其他電極和絕緣層等的配置不同。各構成要素的詳細與圖2A和2B等同樣。

明確地說，在圖 13A 中，包括：設置在層間絕緣層 128 上的源極電極或汲極電極 142a 和源極電極或汲極電極 142b；接觸源極電極或汲極電極 142a 和源極電極或汲極電極 142b 的上部表面的一部分的氧化物半導體層 140；設置在氧化物半導體層 140 上的閘極絕緣層 138；以及閘極絕緣層 138 上的重疊於氧化物半導體層 140 的區域的閘極電極 136d。

另外，在圖 13B 中，包括：設置在層間絕緣層 128 上的氧化物半導體層 140；設置為接觸氧化物半導體層 140 的上部表面的一部分的源極電極或汲極電極 142a 和源極電極或汲極電極 142b；設置在氧化物半導體層 140、源極電極或汲極電極 142a 和源極電極或汲極電極 142b 上的閘極絕緣層 138；以及閘極絕緣層 138 上的重疊於氧化物半導體層 140 的區域的閘極電極 136d。

另外，與圖 2A 和 2B 所示的結構等相比，在圖 13A 所示的結構中有時省略如電極 150a、電極 154a 等的構成要素。此外，與圖 2A 和 2B 所示的結構等相比，在圖 13B 所示的結構中有時省略如電極 136a、保護絕緣層 144 等的構成要素。在此情況下，可以得到製造製程的簡化的間接效果。當然，在圖 2A 和 2B 等所示的結構中也可以省略不一定需要的構成要素。

圖 14A 和 14B 示出在元件的尺寸比較大的情況下在氧化物半導體層 140 下具有閘極電極 136d 的結構的例子。在此情況下，因為對表面的平坦性或覆蓋度的要求不太高，所

以不需要將佈線或電極等形成為嵌入絕緣層中。例如，藉由在形成導電層之後進行構圖，可以形成閘極電極 136d 等。另外，雖然這裏未圖示，但是也可以同樣製造電晶體 160。

圖 14A 所示的結構與圖 14B 所示的結構大不相同的一點是源極電極或汲極電極 142a 和源極電極或汲極電極 142b 在氧化物半導體層 140 的下部表面的一部分接觸氧化物半導體層 140 還是在氧化物半導體層 140 的上部表面的一部分接觸氧化物半導體層 140。並且，起因於這些的不同，而其他電極和絕緣層等的配置不同。各構成要素的詳細與圖 2A 和 2B 等同樣。

明確地說，在圖 14A 中，包括：設置在層間絕緣層 128 上的閘極電極 136d；設置在閘極電極 136d 上的閘極絕緣層 138；設置在閘極絕緣層 138 上的源極電極或汲極電極 142a 和源極電極或汲極電極 142b；以及接觸源極電極或汲極電極 142a 和源極電極或汲極電極 142b 的上部表面的一部分的氧化物半導體層 140。

另外，在圖 14B 中，包括：設置在層間絕緣層 128 上的閘極電極 136d；設置在閘極電極 136d 上的閘極絕緣層 138；設置在閘極絕緣層 138 上的重疊於閘極電極 136d 的區域的氧化物半導體層 140；以及設置為接觸氧化物半導體層 140 的上部表面的一部分的源極電極或汲極電極 142a 和源極電極或汲極電極 142b。

另外，與圖 2A 和 2B 所示的結構等相比，在圖 14A 和

14B所示的結構中有時省略構成要素。在此情況下，也可以得到製造製程的簡化的效果。

圖15A和15B示出在元件的尺寸比較大的情況下在氧化物半導體層140上具有閘極電極136d的結構的例子。在此情況下，因為對表面的平坦性或覆蓋度的要求不太高，所以不需要將佈線或電極等形成為嵌入絕緣層中。例如，藉由在形成導電層之後進行構圖，可以形成閘極電極136d等。另外，雖然這裏未圖示，但是也可以同樣製造電晶體160。

圖15A所示的結構與圖15B所示的結構大不相同的一點是源極電極或汲極電極142a和源極電極或汲極電極142b在氧化物半導體層140的下部表面的一部分接觸氧化物半導體層140還是在氧化物半導體層140的上部表面的一部分接觸氧化物半導體層140。並且，起因於這些的不同，而其他電極和絕緣層等的配置不同。各構成要素的詳細與圖2A和2B等同樣。

明確地說，在圖15A中，包括：設置在層間絕緣層128上的源極電極或汲極電極142a和源極電極或汲極電極142b；接觸源極電極或汲極電極142a和源極電極或汲極電極142b的上部表面的一部分的氧化物半導體層140；設置在源極電極或汲極電極142a、源極電極或汲極電極142b以及氧化物半導體層140上的閘極絕緣層138；以及設置在閘極絕緣層138上的重疊於氧化物半導體層140的區域的閘極電極136d。

另外，在圖 15B 中，包括：設置在層間絕緣層 128 上的氧化物半導體層 140；設置為接觸氧化物半導體層 140 的上部表面的一部分的源極電極或汲極電極 142a 和源極電極或汲極電極 142b；設置在源極電極或汲極電極 142a、源極電極或汲極電極 142b 以及氧化物半導體層 140 上的閘極絕緣層 138；以及設置在閘極絕緣層 138 上的重疊於氧化物半導體層 140 的區域的閘極電極 136d。

另外，與圖 2A 和 2B 所示的結構等相比，在圖 15A 和 15B 所示的結構中有時省略構成要素。在此情況下，也可以得到製造製程的簡化的效果。

如上所述，根據所公開的發明的一個方式，實現具有新穎的結構的半導體裝置。在本實施例模式中，雖然說明了層疊形成電晶體 160 和電晶體 162 的例子，但是半導體裝置的結構不侷限於此。另外，在本實施例模式中，雖然說明了電晶體 160 和電晶體 162 的通道長度方向相互垂直的例子，但是電晶體 160 和電晶體 162 的位置關係等不侷限於此。再者，也可以將電晶體 160 和電晶體 162 設置為彼此重疊。

另外，在本實施例模式中，為了清楚地理解而說明了最小儲存單位（1 位元）的半導體裝置，但是半導體裝置的結構不侷限於此。也可以藉由適當地連接多個半導體裝置而構成更高度的半導體裝置。例如，可以使用多個上述半導體裝置而構成 NAND 型或 NOR 型的半導體裝置。佈線的結構也不侷限於圖 1，而可以適當地進行改變。

根據本實施例模式的半導體裝置因電晶體 162 的低截止電流特性而可以在極長時間內保持資訊。就是說，不需要進行 DRAM 等所需要的更新工作，而可以抑制耗電量。另外，可以將其實際上用作非易失性半導體裝置。

另外，因為根據電晶體 162 的開關工作而進行資訊寫入等，所以不需要高電壓，也沒有元件退化的問題。再者，根據電晶體的導通或截止而進行資訊寫入或擦除，而也可以容易實現高速工作。此外，也有不需要快閃記憶體等所需要的資訊擦除工作的優點。

另外，使用氧化物半導體以外的材料的電晶體可以進行足夠的高速工作，因此，藉由使用該電晶體，可以進行高速的儲存內容的讀取。

本實施例模式所示的結構、方法等可以與其他實施例模式所示的結構、方法等適當地組合而使用。

實施例模式 2

在本實施例模式中，說明儲存單元的電路結構及其工作、使用儲存單元的半導體裝置的電路結構及其工作。

（儲存單元的結構）

圖 16 示出半導體裝置所具有的儲存單元的電路圖的一例。圖 16 所示的儲存單元 200 包括源極電極線 SL、位元線 BL、信號線 S1、字線 WL、電晶體 201（第一電晶體）、電晶體 202（第二電晶體）以及電容器 203。電晶體 201 使用

氧化物半導體以外的材料而形成，並且，電晶體 202 使用氧化物半導體而形成。

這裏，電晶體 201 的閘極電極、電晶體 202 的源極電極和汲極電極中的一個及電容器 203 的電極的一個電連接。此外，源極電極線 SL 與電晶體 201 的源極電極和汲極電極中的一個電連接，位元線 BL 與電晶體 201 的源極電極和汲極電極中的另一個電連接，信號線 S1 與電晶體 202 的閘極電極電連接，字線 WL 與電晶體 202 的源極電極和汲極電極中的另一個及電容器 203 的電極的另一個電連接。

（儲存單元的工作）

下面，明確地說明儲存單元的工作。

當對儲存單元 200 進行寫入時，將源極電極線 SL 的電位設定為 V_0 （任意電位，例如為 $0V$ ），將位元線 BL 的電位設定為 V_0 ，並且將信號線 S1 的電位設定為 V_1 （任意電位，例如為 $2V$ ）。此時，電晶體 202 成為導通狀態。

在這種狀態下，將字線 WL 的電位 V_{WL} 設定為規定電位，以進行資料的寫入。例如，在寫入資料“1”的情況下，將字線 WL 的電位設定為 V_{w_1} ，並且，在寫入資料“0”的情況下，將字線 WL 的電位設定為 V_{w_0} 。注意，當寫入結束時，在字線 WL 的電位變化之前，將信號線 S1 的電位設定為 V_0 ，而使電晶體 202 成為截止狀態。

在連接到電晶體 201 的閘極電極的節點（下面，節點 A）中蓄積相應於寫入時的字線 WL 的電位的電荷 Q_A ，因此

容納資料。這裏，因為電晶體 202 的截止電流極為小或者實際上為 0，所以所寫入的資料被保持為很長時間。

藉由將字線 WL 的電位 V_{WL} 設定為規定電位，也進行儲存單元 200 的讀取。例如，當進行儲存單元 200 的讀取時，將源極電極線 SL 的電位設定為 V_0 ，將字線 WL 的電位設定為 V_{r_1} ，將信號線 S1 的電位設定為 V_0 ，並且使連接到位元線 BL 的讀取電路成為工作狀態。另一方面，當不進行儲存單元 200 的讀取時，將字線 WL 的電位設定為 V_{r_0} 。此時，電晶體 202 處於截止狀態。

接著，說明寫入時的字線 WL 的電位 V_{w_0} 、 V_{w_1} 以及讀取時的字線 WL 的電位 V_{r_0} 、 V_{r_1} 的決定方法。

例如，藉由測量儲存單元 200 的電阻狀態的差異，來進行讀取。當進行儲存單元 200 的讀取時，如上所述地將字線 WL 的電位設定為 V_{r_1} 。較佳的是，在這種狀態下，當對儲存單元 200 寫入了資料“1”時，電晶體 201 成為導通狀態，並且，當對儲存單元 200 寫入了資料“0”時，電晶體 201 成為截止狀態。

決定電晶體 201 的狀態的節點 A 的電位 V_A 依賴於電晶體 201 的閘極-源極電極（汲極電極）之間的電容 C_1 以及電容器 203 的電容 C_2 。 V_A 可以使用寫入時的字線 WL 的電位 V_{WL} （寫）以及讀取時的字線的電位 V_{WL} （讀）表示為如下。

$$V_A = (C_1 \cdot V_{WL}(\text{寫}) + C_2 \cdot V_{WL}(\text{讀})) / (C_1 + C_2)$$

在讀取處於選擇狀態的儲存單元 200 中， V_{WL} （讀）

$=V_{r_1}$ ，並且，在讀取處於非選擇狀態的儲存單元 200 中， $V_{WL}(\text{讀})=V_{r_0}$ 。此外，當寫入資料“1”時， $V_{WL}(\text{寫})=V_{w_1}$ ，並且，當寫入資料“0”時， $V_{WL}(\text{寫})=V_{w_0}$ 。就是說，各狀態下的節點 A 的電位可以表示為如下。

讀取處於選擇狀態且資料“1”

$$V_A \doteq (C_1 \cdot V_{w_1} + C_2 \cdot V_{r_1}) / (C_1 + C_2)$$

讀取處於選擇狀態且資料“0”

$$V_A \doteq (C_1 \cdot V_{w_0} + C_2 \cdot V_{r_1}) / (C_1 + C_2)$$

讀取處於非選擇狀態且資料“1”

$$V_A \doteq (C_1 \cdot V_{w_1} + C_2 \cdot V_{r_0}) / (C_1 + C_2)$$

讀取處於非選擇狀態且資料“0”

$$V_A \doteq (C_1 \cdot V_{w_0} + C_2 \cdot V_{r_0}) / (C_1 + C_2)$$

因為在讀取處於選擇狀態並且寫入資料“1”的情況下，電晶體 201 需要成為導通狀態，所以作為條件節點 A 的電位 V_A 需要超過電晶體 201 的臨界值電壓 V_{th} 。就是說，較佳滿足下面的算式。

$$V_A \doteq (C_1 \cdot V_{w_1} + C_2 \cdot V_{r_1}) / (C_1 + C_2) > V_{th}$$

因為在讀取處於選擇狀態並且寫入資料“0”的情況下，電晶體 201 需要成為截止狀態，所以作為條件節點 A 的電位 V_A 需要低於電晶體 201 的臨界值電壓 V_{th} 。就是說，較佳滿足下面的算式。

$$V_A \doteq (C_1 \cdot V_{w_0} + C_2 \cdot V_{r_1}) / (C_1 + C_2) < V_{th}$$

因為在讀取處於非選擇狀態下，不管寫入有資料“1”還是寫入有資料“0”，電晶體 201 都需要成為截止狀態

，所以作為條件節點A的電位 V_A 需要低於電晶體201的臨界值電壓 V_{th} 。就是說，較佳滿足下面的算式。

$$V_A \doteq (C1 \cdot V_{w_1} + C2 \cdot V_{r_0}) / (C1 + C2) < V_{th}$$

$$V_A \doteq (C1 \cdot V_{w_0} + C2 \cdot V_{r_0}) / (C1 + C2) < V_{th}$$

藉由滿足上述關係地決定 V_{w_0} 、 V_{w_1} 、 V_{r_0} 、 V_{r_1} 等，可以使儲存單元200工作。例如，在電晶體201的臨界值電壓 $V_{th}=1.7$ （V）且 $C1/C2=1$ 的情況下，可以設定為： $V_0=0$ （V）， $V_1=2$ （V）， $V_{w_0}=0$ （V）， $V_{w_1}=2$ （V）， $V_{r_0}=0$ （V）， $V_{r_1}=2$ （V）。注意，這些電位不過是一例，而可以在滿足上述條件的範圍下適當地進行改變。

這裏，在 $C1/C2 \ll 1$ 的條件下，節點A和字線WL堅固地結合，所以不論電晶體202處於導通狀態·截止狀態，字線WL的電位和節點A的電位成為相同程度。由此，即使使電晶體202成為導通而進行寫入，節點A可以蓄積的電荷也微小，所以資料“0”和資料“1”的差異很小。

其結果，在將字線WL的電位設定為 V_{r_1} 而進行讀取的情況下，即使寫入資料“0”或資料“1”，也儲存單元的節點A的電位上升，而電晶體201成為導通狀態。就是說，讀取資料成為很困難的。

另一個面，在 $C1/C2 \gg 1$ 的條件下，節點A和字線WL的結合較弱，所以即使使字線WL的電位變化，也節點A的電位幾乎不變化。因此，可以控制電晶體201的導通狀態·截止狀態的節點A的電位成為非常有限制的，而電晶體201的導通狀態·截止狀態的控制成為很困難的。

就是說，即使將字線WL的電位設定為 V_{r_0} ，也節點A的電位幾乎不下降，而資料為“1”的電晶體201成為導通狀態。

如此，因為有根據C1和C2的大小而使其工作成為很困難的情況，所以當決定它們時需要注意。注意，當設定為： $V_{w_0}=0$ （V）， $V_{w_1}=V_{dd}$ ， $V_{r_0}=0$ （V）， $V_{r_1}=V_{dd}$ 時，如果C1/C2在於 $V_{th}/(V_{dd}-V_{th})$ 至 $(V_{dd}-V_{th})/V_{th}$ 之間，就可以使半導體裝置充分工作。

注意，資料“1”和資料“0”不過是方便上的區別，所以也可以調換它們而使用。此外，也可以作為V0而採用接地電位GND等，並且，作為V1而採用電源電位Vdd等。

（半導體裝置的結構）

圖17示出具有 $m \times n$ 位元的儲存容量的半導體裝置的方塊電路圖。

該半導體裝置包括： m 個字線； n 個位元線及信號線；其中多個儲存單元200（1，1）至200（ m ， n ）配置為縱 m 個（列） $\times$ 橫 n 個（行）（ m ， n 為自然數）的矩陣狀的儲存單元陣列210；位元線及信號線的驅動電路211、字線的驅動電路213、讀取電路212等週邊電路。作為其他週邊電路，也可以設置更新電路等。

儲存單元200（ i ， j ）（ i 為1以上且 m 以下的整數， j 為1以上且 n 以下的整數）分別連接到位元線BL（ j ）、信號線S1（ j ）、字線WL（ i ）及源極電極線SL。此外，位元線

BL (1) 至 BL (n) 及信號線 S1 (1) 至 S1 (n) 分別連接到位元線 BL 及信號線 S1 的驅動電路 211，並且，字線 WL (1) 至字線 WL (m) 分別連接到字線 WL 的驅動電路 213。此外，位元線 BL (1) 至 BL (n) 也連接到讀取電路 212。注意，對源極電極線 SL 供應電位 V_s 。

(半導體裝置的工作)

接著，說明半導體裝置的工作。在圖 17 所示的結構中，根據每個行而進行寫入，並且，根據每個列而進行讀取。

在對第 j 行的儲存單元 200 (1 , j) 至 200 (m , j) 進行寫入的情況下，將源極電極線 SL 的電位設定為 V_0 (例如為 0V)，將位元線 BL (j) 的電位設定為 V_0 ，並且將信號線 S1 (j) 的電位設定為 V_1 (例如，2V)。此時，儲存單元 200 (1 , j) 至 200 (m , j) 的電晶體 202 成為導通狀態。作為其他行，將位元線的電位設定為 V_0 ，並且，將信號線的電位設定為 V_1 。注意，位元線 BL (j) 也可以處於浮動狀態。

在這種狀態下，將字線 WL 的電位 V_{WL} 設定為規定電位，以進行資料的寫入。例如，在寫入資料 “1” 的情況下，將連接到目標儲存單元 (target memory cell) 的字線 WL 的電位設定為 V_{w_1} ，並且，在寫入資料 “0” 的情況下，將連接到目標儲存單元的字線 WL 的電位設定為 V_{w_0} 。注意，當寫入結束時，在字線 WL 的電位變化之前，將信

號線 $S1(j)$ 的電位設定為 V_0 ，而使目標儲存單元的電晶體 202 成為截止狀態。

在寫入後，在第 j 行的儲存單元 200(1, j) 至 200(m , j) 中的寫入有資料“1”的儲存單元中，連接到電晶體 201 的閘極電極的節點（下面，稱為節點 A）的電位 V_{A0} 成為 $C1 \cdot V_{w_1} / (C1 + C2)$ 左右。此外，在寫入有資料“0”的儲存單元中，節點 A 的電位成為 $C1 \cdot V_{w_0} / (C1 + C2)$ 左右。在其他行的儲存單元中，節點 A 的電位不變化。

儲存單元的讀取也藉由將字線 WL 的電位 V_{WL} 設定為規定電位而進行。當讀取第 i 列的儲存單元 200(i , 1) 至 200(i , n) 時，將源極電極線 SL 的電位設定為 V_0 ，將字線 WL(i) 的電位設定為 V_{r_1} ，將信號線 $S1(1)$ 至 (n) 的電位設定為 V_0 ，並且使連接到位元線 BL(1) 至 BL(n) 的讀取電路成為工作狀態。作為其他行，將字線 WL 的電位設定為 V_{r_0} 。

讀取電路例如可以利用儲存單元的電阻狀態的差異而讀取資料“0”、資料“1”。

注意， V_{w_0} 、 V_{w_1} 、 V_{r_0} 、 V_{r_1} 的決定方法與上述（儲存單元的工作）同樣，所以這裏進行省略。此外，其他電位的關係也與上述（儲存單元的工作）同樣。

注意，資料“1”和資料“0”不過是方便上的區別，所以也可以調換它們而使用。

因為使用氧化物半導體的電晶體的截止電流極為小，所以藉由使用該電晶體而可以在極長期間內保持儲存內容

。就是說，因為不需要進行更新工作，或者，可以將更新工作的頻率降低到極低，所以可以充分降低耗電量。另外，即使沒有電力供給，也可以在較長期間內保持儲存內容。

另外，資訊的寫入不需要高電壓，而且也沒有元件退化的問題。再者，根據電晶體的導通狀態或截止狀態而進行資訊寫入，而可以容易實現高速工作。另外，還有不需要快閃記憶體等所需要的用來擦除資訊的工作的優點。

另外，使用氧化物半導體以外的材料的電晶體可以進行足夠的高速工作，因此，藉由該使用氧化物半導體以外的材料的電晶體而可以進行高速的儲存內容的讀取。

以上，本實施例模式所示的結構、方法等可以與其他實施例模式所示的結構、方法等適當地組合而使用。

實施例模式 3

參照圖 18 而說明根據本發明的一個實施例的半導體裝置所具有的讀取電路 212 的一例。

圖 18 所示的讀取電路 212 具有電晶體 204 和讀取放大器 215。對電晶體 204 的閘極電極施加偏壓 V_{bias} ，而流過規定電流。對讀取放大器 215 的輸入端子中的一個輸入參考電位 V_{ref} 。

當進行讀取時，使讀取放大器 215 的輸入端子中的另一個與連接有進行讀取的儲存單元的位元線 BL 電連接。

儲存單元的電阻根據所容納的資料“1”或資料“0”

而不同。明確地說，在所選擇的儲存單元的電晶體 201 處於導通狀態的情況下成為低電阻狀態，並且，在所選擇的儲存單元的電晶體 201 處於截止狀態的情況下成為高電阻狀態。

在儲存單元處於高電阻狀態的情況下，讀取放大器 215 的另一個輸入端子的電位高於參考電位 V_{ref} ，並且，從讀取放大器 215 的輸出端子輸出資料“1”。另一方面，在儲存單元的電晶體 201 處於低電阻狀態的情況下，讀取放大器 215 的另一個輸入端子的電位低於參考電位 V_{ref} ，並且，從讀取放大器 215 的輸出端子輸出資料“0”。

如上所述，藉由使用讀取電路 212，可以讀取容納於儲存單元的資料。注意，讀取電路 212 不過是一例，而也可以使用其他結構的讀取電路。例如，讀取電路 212 也可以具有預充電電路。

以上，本實施例模式所示的結構、方法等可以與其他實施例模式所示的結構、方法等適當地組合而使用。

實施例模式 4

在本實施例模式中，說明與上述實施例模式所示的儲存單元不同的儲存單元的電路結構及其工作。

（儲存單元的結構）

圖 19 示出根據本實施例模式的儲存單元的電路圖的一例。圖 19 所示的儲存單元 220 包括源極電極線 SL、位元線

BL、信號線 S1、字線 WL、電晶體 221（第一電晶體）、電晶體 222（第二電晶體）以及電容器 223。電晶體 221 使用氧化物半導體以外的材料而形成，並且，電晶體 222 使用氧化物半導體而形成。

這裏，電晶體 221 的閘極電極、電晶體 222 的源極電極和汲極電極中的一個及電容器 223 的電極的一個電連接。此外，源極電極線 SL 與電晶體 221 的源極電極和汲極電極中的一個電連接，位元線 BL 與電晶體 221 的源極電極和汲極電極中的另一個電連接，信號線 S1 與電晶體 222 的源極電極和汲極電極中的另一個電連接，字線 WL、電晶體 222 的閘極電極及電容器 223 的電極的另一個電連接。

（儲存單元的工作）

下面，明確地說明儲存單元的工作。

當對儲存單元 220 進行寫入時，將源極電極線 SL 的電位設定為 V_0 （任意電位，例如為 $0V$ ），將位元線 BL 的電位設定為 V_0 ，並且將字線 WL 的電位設定為 V_1 （任意電位，例如為 $2V$ ）。此時，電晶體 222 成為導通狀態。

在這種狀態下，將信號線 S1 的電位 V_{S1} 設定為規定電位，以進行資料的寫入。例如，在寫入資料“1”的情況下，將信號線 S1 的電位設定為 V_{w_1} ，並且，在寫入資料“0”的情況下，將信號線 S1 的電位設定為 V_{w_0} 。注意，當寫入結束時，在信號線 S1 的電位變化之前，將字線 WL 的電位設定為 V_0 ，而使電晶體 222 成為截止狀態。

在連接到電晶體 221 的閘極電極的節點（下面，節點 A）中蓄積適應寫入時的信號線 S1 的電位的電荷 QA，因此容納資料。這裏，因為電晶體 222 的截止電流極為小或者實際上為 0，所以所寫入的資料被保持為很長時間。

藉由將字線 WL 的電位 V_{WL} 設定為規定電位，進行儲存單元 220 的讀取。例如，當進行儲存單元 220 的讀取時，將源極電極線 SL 的電位設定為 V_0 ，將字線 WL 的電位設定為 V_{r_1} ，將信號線 S1 的電位設定為 V_1 ，並且將連接到位元線 BL 的讀取電路成為工作狀態。另一個面，當不進行儲存單元 220 的讀取時，將字線 WL 的電位設定為 V_{r_0} 。此時，電晶體 222 處於截止狀態。

將寫入時的信號線 S1 的電位 V_{w_1} 、 V_{w_0} 以及讀取時的字線 WL 的電位 V_{r_1} 、 V_{r_0} 設定為當將字線 WL 的電位設定為 V_{r_1} 時被容納有資料“1”的儲存單元 220 的電晶體 221 成為導通狀態，並且，被容納有資料“0”的儲存單元 220 的電晶體 221 成為截止狀態。此外，進行設定為電晶體 222 成為截止狀態。再者，進行設定為當將字線 WL 的電位設定為 V_{r_0} 時不論容納資料“0”或資料“1”，儲存單元 220 的電晶體 221 成為截止狀態並且電晶體 222 成為截止狀態。

在使用儲存單元 220 構成 NOR 型非易失性記憶體的情況下，藉由使用如上所述的關係的電位，可以在選擇讀取的儲存單元 220 中根據被容納的資料而使電阻狀態不同，並且，可以在不選擇讀取的儲存單元 220 中不論被容納的

資料而實現高電阻狀態。其結果，可以使用檢測位元線的電阻狀態的差異的讀取電路，來讀取儲存單元 220 的資料。

注意，資料“1”和資料“0”不過是方便上的區別，所以也可以調換它們而使用。此外，也可以作為 V0 而採用接地電位 GND 等，並且，作為 V1 而採用電源電位 Vdd 等。

注意，在使用本實施例模式所示的儲存單元 220 的情況下，也可以實現矩陣狀半導體裝置。矩陣狀半導體裝置可以藉由使用與上述實施例模式所示的結構同樣的電路，並且，根據信號線的結構而適當地構成驅動電路、讀取電路、寫入電路來實現。注意，在使用儲存單元 220 的情況下，根據每個列而進行讀取及寫入。

以上，本實施例模式所示的結構、方法等可以與其他實施例模式所示的結構、方法等適當地組合而使用。

實施例模式 5

在本實施例模式中，參照圖 20A 至 20F 而說明安裝有根據上述實施例模式而得到的半導體裝置的電子設備的例子。根據上述實施例模式而得到的半導體裝置即使沒有電力供給也可以保持資訊。另外，不發生由寫入、擦除導致的退化。再者，其工作速度快。由此，可以使用該半導體裝置提供具有新穎的結構的電子設備。另外，根據上述實施例模式的半導體裝置被集成化而安裝到電路基板等上，並將其安裝在各電子設備的內部。

圖 20A 示出包括根據上述實施例模式的半導體裝置的筆記本型個人電腦，其包括主體 301、框體 302、顯示部 303 和鍵盤 304 等。藉由將根據本發明的一個實施例的半導體裝置應用於筆記本型個人電腦，即使沒有電力供給也可以保持資訊。另外，不發生由寫入、擦除導致的退化。再者，其工作速度快。由此，較佳將根據本發明的一個實施例的半導體裝置應用於筆記本型個人電腦。

圖 20B 示出包括根據上述實施例模式的半導體裝置的可攜式資訊終端（PDA），在主體 311 中設置有顯示部 313、外部介面 315 和操作按鈕 314 等。另外，作為操作用附屬部件，有觸屏筆 312。藉由將根據本發明的一個實施例的半導體裝置應用於 PDA，即使沒有電力供給也可以保持資訊。另外，不發生由寫入、擦除導致的退化。再者，其工作速度快。由此，較佳將根據本發明的一個實施例的半導體裝置應用於 PDA。

作為包括根據上述實施例模式的半導體裝置的電子紙的一個例子，圖 20C 示出電子書閱讀器 320。電子書閱讀器 320 由兩個框體，即框體 321 及框體 323 構成。框體 321 及框體 323 由軸部 337 形成為一體，且可以以該軸部 337 為軸進行開閉工作。藉由這種結構，電子書閱讀器 320 可以像紙質圖書一樣使用。藉由將根據本發明的一個實施例的半導體裝置應用於電子紙，即使沒有電力供給也可以保持資訊。另外，不發生由寫入、擦除導致的退化。再者，其工作速度快。由此，較佳將根據本發明的一個實施例的半導體

裝置應用於電子紙。

框體 321 嵌入有顯示部 325，而且框體 323 嵌入有顯示部 327。顯示部 325 和顯示部 327 可顯示連屏畫面或不同畫面。藉由採用顯示不同畫面的結構，例如可以在右側的顯示部（圖 20C 中的顯示部 325）上顯示文章，而在左側的顯示部（圖 20C 中的顯示部 327）上顯示圖像。

此外，在圖 20C 中示出框體 321 具備操作部等的例子。例如，框體 321 具備電源 331、操作鍵 333 以及揚聲器 335 等。利用操作鍵 333 可以翻頁。注意，在與框體的顯示部相同的平面上可以設置鍵盤、定位設備等。另外，也可以採用在框體的背面、側面具備外部連接用端子（耳機端子、USB 端子或可與 AC 適配器及 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。再者，電子書閱讀器 320 也可以具有電子詞典的功能。

此外，電子書閱讀器 320 也可以採用以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書籍伺服器購買所希望的書籍資料等，然後下載的結構。

另外，電子紙可以應用於顯示資訊的所有領域的電子設備。例如，可以將電子紙應用於電子書閱讀器、海報、電車等交通工具的車廂廣告、信用卡等各種卡片中的顯示等。

圖 20D 示出包括根據上述實施例模式的半導體裝置的行動電話。該行動電話由框體 340 及框體 341 的兩個框體構成。框體 341 具備顯示面板 342、揚聲器 343、麥克風 344、

定位裝置 346、影像拍攝裝置用透鏡 347、外部連接端子 348等。另外，框體 340具備進行對該行動電話的充電的太陽能電池單元 349、外部儲存插槽 350等。此外，天線被內置在框體 341中。藉由將根據本發明的一個實施例的半導體裝置應用於行動電話，即使沒有電力供給也可以保持信息。另外，不發生由寫入、擦除導致的退化。再者，其工作速度快。由此，較佳將根據本發明的一個實施例的半導體裝置應用於行動電話。

顯示面板 342具有觸摸螢幕功能，圖 20D使用虛線示出被顯示出來的多個操作鍵 345。另外，該行動電話安裝有用來將太陽能電池單元 349所輸出的電壓升壓到各電路所需要的電壓的升壓電路。另外，除了上述結構以外，還可以安裝有非接觸 IC 晶片、小型記錄裝置等。

顯示面板 342根據使用方式適當地改變顯示的方向。另外，由於在與顯示面板 342同一個表面上具有影像拍攝裝置用透鏡 347，所以可以進行可視電話。揚聲器 343及麥克風 344不侷限於聲音通話，還可以用於可視電話、錄音、再生等的用途。再者，框體 340和框體 341滑動而可以處於如圖 20D那樣的展開狀態和重疊狀態，可以進行適於攜帶的小型化。

外部連接端子 348可以連接到各種纜線，比如 AC 適配器或 USB 纜線等，由此可以進行充電或者資料通信。另外，將記錄媒體插入到外部儲存插槽 350中來可以對應更大容量的資料儲存及移動。另外，行動電話除了可以具有上

述功能以外還可以具有紅外線通訊功能、電視接收功能等。

圖 20E 示出包括根據上述實施例模式的半導體裝置的數位相機。該數位相機包括主體 361、顯示部 A367、取景器 363、操作開關 364、顯示部 B365 以及電池 366 等。藉由將根據本發明的一個實施例的半導體裝置應用於數位相機，即使沒有電力供給也可以保持資訊。另外，不發生由寫入、擦除導致的退化。再者，其工作速度快。由此，較佳將根據本發明的一個實施例的半導體裝置應用於數位相機。

圖 20F 示出包括根據上述實施例模式的半導體裝置的電視裝置。在電視裝置 370 的框體 371 中安裝有顯示部 373。利用顯示部 373 可以顯示映射。此外，在此示出利用支架 375 支撐框體 371 的結構。

可以藉由利用框體 371 所具備的操作開關、另行提供的遙控操作機 380 進行電視裝置 370 的操作。可以利用遙控操作機 380 所具備的操作鍵 379 控制頻道、音量，並可控制顯示部 373 上顯示的圖像。此外，也可以採用在遙控操作機 380 中設置顯示從該遙控操作機 380 輸出的資訊的顯示部 377 的結構。藉由將根據本發明的一個實施例的半導體裝置應用於電視裝置，即使沒有電力供給也可以保持資訊。另外，不發生由寫入、擦除導致的退化。再者，其工作速度快。由此，較佳將根據本發明的一個實施例的半導體裝置應用於電視裝置。

另外，電視裝置370較佳設置有接收器、數據機等。藉由接收器，可接收一般電視廣播。此外，藉由數據機連接到有線或無線的通信網路時，可以執行單向（從發送者到接收者）或雙向（在發送者與接收者之間或者在接收者之間）的資訊通信。

本實施例模式所示的結構、方法等可以與其他實施例模式所示的結構、方法等適當地組合而使用。

【圖式簡單說明】

在附圖中：

圖1是用來說明半導體裝置的電路圖；

圖2A和2B是用來說明半導體裝置的截面圖及平面圖；

圖3A至3H是用來說明半導體裝置的製造製程的截面圖；

圖4A至4G是用來說明半導體裝置的製造製程的截面圖；

圖5A至5D是用來說明半導體裝置的製造製程的截面圖；

圖6是使用氧化物半導體的電晶體的截面圖；

圖7是圖6的A-A'截面的能帶圖（示意圖）；

圖8A是示出對閘極（GE1）施加正電位（ $V_G > 0$ ）的情況的圖，並且，圖8B是示出對閘極（GE1）施加負電位（ $V_G < 0$ ）的情況的圖；

圖9是示出真空能級和金屬的功函數（ ϕ_M ）、氧化物

半導體的電子親和力 (χ) 的關係的圖；

圖 10 是示出 C-V 特性的圖；

圖 11 是示出 V_g 和 $(1/C)^2$ 的關係的圖；

圖 12 是用來說明半導體裝置的截面圖；

圖 13A 和 13B 是用來說明半導體裝置的截面圖；

圖 14A 和 14B 是用來說明半導體裝置的截面圖；

圖 15A 和 15B 是用來說明半導體裝置的截面圖；

圖 16 是用來說明記憶元件的電路圖；

圖 17 是用來說明半導體裝置的電路圖；

圖 18 是用來說明讀取電路的電路圖；

圖 19 是用來說明記憶元件的電路圖；以及

圖 20A 至 20F 是用來說明電子設備的圖。

【主要元件符號說明】

100：基板

102：保護層

104：半導體區域

106：元件分離絕緣層

108a：閘極絕緣層

108b：閘極絕緣層

110a：閘極電極

112：絕緣層

114：雜質區域

116：通道形成區域

- 118：側壁絕緣層
- 120：高濃度雜質區域
- 122：金屬層
- 124：金屬化合物區域
- 126：層間絕緣層
- 128：層間絕緣層
- 130a：源極電極或汲極電極
- 130b：源極電極或汲極電極
- 130c：電極
- 132：絕緣層
- 134：導電層
- 136a：電極
- 136b：電極
- 136c：電極
- 136d：閘極電極
- 138：閘極絕緣層
- 140：氧化物半導體層
- 142a：源極電極或汲極電極
- 142b：源極電極或汲極電極
- 144：保護絕緣層
- 146：層間絕緣層
- 148：導電層
- 150a：電極
- 150b：電極

150c : 電 極

150d : 電 極

150e : 電 極

152 : 絕 緣 層

154a : 電 極

154b : 電 極

154c : 電 極

154d : 電 極

154e : 電 極

160 : 電 晶 體

162 : 電 晶 體

200 : 儲 存 單 元

201 : 電 晶 體

202 : 電 晶 體

203 : 電 容 器

204 : 電 晶 體

210 : 儲 存 單 元 陣 列

211 : 驅 動 電 路

212 : 讀 取 電 路

213 : 驅 動 電 路

215 : 讀 取 放 大 器

220 : 儲 存 單 元

221 : 電 晶 體

222 : 電 晶 體

223：電 容 器

301：主 體

302：框 體

303：顯 示 部

304：鍵 盤

311：主 體

312：觸 屏 筆

313：顯 示 部

314：操 作 按 鈕

315：外 部 介 面

320：電 子 書 閱 讀 器

321：框 體

323：框 體

325：顯 示 部

327：顯 示 部

331：電 源

333：操 作 鍵

335：揚 聲 器

337：軸 部

340：框 體

341：框 體

342：顯 示 面 板

343：揚 聲 器

344：麥 克 風

- 345：操作鍵
- 346：定位裝置
- 347：影像拍攝裝置用透鏡
- 348：外部連接端子
- 349：太陽能電池單元
- 350：外部儲存插槽
- 361：主體
- 363：取景器
- 364：操作開關
- 365：顯示部 B
- 366：電池
- 367：顯示部 A
- 370：電視裝置
- 371：框體
- 373：顯示部
- 375：支架
- 377：顯示部
- 379：操作鍵
- 380：遙控操作機

104年9月18日修正(本)

七、申請專利範圍：

1. 一種半導體裝置，包含：

源極電極線；

位元線；

信號線；以及

字線，

其中，在該源極電極線和該位元線之間並聯連接有多個記憶元件，

其中，該多個記憶元件之一包含：具有第一閘極電極、第一源極電極以及第一汲極電極的第一電晶體；具有第二閘極電極、第二源極電極以及第二汲極電極的第二電晶體；以及電容器，

其中，該第一電晶體的通道形成區設置在含有半導體材料的基板中，

其中，該第二電晶體包含氧化物半導體層，

其中，該第一閘極電極、該第二源極電極和該第二汲極電極中的一個、和該電容器的電極中的一個互相電連接，

其中，該源極電極線與該第一源極電極和該第一汲極電極中的一個互相電連接，以及

其中，該位元線與該第一源極電極和該第一汲極電極中的另一個互相電連接。

2. 一種半導體裝置，包含：

源極電極線；

位元線；

信號線；以及

字線，

其中，在該源極電極線和該位元線之間並聯連接有多個記憶元件，

其中，該多個記憶元件之一包含：具有第一閘極電極、第一源極電極以及第一汲極電極的第一電晶體；具有第二閘極電極、第二源極電極以及第二汲極電極的第二電晶體；以及電容器，

其中，該第二電晶體包含氧化物半導體層，

其中，該第一閘極電極、該第二源極電極和該第二汲極電極中的一個、和該電容器的電極中的一個互相電連接，

其中，該源極電極線與該第一源極電極和該第一汲極電極中的一個互相電連接，

其中，該位元線與該第一源極電極和該第一汲極電極中的另一個互相電連接，以及

其中，該第一電晶體包含設置在含有半導體材料的基板中的通道形成區域、夾有該通道形成區域而設置的雜質區域、該通道形成區域上的第一閘極絕緣層、該第一閘極絕緣層上的該第一閘極電極、以及電連接到該等雜質區域的該第一源極電極及該第一汲極電極。

3. 根據申請專利範圍第 1 或 2 項之半導體裝置，

其中，該信號線與該第二閘極電極互相電連接，以及

其中，該字線、該第二源極電極和該第二汲極電極中的另一個、和該電容器的電極中的另一個互相電連接。

4. 根據申請專利範圍第 1 或 2 項之半導體裝置，

其中，該信號線與該第二源極電極和該第二汲極電極中的另一個互相電連接，以及

其中，該字線、該第二閘極電極和該電容器的電極中的另一個互相電連接。

5. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中，該第二電晶體包含該含有半導體材料的基板上的該第二閘極電極、該第二閘極電極上的第二閘極絕緣層、該第二閘極絕緣層上的該氧化物半導體層、以及電連接到該氧化物半導體層的該第二源極電極及該第二汲極電極。

6. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中，該含有半導體材料的基板為單晶半導體基板或 SOI 基板。

7. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中，該半導體材料為矽。

8. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中，該氧化物半導體層包含 In-Ga-Zn-O 基的氧化物半導體材料。

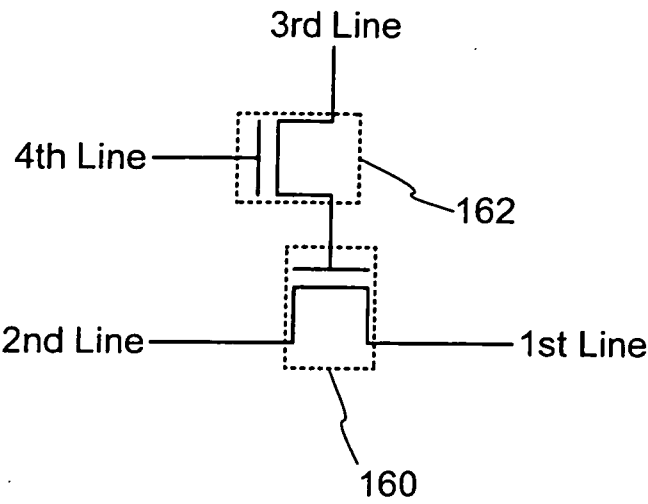
9. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中，該氧化物半導體層含有 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的結晶。

10. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中，該氧化物半導體層的氫濃度為小於或等於 5×10^{19} 原子

/cm³。

11. 根據申請專利範圍第 1 或 2 項之半導體裝置，其中，該第二電晶體的截止電流為小於或等於 1×10^{-13} A。

圖 1



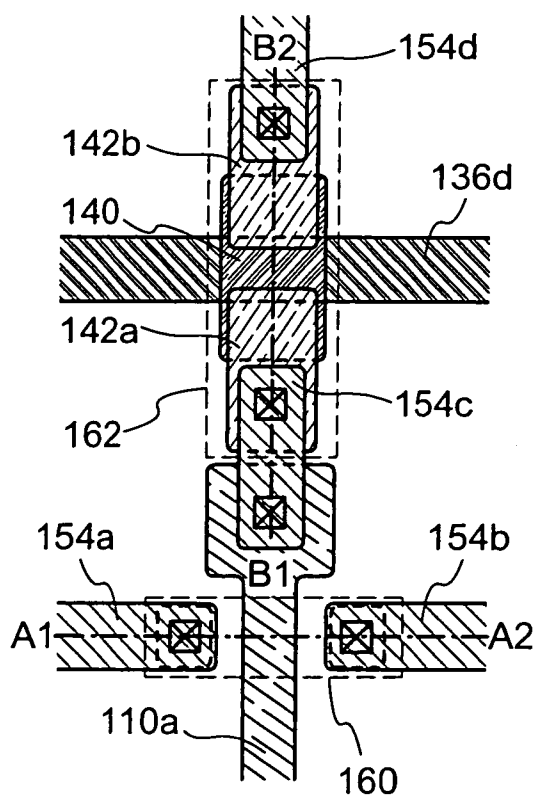
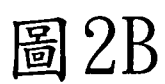


圖 3A

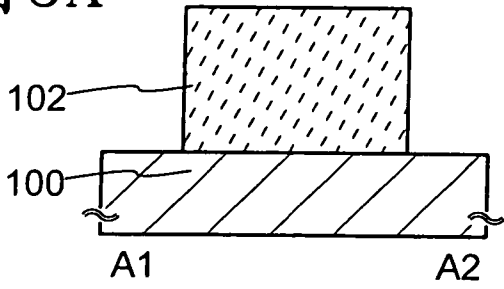


圖 3E

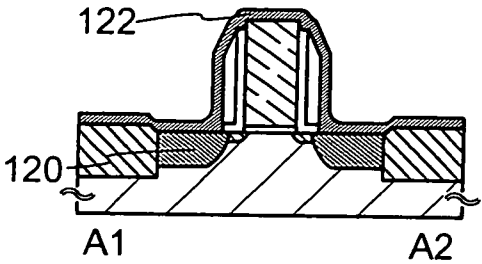


圖 3B

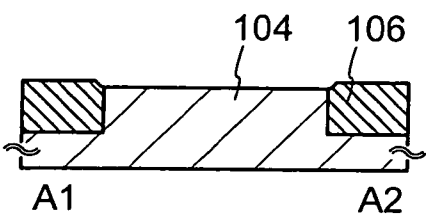


圖 3F

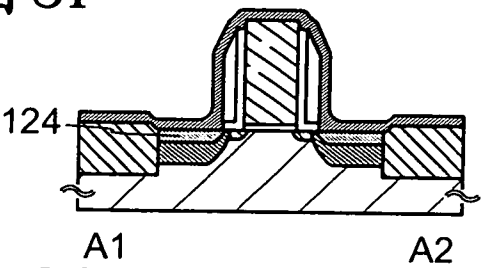


圖 3C

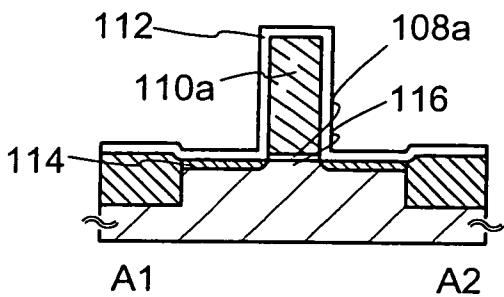


圖 3G

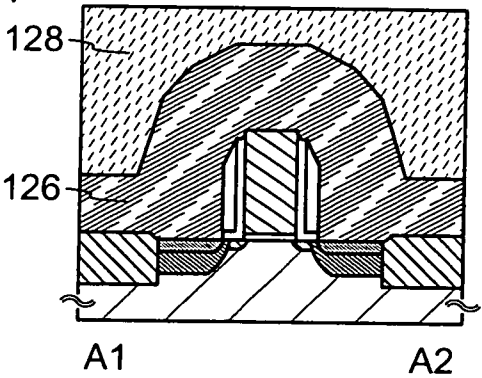


圖 3D

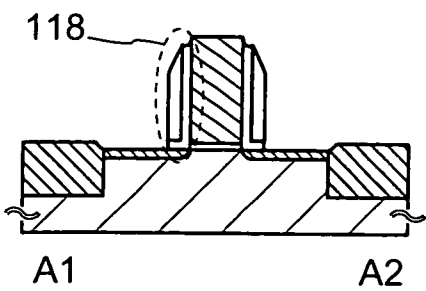


圖 3H

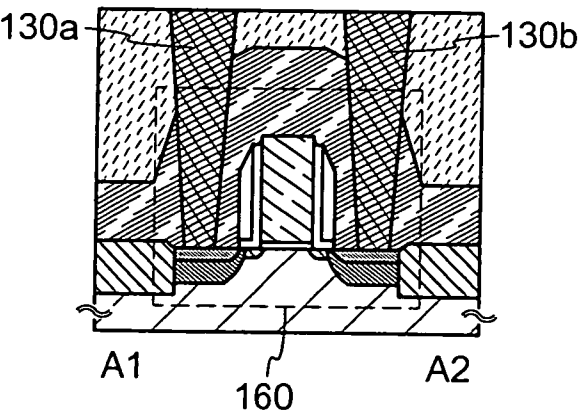


圖 4A

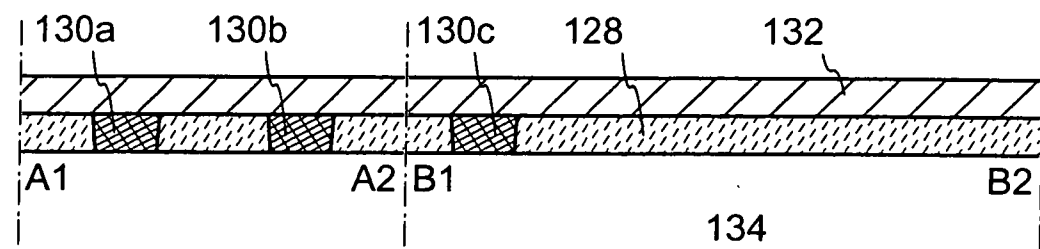


圖 4B

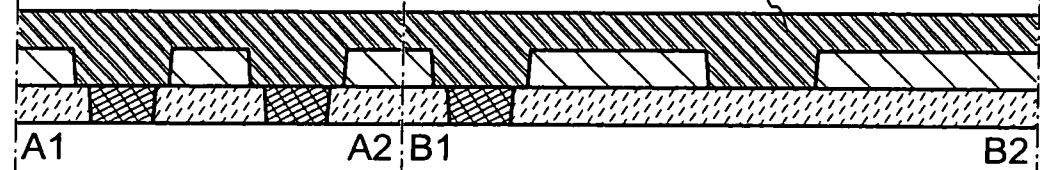


圖 4C

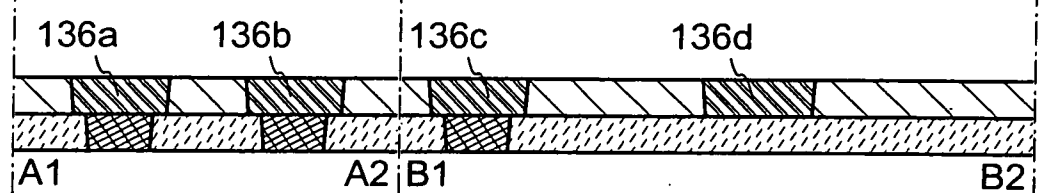


圖 4D

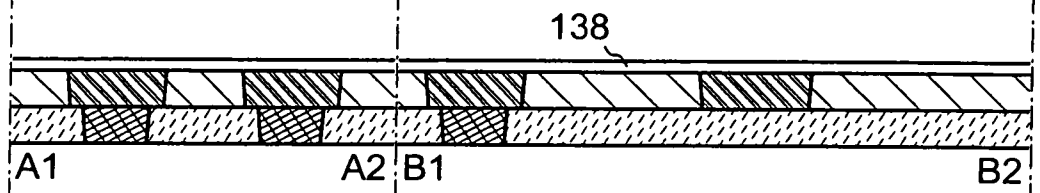


圖 4E

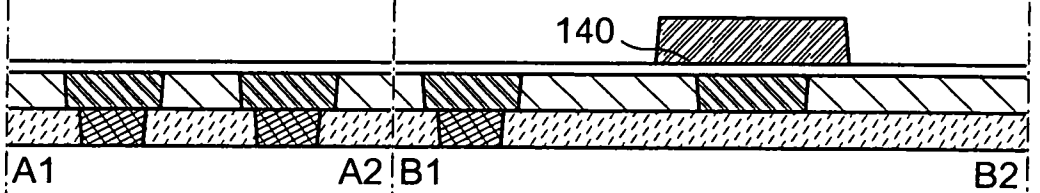


圖 4F

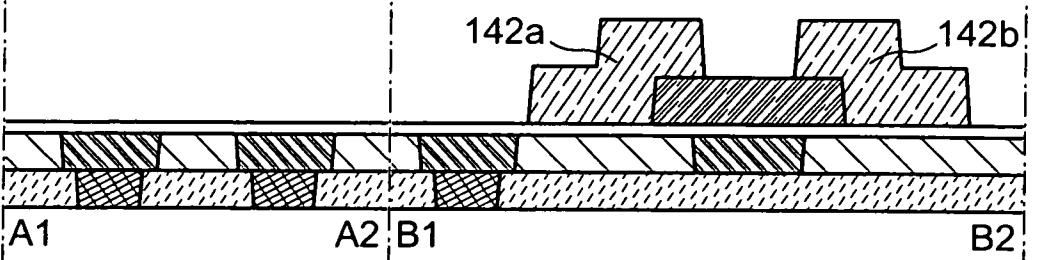


圖 4G

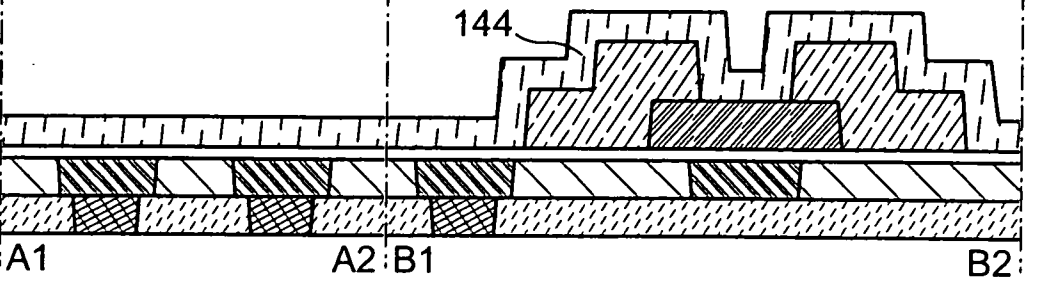


圖 5A

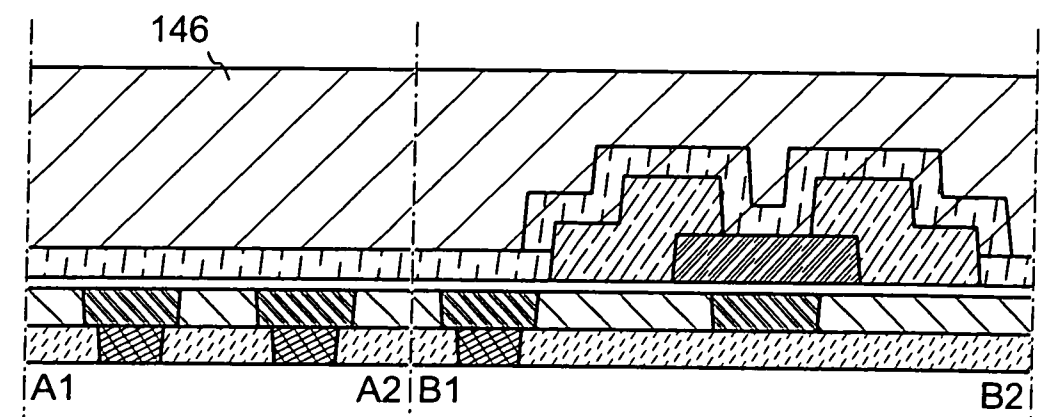


圖 5B

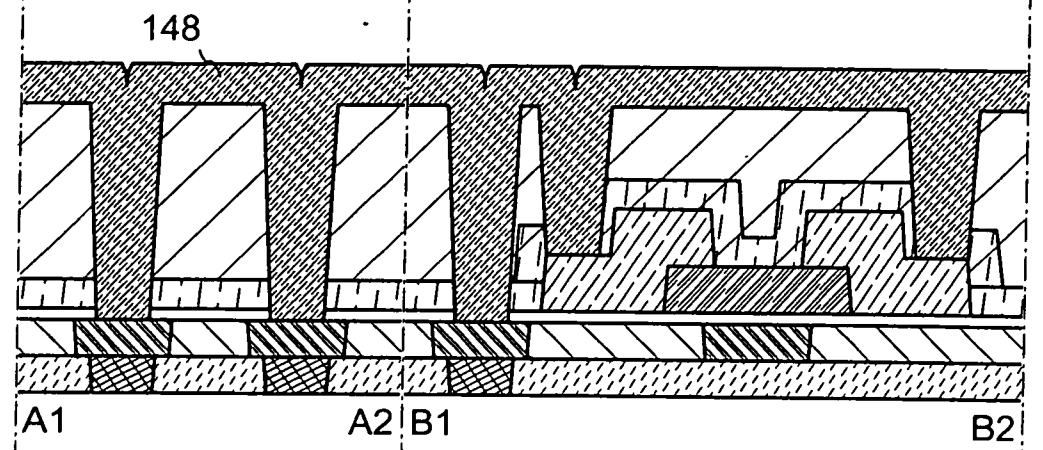


圖 5C

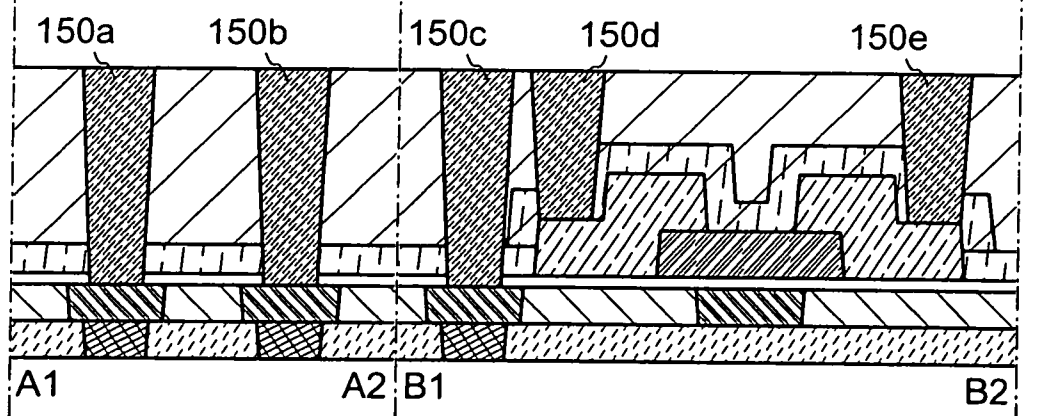


圖 5D

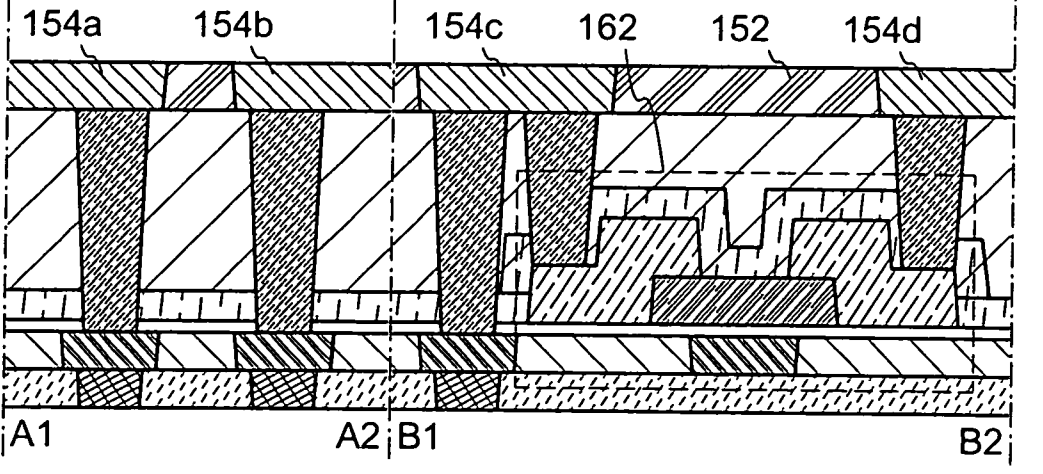


圖6

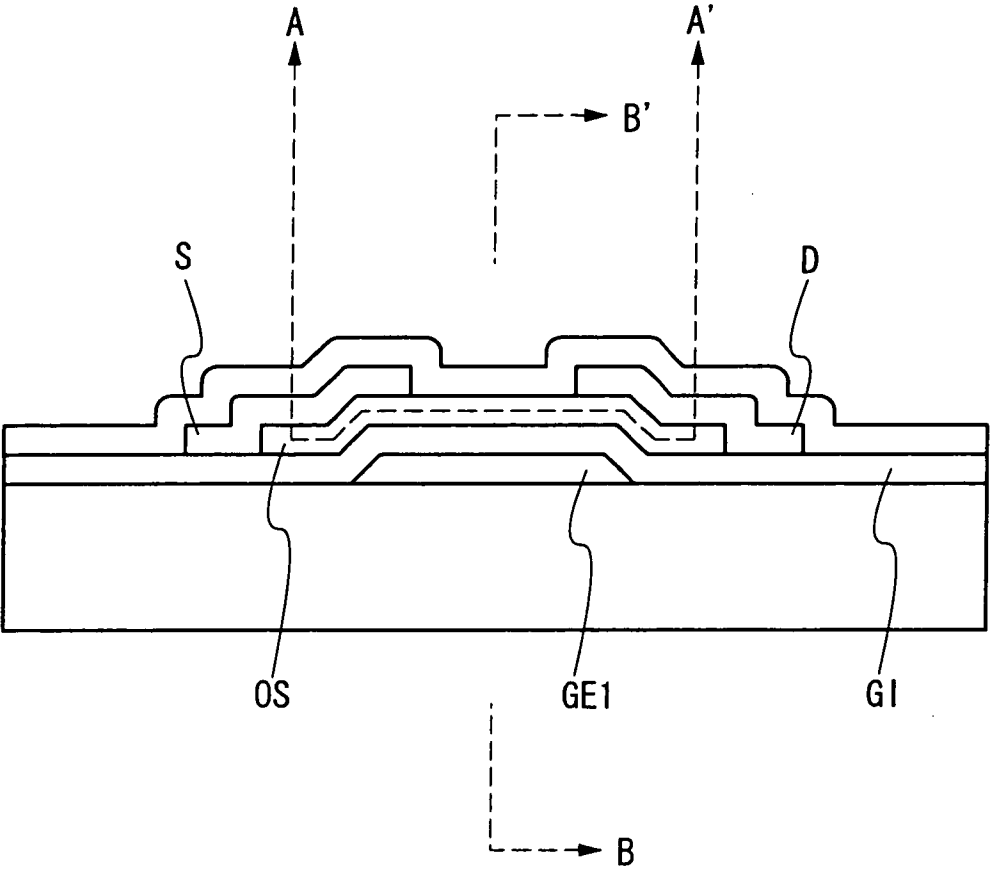


圖 7

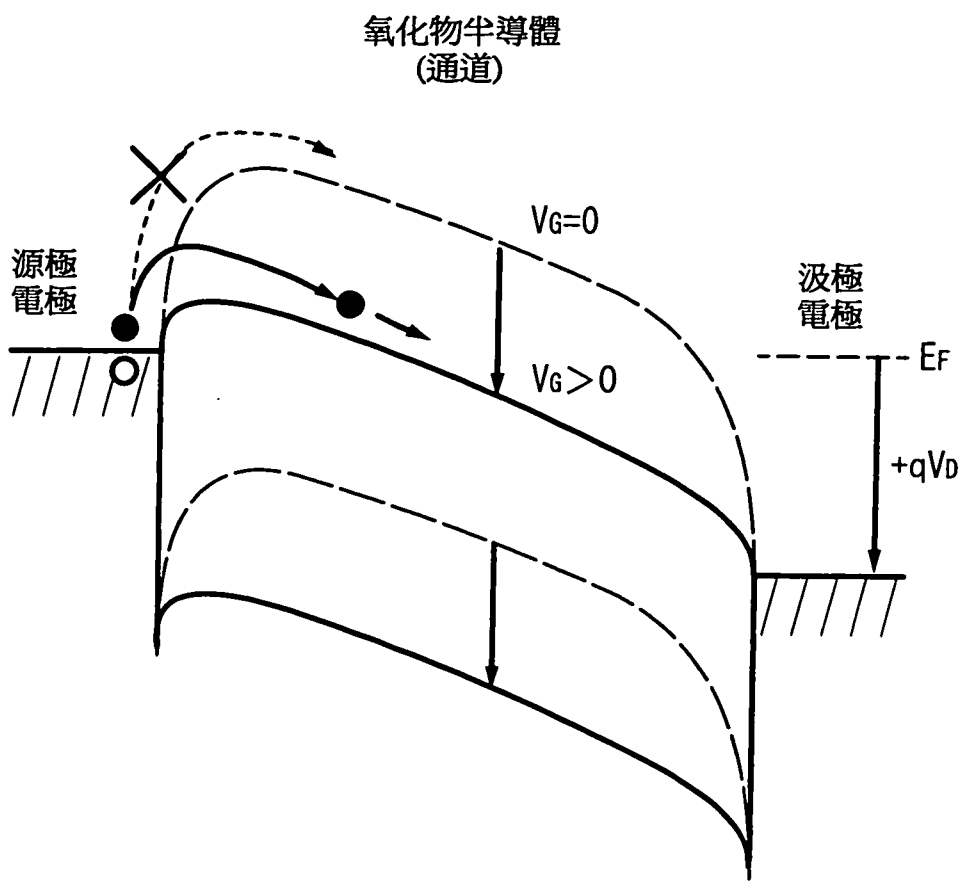
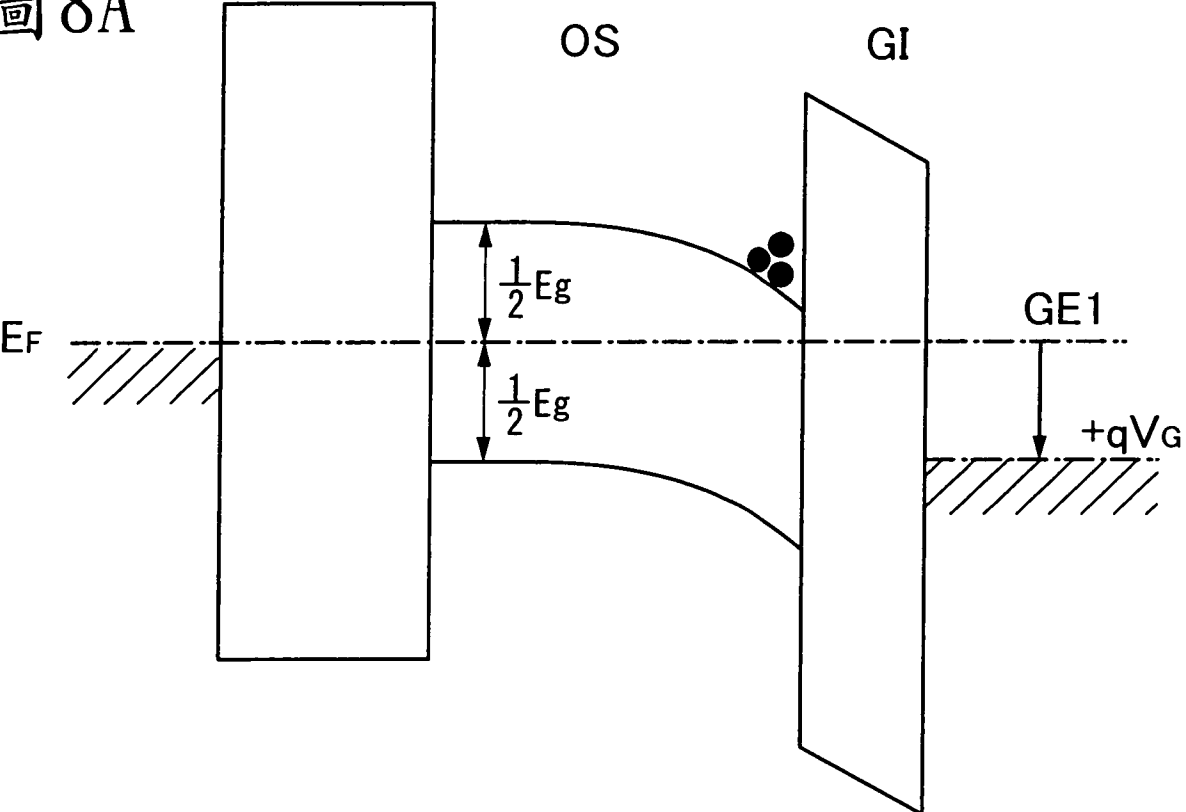
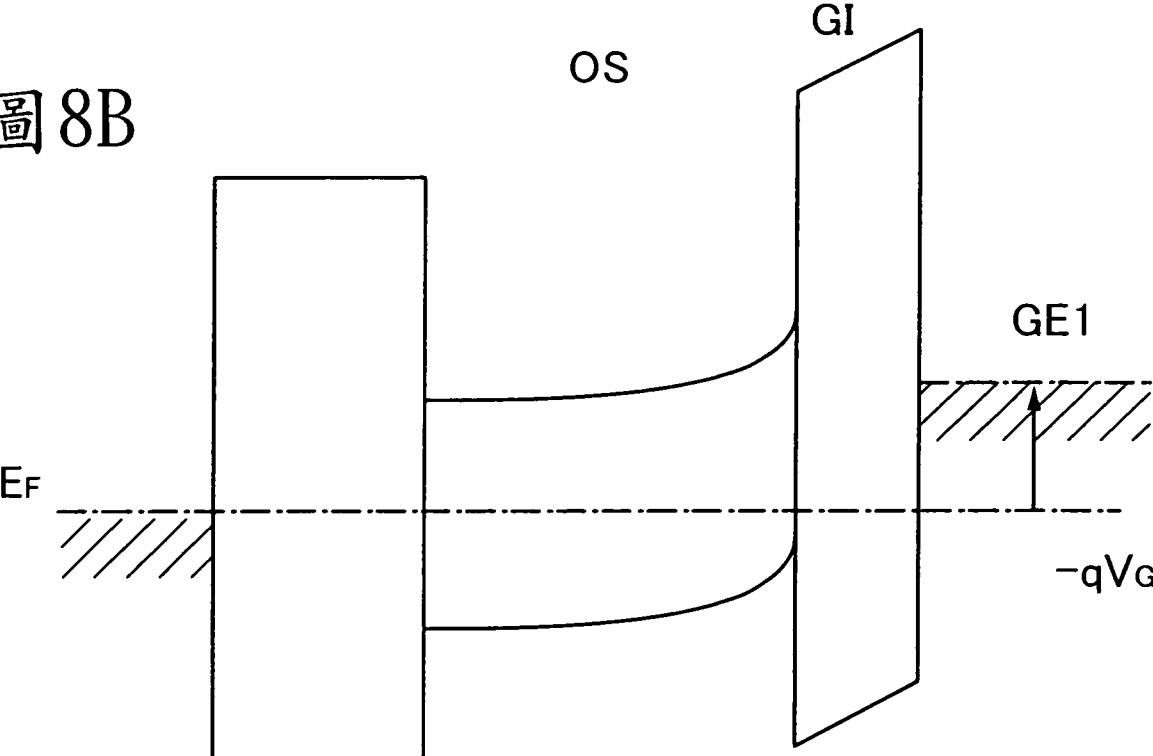


圖 8A



B-B'截面的能帶圖 ($V_G > 0$)

圖 8B



B-B'截面的能帶圖 ($V_G < 0$)

圖 9

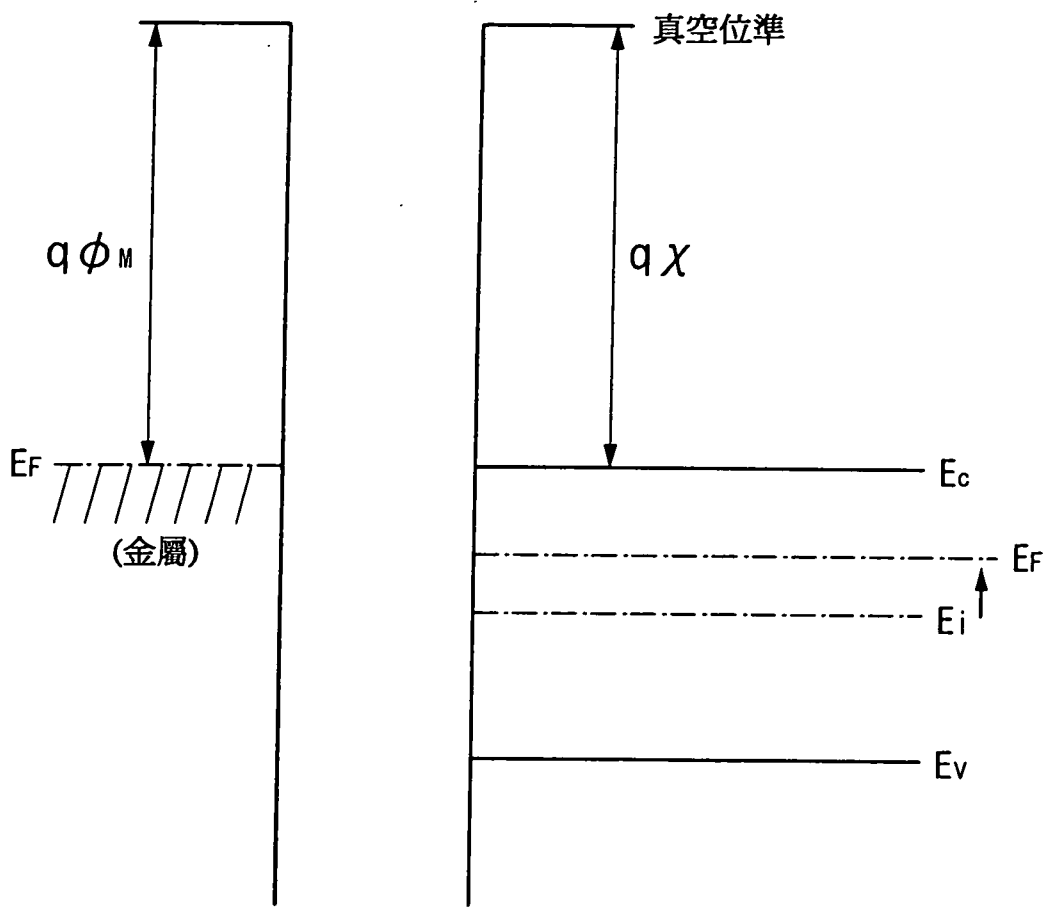


圖 10

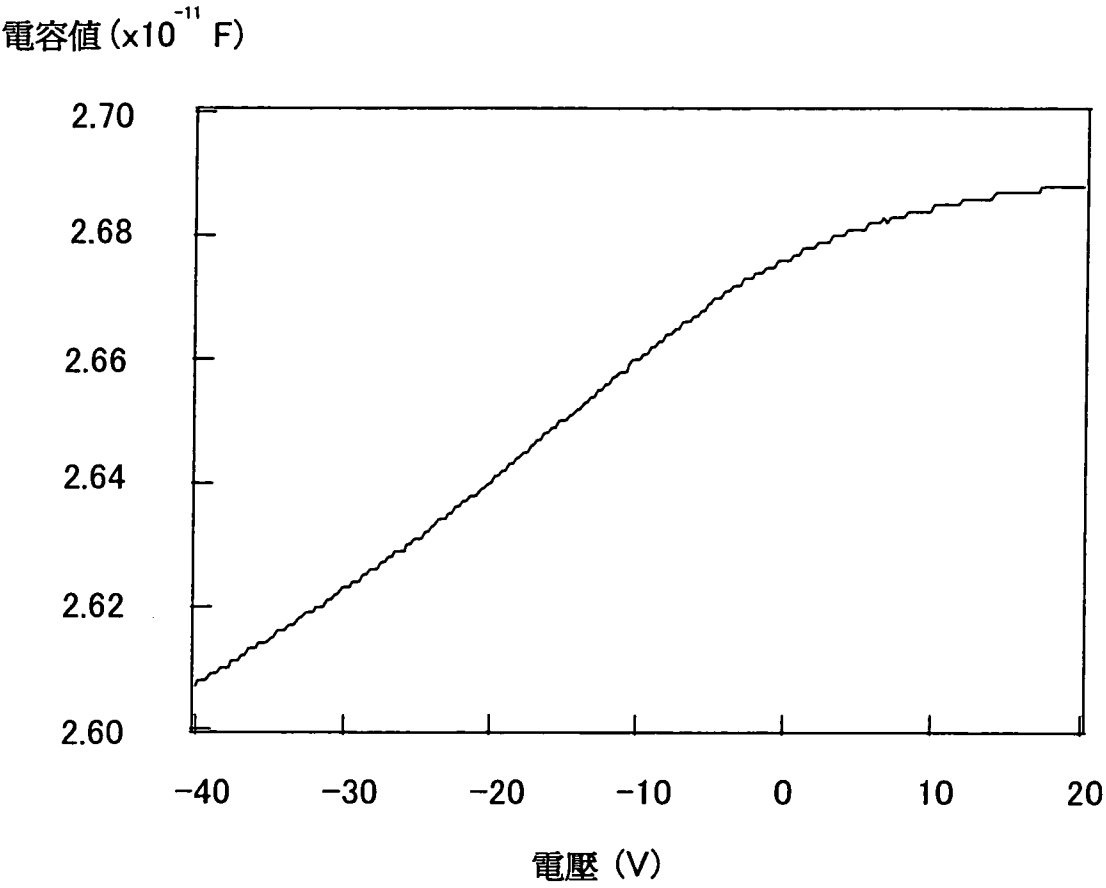


圖 11

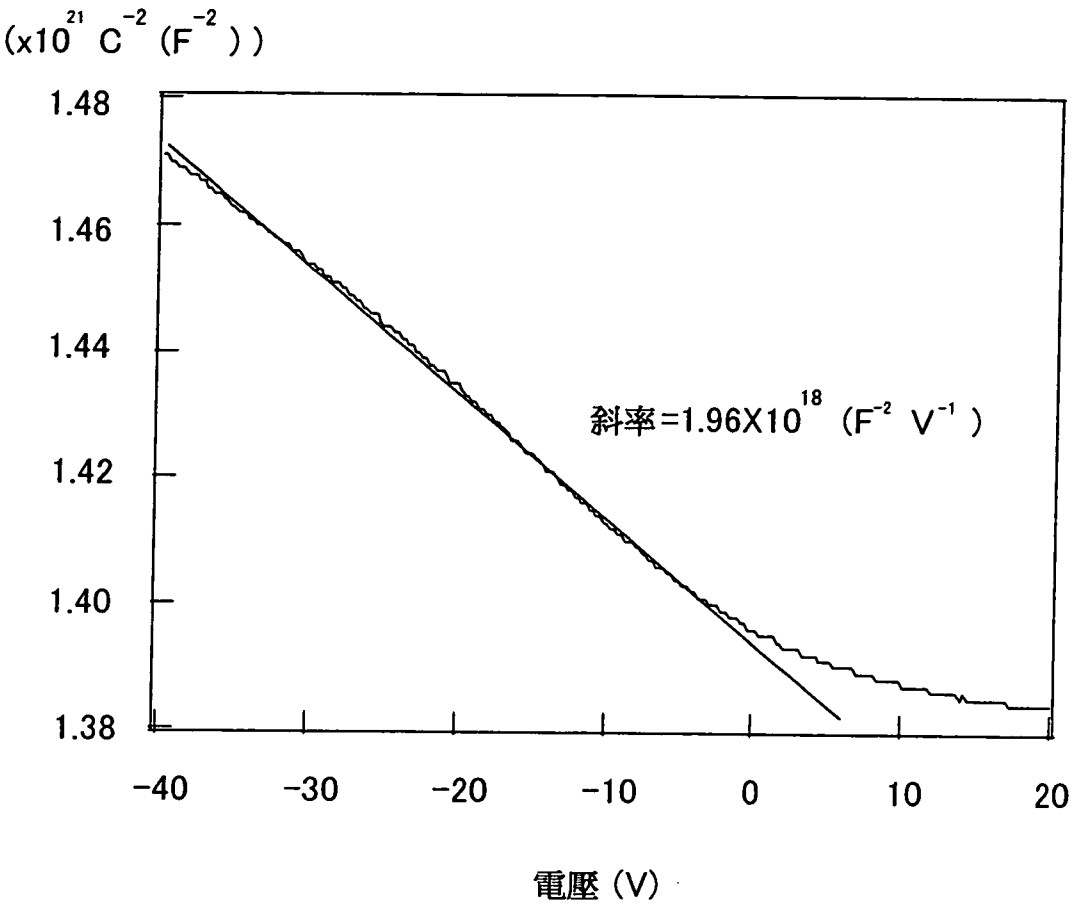


圖12

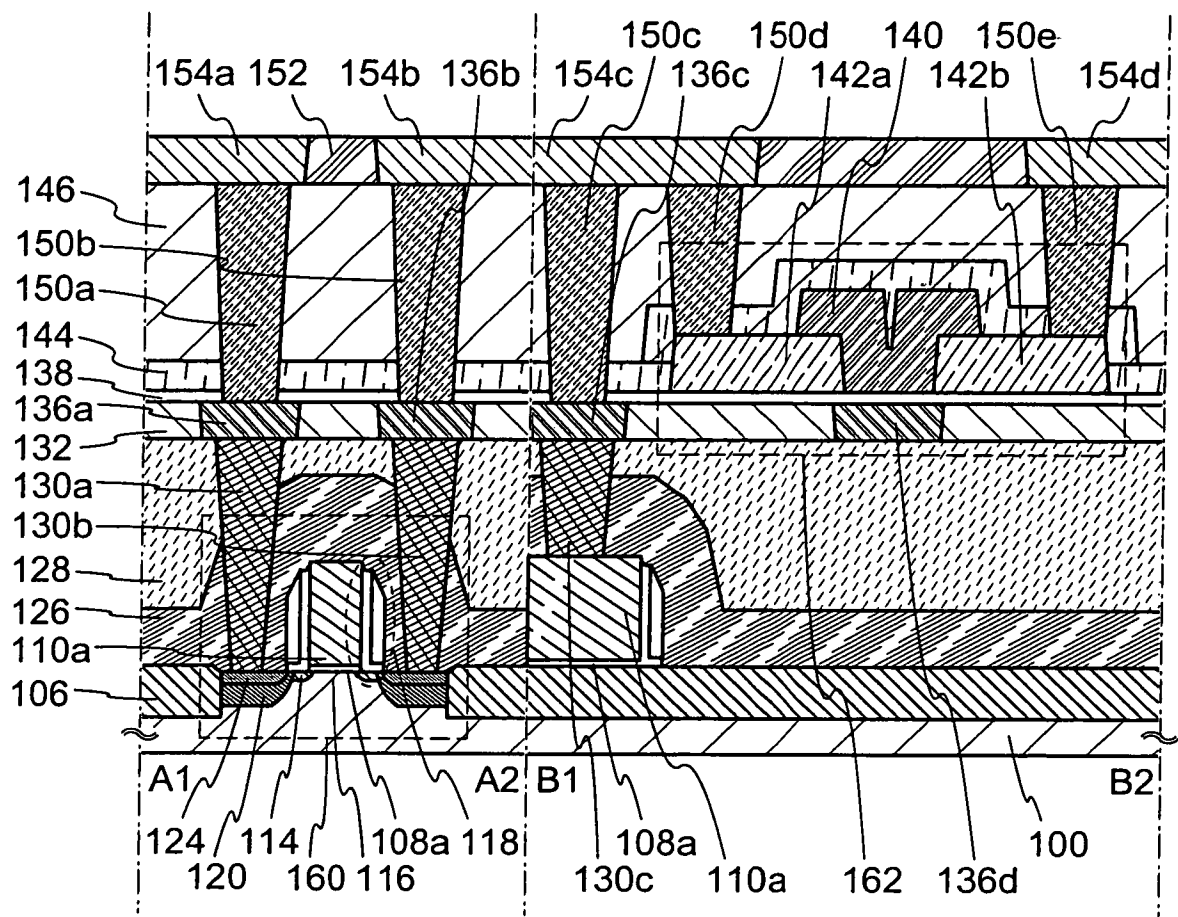


圖13A

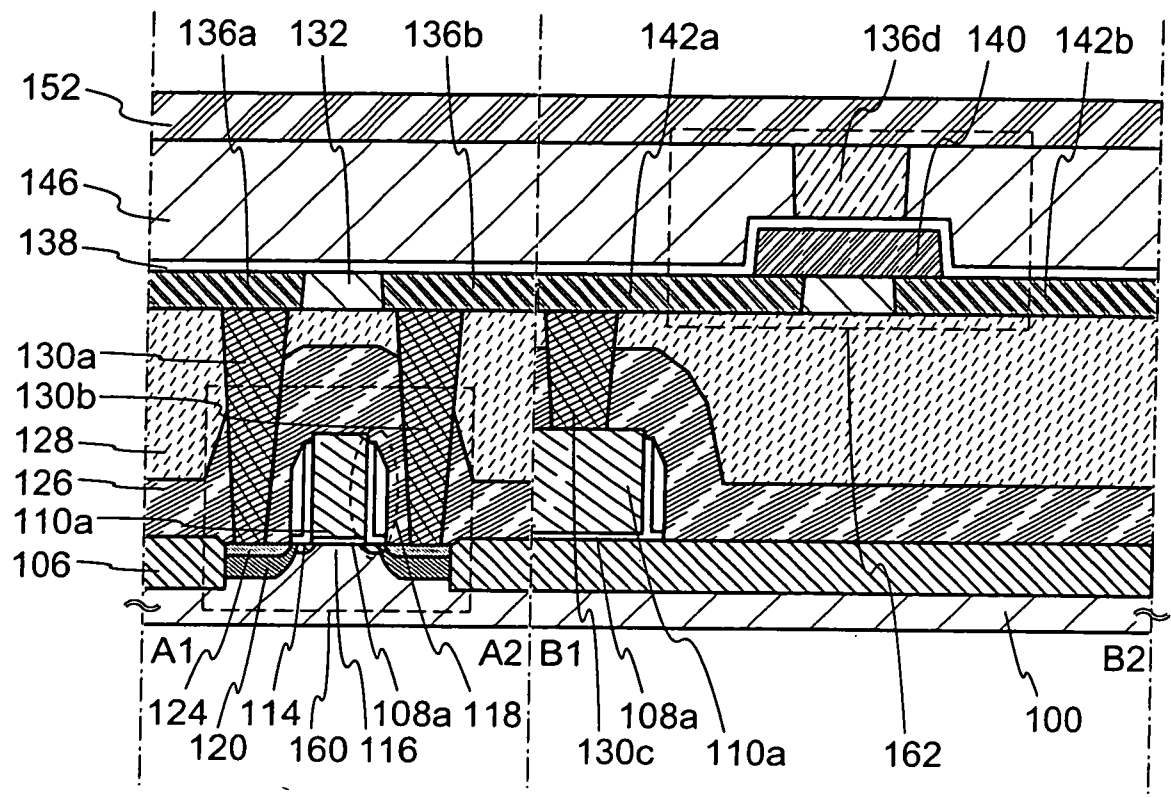
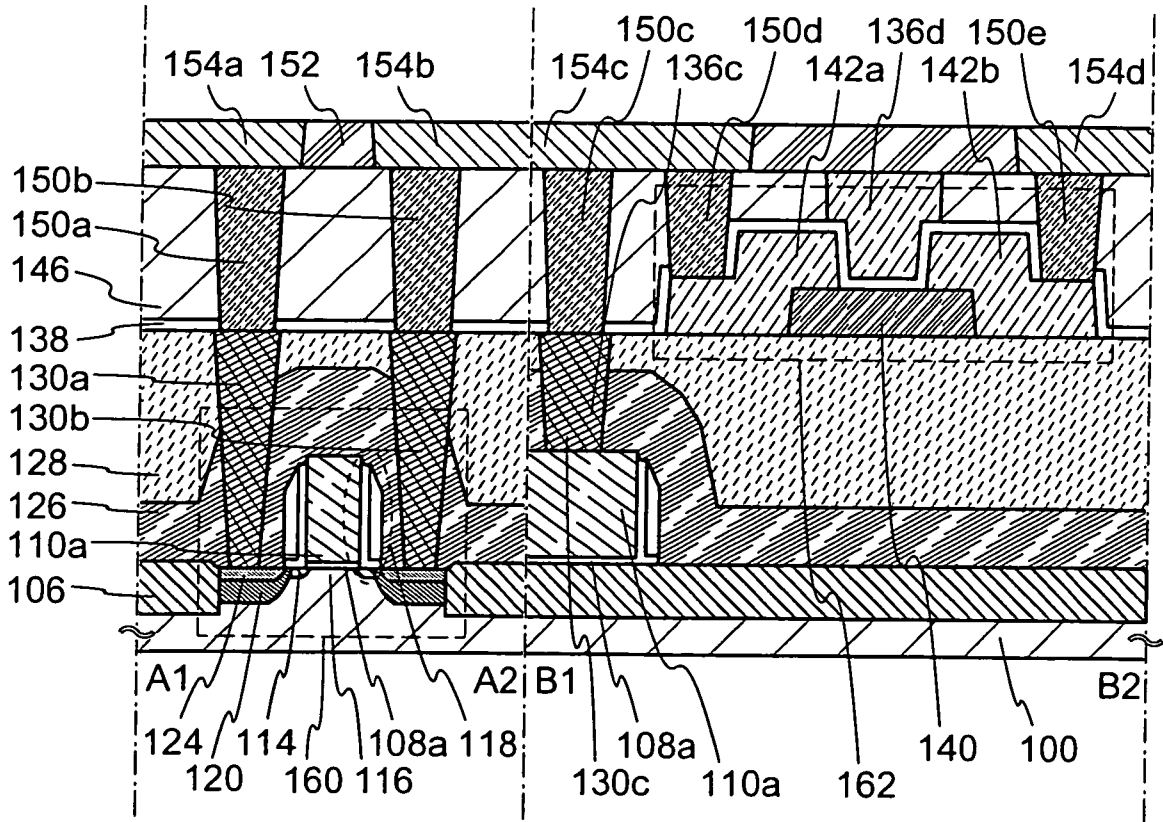


圖13B



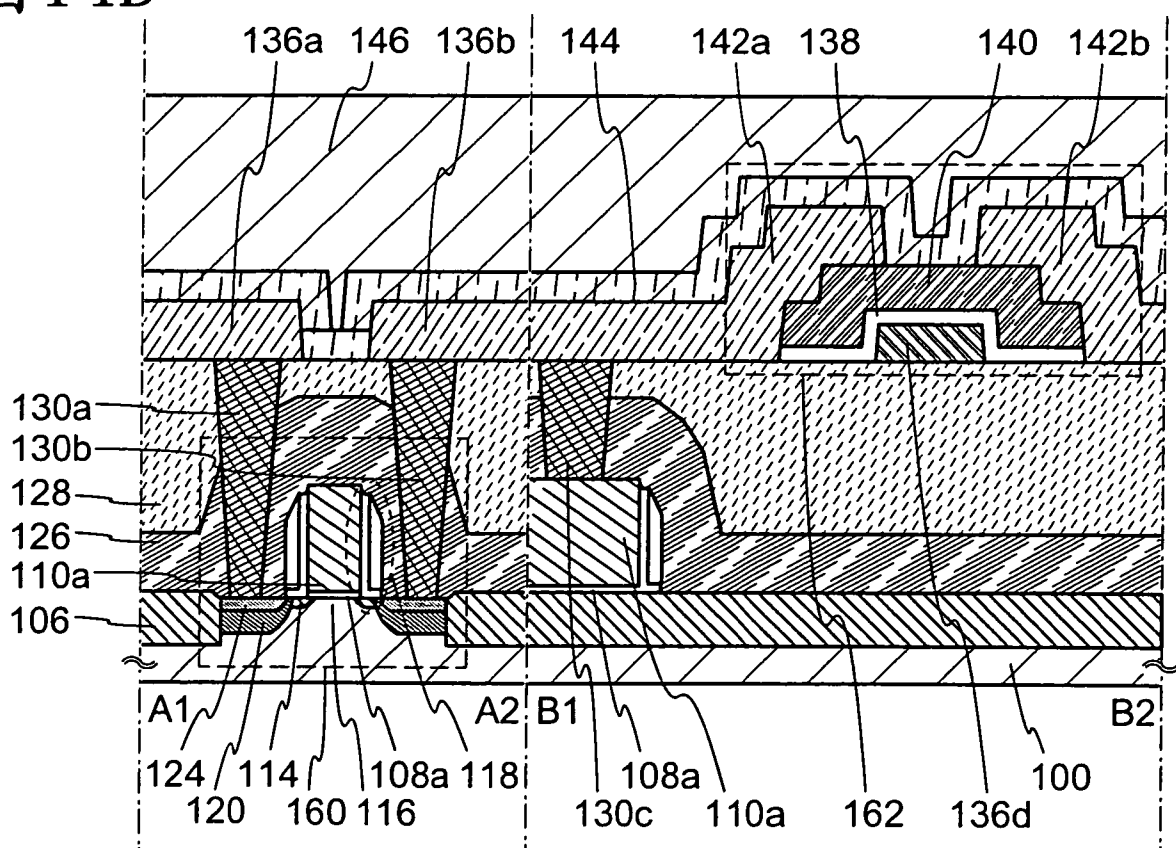
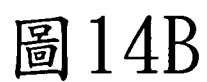


圖 15A

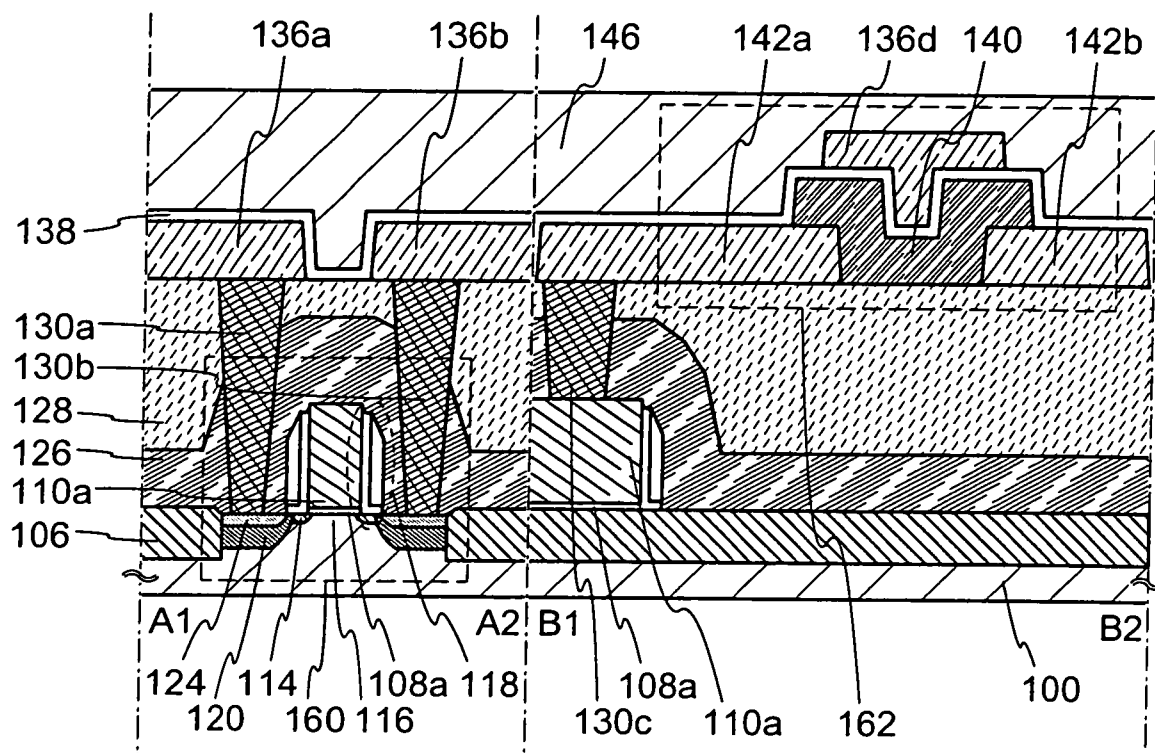


圖 15B

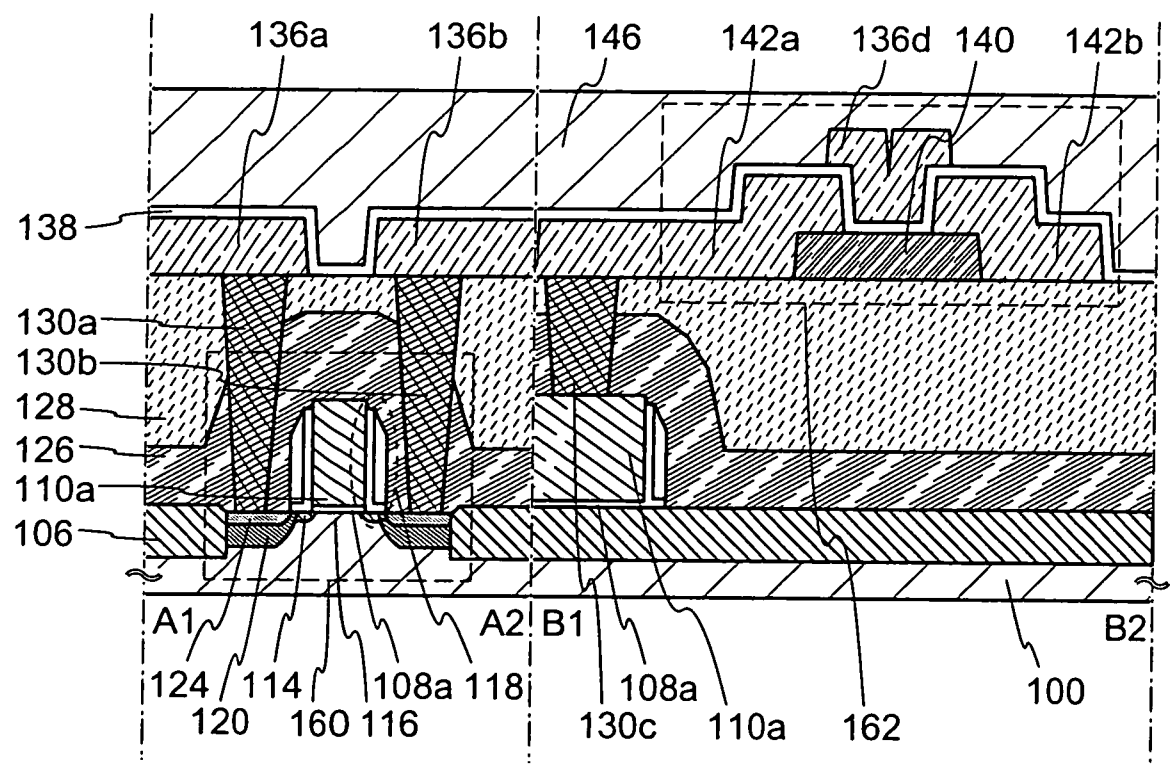


圖16

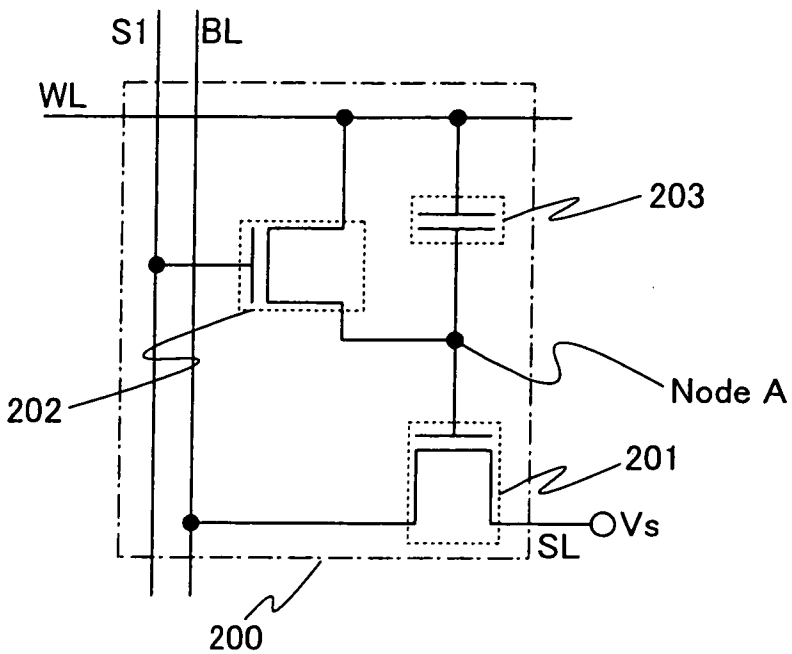


圖 17

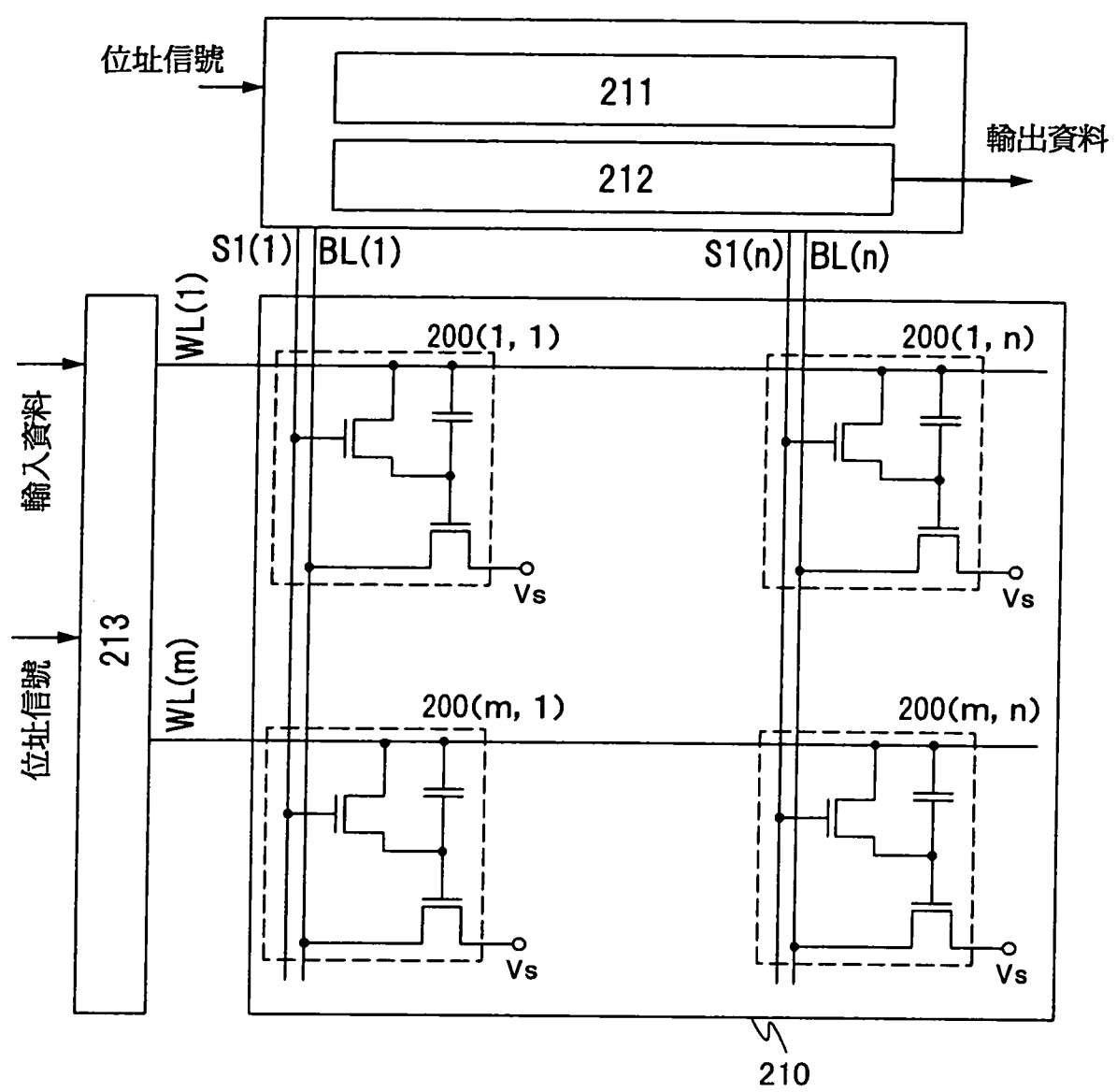


圖 18

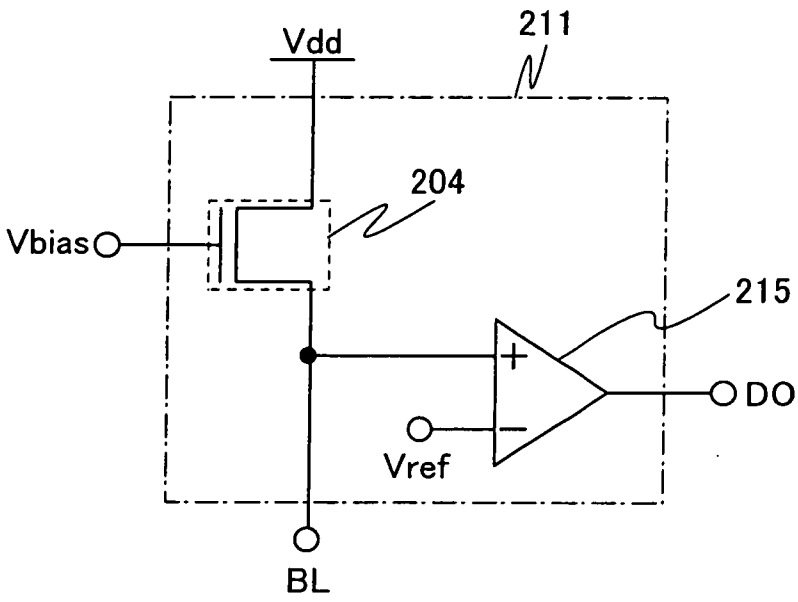


圖19

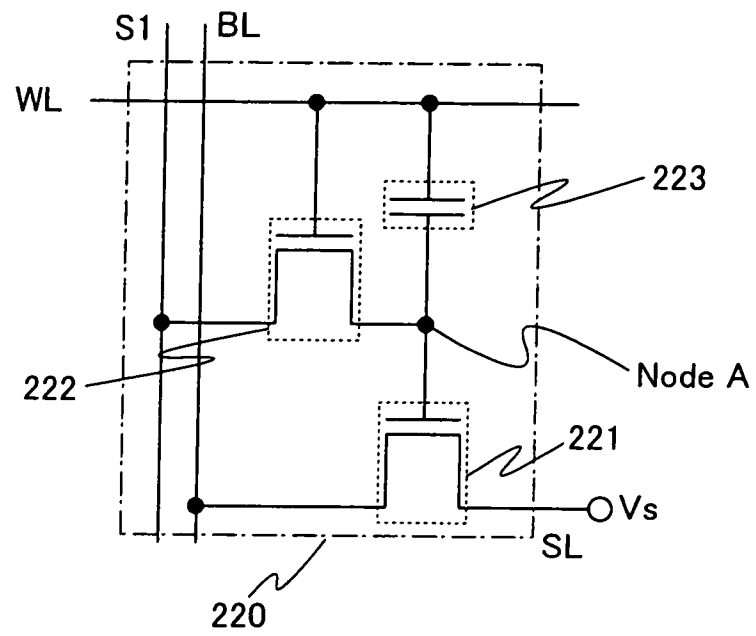


圖 20A

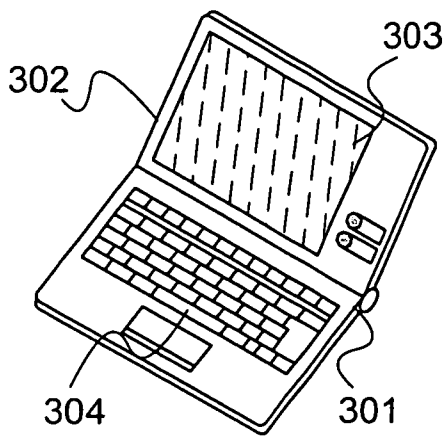


圖 20D

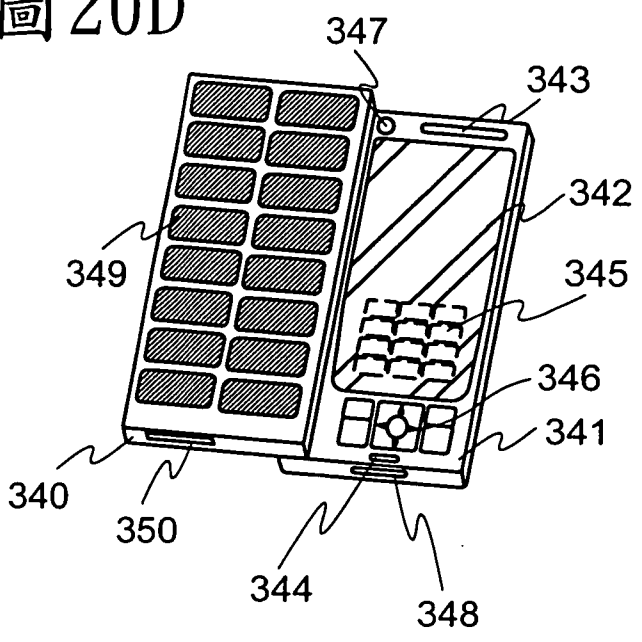


圖 20B

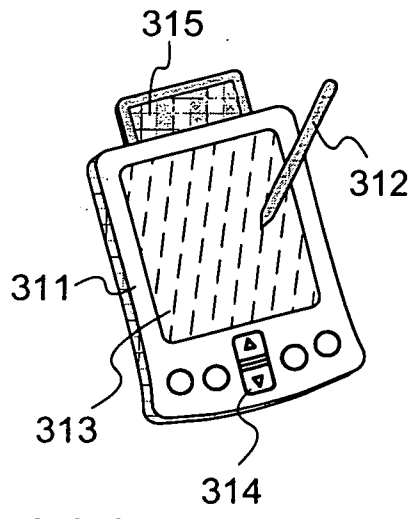


圖 20E

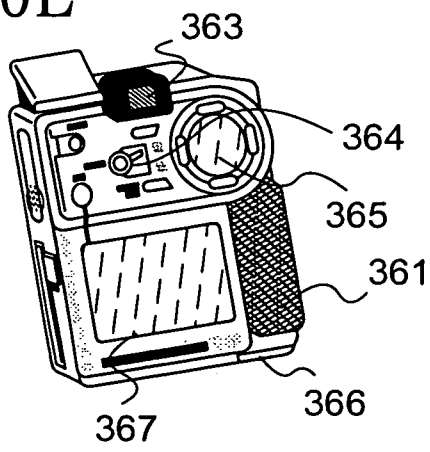


圖 20C

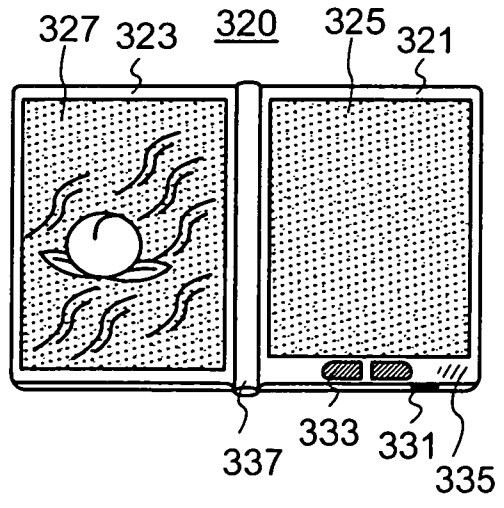


圖 20F

