(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3615009号
(P3615009)
(45)発行日　平成17年1月26日(2005.1.26)　(24)登録日　平成16年11月12日(2004.11.12)

(51)Int.Cl.[7]　F I
G11C 16/06　G11C 17/00 634B
G11C 17/00 634G

請求項の数 9　(全 23 頁)

(21)出願番号　特願平9-27748
(22)出願日　平成9年2月12日(1997.2.12)
(65)公開番号　特開平10-228792
(43)公開日　平成10年8月25日(1998.8.25)
審査請求日　平成14年1月16日(2002.1.16)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100068814
弁理士　坪井　淳
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
複数のビット線と、
前記各ビット線に対応して設けられ、閾値が第１の範囲および第２の範囲をとることにより情報を記憶するメモリセルトランジスタを有し、同時に選択制御され、選択時には対応する前記ビット線の電荷を前記閾値に応じて放電するあるいは放電しないように制御され、放電した電荷の経路が共通に接続されている複数の不揮発性メモリセルと、
前記複数の各ビット線に対応して設けられ、前記ビット線のビット線電位センスノードに読み出されたメモリセルデータを検知する複数のセンスアンプとを具備し、
前記各センスアンプは、
前記複数の各ビット線に対応して設けられ、対応するビット線を所定のタイミングで充電するための電流源と、
相補的な第１および第２のノードを有し、前記メモリセルトランジスタにおける閾値の範囲に対応するデータをラッチするためのラッチ回路と、
前記ラッチ回路の第１のノードと接地ノードとの間に接続され、前記複数のビット線のうち対応するビット線に接続されたゲートを有するビット線電位センス用のＮＭＯＳトランジスタと、
前記ラッチ回路のラッチデータに基づいて、対応するビット線の充電経路をスイッチングするために挿入されたスイッチ回路と、
前記ビット線のビット線電位センスノードと前記メモリセルとの間でビット線に直列に挿

入されたビット線電位クランプ用のＮＭＯＳトランジスタと、
前記ラッチ回路の前記第１のノードと接地ノードとの間に接続され、ゲートが前記ビット線電位センスノードに接続されたビット線電位センス用のＮＭＯＳトランジスタと、
前記ラッチ回路の前記第１のノードと接地ノードとの間で前記ビット線電位センス用のＮＭＯＳトランジスタに直列に接続され、ゲートに所定期間印加される信号によりオン状態に制御されるＮＭＯＳトランジスタと、
前記ビット線電位センスノードと前記ラッチ回路の前記第２のノードとの間に挿入され、前記メモリセルの読み出し時にはオフ状態に制御され、前記ラッチ回路のリセット時および前記メモリセルの書き込み時にはオン状態に制御されるセンスアンプリセット用およびトランスファーゲート用のＮＭＯＳトランジスタ
とを具備することを特徴とする半導体記憶装置。

【請求項２】
請求項１記載の半導体記憶装置において、
前記スイッチ回路は、前記ビット線のビット線電位センスノードに対する充電経路に挿入されていることを特徴とする半導体記憶装置。

【請求項３】
請求項１記載の半導体記憶装置において、
前記スイッチ回路は、前記ビット線のビット線電位センスノードと前記メモリセルとの間の充電経路に挿入されていることを特徴とする半導体記憶装置。

【請求項４】
請求項１記載の半導体記憶装置において、
前記スイッチ回路は、ＰＭＯＳトランジスタからなり、そのゲートは、前記ラッチ回路の前記第２のノードに接続されていることを特徴とする半導体記憶装置。

【請求項５】
請求項１記載の半導体記憶装置において、
前記スイッチ回路は、ＮＭＯＳトランジスタからなり、そのゲートは、前記ラッチ回路の前記第１のノードに接続されていることを特徴とする半導体記憶装置。

【請求項６】
複数のビット線と、
前記各ビット線に対応して設けられ、閾値が第１の範囲および第２の範囲をとることにより情報を記憶するメモリセルトランジスタを有し、同時に選択制御され、選択時には対応する前記ビット線の電荷を前記閾値に応じて放電するあるいは放電しないように制御され、放電した電荷の経路が共通に接続されている複数の不揮発性メモリセルと、
前記各ビット線に対応して設けられ、前記ビット線のビット線電位センスノードに読み出されたメモリセルデータを検知する複数のセンスアンプとを具備し、
前記各センスアンプは、
前記各ビット線に対応して設けられ、対応するビット線を所定のタイミングで充電するための電流源と、
前記メモリセルトランジスタにおける閾値の範囲に対応するデータをラッチするためのラッチ回路と、
書込みベリファイ読み出し動作時には、前記ビット線充電用の電流源の電流の大きさを通常の読み出し動作時よりも小さくして、ビット線電位が変化し始めてからセンスアンプでセンスするまでのセンスアンプの読み出し時間を、通常の読み出し動作時よりも長くする制御回路
とを具備することを特徴とする半導体記憶装置。

【請求項７】
請求項６記載の半導体記憶装置において、
前記制御回路は、前記ビット線充電用の電流源の電流に反比例した割合でセンスアンプの読み出し時間を長くすることを特徴とする半導体記憶装置。

【請求項８】

複数のビット線と、
前記各ビット線に対応して設けられ、閾値が第１の範囲および第２の範囲をとることにより情報を記憶するメモリセルトランジスタを有し、同時に選択制御され、選択時には対応する前記ビット線の電荷を前記閾値に応じて放電するあるいは放電しないように制御され、放電した電荷の経路が共通に接続されている複数の不揮発性メモリセルと、
前記各ビット線に対応して設けられ、前記ビット線のビット線電位センスノードに読み出されたメモリセルデータを検知する複数のセンスアンプとを具備し、
前記各センスアンプは、
前記各ビット線に対応して設けられ、対応するビット線を所定のタイミングで充電するための電流源と、
前記メモリセルトランジスタにおける閾値の範囲に対応するデータをラッチするためのラッチ回路と、
書込みベリファイ読み出し動作時には、前記ビット線の負荷抵抗を大きくして、ビット線電位が変化し始めてからセンスアンプでセンスするまでのセンスアンプの読み出しを、前記ビット線の負荷抵抗に比例した割合で通常の読み出し動作時よりも長くする制御回路
とを具備することを特徴とする半導体記憶装置。

【請求項９】
請求項１乃至８のいずれか１項に記載の半導体記憶装置において、
前記不揮発性メモリセルは、電気的消去・再書き込み可能なメモリセルトランジスタが複数個直列に接続されてＮＡＮＤセルを形成していることを特徴とする半導体記憶装置。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体記憶装置に係り、特に不揮発性メモリセルの情報を検知する際にビット線を充電する電流とセル電流の大小で決まる電位を検知する方式の半導体メモリにおけるセンスアンプに関するもので、例えばＮＡＮＤ型ＥＥＰＲＯＭなどの不揮発性半導体メモリに使用される。
【０００２】
【従来の技術】
ＥＥＰＲＯＭは、電源を切っても不揮発性セルのデータが消えない等の利点があり、近年大幅に需要が増大している。特に、１トランジスタでメモリセルが構成された一括消去可能なフラッシュメモリは、大容量の磁気ディスクの代替等の用途が期待されている。また、ＥＥＰＲＯＭの中で高集積化が可能なものとして、ＮＡＮＤセル型のＥＥＰＲＯＭが知られている。
【０００３】
図１は、一括消去可能なＮＡＮＤセル型ＥＥＰＲＯＭの全体構成を示す。
このＥＥＰＲＯＭは、複数のＮＡＮＤ型メモリセルがマトリクス状に配設され、縦方向にビット線ＢＬが多数本、横方向にワード線ＷＬが多数本配列されているメモリセルアレイ１１と、外部から入力されたアドレスに基いて上記メモリセルアレイ１１のワード線を選択駆動するロウデコーダ１２と、上記メモリセルアレイ１１のビット線に接続されているセンスアンプ（および書込みデータラッチ回路）１３と、このセンスアンプ１３に接続されているカラムゲート１５と、外部から入力されたアドレスに基き上記カラムゲート１５を制御し、対応するビット線およびセンスアンプ１３を選択するカラムデコーダ１４と、前記カラムゲート１５に接続されているＩ／Ｏバッファ１８と、書き込み動作や消去動作に必要な高電圧を供給するための昇圧回路１６と、チップ外部とのインターフェースをとるための制御回路１７とを具備している。
【０００４】
前記ロウデコーダ１２は、データの書き込み時、消去時およびデータの読み出し時にそれぞれアドレス信号に基づいて前記複数のワード線ＷＬを選択駆動するものであり、そのワード線ドライバには、所要の電圧が供給される。

【０００５】
また、データの書き込み、消去、データの読み出しに際して、ビット線ＢＬに対して所要の電圧をそれぞれ選択的に供給するビット線ドライバ（図示せず）が設けられている。
【０００６】
図２（ａ）は、図１中のメモリセルアレイ１１のＮＡＮＤ型メモリセルの一例を示している。
即ち、浮遊ゲートと制御ゲートを有するＮチャネルのＭＯＳＦＥＴからなる複数個のメモリセルトランジスタＭ１　～Ｍ８　が直列に接続され、一端側のドレインが選択ゲート用のＮＭＯＳトランジスタＱ１　を介してビット線ＢＬに、多端側のソースが選択ゲート用のＮＭＯＳトランジスタＱ２　を介して共通ソース線ＣＳに接続されている。
【０００７】
上記各トランジスタは同一のウェルW上に形成されており、メモリセルＭ１　～Ｍ８　の制御電極は行方向に連続的に配設されたワード線ＷＬ１　～ＷＬ８　に接続されており、選択トランジスタＱ１　の制御電極は選択線ＳＬ１　に、選択トランジスタＱ２　の制御電極は選択線ＳＬ２　に接続されている。
【０００８】
前記メモリセルトランジスタＭ１　～Ｍ８　は、それぞれ保持するデータに応じた閾値を持っている。ＮＡＮＤ型フラッシュメモリの場合は、通常、メモリセルトランジスタがディプレッション型（Ｄタイプ）になっている状態を“１”データの保持状態（消去状態）、メモリセルトランジスタがエンハンスメント型（Ｅタイプ）になっている状態を“０”データの保持状態（書き込み状態）と定義している。また、“１”データが保持されているメモリセルトランジスタの閾値を正方向にシフトさせ、“０”データを保持するようにすることを「書き込み動作」と呼び、“０”データが保持されているメモリセルトランジスタの閾値を負方向にシフトさせ“１”データを保持するようにすることを消去動作と呼ぶ。
【０００９】
図２（ｂ）は、ＮＡＮＤセルのメモリセルトランジスタの閾値電圧の分布の一例を示す。
次に、このようなＮＡＮＤセルに対するデータの書き込み、消去、データの読み出しの動作の一例について説明する。
【００１０】
ＮＡＮＤセルに対するデータの書き込みは、ビット線ＢＬから遠い方のメモリセルトランジスタから順次行われる。メモリセルトランジスタが例えばｎチャネルの場合を説明すると、ビット線ＢＬにはデータ“０”の書き込み（閾値をシフトさせる場合）／“１”の保持（閾値をシフトさせない場合）に応じて例えば０Ｖ／中間電圧ＶＭ　（書き込み電圧ＶＰＰと接地電位との間のほぼ中間の電圧）が印加される。
【００１１】
また、選択メモリセルトランジスタの制御ゲートには、セルの閾値をシフトさせるために必要な電界を得ることが可能な昇圧された書き込み電圧ＶＰＰが印加され、この選択されたメモリセルトランジスタよりビット線側にある非選択メモリセルトランジスタの制御ゲートおよび選択トランジスタのゲートには、セルの閾値をシフトさせずにビット線ＢＬの電圧を選択メモリセルトランジスタに転送するために必要な中間電圧ＶＭ　、選択線ＳＬ２　には０Ｖ、ウェルWには０Ｖ、共通ソース線ＣＳには０Ｖが印加される。
【００１２】
この結果、選択トランジスタＱ１　からメモリセルＭ８　までのすべてのトランジスタは導通し、ビット線ＢＬの電圧は非選択メモリセルトランジスタを転送されて選択メモリセルトランジスタのドレインまで伝わる（この場合、メモリセルトランジスタの閾値落ちは考慮しなくてよい。なぜなら、メモリセルトランジスタの書き込み前に通常は消去が行われ、メモリセルトランジスタの閾値落ちはない）。
【００１３】
従って、書き込みデータが“０”の時（ビット線ＢＬに０Ｖが印加された時）には、選択

メモリセルトランジスタは、浮遊ゲートとチャネルおよびドレインとの間に高電界が加わり、浮遊ゲートに電子がトンネル注入され、閾値が正方向に移動する。また、書き込みデータが“１”の時（ビット線ＢＬにＶＭ　が印加された時）には、選択メモリセルトランジスタは、浮遊ゲートとチャネルおよびドレインとの間にＶＭ　しか印加されないので、閾値の正方向のシフトは抑圧され、閾値は変化しない。このようにビット線ＢＬにセルの閾値をシフトさせないために印加されるある値の電圧ＶＭ　を書き込み禁止電圧と呼ぶ。

【００１４】

ＮＡＮＤセルに対するデータの消去は、ＮＡＮＤセル内の全てのメモリセルトランジスタに対して同時に行われる。即ち、ビット線ＢＬは開放（オープン）状態にされ、全てのメモリセルトランジスタの制御ゲートに０Ｖが印加され、ｐ型ウェルWおよびｎ型基板に対してセルデータを消去させるために必要な昇圧された消去電圧ＶＥ　、選択線ＳＬ１　、ＳＬ２　には選択トランジスタＱ１　、Ｑ２　のゲートが破壊しないような電圧（例えばウェルWと同電位）、共通ソース線ＣＳはウェルWと同電位（または開放状態）が印加される。これにより全てのメモリセルトランジスタにおいて浮遊ゲートの電子がゲート絶縁膜を介してｐ型ウェルに放出され、閾値が負方向に移動する。

【００１５】

ＮＡＮＤセルに対するデータの読み出しは、選択メモリセルトランジスタの制御ゲートに０Ｖの基準電圧、それ以外のメモリセルトランジスタの制御ゲートおよび選択トランジスタのゲートには例えば電源電圧Ｖｃｃ、ウェルWに０Ｖ、共通ソース線ＣＳに０Ｖが印加される。こうして、選択メモリセルトランジスタに電流が流れるか否かがセンスアンプにより検出されることにより行われる。

【００１６】

この場合、選択メモリセル以外のすべてのトランジスタ（非選択メモリセルを含む）がオンする。選択メモリセルトランジスタに“０”が保持されている時にはこのメモリセルは非導通状態となりビット線の電位は変化がないが、“１”が保持されている時には導通状態となるのでビット線は放電され、ビット電位が低下する。

【００１７】

図３は、図１中のメモリセルアレイ１１におけるビット線ＢＬの一部（例えば５本分）に対応する回路を取り出して示している。

この回路において、ＭＣはビット線ＢＬに接続されたＮＡＮＤ型メモリセル、Ｓ／Ａはビット線ＢＬに接続されたセンスアンプ、Ｄａｔａ　Ｂｕｓは前記センスアンプＳ／Ａに接続されたデータバスである。なお、Ｏｌａｔｃｈ、ＣＭｏｕｔ　、ＳＢＬ　、ＤＣＢ　、ＢＬＳＨＦ　は前記センスアンプＳ／Ａに供給される制御信号あるいは制御電圧である。

【００１８】

ここで、図３の回路におけるデータを読み出す際の動作の概要を述べる。まず、各ビット線ＢＬを電源電位にプリチャージし、特定のワード線ＷＬｉ（ｉ＝１、２、…８）を選択し、この特定のワード線に接続されている複数のメモリセルトランジスタＭ１　～Ｍ８　の各データに応じて各ビット線ＢＬが放電されるか否（放電されずにプリチャージ状態の電位を保つ）かを各センスアンプＳ／Ａによりセンス増幅する。

【００１９】

図１７は、図３中のセンスアンプＳ／Ａの１個分を取り出して従来の提案例を示している。

このセンスアンプは、プリチャージ制御信号ＣＭｏｕｔ　に基づいてビット線ＢＬを所定期間に充電するための定電流源用のＰチャネルトランジスタＭ１と、前記ビット線ＢＬに直列に挿入され、ゲートに制御電圧ＢＬＳＨＦ　が与えられるビット線電位クランプ用のＮチャネルトランジスタＭ５と、前記ＰチャネルトランジスタＭ１とＮチャネルトランジスタＭ５との間のビット線電位センスノードＮ３に読み出されたメモリセルデータをラッチするラッチ回路ＬＴと、前記ビット線電位センスノードＮ３の電荷をディスチャージ制御信号ＤＣＢ　に基づいて所定期間に放電するためのＮチャネルトランジスタＭ２と、前記ラッチ回路ＬＴの第１のラッチノードＮ１と接地ノードとの間に接続され、ゲートが前

記ビット線電位センスノードＮ３に接続されたビット線電位センス用のＮＭＯＳトランジスタＭ３と、前記ラッチ回路ＬＴの第１のラッチノードＮ１と接地ノードとの間で前記ＮＭＯＳトランジスタＭ３に直列に接続され、ゲートに所定期間印加される制御信号Ｏｌａｔｃｈによりオン状態に制御されるラッチ回路強制反転制御用のＮＭＯＳトランジスタＭ４と、前記ビット線電位センスノードＮ３と前記ラッチ回路ＬＴの第２のラッチノードＮ２との間に挿入され、制御信号ＳＢＬ によりゲート駆動されるセンスアンプリセット用およびトランスファーゲート用のＮＭＯＳトランジスタＭ６とを具備する。

【００２０】

前記ラッチ回路ＬＴは、第１のＣＭＯＳインバータ回路ＩＶ１および第２のＣＭＯＳインバータ回路ＩＶ２の互いの入力ノードと出力ノードが交差接続された（逆並列接続された）フリップフロップ回路（ラッチ回路）からなる。

【００２１】

この場合、第１のＣＭＯＳインバータ回路ＩＶ１の入力ノード（第１のラッチノードＮ１）は、強制反転制御用のＮＭＯＳトランジスタＭ４に接続されており、強制反転入力ノードである。また、第２のＣＭＯＳインバータ回路ＩＶ２の入力ノード（第２のラッチノードＮ２）は前記センスアンプリセット用のＮＭＯＳトランジスタＭ６に接続されるとともに前記データバスＤａｔａ　Ｂｕｓが接続されており、リセットノードである。

【００２２】

次に、図１７のセンスアンプの読み出し、消去、書き込み動作を説明する。

ＥＥＰＲＯＭの通常の読み出し時には、まず、トランジスタＭ２とＭ６を所定期間オンさせてラッチ回路ＬＴをリセットし、ノードＮ２を“Ｌ”、ノードＮ１を“Ｈ”にする。この後、トランジスタＭ１による定電流でビット線ＢＬを充電し、定電流を流したまま、メモリセルトランジスタの閾値状態によって生じるセル電流Ｉｃｅｌｌでビット線を放電させ、所定時間後にトランジスタＭ４をオンさせる。

【００２３】

この場合、ビット線ＢＬにＮＡＮＤセルから“１”データが読み出された時には、セル電流Ｉｃｅｌｌが流れるのでビット線電位が低下し、トランジスタＭ３はオフであり、ノードＮ１はラッチ回路ＬＴのリセット状態の“Ｈ”のままとなる。逆に、ビット線ＢＬにＮＡＮＤセルから“０”データが読み出された時には、セル電流Ｉｃｅｌｌは流れないのでビット線電位は“Ｈ”に保たれ、トランジスタＭ３がオンになり、ラッチ回路ＬＴの記憶データが強制反転され、ノードＮ１は“Ｌ”、ノードＮ２を“Ｈ”になる。選択されたカラムに対応するラッチ回路ＬＴのノードＮ２のデータは、データバスＤａｔａ　Ｂｕｓに読み出される。

【００２４】

ＥＥＰＲＯＭの消去時には、センスアンプは消去ベリファイ読み出し動作に使用される。この時、センスアンプは前記通常の読み出し時と同じ順序で動作し、メモリセルトランジスタが消去されていれば（“１”データの場合）、ノードＮ１は“Ｈ”、ノードＮ２は“Ｌ”となる。逆に、メモリセルトランジスタが消去できていなければ（“０”データの場合）、ノードＮ１は“Ｌ”、ノードＮ２は“Ｈ”となる。このデータをもとに、同時に動作している全てのセンスアンプＳ／ＡのノードＮ２が１つでも“Ｈ”となると消去不完全であるので、再度消去に入るための信号を出し再度消去する。

【００２５】

ＥＥＰＲＯＭの書き込み時には、書き込み／書き込み禁止のデータを入力することにより、選択されたカラムに対応するラッチ回路ＬＴのノードＮ２にデータバスＤａｔａ　Ｂｕｓからデータが入力される。もし、“０”データ入力であればノードＮ２には“Ｌ”、“１”データ入力であればノードＮ２には“Ｈ”が入る。トランジスタＭ６がオン状態に制御されると、上記ノードＮ２のデータが上記トランジスタＭ６を通じてビット線ＢＬに転送される。書き込み時には選択ＮＡＮＤセル内のチャネルは中間電位にブートされているので、ビット線ＢＬに“Ｌ”データが印加された場合には書き込まれるが、“Ｈ”データが印加された場合には書き込みがされない。

【００２６】
なお、ＥＥＰＲＯＭは、高速動作および高信頼性を得るために、書込み後のメモリセルトランジスタの閾値分布を狭く制御する必要があり、前述したように書込みを行う度に書き込まれた内容を読み出し（書き込みベリファイ読み出し）、書き込むべき内容と比較し、書き込まれた内容が不十分であればさらに書込みを続け、書き込まれた内容が書き込むべき内容と一致したことを確認すれば書込みを終了する。
【００２７】
このような書き込みベリファイ読み出しに際して、ラッチ回路ＬＴのリセット動作を行なわず、書き込みデータをセンスアンプＳ／Ａに残したまま読み出しを行なう。この読み出し動作は、リセット動作がないこと以外は前記通常の読み出し時の動作と同じである。
【００２８】
従って、書き込まないセルおよび書き込まれたセルに対応するラッチ回路ＬＴのノードＮ２は“Ｈ”になり、書き込みが完了していないセルに対応するラッチ回路ＬＴのノードＮ２は“Ｌ”となる。そこで、ノードＮ２のデータをそのまま用いて再度書き込み動作を行なうことにより、書き込み未完了のセルのみを書き込むことができる。
【００２９】
また、書き込みベリファイ読み出し時には、通常の読み出し時には選択ワード線に０Ｖを印加するのに対して、選択ワード線にベリファイ電圧Ｖｐｖｆ　（　＞０Ｖ）　を印加する。このため、０ＶからＶｐｖｆ　の間の閾値となるメモリセルトランジスタをさらに再書き込みし、書き込み閾値分布の最小値がベリファイ電圧Ｖｐｖｆ　以上となるまで書き込むことにより、読み出し電圧に対する書き込みばらつきのマージンをとっている。
【００３０】
上記したように図１７に示したセンスアンプは、読み出し時にはトランジスタＭ１による定電流を流したままセル電流Ｉｃｅｌｌで放電するので、ビット線を充電してフローティング状態にしてからセル電流を流してビット線電位の低下をセンスする方式（例えばビット線プリチャージ・ディスチャージ方式）に比べて、読み出し時間は短く済むという特長がある。
【００３１】
しかし、図１７に示したセンスアンプは、読み出し時にトランジスタＭ１による定電流が常に流れるので、セルに記憶されているデータパターンによっては接地電位の浮きが生じる。特に、全てのセルが消去状態にある時には全てのビット線ＢＬに大きなセル電流が流れ込む結果、ＮＡＮＤセルのソース側一端の拡散層などを用いた共通ソース線ＣＳの抵抗成分の電圧降下によりソース側電位（例えば接地電位）が浮き易くなり、セル電流は減少する。さらに、この接地電位の浮きによるバックバイアス効果も加わり、セルの見かけ上の閾値が高くなる。
【００３２】
ところで、ＥＥＰＲＯＭは、ＤＲＡＭなどと比べて書込み／消去などの動作が遅いので、高速な書込み／読み出しを行うためにページ書込み方式やページ読み出し方式を採用したものがある。
【００３３】
上記ページ書込み方式は、同一行線に接続されている複数のメモリセルのそれぞれに同時に複数の列線から書込みデータを書込む（ページ単位で書込む）方式である。また、前記ページ読み出し方式は、同一行線に接続されている複数のメモリセルからそれぞれの記憶データを同時に複数の列線に読み出してセンス増幅する（ページ単位で読みだす）方式である。
【００３４】
このようなＥＥＰＲＯＭにおいて、ページ書込みを行う際の書き込みベリファイ動作を想定して、前記共通ソース線ＣＳの電位の浮き（以下、接地電位の浮きと称す）に起因して発生する問題を説明する。
【００３５】

いま、ページサイズが例えば５１２カラムの場合に、書き込み前の全てのセルが消去状態にあるとし、１つだけ非常に書込み速度の速いメモリセルトランジスタが存在したと仮定する。１回目の書き込みで書き込み速度の速いセルが０Ｖ～１Ｖ程度書き込みされ、他のセルの閾値は０Ｖ以下の状態となったとする。

【００３６】

この状態でベリファイを行なうと、書き込みの速いセル以外の５１１カラムのセルはセル電流を流す状態であるから、ＮＡＮＤセルのソース側の配線（拡散層など）の寄生抵抗成分ｒにより電圧降下が生じ、接地電位が浮き上がる。

【００３７】

この状態での書き込みの速いセルは、接地電位の浮きによってセル電流は減少するので、十分に書き込まれていなくても十分に書き込まれた（つまり、閾値電圧が実際の閾値電圧よりも高くなった）ように見えてしまう。この結果、書き込みの速いセルはベリファイ動作で書き込み完了と判断される。

【００３８】

しかし、全てのセルの書き込みが完了した後のページ読み出しに際しては、かなりのセルは書き込まれているのでセル電流を流さなくなっており、接地電位の浮きが少ない状態になる。

【００３９】

従って、この接地電位の浮きが少ない状態での読み出しでは、書き込みの速いセルは前記１回目の書き込み後のベリファイ動作時よりもセル電流が流れ易く見えるので、書き込みの速いセルは前記したように書き込み完了と判断されたにも拘らず書き込みが不十分であり、書き込み不良となってしまうおそれがある。

【００４０】

【発明が解決しようとする課題】

上記したように、不揮発性メモリセルの情報の読み出し時にビット線を充電しながらセル電流で放電してセンスする方式、複数のビット線に接続されている複数のメモリセルからそれぞれの記憶データを同時に読み出して検知する読み出し方式およびメモリセルに対する書込み後のベリファイモードを有する従来の半導体記憶装置においては、複数のメモリセルの一部に書込み速度の速いメモリセルが存在した場合に書込み後のベリファイ動作時に複数のメモリセルの共通ソース線の電位が浮き上がり、書込み不良が発生するという問題があった。

【００４１】

本発明は上記問題点を解決すべくなされたもので、複数のメモリセルの一部に書込み速度の速いメモリセルが存在した場合でも、書込み後のベリファイ動作時に複数のメモリセルの共通ソース線の電位の浮き上がりを抑制でき、書込み不良の発生を防止し得る半導体記憶装置を提供することを目的とする。

【００４２】

【課題を解決するための手段】

本発明の半導体記憶装置は、複数のビット線と、前記各ビット線に対応して設けられ、閾値が第１の範囲および第２の範囲をとることにより情報を記憶するメモリセルトランジスタを有し、同時に選択制御され、選択時には対応する前記ビット線の電荷を前記閾値に応じて放電するあるいは放電しないように制御され、放電した電荷の経路が共通に接続されている複数の不揮発性メモリセルと、前記複数の各ビット線に対応して設けられ、前記ビット線のビット線電位センスノードに読み出されたメモリセルデータを検知する複数のセンスアンプとを具備し、前記各センスアンプは、前記複数の各ビット線に対応して設けられ、対応するビット線を所定のタイミングで充電するための電流源と、相補的な第１および第２のノードを有し、前記メモリセルトランジスタにおける閾値の範囲に対応するデータをラッチするためのラッチ回路と、前記ラッチ回路の第１のノードと接地ノードとの間に接続され、前記複数のビット線のうち対応するビット線に接続されたゲートを有するビット線電位センス用のＮＭＯＳトランジスタと、前記ラッチ回路のラッチデータに基づい

て、対応するビット線の充電経路をスイッチングするために挿入されたスイッチ回路と、前記ビット線のビット線電位センスノードと前記メモリセルとの間でビット線に直列に挿入されたビット線電位クランプ用のＮＭＯＳトランジスタと、前記ラッチ回路の前記第１のノードと接地ノードとの間に接続され、ゲートが前記ビット線電位センスノードに接続されたビット線電位センス用のＮＭＯＳトランジスタと、前記ラッチ回路の前記第１のノードと接地ノードとの間で前記ビット線電位センス用のＮＭＯＳトランジスタに直列に接続され、ゲートに所定期間印加される信号によりオン状態に制御されるＮＭＯＳトランジスタと、前記ビット線電位センスノードと前記ラッチ回路の前記第２のノードとの間に挿入され、前記メモリセルの読み出し時にはオフ状態に制御され、前記ラッチ回路のリセット時および前記メモリセルの書き込み時にはオン状態に制御されるセンスアンプリセット用およびトランスファーゲート用のＮＭＯＳトランジスタとを具備することを特徴とする。

【００４３】

また、本発明の半導体記憶装置は、複数のビット線と、前記各ビット線に対応して設けられ、閾値が第１の範囲および第２の範囲をとることにより情報を記憶するメモリセルトランジスタを有し、同時に選択制御され、選択時には対応する前記ビット線の電荷を前記閾値に応じて放電するあるいは放電しないように制御され、放電した電荷の経路が共通に接続されている複数の不揮発性メモリセルと、前記各ビット線に対応して設けられ、前記ビット線のビット線電位センスノードに読み出されたメモリセルデータを検知する複数のセンスアンプとを具備し、前記各センスアンプは、前記各ビット線に対応して設けられ、対応するビット線を所定のタイミングで充電するための電流源と、前記メモリセルトランジスタにおける閾値の範囲に対応するデータをラッチするためのラッチ回路と、書込みベリファイ読み出し動作時には、前記ビット線充電用の電流源の電流の大きさを通常の読み出し動作時よりも小さくして、ビット線電位が変化し始めてからセンスアンプでセンスするまでのセンスアンプの読み出し時間を、通常の読み出し動作時よりも長くする制御回路とを具備することを特徴とする。

【００４４】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

＜実施例１＞

図４は、本発明の半導体記憶装置の第１の実施の形態に係るＮＡＮＤ型ＥＥＰＲＯＭに適用されるビット線センスアンプの一例を示している。

【００４５】

図４に示すセンスアンプは、例えば図１を参照して前述したように、複数個の不揮発性メモリセルがマトリクス状に配置されたメモリセルアレイ１１からメモリセルの情報を検知する際に、電流源からビット線ＢＬを充電するビット線負荷電流と選択セルに流れる放電電流の大小関係で決まるビット線電位センスノードの電位をセンスアンプＳ／Ａにより検知する方式（セルの情報の読み出し時にビット線を充電しながらセル電流で放電してセンスする方式）、複数のビット線ＢＬに接続されている複数のメモリセルからそれぞれの記憶データを同時に読み出して検知する読み出し方式およびメモリセルに対する書込み後のベリファイモードを有するＮＡＮＤ型ＥＥＰＲＯＭにおける各ビット線ＢＬに対応して設けられている。

【００４６】

このセンスアンプは、図１７を参照して前述したセンスアンプと比較して、ビット線負荷回路用のＰＭＯＳトランジスタＭ１とビット線電位センスノードＮ３との間に、ビット線負荷電流制御用のＰＭＯＳトランジスタＭ７を挿入した点が異なり、その他は同じであるので同一符号を付している。

【００４７】

即ち、図４中に示すセンスアンプは、プリチャージ制御信号ＣＭｏｕｔ　に基づいてビット線ＢＬを所定期間に充電するための定電流源（ビット線負荷回路）用のＰチャネルトラ

ンジスタＭ１と、前記ビット線ＢＬに直列に挿入され、ゲートに制御電圧ＢＬＳＨＦ　が与えられるビット線電位クランプ用のＮチャネルトランジスタＭ５と、前記Ｐチャネルトランジスタ Ｍ１とＮチャネルトランジスタＭ５との間のビット線電位センスノードＮ３に読み出されたメモリセルデータをラッチするラッチ回路ＬＴと、前記ビット線電位センスノードＮ３の電荷をディスチャージ制御信号ＤＣＢ　に基づいて所定期間に放電するためのリセット回路用のＮチャネルトランジスタＭ２と、前記ラッチ回路ＬＴの相補的な一対のノードのうちの第１のラッチノードＮ１と接地ノードとの間に接続され、ゲートが前記ビット線電位センスノードＮ３に接続されたビット線電位センス用のＮＭＯＳトランジスタＭ３と、前記ラッチ回路ＬＴの第１のラッチノードＮ１と接地ノードとの間で前記ＮＭＯＳトランジスタＭ３に直列に接続され、ゲートに所定期間印加される制御信号Ｏｌａｔｃｈによりオン状態に制御される（ラッチ回路の強制反転を制御する）ＮＭＯＳトランジスタＭ４と、前記ビット線電位センスノードＮ３と前記ラッチ回路ＬＴの相補的な一対のノードのうちの第２のラッチノードＮ２との間に挿入され、制御信号ＳＢＬ　（通常読み出し時およびベリファイ読み出し時は接地電位である）によりゲート駆動され、前記メモリセルの読み出し時にはオフ状態に制御され、前記ラッチ回路ＬＴのリセット時および前記メモリセルの書き込み時にはオン状態に制御されるセンスアンプリセット用およびトランスファーゲート用のＮＭＯＳトランジスタＭ６と、前記ラッチ回路ＬＴのデータによって前記ビット線電位センスノードＮ３に対する充電経路をスイッチ制御するスイッチ回路としての前述したＭＯＳトランジスタＭ７とを具備する。

【００４８】

なお、前記定電流源用のＰチャネルトランジスタＭ１は、前記リセット回路による放電期間の終了後に前記ビット線ＢＬを充電するように制御される。また、ビット線ＢＬのプリチャージ電位は電源電位Ｖｃｃに限らない。

【００４９】

前記ラッチ回路ＬＴは、第１のＣＭＯＳインバータ回路ＩＶ１および第２のＣＭＯＳインバータ回路ＩＶ２の互いの入力ノードと出力ノードが交差接続された（逆並列接続された）フリップフロップ回路（ラッチ回路）からなる。

【００５０】

この場合、第１のＣＭＯＳインバータ回路ＩＶ１の入力ノード（第１のラッチノードＮ１）は、強制反転制御用のＮＭＯＳトランジスタＭ４に接続されており、強制反転入力ノードである。また、第２のＣＭＯＳインバータ回路ＩＶ２の入力ノード（第２のラッチノードＮ２）は前記センスアンプリセット用のＮＭＯＳトランジスタＭ６に接続されるとともに前記データバスＤａｔａ　Ｂｕｓが接続されており、リセットノードである。

【００５１】

前記スイッチ回路は、前記ラッチ回路ＬＴのノードＮ１が“Ｈ”であるリセット状態にはオン状態に制御され、前記ラッチ回路ＬＴのノードＮ１が“Ｌ”である強制反転状態にはオフ状態に制御されるように構成されている。

【００５２】

このスイッチ回路の一例は、前記定電流用のＰチャネルトランジスタＭ１と前記ビット線電位センスノードＮ３との間に挿入され、ゲートが前記ラッチ回路ＬＴの第２の記憶ノードＮ２（リセット状態で“Ｌ”／強制反転された状態で“Ｈ”レベルになるノード）に接続され、第２の記憶ノードＮ２のデータによって導通状態あるいは遮断状態になるＰチャネルトランジスタＭ７からなる。

【００５３】

次に、図４のセンスアンプの読み出し、消去、書き込み動作を説明する。このセンスアンプの動作は、図１７を参照して前述したセンスアンプの動作と比べて、基本的に同様であるが、トランジスタＭ７の付加による動作が異なる。

【００５４】

即ち、ＥＥＰＲＯＭの通常の読み出し時には、図５に示すように、まず、トランジスタＭ２とＭ６を所定期間オンさせてラッチ回路ＬＴをリセットし、ノードＮ２を“Ｌ”、ノー

ドＮ１を“Ｈ”にする。このリセット後、トランジスタＭ１による定電流でビット線ＢＬを充電し、上記定電流を流したまま、セルトランジスタの閾値状態によって生じるセル電流Ｉｃｅｌｌでビット線ＢＬを放電させ、所定時間後にトランジスタＭ４をオンさせる。

【００５５】

この場合、ビット線ＢＬにＮＡＮＤセルから“１”データが読み出された時には、セル電流Ｉｃｅｌｌが流れるのでビット線電位が低下し、トランジスタＭ３はオフであり、ノードＮ２はセンスアンプのリセット状態の“Ｌ”のままとなる。

【００５６】

逆に、ビット線ＢＬにＮＡＮＤセルから“０”データが読み出された時には、セル電流Ｉｃｅｌｌは流れないのでビット線電位は“Ｈ”に保たれ、トランジスタＭ３がオンになり、ラッチ回路ＬＴの記憶データを強制反転させ、ノードＮ１は“Ｌ”、ノードＮ２は“Ｈ”になる。従って、“０”データをセンスした直後にトランジスタＭ７がオフして充電が停止する。

【００５７】

ＥＥＰＲＯＭの消去時には、センスアンプは消去ベリファイ読み出し動作に使用される。この時、センスアンプは前記通常の読み出し時と同じ順序で動作し、セルが消去されていれば（“１”データの場合）、ノードＮ１は“Ｈ”、ノードＮ２は“Ｌ”となる。逆に、セルが消去できていなければ（“０”データの場合）、ノードＮ１は“Ｌ”、ノードＮ２は“Ｈ”となる。このデータをもとに、選択カラムに対応する全てのセンスアンプのノードＮ２が１つでも“Ｈ”となると消去不完全であるので、再度消去に入るための信号を出し再度消去する。

【００５８】

ＥＥＰＲＯＭの書き込み時には、書き込み／書き込み禁止のデータを入力することにより、データバスＤａｔａ　Ｂｕｓからラッチ回路ＬＴのノードＮ２にデータが入力される。もし、“０”データ入力（書き込みたい場合）であればノードＮ２には“Ｌ”、“１”データ入力（書き込みたくない場合）であればノードＮ２には
“Ｈ”が入る。

【００５９】

トランジスタＭ６がオン状態に制御されると、上記ノードＮ２のデータがトランジスタＭ６を通じてビット線ＢＬに転送される。書き込み時には選択ＮＡＮＤセル内のチャネルは中間電位にブートされているので、ビット線ＢＬに“Ｌ”データが印加された場合には書き込まれるが、“Ｈ”データが印加された場合には書き込みがされない。

【００６０】

書き込みベリファイ読み出し時には、ラッチ回路ＬＴのリセット動作を行なわず、書き込みデータをセンスアンプに残したまま読み出しを行なう。この読み出し動作は、リセット動作がないこと以外は上記動作と同じである。

【００６１】

この際、書き込みたくないセルおよび書き込まれたセルに対応するラッチ回路ＬＴのノードＮ２は“Ｈ”になり、書き込みが完了していないセルに対応するラッチ回路ＬＴのノードＮ２は“Ｌ”となる。従って、ノードＮ２のデータをそのまま用いて再度書き込み動作を行なうことにより、書き込み未完了のセルのみを書き込むことができる。

【００６２】

また、この際、書き込みたくないセルおよび書き込まれたセルに対応するラッチ回路ＬＴのノードＮ２の“Ｈ”レベルにより上記セルの充電経路のトランジスタＭ７はオフし、ビット線ＢＬには電流が流れない。これに対して、書き込みが完了していないセルに対応するラッチ回路ＬＴのノードＮ２の“Ｌ”レベルにより上記セルの充電経路のトランジスタＭ７はオンし、ビット線ＢＬには定電流が流れ込むことになる。

【００６３】

つまり、未書き込み状態と判定されて追加書き込みの対象とされるセルに対応するビット線ＢＬにのみ充電するので、余計な消費電流は抑えられ、かつ、同時に選択された複数の

メモリセルのソース側一端が共通に接続されている共通ソース線ＣＳの接地電位の浮きは最小限になる。また、書き込みたくないセルを充電しないことによる影響は、ビット線電位センスノードＮ３が“Ｌ”になったままであり、センス入力用トランジスタＭ３はオフしているので、ラッチデータが壊されることはなく問題はない。

【００６４】

上記したようにビット線負荷電流をラッチ回路ＬＴのノードＮ２のデータに応じてスイッチさせることにより、書き込みベリファイ読み出し時に書き込みたくないセルおよび書き込み完了の２つに該当するセルのＶｃｃノードとＶｓｓノードと間の貫通電流を遮断し、不必要な電流を流すことなくベリファイをすることができる。

【００６５】

この際、共通ソース線ＣＳの接地電位の浮きを抑え、それに伴うバックバイアス効果によるセルトランジスタの閾値電圧の上昇、セル電流低下によるセルトランジスタの見かけ上の閾値変動を防止すると同時に、通常の読み出しに比べて接地電位の浮きの効果がない分だけセル電流の低下が抑えられるので、より厳しい書き込みベリファイ動作となる。特に、追加書き込みで書き込み終了のセルの貫通電流を遮断するので、追加書き込みになったセルの書き込みベリファイに対して効果が大きい。

【００６６】

即ち、上記したようなセンスアンプＳ／Ａを用いたＮＡＮＤ型ＥＥＰＲＯＭにおいては、ビット線充電経路をセンスアンプＳ／ＡのデータによってスイッチするトランジスタＭ７を挿入することにより、読み出しの不必要なビット線の充電を停止して接地電位の浮きを抑えることが可能になる。つまり、書き込みベリファイ時に書き込まないセルおよび書き込み完了のセルは、センスアンプの出力端が同電位となり（この場合、“Ｈ”レベル）、かつ、このセルについては読み出しは必要ないので、このセルに対応するビット線ＢＬに挿入接続されているトランジスタＭ７をオフにすることにより、ビット線ＢＬの充電を停止することができる。従って、書き込み未完了のセルに対して、書き込みたくないセルの余計なセル電流を遮断し、接地電位の浮きを抑えることが可能になる。また、読み出しに不必要な貫通電流を遮断するので、消費電流を低減することが可能になる。

【００６７】

さらに、通常の読み出しよりも接地電位の浮きは小さくなるので、周囲のデータパターンによるセル電流の減少を抑えることが可能になる。これにより、書き込み動作途中のベリファイで起こるセル電流減少に伴う見かけ上の閾値変動をなくすることが可能になる。また、読み出しに不必要な貫通電流を遮断するので、分割書き込み（例えばバイト単位の書き込み）に際して、書き込まないアドレスに対応するカラムに電流を流さなくて済むようになり、ベリファイマージンとして従来の書き込みベリファイよりも厳しくすることが可能になる。

【００６８】

一方、書き込みベリファイ読み出し時の消費電流を従来と同様に許容するものとすれば、メモリセルのソース側配線の寄生抵抗成分ｒの増大を許容できるようになり、通常はソース側配線の拡散層に対して一定間隔毎にコンタクトされる金属配線のコンタクト相互間の間隔を長くとることが可能になるので、パターン面積の増大を抑制することが可能になる。

【００６９】

＜実施例２＞

図６は、図４に示したセンスアンプの変形例を示す。

このセンスアンプは、図４に示したセンスアンプと比べて、ラッチ回路ＬＴのデータによってビット線電位センスノードＮ３に対する充電経路を遮断あるいは導通させるスイッチ回路が異なり、その他は同じであるので同一符号を付している。

【００７０】

即ち、スイッチ回路は、定電流用のＰチャネルトランジスタＭ１と前記ビット線電位センスノードＮ３との間に挿入され、ゲートがラッチ回路ＬＴの第１の記憶ノードＮ１（リセ

ット状態で“Ｈ”／強制反転された状態で“Ｌ”レベルになるノード）に接続されたＮチャネルトランジスタＭ７からなる。

【００７１】

動作自体は実施例１と同じであり、ノードＮ１が“Ｌ”、ノードＮ２が“Ｈ”の時にビット線充電電流が遮断され、不必要なセル電流が抑えられる。

＜実施例３＞

図７は、図６に示したセンスアンプの他の変形例を示す。

【００７２】

このセンスアンプは、図６に示したセンスアンプと比べて、ラッチ回路ＬＴのデータによってビット線電位センスノードＮ３に対する充電経路を遮断あるいは導通させるスイッチ回路に代えて、ラッチ回路ＬＴのデータによってビット線電位センスノードＮ３とメモリセルとの間の充電経路を遮断あるいは導通させるスイッチ回路が使用されている点が異なり、その他は同じであるので同一符号を付している。

【００７３】

即ち、上記スイッチ回路は、ビット線電位センスノードＮ３とビット線電位クランプ用トランジスタＭ５との間に挿入され、ゲートがラッチ回路ＬＴの第１の記憶ノードＮ１に接続されたＮチャネルトランジスタＭ７からなる。

【００７４】

動作自体は実施例１と同じであり、ノードＮ１が“Ｌ”、ノードＮ２が“Ｈ”の時にビット線充電電流が遮断され、不必要なセル電流が抑えられる。

＜実施例４＞

図８は、図７に示したセンスアンプの変形例を示す。

【００７５】

このセンスアンプは、図７に示したセンスアンプと比べて、ラッチ回路ＬＴのデータによってビット線電位センスノードＮ３とメモリセルとの間の充電経路を遮断あるいは導通させるスイッチ回路が異なり、その他は同じであるので同一符号を付している。

【００７６】

即ち、上記スイッチ回路は、ビット線電位センスノードＮ３とビット線電位クランプ用トランジスタＭ５との間に挿入され、ゲートがラッチ回路ＬＴの第２の記憶ノードＮ２に接続されたＰチャネルトランジスタＭ７からなる。

【００７７】

動作自体は実施例１と同じであり、ノードＮ１が“Ｌ”、ノードＮ２が“Ｈ”の時にビット線充電電流が遮断され、不必要なセル電流が抑えられる。

＜実施例５＞

図９（ａ）に示すセンスアンプＳ／Ａのビット線負荷電流制御回路２０は、例えば図１を参照して前述したようにセルの情報の読み出し時にビット線を充電しながらセル電流で放電してセンスする方式、複数のビット線に接続されている複数のメモリセルからそれぞれの記憶データを同時に読み出して検知する読み出し方式およびメモリセルに対する書込みベリファイモードを有するＮＡＮＤ型ＥＥＰＲＯＭに設けられている。

【００７８】

図９（ａ）において、センスアンプＳ／Ａは、図１７を参照して前述したセンスアンプＳ／Ａと比較して、書込みベリファイ読み出し時にビット線充電用の電流源の電流（ビット線負荷電流）の大きさが通常の読み出し動作時よりも小さくなるように、例えばビット線負荷抵抗を制御するように構成されていたビット線負荷電流制御回路２０を具備している点が異なる。

【００７９】

なお、このようにビット線を充電しながらセル電流で放電してセンスする方式の場合、セル電流と読み出し時間とはトレードオフの関係にあり、ビット線負荷電流を小さくする場合にはセンスアンプの読み出し時間を長くするのが一般的である。逆に、高速な読み出しを行うためには大きなセル電流を必要とするので、通常のＥＥＰＲＯＭでは、極力高速な

動作を実現するためにメモリセルに流すことが可能な最大のセル電流に合わせて読み出し動作を設定する。しかし、書込みベリファイ読み出し動作の時間は書込み時間に対して十分に短いので、現実には書込みベリファイ読み出し動作の時間が多少長くなっても差支えなく、前述したようにビット線負荷電流を小さくすることは、セル電流量を抑制するうえで有効である。

【００８０】

この場合、ビット線を“Ｈ”状態に充電するのに必要なビット線負荷電流と充電時間との積が一定であるとすれば、ビット線負荷電流に反比例した割合でセンスアンプの読み出し時間を長くすればよく、ビット線負荷抵抗に比例した割合でセンスアンプの読み出し時間を長くすればよい。書込みベリファイ読み出し時に、ビット線負荷電流を通常読み出し時の例えば１／２にしてページ読み出しを行うものとすれば、読み出し時間を通常読み出し時の２倍にすればよい。なお、通常読み出し時、ビット線負荷電流は、“０”データ読み出し時におけるビット線電位を速く“Ｈ”状態に充電するために極力大きく設定することが望ましいが、“１”データ読み出し時におけるビット線電位の低下速度を速くするためにメモリセルに流すことが可能な最大のセル電流に比べて小さく設定する必要がある。

【００８１】

具体的に図９（ａ）に示すビット線負荷電流制御回路２０は、ＶｃｃノードとＶｓｓノードとの間に、ゲート・ドレイン相互が接続されたＰチャネルトランジスタＭ１１およびゲートにプリチャージ制御信号φ１　が印加されるＮチャネルトランジスタＭ１２が直列に接続されている。

【００８２】

前記ＰチャネルトランジスタＭ１１のゲートには、前記各ビット線に接続されている定電流源用（ビット線負荷回路用）のＰチャネルトランジスタＭ１の各ゲートが接続されており、これらはカレントミラー回路を形成している。

【００８３】

図９（ｂ）は、図９（ａ）のビット線負荷電流制御回路２０の制御信号波形およびセンスアンプＳ／Ａの動作波形の一例を示す。

通常の読み出し時には、選択ワード線の電圧を立ち上げの開始時に一定期間だけリセットし、この後にプリチャージ制御信号φ１　を第１の電圧レベルＶｒｅｆ１に設定してＮチャネルトランジスタＭ１２をオンさせるとともに、センス感度を高めるためにビット線電位クランプ用トランジスタＭ５のゲート電位ＢＬＳＨＦ　を電源電位Ｖｃｃより低い一定の電圧レベルＶｂｉａｓに設定する。

【００８４】

これにより、メモリセルからの読み出しデータが“１”の場合にはセル電流による放電が行われるのでビット線電位ＶＢＬは変化しないが、メモリセルからの読み出しデータが“０”の場合には、ビット線の充電が開始してビット線電位ＶＢＬが徐々に上昇し、所定の読み出し時間Ｔ１後にセンスする。

【００８５】

書込みベリファイ読み出し時の動作は、前記通常の読み出し時の動作と比べて、プリチャージ制御信号φ１　を第１の電圧レベルよりも低い第２の電圧レベルＶｒｅｆ２に変更してビット線負荷抵抗を大きく制御する点と、メモリセルからの読み出しデータが“０”の場合に所定の読み出し時間Ｔ２（＞Ｔ１）後にセンスする点が異なる。

【００８６】

ここで、前記したようにビット線負荷電流を変化させる手段の他の例としては、（１）ビット線負荷回路用のＰＭＯＳトランジスタの電流源となるＮＭＯＳトランジスタの数を変化させる（２）ビット線負荷回路用のＰＭＯＳトランジスタの電流源となるＰＭＯＳトランジスタの数を変化させる（図１１）、（３）ビット線負荷回路用のＰＭＯＳトランジスタの数を変化させる（図１２）などが挙げられる。

【００８７】

図１０（ａ）、（ｂ）は、図９（ａ）中のビット線負荷電流制御回路２０の変形例、その

制御信号波形およびセンスアンプＳ／Ａの動作波形の一例を示す。図１０（ａ）において、ビット線負荷電流制御回路２０は、図９（ａ）中に示したビット線負荷電流制御回路２０と比べて、ゲートにプリチャージ制御信号φ１　が印加されるＮチャネルトランジスタＭ１３に並列に、ゲートにプリチャージ制御信号φ２　が印加されるＮチャネルトランジスタＭ１４が付加されている点が異なり、その他は同じである。

【００８８】

通常の読み出し時には、選択ワード線の電圧を立ち上げの開始時に一定期間だけリセットし、この後にプリチャージ制御信号φ１　、φ２　をそれぞれ第１の電圧レベルＶｒｅｆ１に設定して対応してＮチャネルトランジスタＭ１３、Ｍ１４をそれぞれオンさせるとともに、センス感度を高めるためにビット線電位クランプ用トランジスタＭ５のゲート電位ＢＬＳＨＦ　を電源電位Ｖｃｃより低い一定の電圧レベルＶｂｉａｓに設定する。

【００８９】

これにより、メモリセルからの読み出しデータが“１”の場合にはセル電流による放電が行われるのでビット線電位ＶＢＬは変化しないが、メモリセルからの読み出しデータが“０”の場合には、ビット線の充電が開始してビット線電位ＶＢＬが徐々に上昇し、所定の読み出し時間Ｔ１後にセンスする。

【００９０】

書込みベリファイ読み出し時の動作は、前記通常の読み出し時の動作と比べて、プリチャージ制御信号φ２　を“Ｌ”レベル（Ｖｓｓ）のままにしてＮＭＯＳトランジスタＭ１４をオフにする（ビット線負荷電流を小さく制御する）点と、メモリセルからの読み出しデータが“０”の場合に所定の読み出し時間Ｔ２（＞Ｔ１）後にセンスする点が異なる。

【００９１】

図１１（ａ）、（ｂ）は、図９（ａ）中のビット線負荷電流制御回路２０の変形例、その制御信号波形およびセンスアンプＳ／Ａの動作波形の一例を示す。図１１（ａ）において、ビット線負荷電流制御回路２０は、図９（ａ）中に示したビット線負荷電流制御回路２０と比べて、各ビット線に接続されているビット線負荷回路用のＰＭＯＳトランジスタＭ１の電流源として接続されているＰＭＯＳトランジスタを２系統設け、各系統において、電流源用のＰＭＯＳトランジスタＭ１５あるいはＭ１６に直列にスイッチ用のＰＭＯＳトランジスタＭ１７あるいはＭ１８が挿入されており、上記２系統のスイッチ用のＰＭＯＳトランジスタＭ１７、Ｍ１８のゲートに対応してプリチャージ制御信号φ２　、φ３　が印加される点が異なり、その他は同じである。

【００９２】

通常の読み出し時には、選択ワード線の電圧を立ち上げの開始時に一定期間だけリセットし、この後、プリチャージ制御信号φ１　を第１の電圧レベルＶｒｅｆ１に設定してＮチャネルトランジスタＭ１２をオンさせるとともに、センス感度を高めるためにビット線電位クランプ用トランジスタＭ５のゲート電位ＢＬＳＨＦ　を電源電位Ｖｃｃより低い一定の電圧レベルＶｂｉａｓに設定する。また、前記リセット後に、プリチャージ制御信号φ２　をＶｃｃレベルからＶｓｓレベルに低下させてＮチャネルトランジスタＭ１７をオンさせる。この時、プリチャージ制御信号φ３　はＶｃｃレベルのままにし、Ｎチャネルトランジスタ Ｍ１８をオフさせる。

【００９３】

これにより、メモリセルからの読み出しデータが“１”の場合にはセル電流による放電が行われるのでビット線電位ＶＢＬは変化しないが、メモリセルからの読み出しデータが“０”の場合には、ビット線の充電が開始してビット線電位ＶＢＬが徐々に上昇し、所定の読み出し時間Ｔ１後にセンスする。

【００９４】

書込みベリファイ読み出し時の動作は、前記通常の読み出し時の動作と比べて、前記リセット後にプリチャージ制御信号φ３　もＶｃｃレベルからＶｓｓレベルに低下させてＮチャネルトランジスタＭ１８をオンさせることにより、Ｎチャネルトランジスタ Ｍ１７、Ｍ１５の経路の電流を減少させる（ビット線に接続されている定電流源用ＰＭＯＳトランジ

スタＭ１の電流を小さく制御する）点と、メモリセルからの読み出しデータが“０”の場合に所定の読み出し時間Ｔ２（＞Ｔ１）後にセンスする点が異なる。

【００９５】

図１２（ａ）、（ｂ）は、図９（ａ）中のセンスアンプＳ／Ａの他の変形例およびビット線負荷電流制御回路２０の制御信号波形、センスアンプＳ／Ａの動作波形の一例を示す。

図１２において、センスアンプＳ／Ａは、図９（ａ）中に示したセンスアンプＳ／Ａと比べて、各ビット線に接続されているビット線負荷回路用のＰＭＯＳトランジスタを２系統設け、各系統において、ビット線負荷回路用のＰＭＯＳトランジスタＭ２１あるいはＭ２２に直列にスイッチ用のＰＭＯＳトランジスタＭ２３あるいはＭ２４が挿入されており、上記２系統のスイッチ用のＰＭＯＳトランジスタＭ２３、Ｍ２４のゲートに対応してプリチャージ制御信号φ２　、φ３　が印加される点が異なり、その他は同じである。

【００９６】

通常の読み出し時には、選択ワード線の電圧を立ち上げの開始時に一定期間だけリセットし、この後、プリチャージ制御信号φ１　を第１の電圧レベルＶｒｅｆ１に設定してＮチャネルトランジスタＭ１２をオンさせるとともに、センス感度を高めるためにビット線電位クランプ用トランジスタＭ５のゲート電位ＢＬＳＨＦ　を電源電位Ｖｃｃより低い一定の電圧レベルＶｂｉａｓに設定する。また、前記リセット後に、プリチャージ制御信号φ２　、φ３　をそれぞれＶｃｃレベルからＶｓｓレベルに低下させてＮチャネルトランジスタＭ２３、Ｍ２４をオンさせる。

【００９７】

これにより、メモリセルからの読み出しデータが“１”の場合にはセル電流による放電が行われるのでビット線電位ＶＢＬは変化しないが、メモリセルからの読み出しデータが“０”の場合には、ビット線の充電が開始してビット線電位ＶＢＬが徐々に上昇し、所定の読み出し時間Ｔ１後にセンスする。

【００９８】

書込みベリファイ読み出し時の動作は、前記通常の読み出し時の動作と比べて、前記リセット後にプリチャージ制御信号φ３　はＶｃｃレベルのままにし、ＮチャネルトランジスタＭ２４をオフさせることにより、ビット線負荷電流を小さく制御する点と、メモリセルからの読み出しデータが“０”の場合に所定の読み出し時間Ｔ２（＞Ｔ１）後にセンスする点が異なる。

【００９９】

なお、本発明は、上記実施例のようなＮＡＮＤ型ＥＥＰＲＯＭに限らず、ページモードを有する他のＥＥＰＲＯＭ（ＮＯＲ型ＥＥＰＲＯＭ、ＤＩＮＯＲ型ＥＥＰＲＯＭ、ＡＮＤ型ＥＥＰＲＯＭなど）にも適用可能である。

【０１００】

図１３（Ａ）、（Ｂ）は、ＮＯＲ型ＥＥＰＲＯＭのメモリセルアレイＭＡの一部のメモリセルの相異なる例を示す。

図１３（Ａ）においては、ビット線ＢＬとこれに直交するソース線ＶＳとの間に、選択回路を持たないメモリセルとして、制御ゲート信号線ＣＧにより制御される１つのセルトランジスタＱが接続されている。

【０１０１】

図１３（Ｂ）は、ビット線ＢＬとこれに直交するソース線ＶＳとの間に、選択回路を持つメモリセルとして、選択信号線ＳＬにより制御されるビット線側選択ゲートＳＧおよび制御ゲート信号線ＣＧにより制御される１つのセルトランジスタＱが直列に接続されている。

【０１０２】

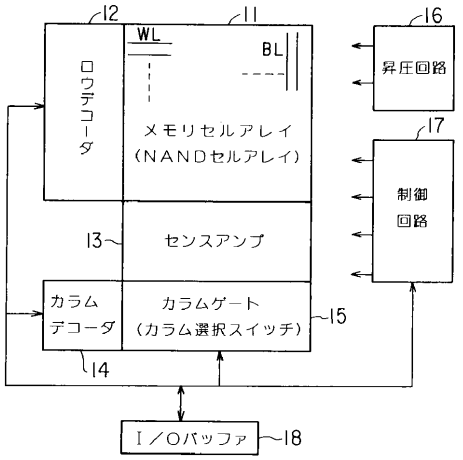
図１４（Ａ）、（Ｂ）は、ＮＯＲ型ＥＥＰＲＯＭの他の例に係るグランドアレイ型ＥＥＰＲＯＭのメモリセルアレイＭＡの一部のメモリセルを示す。

図１４（Ａ）においては、ビット線ＢＬとこれに並行するソース線ＶＳとの間に、制御ゲート信号線ＣＧにより制御される１つのセルトランジスタＱが接続されており、ビット線

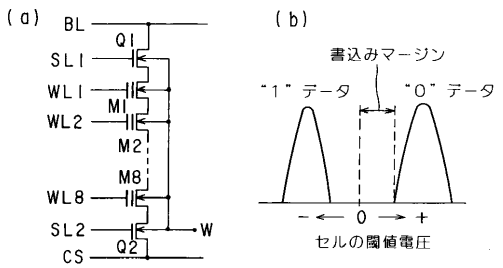
ＢＬおよびソース線ＶＳはそれぞれ固定である。
【０１０３】
図１４（Ｂ）は、交差グランドアレイ型ＥＥＰＲＯＭのメモリセルを示しており、ビット線ＢＬとこれに並行するソース線ＶＳとの間に、制御ゲート信号線ＣＧにより制御される１つのセルトランジスタＱが接続されており、ビット線ＢＬおよびソース線ＶＳがそれぞれ切換え可能である。
【０１０４】
図１５は、ＤＩＮＯＲ型ＥＥＰＲＯＭの一例に係るグランドアレイ型ＥＥＰＲＯＭのメモリセルアレイＭＡの一部のメモリセルを示す。
１つのサブビット線ＳＢＬと複数のソース線ＶＳとの間に制御ゲート信号線ＣＧにより制御される１つのセルトランジスタＱが並列に接続されており、サブビット線ＳＢＬは選択信号線ＳＬにより制御されるビット線側選択ゲートＳＧを介してビット線ＢＬに接続されている。
【０１０５】
図１６は、ＡＮＤ型ＥＥＰＲＯＭの一例に係るグランドアレイ型ＥＥＰＲＯＭのメモリセルアレイＭＡの一部のメモリセルを示す。
ビット線ＢＬとソース線ＶＳとの間に、選択信号線ＳＬにより制御されるビット線側選択ゲートＳＧおよびそれぞれ制御ゲート信号線ＣＧにより制御される互いに並列接続された複数のセルトランジスタＱが直列に接続されている。
【０１０６】
なお、本発明は、上記したようにセルの情報の読み出し時にビット線を充電しながらセル電流で放電してセンスする方式の不揮発性半導体メモリに限らず、データ読み出し前にリードセル側のビット線・リファレンス側のビット線を一定時間プリチャージし、データ読み出し時にリードセル側のビット線・リファレンス側のビット線をディスチャージさせることにより両者間に電位差を発生させ、この電位差をセンスアンプによりセンス増幅するプリチャージ・ディスチャージ方式において、プリチャージ後におけるリファレンス側の共通ソース線の電位とリードセル側の共通ソース線の電位との不平衡をプリチャージ期間内に解消しておくためにプリチャージ終了前からディスチャージを開始する（つまり、プリチャージ期間とディスチャージ期間の一部をオーバーラップさせる）方式を採用する不揮発性半導体メモリにも適用可能である。
【０１０７】
【発明の効果】
上述したように本発明によれば、複数のメモリセルの一部に書込み速度の速いメモリセルが存在した場合でも、書込み後のベリファイ動作時に複数のメモリセルの共通ソース線の電位の浮き上がりを抑制でき、書込み不良の発生を防止し得る半導体記憶装置を提供することができる。
【図面の簡単な説明】
【図１】本発明の半導体記憶装置の第１の実施の形態に係る一括消去可能なＮＡＮＤセル型ＥＥＰＲＯＭの全体構成を示すブロック図。
【図２】図１中のメモリセルアレイのＮＡＮＤセルの一例を示す回路図およびセルトランジスタの閾値電圧の分布状態の一例を示す図。
【図３】図１中のメモリセルアレイにおけるビット線の一部に対応する回路を取り出して示すブロック図。
【図４】図１のＮＡＮＤ型ＥＥＰＲＯＭに適用される本発明に係るビット線センスアンプの一例を示す回路図。
【図５】図４のセンスアンプの通常読み出し時の動作の一例を示す波形図。
【図６】図４に示したセンスアンプの変形例を示す回路図。
【図７】図６に示したセンスアンプの変形例を示す回路図。
【図８】図７に示したセンスアンプの変形例を示す回路図。
【図９】本発明の半導体記憶装置の第２の実施の形態に係るＮＡＮＤ型ＥＥＰＲＯＭに適

用されるビット線センスアンプの一例およびその制御信号、動作の一例を示す回路図および波形図。
【図１０】図９に示したセンスアンプの変形例およびその制御信号、動作の一例を示す回路図および波形図。
【図１１】図９に示したセンスアンプの他の変形例およびその制御信号、動作の一例を示す回路図および波形図。
【図１２】図９に示したセンスアンプのさらに他の変形例およびその制御信号、動作の一例を示す回路図および波形図。
【図１３】ＮＯＲ型ＥＥＰＲＯＭのメモリセルアレイの一部のメモリセルの相異なる例を示す回路図。
【図１４】ＮＯＲ型ＥＥＰＲＯＭの他の例に係るグランドアレイ型ＥＥＰＲＯＭのメモリセルアレイの一部のメモリセルを示す回路図。
【図１５】ＤＩＮＯＲ型ＥＥＰＲＯＭの一例に係るグランドアレイ型ＥＥＰＲＯＭのメモリセルアレイの一部のメモリセルを示す回路図。
【図１６】ＡＮＤ型ＥＥＰＲＯＭの一例に係るグランドアレイ型ＥＥＰＲＯＭのメモリセルアレイの一部のメモリセルを示す回路図。
【図１７】図３中のセンスアンプの１個分を取り出して従来の提案例を示す回路図。
【符号の説明】
ＢＬ…ビット線、
Ｎ３…ビット線電位センスノード、
Ｍ１…ビット線負荷回路用ＰＭＯＳトランジスタ、
ＬＴ…ラッチ回路、
Ｍ７…スイッチ用トランジスタ。

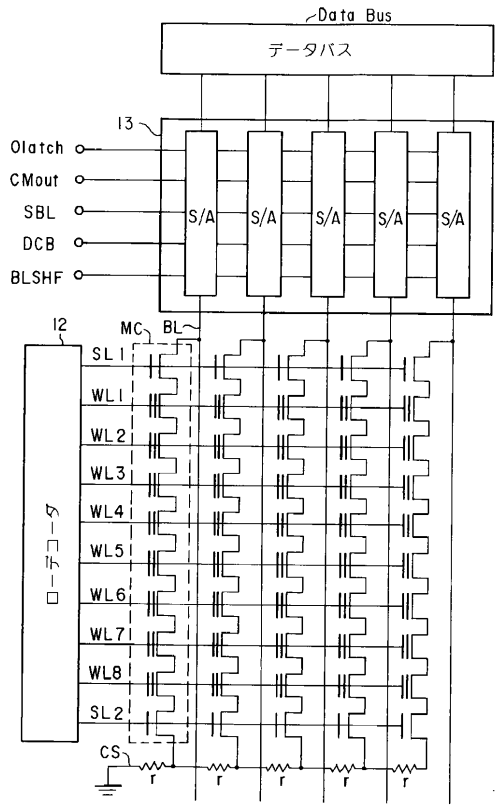
【図１】



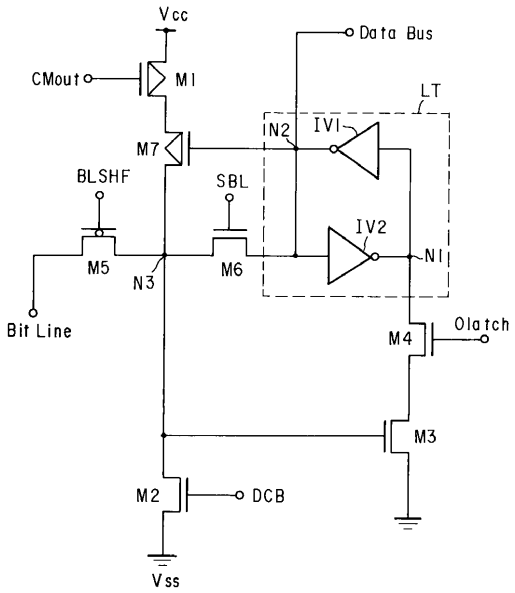
【図２】



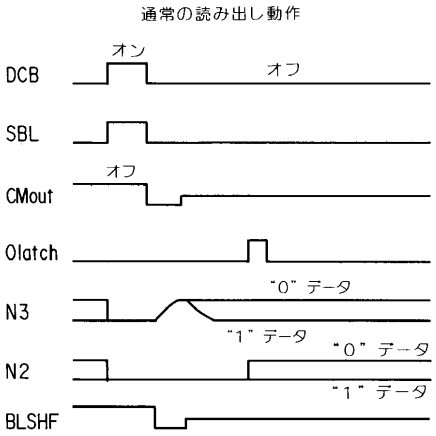
【図３】



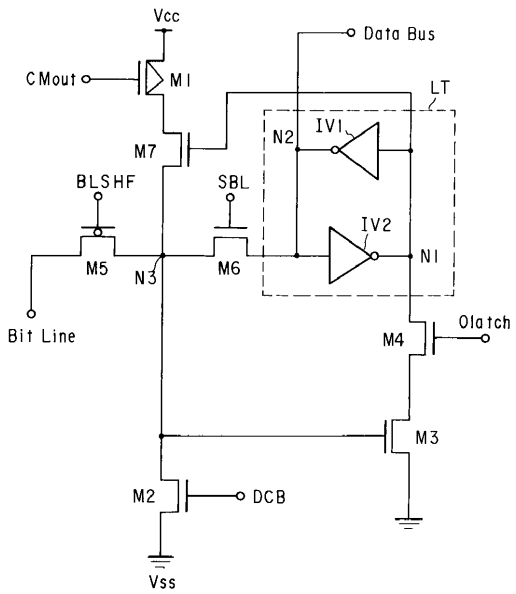
【図４】


Vcc
Data Bus
CMout
M1
LT
N2
IV1
M7
BLSHF
SBL
IV2
M5
N3
M6
N1
Bit Line
Olatch
M4
M3
M2
DCB
Vss

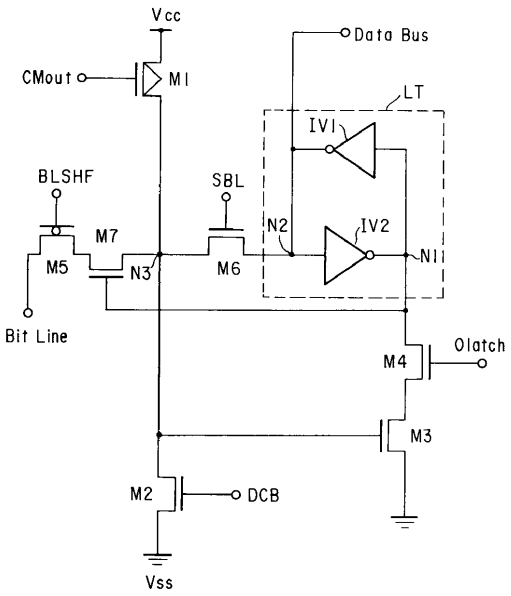
【図５】


通常の読み出し動作
DCB
オン
オフ
SBL
CMout
オフ
Olatch
N3
"0" データ
"1" データ
N2
"0" データ
"1" データ
BLSHF

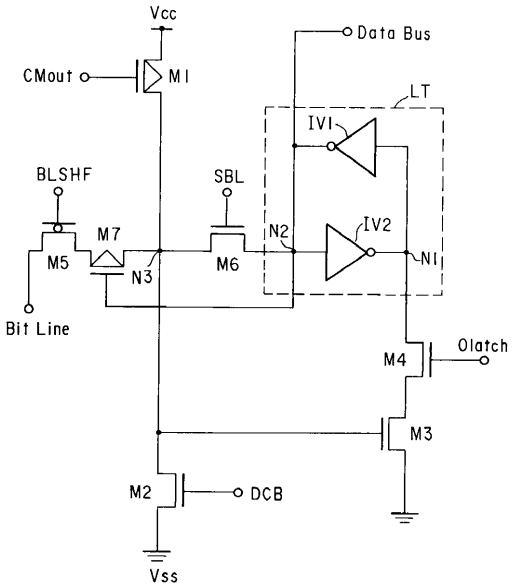
【図６】


Vcc
Data Bus
CMout
M1
LT
N2
IV1
M7
BLSHF
SBL
IV2
M5
N3
M6
N1
Bit Line
Olatch
M4
M3
M2
DCB
Vss

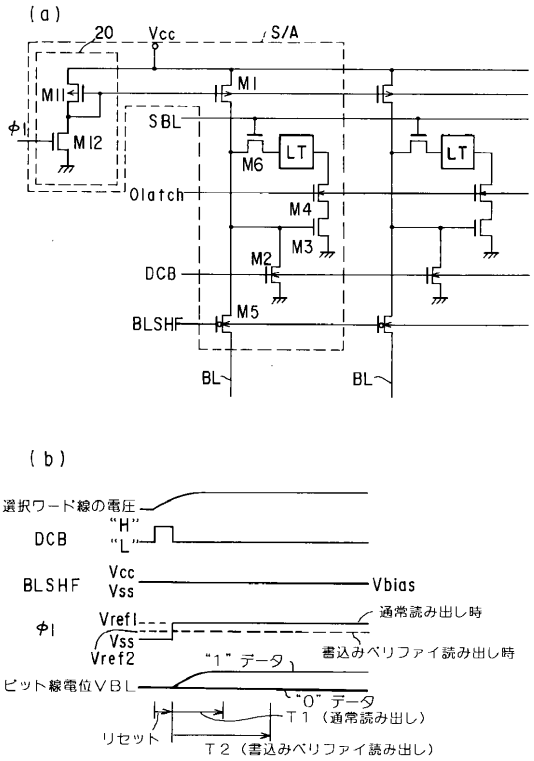
【図７】


Vcc
Data Bus
CMout
M1
LT
IV1
BLSHF
SBL
M7
N2
IV2
M5
N3
M6
N1
Bit Line
Olatch
M4
M3
M2
DCB
Vss

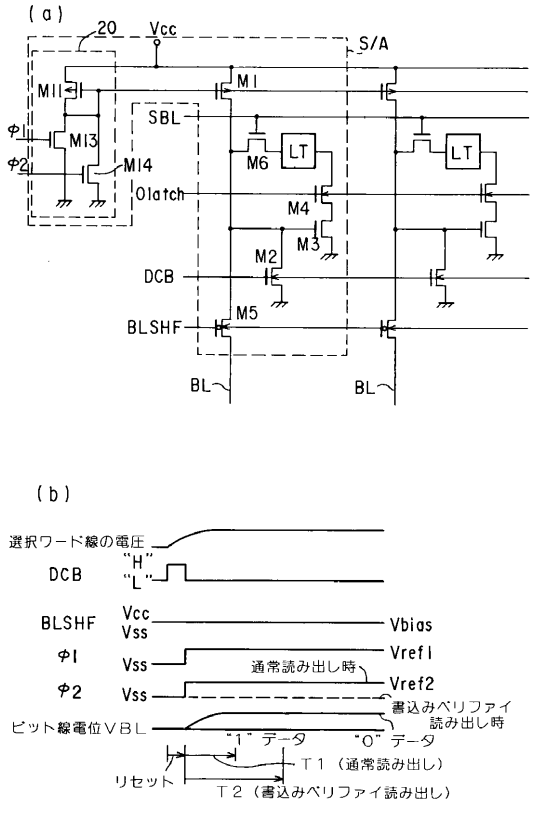
【図８】


Vcc
Data Bus
CMout
M1
LT
IV1
BLSHF
SBL
M7
N2
IV2
M5
N3
M6
N1
Bit Line
Olatch
M4
M3
M2
DCB
Vss

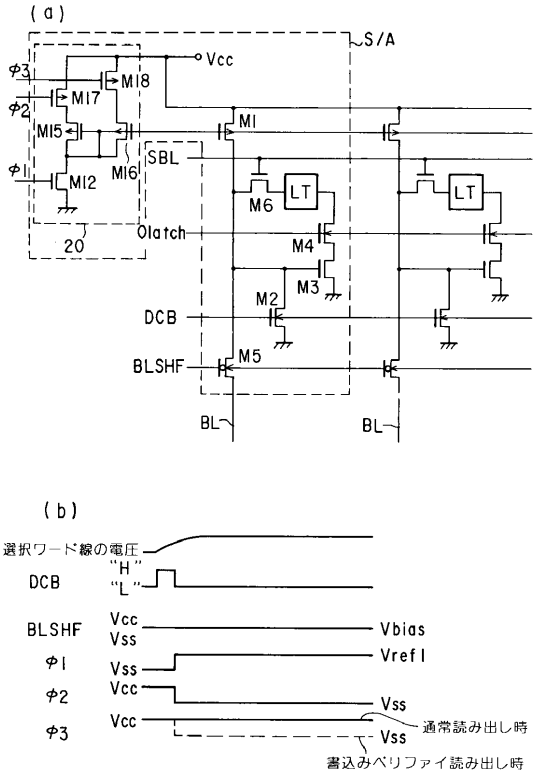
【図９】


(a)
20
Vcc
S/A
M11
M1
φ1
M12
SBL
M6
LT
Olatch
M4
M3
M2
DCB
M5
BLSHF
BL
(b)
選択ワード線の電圧
"H"
"L"
DCB
Vcc
Vss
BLSHF
Vbias
φ1
Vref1
通常読み出し時
Vss
Vref2
書込みベリファイ読み出し時
"1" データ
ビット線電位VBL
"0" データ
T1（通常読み出し）
リセット
T2（書込みベリファイ読み出し）

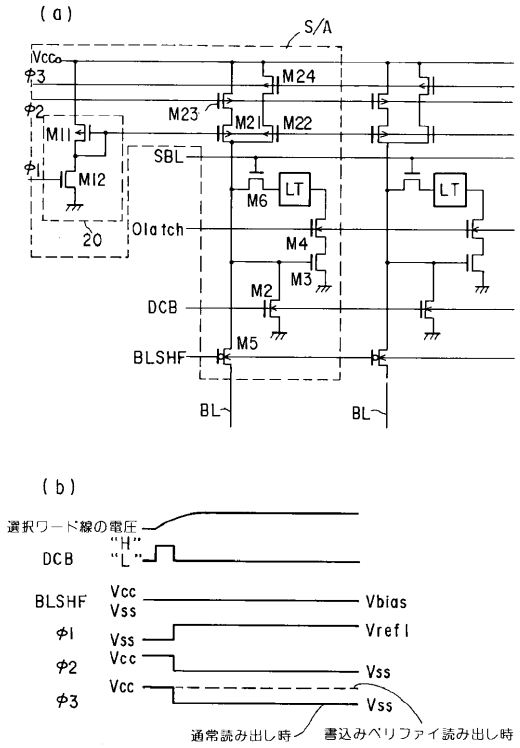
【図１０】


(a)
20
Vcc
S/A
M11
M1
φ1
SBL
M13
φ2
M14
M6
LT
Olatch
M4
M3
M2
DCB
M5
BLSHF
BL
(b)
選択ワード線の電圧
"H"
DCB
"L"
BLSHF
Vcc
Vss
Vbias
φ1
Vss
Vref1
通常読み出し時
φ2
Vss
Vref2
書込みベリファイ
読み出し時
ビット線電位VBL
"1" データ
"0" データ
T1（通常読み出し）
リセット
T2（書込みベリファイ読み出し）

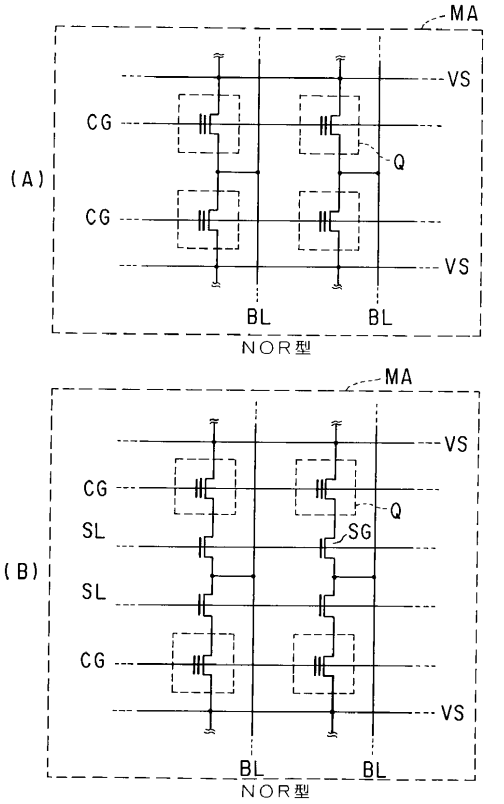
【図１１】


(a)
S/A
φ3
Vcc
M18
φ2
M17
M15
M1
φ1
SBL
M12
M16
M6
LT
20
Olatch
M4
M3
M2
DCB
M5
BLSHF
BL
(b)
選択ワード線の電圧
"H"
DCB
"L"
BLSHF
Vcc
Vss
Vbias
φ1
Vss
Vref1
φ2
Vcc
Vss
φ3
Vcc
通常読み出し時
Vss
書込みベリファイ読み出し時

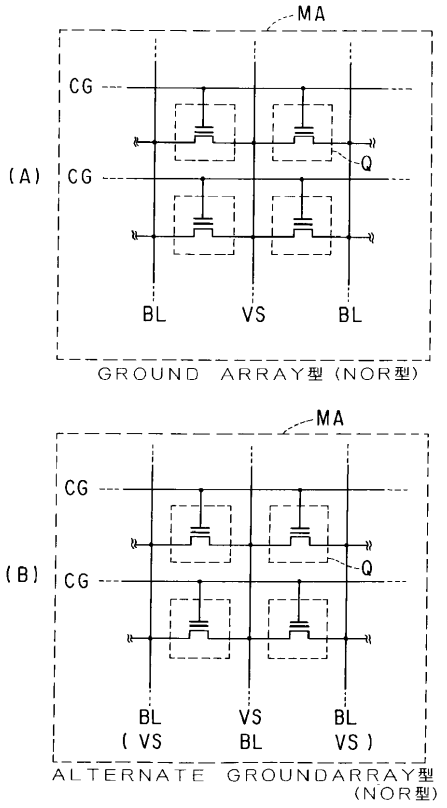
【図１２】



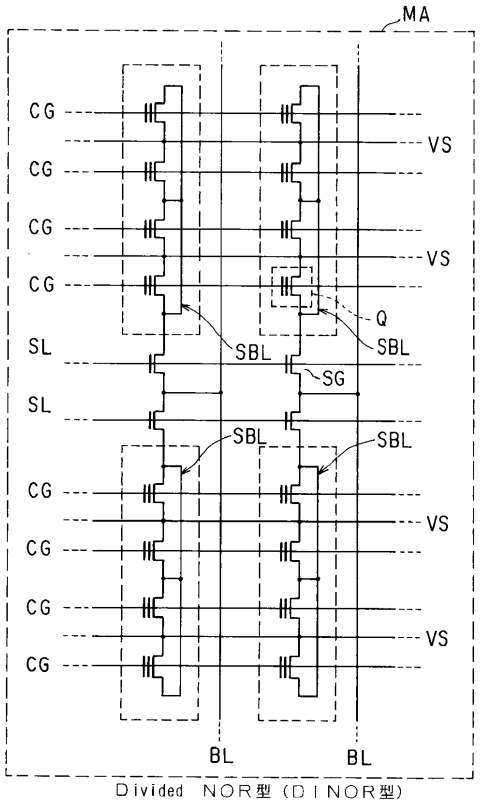
【図１３】



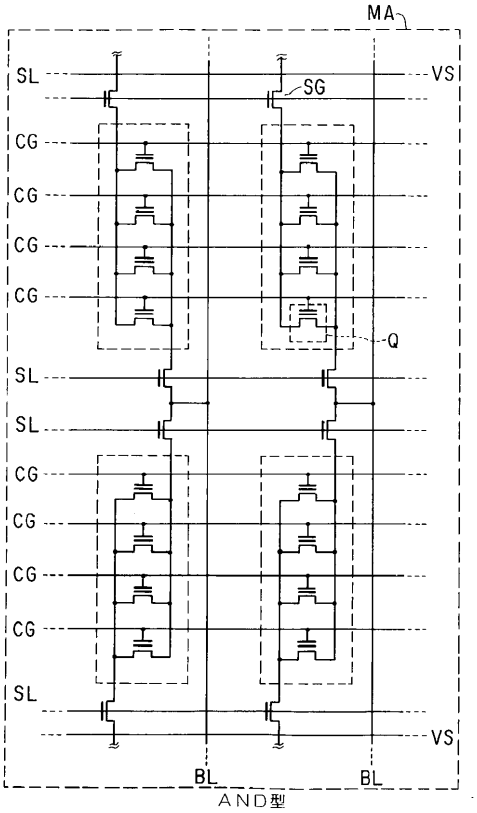
【図１４】



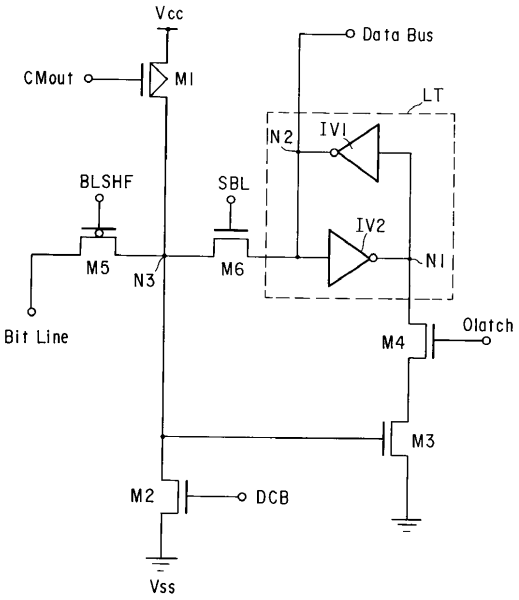
【図１５】



【図１６】


MA
SL
VS
SG
CG
CG
CG
CG
Q
SL
SL
CG
CG
CG
CG
SL
VS
BL
BL
AND型

【図１７】


Vcc
Data Bus
CMout
MI
LT
N2
IVI
BLSHF
SBL
IV2
M5
N3
M6
NI
Bit Line
M4
Olatch
M3
M2
DCB
Vss

フロントページの続き

(74)代理人 100070437
弁理士 河井 将次
(72)発明者 姫野 敏彦
神奈川県川崎市幸区小向東芝町１番地 株式会社東芝研究開発センター内
(72)発明者 神田 和重
神奈川県川崎市幸区小向東芝町１番地 株式会社東芝研究開発センター内
(72)発明者 中村 寛
神奈川県川崎市幸区小向東芝町１番地 株式会社東芝研究開発センター内

審査官 小松 正

(56)参考文献 特開平０７－０５７４８２（ＪＰ，Ａ）
特開平０５－１４４２７７（ＪＰ，Ａ）
特開平０６－２０３５９０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 16/00-16/34