



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0107017
(43) 공개일자 2016년09월13일

(51) 국제특허분류(Int. Cl.)
H01F 27/36 (2006.01) H01F 27/28 (2006.01)
H02M 3/08 (2006.01) H03H 7/01 (2006.01)
(52) CPC특허분류
H01F 27/365 (2013.01)
H01F 27/2823 (2013.01)
(21) 출원번호 10-2015-0029908
(22) 출원일자 2015년03월03일
심사청구일자 2015년03월03일

(71) 출원인
경상대학교산학협력단
경상남도 진주시 진주대로 501 (가좌동)
(72) 발명자
강병극
경상남도 진주시 진주대로 501, 405동 513호 (가좌동)
정세교
경상남도 진주시 가좌안골길21번길 5, 105동 1201호 (가좌동, 가좌제일풍경채)
(가좌동에 계속)
(74) 대리인
특허법인 신지

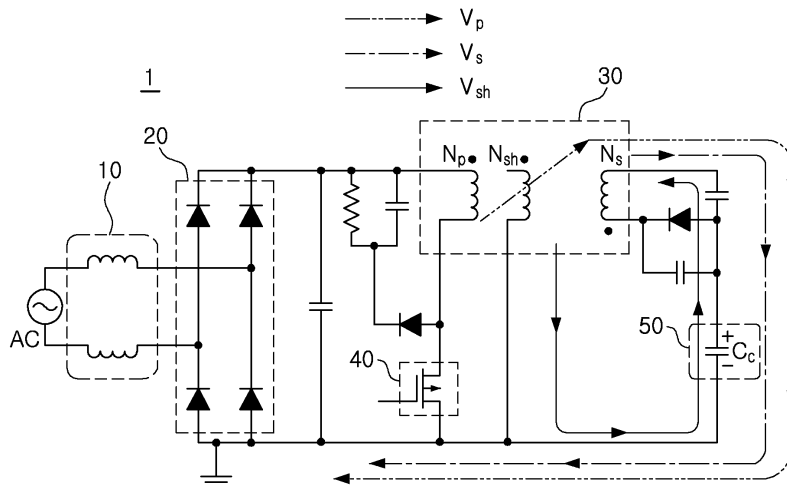
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 트랜스포머 및 이를 포함하는 컨버터

(57) 요약

본 발명의 일 실시예에 따른 트랜스포머는 1차 권선, 2차 권선 및 션드 권선을 포함하고, 상기 션드 권선의 권선 수는 상기 1차 권선의 권선 수, 상기 2차 권선의 권선 수 및 상기 1차 권선, 상기 2차 권선 및 상기 션드 권선의 기생 커패시턴스 성분 에 따라 결정될 수 있다.

대표도 - 도1



(52) CPC특허분류

H01F 27/2885 (2013.01)

H02M 3/08 (2013.01)

H03H 7/0138 (2013.01)

(72) 발명자

원재선

경기도 수원시 영통구 매영로 150, (매탄동)

김희승

경기도 수원시 영통구 매영로 150, (매탄동)

명세서

청구범위

청구항 1

1차 권선, 2차 권선 및 션드 권선을 포함하고,

상기 션드 권선의 권선 수는 상기 1차 권선의 권선 수, 상기 2차 권선의 권선 수 및 상기 1차 권선, 상기 2차 권선 및 상기 션드 권선의 기생 커패시턴스 성분에 따라 결정되는 트랜스포머.

청구항 2

제1항에 있어서,

상기 1차 권선은 제1 1차 권선 및 제2 1차 권선을 포함하고,

상기 션드 권선은 제1 션드 권선 및 제2 션드 권선을 포함하고,

상기 제1 1차 권선, 상기 제1 션드 권선, 상기 2차 권선, 상기 제2 션드 권선 및 상기 제2 1차 권선 각각은 단층으로 구성되어 순차적으로 배치되는 트랜스포머.

청구항 3

제2항에 있어서, 상기 션드 권선의 권선 수는,

하기의 수식에 의해 결정되는 트랜스포머.

[수 식]

$$N_{sh} = \frac{N_p \cdot C_p + N_s \cdot C_s}{C_{sh1} + C_{sh2}}$$

(N_{sh} : 션드 권선의 권선 수, N_p : 1차 권선의 권선 수, N_s : 2차 권선의 권선 수, C_p : 제1 1차 권선과 2차 권선 사이의 커패시턴스 성분 및 2차 권선과 제2 1차 권선의 커패시턴스 성분의 합, C_s : 제1 1차 권선과 2차 권선 사이의 커패시턴스 성분, 제1 션드 권선과 2차 권선 사이의 커패시턴스 성분, 2차 권선과 제2 션드 권선 사이의 커패시턴스 성분 및 2차 권선과 제2 1차 권선의 커패시턴스 성분의 합, C_{sh1} : 제1 션드 권선과 2차 권선의 커패시턴스 성분의 합, C_{sh2} : 2차 권선과 제2 션드 권선의 커패시턴스 성분의 합)

청구항 4

제2항에 있어서,

상기 1차 권선 및 상기 2차 권선은 도트 극성이 서로 반대인 트랜스포머.

청구항 5

제4항에 있어서,

상기 쉘드 권선은 상기 1차 권선 및 상기 2차 권선 중 하나와 도트 극성이 동일한 트랜스포머.

청구항 6

제5항에 있어서, 상기 쉘드 권선은,
상기 2차 권선과 도트 극성이 동일한 트랜스포머.

청구항 7

제6항에 있어서,
상기 제1 쉘드 권선 및 상기 제2 쉘드 권선 중 적어도 하나와 상기 2차 권선을 연결하는 보상 커패시터; 를 더 포함하는 트랜스포머.

청구항 8

제7항에 있어서, 상기 보상 커패시터는,
상기 도트 극성이 서로 동일한 상기 쉘드 권선 및 상기 2차 권선의 부분을 연결하는 트랜스포머.

청구항 9

제7항에 있어서, 상기 보상 커패시터는,
상기 도트 극성이 서로 반대인 상기 쉘드 권선 및 상기 2차 권선의 부분을 연결하는 트랜스포머.

청구항 10

제1항에 있어서,
상기 1차 권선은 코어의 중간 레그 및 외측 레그에 각각 권선되는 제1 1차 권선 및 제2 1차 권선을 포함하고,
상기 쉘드 권선은 상기 중간 레그 및 상기 외측 레그의 내측으로 상기 제1 1차 권선 및 상기 제2 2차 권선 각각과 인접하여 권선되는 제1 쉘드 권선 및 제2 쉘드 권선을 포함하고,
상기 제2 권선은 상기 제1 쉘드 권선 및 상기 제2 쉘드 권선 사이에서 권선되는 트랜스포머.

청구항 11

입력 전원이 인가되는 1차 권선과 상기 1차 권선과 절연되어 형성되는 2차 권선, 상기 1차 권선과 상기 2차 권선 사이에 형성되는 쉘드 권선 및 상기 2차 권선을 포함하는 트랜스포머;
상기 1차 권선과 연결되어 상기 1차 권선으로 인가되는 전원을 스위칭하는 스위치; 및
상기 2차 권선과 연결되어 1차 권선과 2차 권선 사이에서 형성되는 변위 전류를 감쇄하는 저감 커패시터; 를 포함하고,
상기 트랜스포머는 상기 저감 커패시터에 인가되는 전압의 극성에 따라 상기 1차 권선, 상기 2차 권선 및 상기 쉘드 권선 중 2개의 권선을 연결하는 보상 커패시터를 더 포함하는 컨버터.

청구항 12

제11항에 있어서,

상기 쉘드 권선의 권선 수는 상기 1차 권선의 권선 수, 상기 2차 권선의 권선 수 및 상기 1차 권선, 상기 2차 권선 및 상기 쉘드 권선의 기생 커패시턴스 성분에서 결정되는 컨버터.

청구항 13

제11항에 있어서,

상기 1차 권선 및 상기 2차 권선은 도트 극성이 서로 반대인 컨버터.

청구항 14

제11항에 있어서,

상기 쉘드 권선은 상기 1차 권선 및 상기 2차 권선 중 하나와 도트 극성이 동일한 컨버터.

청구항 15

제11항에 있어서, 상기 쉘드 권선은,

상기 2차 권선과 도트 극성이 동일한 컨버터.

청구항 16

제11항에 있어서,

상기 1차 권선은 제1 1차 권선 및 제2 1차 권선을 포함하고,

상기 쉘드 권선은 제1 쉘드 권선 및 제2 쉘드 권선을 포함하고,

상기 제1 1차 권선, 상기 제1 쉘드 권선, 상기 2차 권선, 상기 제2 쉘드 권선 및 상기 제2 1차 권선 각각은 단층으로 구성되어 순차적으로 배치되는 컨버터.

발명의 설명

기술 분야

[0001] 본 기술은 트랜스포머 및 이를 포함하는 컨버터에 관한 것이다.

배경 기술

[0002] 플라이백 컨버터(Flyback converter)는 회로 구성이 간단하고 소자수가 다른 컨버터에 비해 적은 장점을 지니고 있어 저가격 고밀도 어댑터 분야에서 유용하게 쓰이고 있다. 하지만 스위치와 변압기에서 높은 전류와 전압으로 인하여 변위 전류가 발생하고, 변위 전류에 의해 전자파 방해(EMI: Electromagnetic Interference)가 발생하므로, 높은 수준의 EMI 대책이 필요하다.

[0003] 컨버터에서 발생할 수 있는 EMI를 저감하기 위하여, 컨버터 내에 EMI 필터를 추가하거나, 2차측의 권선과 접지 사이에 배치되는 커패시터의 용량을 증가시키는 방법이 이용되고 있다. 다만, EMI 필터의 추가는 가격적인 면에서 영향을 주고, 커패시터의 용량의 증가는 누설전류 증가를 야기하는 문제점이 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국 등록특허공보 10-1318425

발명의 내용

해결하려는 과제

[0005] 본 발명의 과제는 전술한 종래 기술의 문제점을 해결하기 위한 것으로, EMI 필터의 추가나 커패시터의 용량의 증가 없이 EMI를 제거할 수 있는 트랜스포머 및 이를 포함하는 컨버터를 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 트랜스포머는 입력 전원이 인가되는 1차 권선과 상기 1차 권선과 절연되어 형성되는 2차 권선, 상기 1차 권선과 상기 2차 권선 사이에 형성되는 쉘드 권선 및 상기 2차 권선을 포함하고, 상기 쉘드 권선의 권선 수는 상기 1차 권선의 권선 수, 상기 2차 권선의 권선 수 및 상기 1차 권선, 상기 2차 권선 및 상기 쉘드 권선의 기생 커패시턴스 성분에 따라 결정될 수 있다.

발명의 효과

[0007] 본 발명의 일 실시예에 따르면, 트랜스포머의 1차측과 2차측 사이에서 발생할 수 있는 EMI를 효과적으로 제거할 수 있다.

도면의 간단한 설명

[0008] 도 1은 컨버터의 EMI를 저감하기 위한 회로 구성의 일 예를 나타내는 회로도이다.

도 2는 트랜스포머의 일 예를 나타낸 등가 회로도이다.

도 3은 트랜스포머의 일 예를 나타낸 구조도이다.

도 4는 도 3에 도시된 트랜스포머에 있어서, 인접한 층 간에 형성되는 커패시턴스 성분을 도시한 등가 회로도이다.

도 5는 도 3에 도시된 트랜스포머에 있어서, 1개의 층을 건너서 형성되는 커패시턴스 성분을 도시한 등가 회로도이다.

도 6은 도 3에 도시된 트랜스포머에 있어서, 2개의 층을 건너서 형성되는 커패시턴스 성분을 도시한 등가 회로도이다.

도 7은 1개의 층을 건너서 형성되는 커패시턴스 성분을 설명하기 위하여 제공되는 도이다.

도 8은 커패시터의 명명법을 설명하기 위하여 제공되는 회로도이다.

도 9(a)는 본 발명의 일 실시예에 따른 컨버터를 나타낸 회로도이고, 도 9(b)는 본 발명의 일 실시예에 따른 트랜스포머를 나타낸 회로도이다.

도 10은 도 9(a)에 도시된 트랜스포머에 형성되는 커패시턴스 성분을 도시한 등가 회로도이다.

도 11은 본 발명의 일 실시예에 따른 보상 커패시터의 위치를 설명하기 위하여 제공되는 도이다.

도 12는 도 11의 실시예에 따른 시뮬레이션 그래프이다.

도 13은 본 발명의 일 실시예에 따른 보상 커패시터의 위치를 설명하기 위하여 제공되는 도이다.

도 14는 도 13의 실시예에 따른 시뮬레이션 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 후술하는 본 발명에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는, 적절하게 설명된다면, 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.
- [0010] 이하에서는, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 하기 위하여, 본 발명의 실시예들에 관하여 첨부된 도면을 참조하여 상세히 설명하기로 한다.
- [0011] 도 1은 컨버터의 EMI를 저감하기 위한 회로 구성의 일 예를 나타내는 회로도이다. 구체적으로, 도 1은 쉴드 권선(Shield Wire)를 이용하여 플라이 백(Flyback) 컨버터에서 발생할 수 있는 EMI를 저감하기 위한 회로이다.
- [0012] 도 1의 컨버터는 필터부(10), 정류부(20), 1차 권선(N_p), 2차 권선(N_s) 및 쉴드 권선(N_{sh})를 포함하는 트랜스포머(30), 스위치(40), 저감 커패시터(50)를 포함할 수 있다.
- [0013] 필터부(10)는 교류 전원(AC)가 인가되는 전원단과 연결되어, 교류 전원(AC)에 혼재되어 있는 노이즈를 제거할 수 있다. 필터부(10)는 라인 필터를 포함할 수 있는데, 필터부(10)는 일종의 로우 패스 필터로 동작할 수 있다.
- [0014] *정류부(20)는 필터부(10)로부터 전달받은 전원을 정류하여, 트랜스포머(30)의 1차측에 배치되는 1차 권선(N_p)에 전원을 전달할 수 있다. 트랜스포머(30)의 1차 권선에 인가되는 전원은 스위치(40)의 스위칭 동작에 따라 트랜스포머(30)의 2차측에 배치되는 2차 권선(N_s)에 전달될 수 있다. 이 때, 1차 권선(N_p)과 2차 권선(N_s)은 전자기적 결합 또는 유도 결합할 수 있다.
- [0015] 도 1에 있어서, 전압 V_p 는 1차측에서 발생하는 노이즈의 경로이고, 전압 V_s 는 2차측에서 발생하는 노이즈의 경로이고, 전압 V_{sh} 는 쉴드 권선(N_{sh})에서 발생하는 노이즈의 경로이다. 도 1을 참조하면, 쉴드 권선(N_{sh})은 1차측과 2차측에서 생성된 노이즈의 경로와 반대 경로로 노이즈의 경로를 형성하여, 1차측과 2차측에서 생성된 노이즈를 저감할 수 있다.
- [0016] 저감 커패시터(50)는 2차 권선과 접지측에 배치되는데, 1차측과 2차측에서 생성된 노이즈를 감쇄할 수 있다. 이 때, 저감 커패시터(50)의 커패시턴스는 1차측과 2차측에서 생성된 노이즈의 크기와 비례하게 되는데, 노이즈의 크기가 커지는 경우, 저감 커패시터(50)의 커패시턴스 또한 늘어나게 되어, 부품의 제조 비용이 늘어나게 되고, 부피가 커지게 되는 문제점이 발생할 수 있다.
- [0017] 본 발명의 일 실시예에 따르면, 트랜스포머의 쉴드 권선의 권선수를 조절하거나, 1차 권선, 2차 권선 및 쉴드 권선 중 적어도 2개의 권선을 보상 커패시터로 연결함으로써, 컨버터에서 발생할 수 있는 EMI를 효과적으로 제거할 수 있다.
- [0018] 도 2는 트랜스포머의 일 예를 나타낸 등가 회로도이다. 도 2를 참조하면, 트랜스포머의 등가 회로는 노드 A와 B 사이에 형성되는 제1 권선(N_p) 및 노드 C와 D 사이에 형성되는 제2 권선(N_s)를 포함할 수 있다. 이 때, 제1 권선(N_p)과 제2 권선(N_s)은 서로 절연되고, 상호 전자기적으로 결합될 수 있다. 또한, 제1 권선(N_p)과 제2 권선(N_s)의 전자기적 결합 또는 제1 권선(N_p) 및 제2 권선(N_s) 각각의 기생 커패시턴스 성분에 따른 복수의 커패시터($C1-C6$)를 포함할 수 있다.
- [0019] 구체적으로, 커패시터 $C1$ 는 노드 A와 C 사이에, 커패시터 $C2$ 는 노드 C와 B 사이에, 커패시터 $C3$ 는 노드 A와 D 사

이에, 커패시터 C4는 노드 B와 D사이에, 커패시터 C5는 노드 A와 B사이에, 커패시터 C6는 노드 C와 D사이에 형성될 수 있다.

[0020] 도 2의 복수의 커패시터의 커패시턴스는 하기의 수학적 식 1과 같이 나타낼 수 있다. 이 때, C_0 는 1차측과 2차측 사이에 측정되는 커패시턴스를 나타낸다.

수학적 식 1

$$C_1 = \frac{C_0}{3} \quad C_2 = \frac{C_0}{6} \quad C_3 = \frac{C_0}{6} \quad C_4 = \frac{C_0}{3} \quad C_5 = -\frac{C_0}{6} \quad C_6 = -\frac{C_0}{6}$$

[0021]

[0022] 도 3은 트랜스포머의 일 예를 나타낸 구조도이다. 구체적으로 도 3은 플라이백 컨버터에 채용될 수 있는 트랜스포머의 구조를 나타낸다. 도 3에 있어서, L_c 는 트랜스포머의 코어의 중간 레그(center leg)를 나타내고, L_o 는 트랜스포머의 코의 외측 레그(outer leg)를 나타낸다. 권선 N_{p1} 과 N_{p2} 는 1차 권선을 나타내는데, 서로 병렬 인터리브 형태로 구성될 수 있고, 권선 N_{p1} 은 외측 레그(L_c)에 형성될 수 있고, 권선 N_{p2} 는 중간 레그(L_o)에 형성될 수 있다. 권선 N_s 는 2차 권선을 나타내며, 권선 N_{sh1} 과 N_{sh2} 는 쉘드 권선을 나타낸다. 각 권선은 단층으로 구성될 수 있는데, 권선 N_{p1} 은 제1층(L1)에, 권선 N_{sh1} 은 제2층(L2)에, 권선 N_s 는 제3층(L3)에, 권선 N_{sh2} 는 제4층(L4)에, 권선 N_{p2} 는 제5층(L5)에 순차적으로 형성될 수 있다. 각 권선의 일 측에 도시된 단자는 트랜스포머의 도트(dot)의 물리적 위치를 나타내고, 각 층(L1-L5)의 U 및 D는 각 층의 양 단을 나타낸다.

[0023] 1차 권선(N_{p1} 및 N_{p2})은 2차 권선(N_{s1} 및 N_{s2})와 도트 극성이 서로 반대일 수 있고, 쉘드 권선(N_{sh1} 및 N_{sh2})는 1차 권선(N_{p1} 및 N_{p2})과 2차 권선(N_{s1} 및 N_{s2}) 중 하나와 도트 극성이 동일할 수 있다. 일 예로, 쉘드 권선(N_{sh1} 및 N_{sh2})은 2차 권선(N_{s1} 및 N_{s2})과 도트 극성이 동일할 수 있다.

[0024] 도 2에 도시된 바와 같은 트랜스포머의 등가 회로의 원리를 도 3의 트랜스포머의 구조에 적용하는 경우, 도 4 내지 도 6에 도시된 회로와 같이 나타낼 수 있다.

[0025] 도 4는 인접한 층 간에 형성되는 커패시턴스 성분을 도시한 등가 회로도이고, 도 5는 1개의 층을 건너서 형성되는 커패시턴스 성분을 도시한 등가 회로도이고, 도 6은 2개의 층을 건너서 형성되는 커패시턴스 성분을 도시한 등가 회로도이다.

[0026] 인접한 층 간에 형성되는 커패시턴스 성분은 해당하는 각 층의 양단을 단선한 후 측정될 수 있으나, 1개 또는 2개의 층을 건너서 형성되는 커패시터의 성분은 후술할 방식을 이용하여 측정될 수 있다.

[0027] 도 7은 1개의 층을 건너서 형성되는 커패시턴스 성분을 설명하기 위하여 제공되는 도이다.

[0028] A층과 C층 간에서 측정되는 커패시턴스 성분에는 B층에 관련되는 커패시턴스 성분이 포함되어 있게 마련이다. 따라서, B층과 관련된 커패시턴스 성분을 제거하기 위하여, A층과 C층 간의 커패시턴스 성분 C_3 은 하기의 수학적 식 2와 같이 나타낼 수 있다.

수학적 식 2

$$C_3 = C_{3e} - (C_1 // C_2) = C_{3e} - \frac{C_1 C_2}{C_1 + C_2}$$

[0029]

- [0030] 여기서 C_1 은 A층과 B층 사이에서 측정된 커패시턴스이고, C_2 는 B층과 C층 사이에서 측정된 커패시턴스이고, 그리고 C_{3c} 는 A층과 C층 사이에서 측정된 커패시턴스이다.
- [0031] 도 8은 이하의 설명에서 이용될 커패시터의 명명법을 설명하기 위하여 제공되는 회로도이다. 커패시터의 이름은 형성되는 층과 순서에 따라 결정될 수 있다. 예를 들어, 도식된 바와 같이, X층과 Y층에 형성되는 커패시턴스 성분은 다른 커패시터는 C_{XY} 로 명명될 수 있으며, 첫 번째 커패시터의 경우 $C_{XY,1}$ 과 같이, 두 번째 커패시터의 경우 $C_{XY,2}$ 과 같이 명명될 수 있다.
- [0032] 도 9(a)는 본 발명의 일 실시예에 따른 컨버터를 나타낸 회로도이고, 도 9(b)는 본 발명의 일 실시예에 따른 트랜스포머를 나타낸 회로도이다. 도 9(a)를 참조하면, 본 발명의 일 실시예에 따른 컨버터는 필터부(100), 정류부(200), 트랜스포머(300), 스위치(400) 저감 커패시터(500)를 포함할 수 있다. 도 9(a)에 도시된 컨버터는 플라이 백 컨버터로서, 도 1에서 설명한 컨버터와 유사하므로, 이하에서 도 9(b)에 도시된 트랜스포머를 중심으로 설명하도록 한다.
- [0033] 도 9(b)를 참조하면, 트랜스포머(300)는 1차 권선 N_p , 2차 권선 N_s 및 제1, 2 션드 권선 N_{sh1} , N_{sh2} 을 포함할 수 있는데, 트랜스포머의 1차 권선 N_p 의 일단에는 컨버터의 동작에 따라 발생하는 EMI를 제공하기 위한 EMI 전원(EMI source)이 연결되는 것으로 가정한다.
- [0034] 도 4 내지 6에 도시된 바와 같은 트랜스포머의 등가 회로의 원리를 도 9(b)의 트랜스포머에 적용하는 경우, 도 9(b)의 트랜스포머는 도 10에 도시된 회로와 같이 나타낼 수 있다.
- [0035] 다만, 이 경우, 트랜스포머의 누설 인덕턴스 및 스위치의 기생 커패시터의 공진은 트랜스포머의 특성을 유지하는 범위를 벗어나므로 고려하지 않도록 하고, 나아가, 직류(DC) 전압은 정상상태에서 트랜스포머에 인가될 수 없으므로 고려하지 않도록 한다.
- [0036] 도 10에서 트랜스포머의 누설 인덕턴스를 무시하였으므로 각 권선에 인가되는 전압은 인가된 EMI 전원의 전압과 각 권선의 권선 수에 따라 결정될 수 있다. 전압 V_p 는 1차 권선 N_p 에, 전압 V_s 는 2차 권선 N_s 에, 전압 V_{sh1} 및 V_{sh2} 는 션드 권선 N_{sh1} 및 N_{sh2} 에 인가되는 전압에 해당한다.
- [0037] 전압 V_p , V_s , V_{sh1} 및 V_{sh2} 에 의해서 생성되는 전류는 중첩에 원리에 의해서 계산될 수 있는데, 도 9(a)의 저감 커패시터(500)의 커패시턴스를 이용하여, 저감 커패시터(500)의 양단 전압 V_{Y-cap} 을 하기의 수학식 3과 같이 계산할 수 있다.

수학식 3

$$V_{Y-cap} = \frac{v_p \cdot [N_p \cdot C_p - N_{sh1} \cdot C_{sh} + N_s \cdot C_s - N_{sh2} \cdot C_{sh2}]}{N_p \cdot (C_{13} + C_{23} + C_{34} + C_{35} + C_c)}$$

Where

$$C_p = C_{13_1} + C_{13_3} + C_{35_1} + C_{35_2}$$

$$C_{sh1} = C_{23_1} + C_{23_3}$$

$$C_s = C_{13_1} + C_{13_2} + C_{23_1} + C_{23_2} + C_{34_1} + C_{34_3} + C_{35_1} + C_{35_3}$$

$$C_{sh2} = C_{34_1} + C_{34_2}$$

[0038]

[0039]

수학식 3을 참조하면, 저감 커패시터(500)의 양단 전압 V_{Y-cap} 을 낮추기 위한 쉴드 권선의 권선 수를 도출할 수 있는데, 제1, 2 쉴드 권선(N_{sh1} , N_{sh2})의 권선 수가 같다고 가정하는 경우, 제1, 2 쉴드 권선(N_{sh1} , N_{sh2})의 권선수 N_{sh} 는 하기의 수학식 4에 따라 도출될 수 있다.

수학식 4

$$N_{sh} = \frac{N_p \cdot C_p + N_s \cdot C_s}{C_{sh1} + C_{sh2}}$$

[0040]

[0041]

상기의 수학식 4를 살펴보면, 쉴드 권선의 권선 수 N_{sh} 는 1차 권선의 권선 수 N_p , 2차 권선의 권선 수 N_s 및 1차 권선, 상기 2차 권선 및 상기 쉴드 권선의 기생 커패시턴스 성분 C_p , C_s , C_{sh1} , C_{sh2} 에 따라 결정될 수 있다.

[0042]

이 때, 상기의 수학식 3을 살펴보면 커패시턴스 성분 C_p 는 제1 1차 권선과 2차 권선 사이의 커패시턴스 성분 및 2차 권선과 제2 1차 권선의 커패시턴스 성분의 합에 해당하고, 커패시턴스 성분 C_s 는 제1 1차 권선과 2차 권선 사이의 커패시턴스 성분, 제1 쉴드 권선과 2차 권선 사이의 커패시턴스 성분, 2차 권선과 제2 쉴드 권선 사이의 커패시턴스 성분 및 2차 권선과 제2 1차 권선의 커패시턴스 성분의 합에 해당하고, 커패시턴스 성분 C_{sh1} 는 제1 쉴드 권선과 2차 권선의 커패시턴스 성분의 합에 해당하고, 커패시턴스 성분 C_{sh2} 는 2차 권선과 제2 쉴드 권선의 커패시턴스 성분의 합에 해당함을 확인할 수 있다.

[0043]

다만, 수학식 4에 따라 산출되는 쉴드 권선의 권선 수 N_{sh} 는 정수로 산출되지 않을 수 있으므로, EMI가 완벽히 제거되지 않을 수 있다. 이 때, 보상 커패시터 C_{comp} 를 추가하여, 저감 커패시터(500)에 인가되는 전압 V_{Y-cap} 의 크기를 감소시킬 수 있다.

[0044] 저감 커패시터(500)의 전압 V_{Y-cap} 이 음의 값으로 나타나면 하기의 수학식 5 및 6과 같이 커패시턴스 C_p 및 C_s 와 관계된 커패시터에 보상 커패시터 C_{comp} 를 병렬로 연결하여, 저감 커패시터(500)에 인가되는 전압의 크기를 감소시킬 수 있다.

수학식 5

$$V_{Y-Cap} = \frac{v_p \cdot [N_p \cdot C_p - N_{sh1} \cdot C_{sh1} + N_s \cdot (C_s + C_{comp}) - N_{sh2} \cdot C_{sh2}]}{N_p \cdot (C_{13e} + C_{23} + C_{34} + C_{35e} + C_c + C_{comp})}$$

[0045]

수학식 6

$$V_{Y-Cap} = \frac{v_p \cdot [N_p \cdot (C_p + C_{comp}) - N_{sh1} \cdot C_{sh1} + N_s \cdot C_s - N_{sh2} \cdot C_{sh2}]}{N_p \cdot (C_{13e} + C_{23} + C_{34} + C_{35e} + C_c + C_{comp})}$$

[0046]

[0047] 또한, 저감 커패시터(500)의 전압 V_{Y-cap} 이 양의 값으로 나타나면 하기의 수학식 7 및 8과 같이 커패시턴스 C_{sh1} 및 C_{sh2} 와 관계된 커패시터에 보상 커패시터 C_{comp} 를 병렬로 연결하여, 저감 커패시터(500)에 인가되는 전압의 크기를 감소시킬 수 있다.

수학식 7

$$V_{Y-Cap} = \frac{v_p \cdot [N_p \cdot C_p - N_{sh1} \cdot C_{sh1} + N_s \cdot C_s - N_{sh2} \cdot (C_{sh2} + C_{comp})]}{N_p \cdot (C_{13e} + C_{23} + C_{34} + C_{35e} + C_c + C_{comp})}$$

[0048]

수학식 8

$$V_{Y-Cap} = \frac{v_p \cdot [N_p \cdot C_p - N_{sh1} \cdot (C_{sh1} + C_{comp}) + N_s \cdot C_s - N_{sh2} \cdot C_{sh2}]}{N_p \cdot (C_{13e} + C_{23} + C_{34} + C_{35e} + C_c + C_{comp})}$$

[0049]

[0050] 도 11은 본 발명의 일 실시예에 따른 보상 커패시터의 위치를 설명하기 위하여 제공되는 도이다.

[0051] 도 11을 참조하면, 보상 커패시터 C_{comp} 는 제1 쉘드 권선 N_{sh1} 와 2차 권선 N_s 사이에 배치될 수 있다. 보다 구체적으로 보상 커패시터 C_{comp} 는 제1 쉘드 권선 N_{sh1} 의 도트 측 부분과 2차 권선 N_s 의 비 도트 측의 부분을 연결할 수 있다.

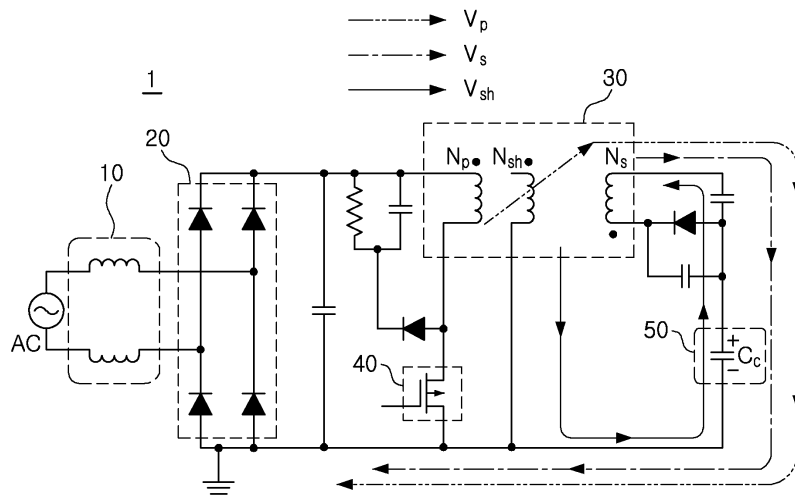
- [0052]
- [0053] 도 12는 도 11의 실시예에 따른 시뮬레이션 그래프이다. 도 12(a)는 보상 커패시터 C_{comp} 를 구비하지 않은 경우의 저감 커패시터(500)의 전압 그래프이고, 도 12(b)는 보상 커패시터 C_{comp} 를 구비한 경우의 저감 커패시터(500)의 그래프이다.
- [0054] 도 12(a) 및 12(b)를 비교하면, 보상 커패시터 C_{comp} 를 구비하지 않은 경우에 저감 커패시터(500)의 오실레이션 전압은 1.95V이나, 보상 커패시터 C_{comp} 를 구비한 경우에 저감 커패시터(500)의 오실레이션 전압은 0.2V로써, 저감 커패시터(500)의 전압이 감소한 것을 확인할 수 있다.
- [0055] 도 13은 본 발명의 다른 실시예에 따른 보상 커패시터의 위치를 설명하기 위하여 제공되는 도이다.
- [0056] 도 13(a)을 참조하면, 보상 커패시터 C_{comp} 는 제1 쉘드 권선 N_{sh1} 과 2차 권선 N_s 사이에 배치될 수 있다. 보다 구체적으로 보상 커패시터 C_{comp} 는 제1 쉘드 권선 N_{sh1} 의 도트 측의 부분과 2차 권선 N_s 의 도트 측의 부분을 연결할 수 있다.
- [0057] 또한, 도 13(b)을 참조하면, 보상 커패시터 C_{comp} 는 제1 1차 권선 N_{p1} 과 2차 권선 N_s 사이에 배치될 수 있다. 보다 구체적으로 보상 커패시터 C_{comp} 는 제1 1차 권선 N_{p1} 의 도트 측의 부분과 2차 권선 N_s 의 도트 측의 부분을 연결할 수 있다.
- [0058] 도 14는 도 13의 실시예에 따른 시뮬레이션 그래프이다. 도 14(a)는 보상 커패시터 C_{comp} 를 구비하지 않은 경우의 저감 커패시터(500)의 전압 그래프이고, 도 14(b)는 보상 커패시터 C_{comp} 를 구비한 경우의 저감 커패시터(500)의 그래프이다.
- [0059] 도 14(a) 및 14(b)를 비교하면, 보상 커패시터 C_{comp} 를 구비하지 않은 경우에 저감 커패시터(500)의 오실레이션 전압은 1.73V이나, 보상 커패시터 C_{comp} 를 구비한 경우에 저감 커패시터(500)의 오실레이션 전압은 0.51V로써, 저감 커패시터(500)의 전압이 감소한 것을 확인할 수 있다.
- [0060] 이상에서 본 발명이 구체적인 구성요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나, 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명이 상기 실시예들에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형을 꾀할 수 있다.
- [0061] 따라서, 본 발명의 사상은 상기 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등하게 또는 등가적으로 변형된 모든 것들은 본 발명의 사상의 범주에 속한다고 할 것이다.

부호의 설명

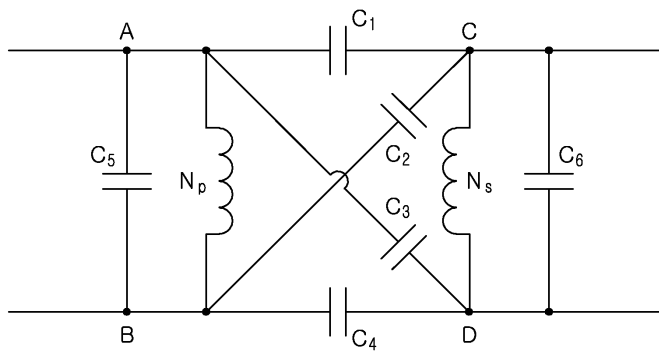
- [0062] 100: 필터부
200: 정류부
300: 트랜스포머
400: 스위치
500: 저감 커패시터

도면

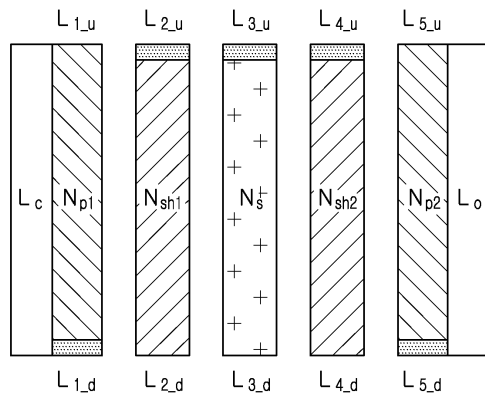
도면1



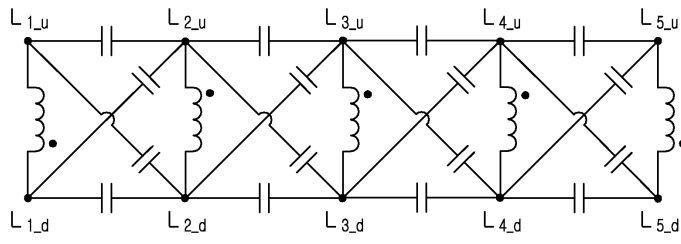
도면2



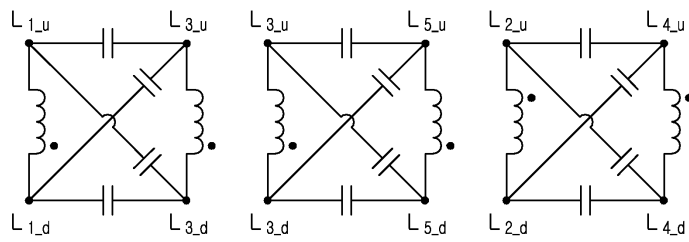
도면3



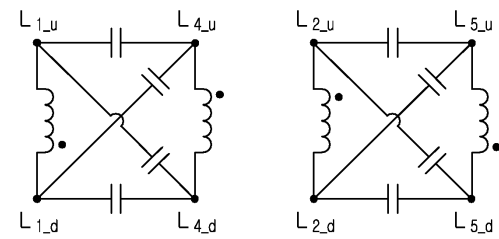
도면4



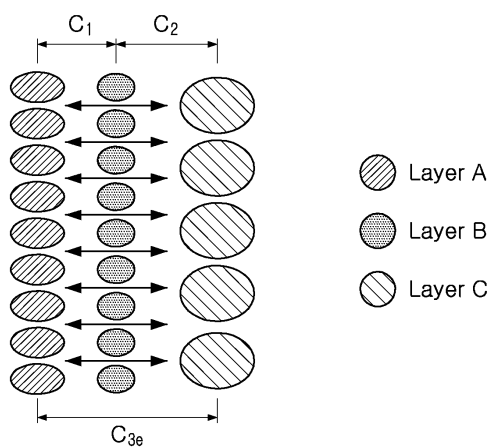
도면5



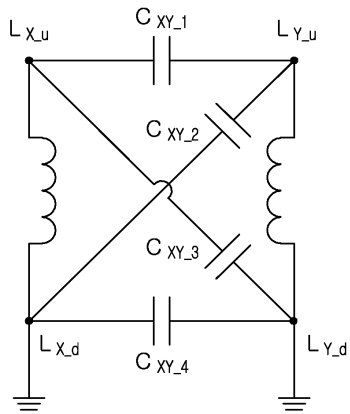
도면6



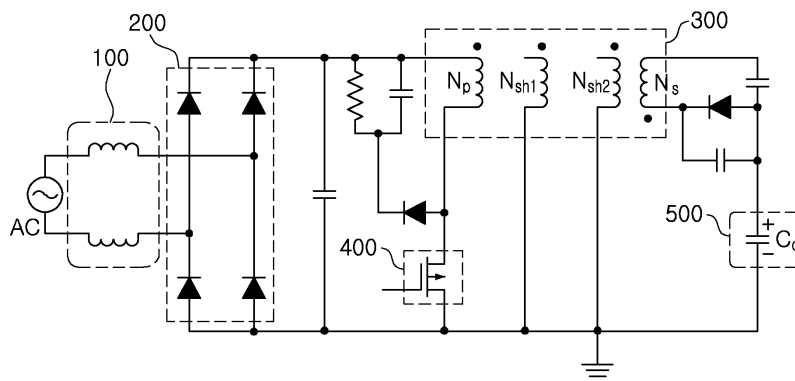
도면7



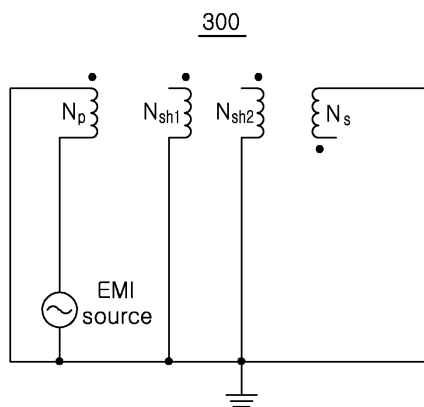
도면8



도면9

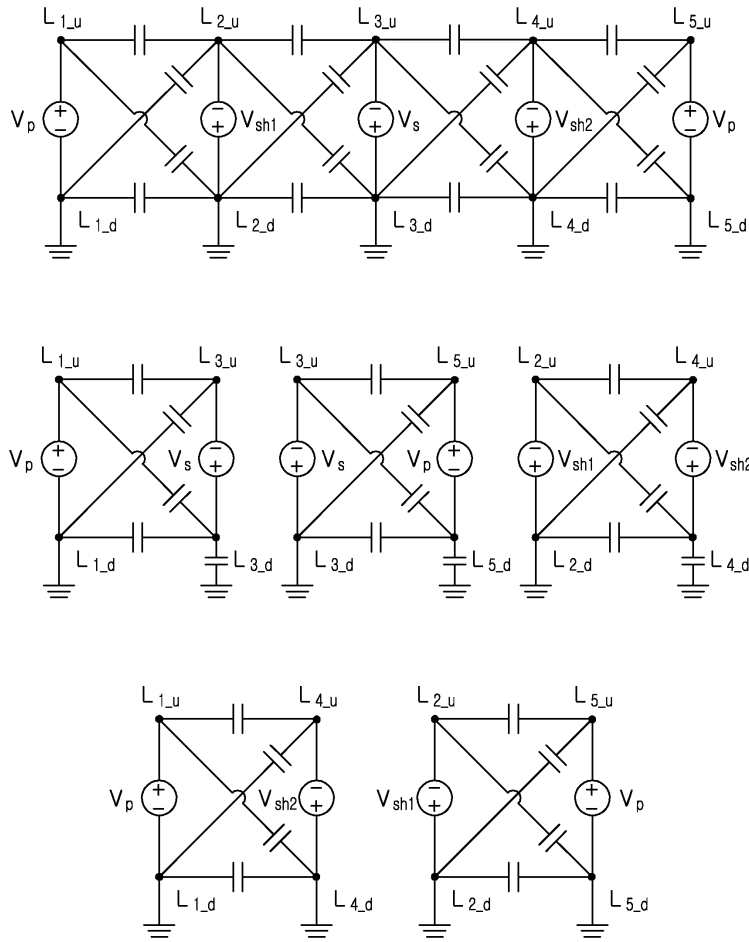


(a)

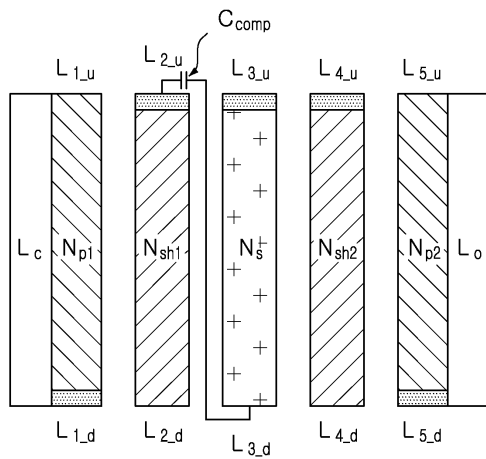


(b)

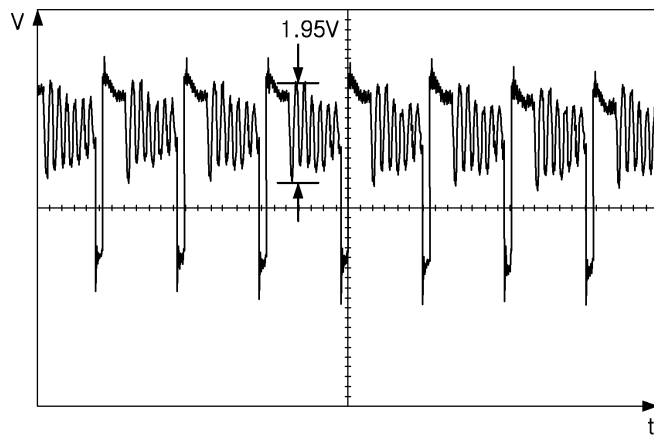
도면10



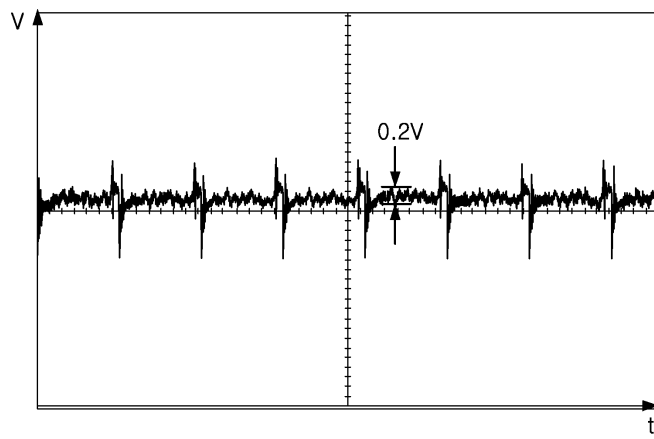
도면11



도면12

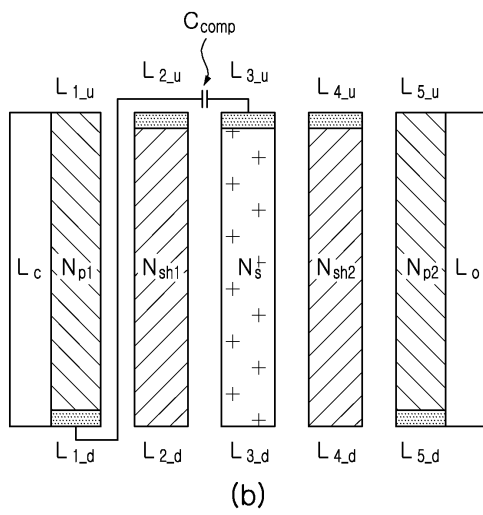
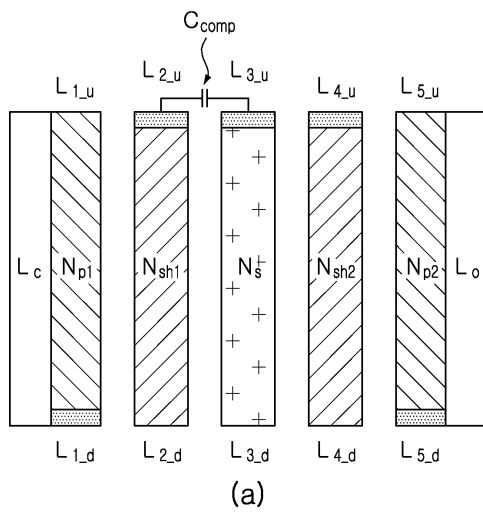


(a)

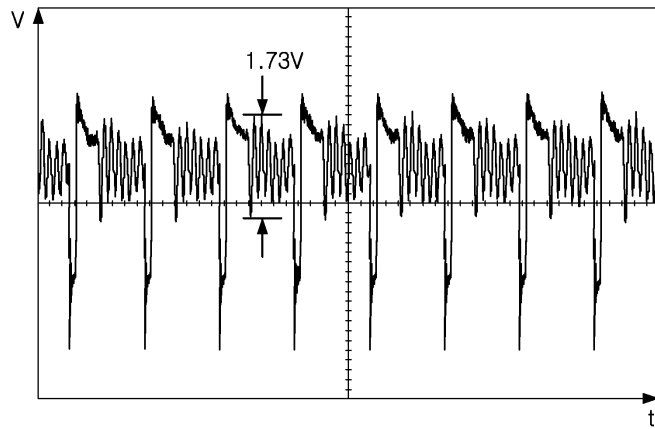


(b)

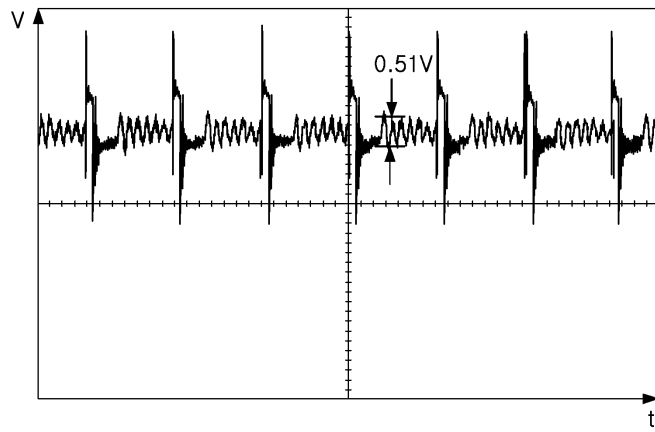
도면13



도면14



(a)



(b)