



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월17일
(11) 등록번호 10-1420695
(24) 등록일자 2014년07월11일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
(21) 출원번호 10-2013-0004824
(22) 출원일자 2013년01월16일
심사청구일자 2013년01월16일
(56) 선행기술조사문헌
JP2007027373 A*
JP05206412 A
JP06005871 A
KR1020040025242 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
계명대학교 산학협력단
대구광역시 달서구 달구벌대로 1095 (신당동)
(72) 발명자
채용웅
대구광역시 달서구 달서대로 719 한화꿈에그린아파트 105동 502호
(74) 대리인
김건우

전체 청구항 수 : 총 17 항

심사관 : 방기인

(54) 발명의 명칭 지역전계강화 더블 폴리 이이피롬

(57) 요약

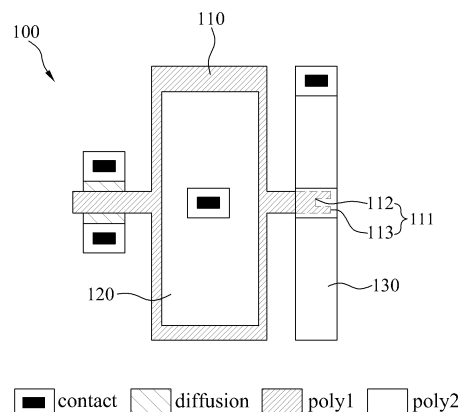
본 발명은 지역전계강화 더블 폴리 이이피롬에 관한 것으로서, 보다 구체적으로는 더블 폴리 이이피롬에 있어서, 전하를 저장하는 전하 주입 영역인 부유 게이트(floating gate); 상기 부유 게이트의 상부에 중첩되도록 형성되는 컨트롤 게이트(control gate); 및 상기 컨트롤 게이트와 이격되게 형성되며, 상기 부유 게이트와 연결 접합되는 인젝터(injector)를 포함하되, 상기 부유 게이트는, 전자의 유입 및 유출되는 방향으로 전계의 세기가 증가되도록 하는 돌출 구조를 갖는 돌출부를 형성하는 것을 그 구성상의 특징으로 한다.

본 발명에서 제안하고 있는 지역전계강화 더블 폴리 이이피롬에 따르면, 더블 폴리 이이피롬을 구성함에 있어, 프로그래밍 전압의 전위를 낮춰줄 수 있도록 부유 게이트가 돌출 구조를 갖도록 구성함으로써, 쓰기 및 소거 동작 시에 낮은 전압에서 F-N 터널링이 발생되도록 하는 전압 강하 효과를 유도하고, 전압 강하 유도 효과를 통해 시스템의 수명이 연장되며, 주변의 회로에 가해지는 스트레스를 줄여 안정적 회로의 동작에 기여할 수 있도록 할 수 있다.

또한, 본 발명에 따르면, 이이피롬 셀의 변형된 부유 게이트의 돌출 구조 설계를 통해 프로그래밍 전압이 낮아짐으로써, 터널 산화막에 가해지는 스트레스가 줄어들게 되어 셀의 retention 특성이 강화되고, 향후에 플래시 메모리가 하드디스크를 대체하기 위해 프로그램 횟수를 늘리고 retention 특성을 개선하기 위한 필수 요건을 만족하도록 할 수 있다.

뿐만 아니라, 본 발명에 따르면, 돌출 구조를 갖는 부유 게이트를 구비하는 더블 폴리 이이피롬은 전형적인 일반 CMOS 공정에서 제작이 가능하고, 그로 인한 실리콘 일드의 향상과 제작 단가의 절감 효과를 제공할 있도록 할 수 있다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호	B0008866
부처명	지식경제부
연구사업명	예측설계기반 전자화자동차부품지역혁신센터
연구과제명	파워릴레이 전원차단장치
기 여 율	1/1
주관기관	계명대학교 산학협력단
연구기간	2012.03.01 ~ 2013.01.31

특허청구의 범위

청구항 1

더블 폴리 이이피롬(100)에 있어서,

전하를 저장하는 전하 주입 영역인 부유 게이트(110)(floating gate);

상기 부유 게이트(110)의 상부에 중첩되도록 형성되는 컨트롤 게이트(120)(control gate); 및

상기 컨트롤 게이트(120)와 이격되게 형성되며, 상기 부유 게이트(110)와 연결 접합되는 인젝터(130)(injector)를 포함하되,

전자의 유입 및 유출되는 방향으로 전계의 세기가 증가되도록 하는 돌출 구조를 갖는 돌출부(111)를 형성하되, 상기 돌출부(111)의 돌출 구조는 터널 전류가 흐르는 곳에서 전계가 증가하고, 쓰기와 소거 동작 시에 요구되는 프로그래밍 전압이 감소하는 “ㄷ”자 형태의 구조로 구성하고,

상기 부유 게이트(110)와 인젝터(130)의 결합은,

상기 인젝터(130)가 상기 컨트롤 게이트(120)와 동일 층으로 형성되고, 상기 컨트롤 게이트(120)와 중첩된 영역의 외부로 연장된 상기 부유 게이트(110)의 연장부가 상기 인젝터(130)와 중첩되어 있는 상태에서, 상기 부유 게이트(110)의 연장부 말단에 형성된 “ㄷ”자 형태의 돌출부(111)가 상기 인젝터(130)와 중첩된 영역에서 인젝터(130)의 내부에 수용되어 함침되는 형태로 구성되는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 돌출부(111)는,

전계 진행 방향의 돌출 구조가 형성하는 각의 크기에 따라 전계의 크기가 반비례하는 원리를 적용하여 구현하는 구조인 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 5

삭제

청구항 6

삭제

청구항 7

제1항에 있어서, 상기 돌출부(111)는,

상기 “ㄷ”자 형태의 돌출 구조로서, 내부 모서리(112)와 외부 모서리(113)로 구성하는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 8

제7항에 있어서, 상기 부유 게이트(110)의 돌출부(111)는,

쓰기 동작의 프로그램에서, 상기 내부 모서리(112)를 통해 상기 인젝터(130)에서 상기 부유 게이트(110) 방향으로 진행되는 전계의 크기가 증가되는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 9

제7항에 있어서, 상기 부유 게이트(110)의 돌출부(111)는,

소거 동작의 프로그램에서, 상기 외부 모서리(113)를 통해 상기 부유 게이트(110)에서 인젝터(130) 방향으로 진행되는 전계의 크기가 강화되는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 10

제1항에 있어서, 상기 더블 폴리 이이피롬(100)은,

F-N(Fowler-Nordheim) 터널링 방식으로 프로그래밍을 수행하는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 11

제1항에 있어서, 상기 더블 폴리 이이피롬(100)은,

핫 전자 주입(HEI: Hot Electron Injection) 방식으로 프로그래밍을 수행하는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 12

제1항, 제4항, 제7항 내지 제11항 중 어느 한 항에 있어서, 상기 더블 폴리 이이피롬(100)은,

MOSIS(Metal Oxide Semiconductor Implementation Services)의 1.2 μ m 더블 폴리 CMOS(Complementary metal-oxide semiconductor)의 공정으로 제작되는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 13

제12항에 있어서, 상기 더블 폴리 이이피롬(100)은,

쓰기 동작 시에 13[V]의 프로그래밍 전압으로 F-N 터널링이 발생하는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 14

제13항에 있어서, 상기 더블 폴리 이이피롬(100)은,

소거 동작 시에 10.4[V]의 프로그래밍 전압으로 F-N 터널링이 발생하는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 15

제12항에 있어서, 상기 더블 폴리 이이피롬(100)은,

상기 부유 게이트(110)의 양측 하부의 반도체 기관(140)에는 불순물로 도핑된 소오스(source) 및 드레인(drain) 영역(141)이 형성되는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 16

제12항에 있어서, 상기 더블 폴리 이이피롬(100)은,

상기 부유 게이트(110)와 반도체 기관(140) 상에 형성된 채널 영역(142) 사이에 게이트 산화막(143)을 중간층으로 더 형성하는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 17

제16항에 있어서, 상기 게이트 산화막(143)은,

터널 산화막으로 기능되는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 18

제16항에 있어서, 상기 게이트 산화막(143)은,

100Å의 막 두께로 이루어지는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 19

제12항에 있어서, 상기 더블 폴리 이이피롬(100)은,

상기 부유 게이트(110)와 컨트롤 게이트(120) 사이에 유전층(144)을 더 형성하는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 20

제19항에 있어서, 상기 유전층(144)은,

층간 절연물질로서 산화막으로 형성되는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

청구항 21

제19항에 있어서, 상기 유전층(144)은,

층간 절연물질로서 ONO(Oxide-Nitride-Oxide) 막으로 형성되는 것을 특징으로 하는, 지역전계강화 더블 폴리 이이피롬.

명세서

기술분야

[0001] 본 발명은 이이피롬(EEPROM: Electrically Erasable Programmable Read Only Memory)에 관한 것으로서, 보다 구체적으로는 전자가 유입 및 유출되는 방향으로 전계의 세기가 증가될 수 있도록 부유 게이트에 돌출 구조를 형성하는 지역전계강화 더블 폴리 이이피롬에 관한 것이다.

배경기술

[0002] 일반적으로 비휘발성 메모리(non volatile memory)는, 게이트로 작용하는 다결정(poly) 실리콘층이 단일 층인

단일 폴리 이이피롬(single poly EEPROM), 두 개의 다결정 실리콘층이 수직으로 적층된 적층 게이트(stack gate, ETOX), 단일 폴리 EEPROM과 적층 게이트의 중간에 해당하는 듀얼 폴리(dual poly) EEPROM 및 분리 게이트(split gate) 등의 종류가 있다. 통상 EEPROM(Electrically Erasable Programmable Read Only Memory)은 전기적으로 소거와 쓰기가 가능하며 전원 전압이 오프 되어도 데이터가 보존되며, 터널링(Tunneling)을 이용하여 전기적으로 소거(Erase)와 프로그래밍(Programming)이 가능하기 때문에 사용자가 정보 변경이 가능하다.

[0003] 도 1은 기존의 더블 폴리 이이피롬의 평면도 구조를 도시한 도면이고, 도 2는 도 1에 따른 더블 폴리 이이피롬의 요부 사시도를 도시한 도면이다. 도 1 및 도 2에 도시된 바와 같이, 종래의 더블 폴리 이이피롬(10)은, 전하를 저장하는 부유 게이트(11)와, 부유 게이트(11)의 상부에 형성되는 컨트롤 게이트(12), 및 부유 게이트(11)와 연결 접합되는 인젝터(13)를 포함하여 구성될 수 있다. 이와 같이 도 1 및 도 2에 도시된 더블 폴리 이이피롬(10)은, Thomsen에 의해 제안된 구조로서, F-N 터널링을 위한 지역전계강화 효과는 단순히 폴리실리콘(polysilicon)-SiO₂ 접합부의 에스페리티(asperity)라 불리는 거친 표면만을 이용하는 구조로 구성된다.

[0004] 즉, 아날로그 메모리의 기본 셀인 EEPROM에 정보를 저장한다는 것은 미세한 양의 전하를 부유게이트(11)에 주입시키거나 제거함으로써 특정 양의 전하를 부유게이트(11)에 존속 보관시키는 것을 의미한다. 이와 같은 부유게이트(11) 전하량의 조절은 F-N 터널 전류를 이용하여 전자를 SiO₂를 통하여 부유게이트(11)에 넣고 빼는 동작을 통하여 이루어진다. 그러나 실리콘을 통해 전자를 부유게이트(11)로 이동시키는 데에는 매우 높은 전위가 요구되고, 이때의 높은 전압은 junction이나 oxide breakdown, 그리고 실리콘층에 charge trapping 등의 문제를 발생시키게 된다.

[0005] 상기와 같은 종래의 더블 폴리 이이피롬의 구조는, 높은 프로그래밍 전압으로 인해 EEPROM 셀의 데이터 retention 특성을 열화시키는 문제가 있으며, 반복되는 프로그래밍으로 인해 터널 산화막의 특성이 변화되어 부유 게이트에 있는 보존되어야 할 데이터가 소실되는 등 회로의 불안정한 동작이 야기되는 문제가 있었다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 기존에 제안된 방법들의 상기와 같은 문제점들을 해결하기 위해 제안된 것으로서, 더블 폴리 이이피롬을 구성함에 있어, 프로그래밍 전압의 전위를 낮춰줄 수 있도록 부유 게이트가 돌출 구조를 갖도록 구성함으로써, 쓰기 및 소거 동작 시에 낮은 전압에서 F-N 터널링이 발생되도록 하는 전압 강화 효과를 유도하고, 전압 강화 유도 효과를 통해 시스템의 수명이 연장되며, 주변의 회로에 가해지는 스트레스를 줄여 안정적 회로의 동작에 기여할 수 있도록 하는, 지역전계강화 더블 폴리 이이피롬을 제공하는 것을 그 목적으로 한다.

[0007] 또한, 본 발명은, 이이피롬 셀의 변형된 부유 게이트의 돌출 구조 설계를 통해 프로그래밍 전압이 낮아짐으로써, 터널 산화막에 가해지는 스트레스가 줄어들게 되어 셀의 retention 특성이 강화되고, 향후에 플래시 메모리가 하드디스크를 대체하기 위해 프로그램 횟수를 늘리고 retention 특성을 개선하기 위한 필수 요건을 만족하도록 하는, 지역전계강화 더블 폴리 이이피롬을 제공하는 것을 또 다른 목적으로 한다.

[0008] 뿐만 아니라, 본 발명은, 돌출 구조를 갖는 부유 게이트를 구비하는 더블 폴리 이이피롬은 전형적인 일반 CMOS 공정에서 제작이 가능하고, 그로 인한 실리콘 일드의 향상과 제작 단가의 절감 효과를 제공할 있도록 하는, 지역전계강화 더블 폴리 이이피롬을 제공하는 것을 또 다른 목적으로 한다.

과제의 해결 수단

[0009] 상기한 목적을 달성하기 위한 본 발명의 특징에 따른 지역전계강화 더블 폴리 이이피롬은,

[0010] 더블 폴리 이이피롬에 있어서,

- [0011] 전하를 저장하는 전하 주입 영역인 부유 게이트(floating gate);
- [0012] 상기 부유 게이트의 상부에 중첩되도록 형성되는 컨트롤 게이트(control gate); 및
- [0013] 상기 컨트롤 게이트와 이격되게 형성되며, 상기 부유 게이트와 연결 접합되는 인젝터(injector)를 포함하되,
- [0014] 상기 부유 게이트는,
- [0015] 전자의 유입 및 유출되는 방향으로 전계의 세기가 증가되도록 하는 돌출 구조를 갖는 돌출부를 형성하는 것을 그 구성상의 특징으로 한다.
- [0016] 바람직하게는, 상기 부유 게이트는,
- [0017] 상기 돌출부의 돌출 구조를 통해 터널 전류가 흐르는 곳에서 전계의 크기를 극대화시킬 수 있다.
- [0018] 바람직하게는, 상기 부유 게이트는,
- [0019] 상기 돌출부의 돌출 구조를 통해 쓰기와 소거 동작 시에 요구되는 프로그래밍 전압을 최소화할 수 있다.
- [0020] 바람직하게는, 상기 돌출부는,
- [0021] 전계 진행 방향의 돌출 구조가 형성하는 각의 크기에 따라 전계의 크기가 반비례하는 원리를 적용하여 구현하는 구조로 구성할 수 있다.
- [0022] 바람직하게는, 상기 부유 게이트는,
- [0023] 상기 돌출부의 돌출 구조를 “ㄷ” 자 형태의 구조로 구성할 수 있다.
- [0024] 더욱 바람직하게는, 상기 부유 게이트와 인젝터의 결합은,
- [0025] 상기 부유 게이트의 “ㄷ” 자 형태의 돌출 구조를 갖는 돌출부가 상기 인젝터의 내부에 수용되어 함침되는 형태로 구성될 수 있다.
- [0026] 더욱 바람직하게는, 상기 돌출부는,
- [0027] 상기 “ㄷ” 자 형태의 돌출 구조로서, 내부 모서리와 외부 모서리로 구성할 수 있다.
- [0028] 더욱더 바람직하게는, 상기 부유 게이트의 돌출부는,
- [0029] 쓰기 동작의 프로그램에서, 상기 내부 모서리를 통해 상기 인젝터에서 상기 부유 게이트 방향으로 진행되는 전계의 크기가 증가되도록 할 수 있다.
- [0030] 더욱더 바람직하게는, 상기 부유 게이트의 돌출부는,
- [0031] 소거 동작의 프로그램에서, 상기 외부 모서리를 상기 부유 게이트에서 인젝터 방향으로 진행되는 전계의 크기가 강화되도록 할 수 있다.
- [0032] 바람직하게는, 상기 더블 폴리 이이피층은,

- [0033] F-N(Fowler-Nordheim) 터널링 방식으로 프로그래밍을 수행할 수 있다.
- [0034] 바람직하게는, 상기 더블 폴리 이이피롬은,
- [0035] 핫 전자 주입(HEI:Hot Electron Injection) 방식으로 프로그래밍을 수행할 수 있다.
- [0036] 바람직하게는, 상기 더블 폴리 이이피롬은,
- [0037] MOSIS(Metal Oxide Semiconductor Implementation Services)의 1.2 μ m 더블 폴리 CMOS(Complementary metal-oxide semiconductor)의 공정으로 제작될 수 있다.
- [0038] 더욱 바람직하게는, 상기 더블 폴리 이이피롬은,
- [0039] 쓰기 동작 시에 13[V]의 프로그래밍 전압으로 F-N 터널링이 발생되도록 할 수 있다.
- [0040] 더욱더 바람직하게는, 상기 더블 폴리 이이피롬은,
- [0041] 소거 동작 시에 10.4[V]의 프로그래밍 전압으로 F-N 터널링이 발생되도록 할 수 있다.
- [0042] 더욱 바람직하게는, 상기 더블 폴리 이이피롬은,
- [0043] 상기 부유 게이트의 양측 하부의 반도체 기판에는 불순물로 도핑된 소오스(source) 및 드레인(drain) 영역이 형성될 수 있다.
- [0044] 더욱 바람직하게는, 상기 더블 폴리 이이피롬은,
- [0045] 상기 부유 게이트와 반도체 기판상에 형성된 채널 영역 사이에 게이트 산화막을 중간층으로 더 형성할 수 있다.
- [0046] 더욱더 바람직하게는, 상기 게이트 산화막은,
- [0047] 터널 산화막으로 기능되도록 할 수 있다.
- [0048] 더욱더 바람직하게는, 상기 게이트 산화막은,
- [0049] 100Å의 막 두께로 이루어질 수 있다.
- [0050] 더욱 바람직하게는, 상기 더블 폴리 이이피롬은,
- [0051] 상기 부유 게이트와 컨트롤 게이트 사이에 유전층을 더 형성할 수 있다.
- [0052] 더욱더 바람직하게는, 상기 유전층은,
- [0053] 층간 절연물지로서 산화막으로 형성될 수 있다.
- [0054] 더욱더 바람직하게는, 상기 유전층은,
- [0055] 층간 절연물지로서 ONO(Oxide-Nitride-Oxide) 막으로 형성될 수 있다.

발명의 효과

[0056] 본 발명에서 제안하고 있는 지역전계강화 더블 폴리 이이피롬에 따르면, 더블 폴리 이이피롬을 구성함에 있어, 프로그래밍 전압의 전위를 낮춰줄 수 있도록 부유 게이트가 돌출 구조를 갖도록 구성함으로써, 쓰기 및 소거 동작 시에 낮은 전압에서 F-N 터널링이 발생되도록 하는 전압 강하 효과를 유도하고, 전압 강하 유도 효과를 통해 시스템의 수명이 연장되며, 주변의 회로에 가해지는 스트레스를 줄여 안정적 회로의 동작에 기여할 수 있도록 할 수 있다.

[0057] 또한, 본 발명에 따르면, 이이피롬 셀의 변형된 부유 게이트의 돌출 구조 설계를 통해 프로그래밍 전압이 낮아짐으로써, 터널 산화막에 가해지는 스트레스가 줄어들게 되어 셀의 retention 특성이 강화되고, 향후에 플래시 메모리가 하드디스크를 대체하기 위해 프로그램 횟수를 늘리고 retention 특성을 개선하기 위한 필수 요건을 만족하도록 할 수 있다.

[0058] 뿐만 아니라, 본 발명에 따르면, 돌출 구조를 갖는 부유 게이트를 구비하는 더블 폴리 이이피롬은 전형적인 일반 CMOS 공정에서 제작이 가능하고, 그로 인한 실리콘 일드의 향상과 제작 단가의 절감 효과를 제공할 있도록 할 수 있다.

도면의 간단한 설명

[0059] 도 1은 기존의 더블 폴리 이이피롬의 평면도 구조를 도시한 도면.
 도 2는 도 1에 따른 더블 폴리 이이피롬의 요부 사시도를 도시한 도면.
 도 3은 본 발명의 일실시예에 따른 지역전계강화 더블 폴리 이이피롬의 평면도 구조를 도시한 도면.
 도 4는 도 3에 따른 지역전계강화 더블 폴리 이이피롬의 요부 사시도를 도시한 도면.
 도 5는 본 발명의 일실시예에 따른 지역전계강화 더블 폴리 이이피롬의 단면 구성을 일례로 도시한 도면.
 도 6은 본 발명의 일실시예에 따른 지역전계강화 더블 폴리 이이피롬의 쓰기 동작 시에 F-N 터널링을 일으키는 프로그래밍 전압과 전류 밀도와의 관계를 그래프로 도시한 도면.
 도 7은 본 발명의 일실시예에 따른 지역전계강화 더블 폴리 이이피롬의 소거 동작 시에 F-N 터널링을 일으키는 프로그래밍 전압과 전류 밀도와의 관계를 그래프로 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0060] 이하, 첨부된 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 바람직한 실시예를 상세히 설명한다. 다만, 본 발명의 바람직한 실시예를 상세하게 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다. 또한, 유사한 기능 및 작용을 하는 부분에 대해서는 도면 전체에 걸쳐 동일한 부호를 사용한다.

[0061] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 ‘연결’되어 있다고 할 때, 이는 ‘직접적으로 연결’되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 ‘간접적으로 연결’되어 있는 경우도 포함한다. 또한, 어떤 구성요소를 ‘포함’한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.

[0062] 도 3은 본 발명의 일실시예에 따른 지역전계강화 더블 폴리 이이피롬의 평면도 구조를 도시한 도면이고, 도 4는 도 3에 따른 지역전계강화 더블 폴리 이이피롬의 요부 사시도를 도시한 도면이며, 도 5는 본 발명의 일실시예에 따른 지역전계강화 더블 폴리 이이피롬의 단면 구성을 일례로 도시한 도면이다. 도 1 내지 도 3에 도시된 바와 같이, 본 발명의 일실시예에 따른 지역전계강화 더블 폴리 이이피롬(100)은, 부유 게이트(110), 컨트롤 게이트(120), 및 인젝터(130)를 포함하여 구성될 수 있으며, 반도체 기판(140), 소오스 및 드레인 영역(141), 채널 영

역(142), 게이트 산화막(143), 및 유전층(144)을 더 포함하여 구성될 수 있다.

[0063] 더블 폴리 이이피롬(100)은, 아날로그 메모리의 기본 셀로서, 전하를 저장하는 전하 주입 영역인 부유 게이트(110)(floating gate)와, 부유 게이트(110)의 상부에 증착되도록 형성되는 컨트롤 게이트(120)(control gate)와, 컨트롤 게이트(120)와 이격되게 형성되며, 부유 게이트(110)와 연결 접합되는 인젝터(130)(injector)를 포함하며, 부유 게이트(110)는 전자의 유입 및 유출되는 방향으로 전계의 세기가 증가되도록 하는 돌출 구조를 갖는 돌출부(111)를 형성한다. 여기서, 돌출부(111)의 돌출 구조는 터널 전류가 흐르는 곳에서 전계가 증가하고, 쓰기와 소거 동작 시에 요구되는 프로그래밍 전압이 감소하는 “ㄷ”자 형태의 구조로 구성한다. 이때, 부유 게이트(110)와 인젝터(130)의 결합은 인젝터(130)가 컨트롤 게이트(120)와 동일 층(부유 게이트의 상부층)으로 형성되고, 컨트롤 게이트(120)와 증착된 영역의 외부로 연장된 부유 게이트(110)의 연장부가 인젝터(130)와 중첩되어 있는 상태에서, 부유 게이트(110)의 연장부 말단에 형성된 “ㄷ”자 형태의 돌출부(111)가 인젝터(130)와 증착된 영역에서 인젝터(130)의 내부에 수용되어 함침되는 형태로 구성될 수 있다.

[0064] 부유 게이트(110)는, 돌출부(111)의 돌출 구조를 통해 터널 전류가 흐르는 곳에서 전계의 크기를 극대화시키고, 돌출부(111)의 돌출 구조를 통해 쓰기와 소거 동작 시에 요구되는 프로그래밍 전압을 최소화할 수 있다. 이때, 돌출부(111)는 전계 진행 방향의 돌출 구조가 형성하는 각의 크기에 따라 전계의 크기가 반비례하는 원리를 적용하여 구현하는 구조로 구성된다. 이러한 부유 게이트(110)는 돌출부(111)의 돌출 구조를 “ㄷ”자 형태의 구조로 구성하며, 부유 게이트(110)와 인젝터(130)의 결합을 보면, 부유 게이트(110)의 “ㄷ”자 형태의 돌출 구조를 갖는 돌출부(111)가 인젝터(130)의 내부에 수용되어 함침되는 형태로 구성된다.

[0065] 돌출부(111)는, “ㄷ”자 형태의 돌출 구조로서, 내부 모서리(112)와 외부 모서리(113)로 구성된다. 즉, 도 4에 도시된 바와 같이, 돌출부(111)의 돌출 구조에서 A와 B의 모서리 부분을 내부 모서리(112)로 정의하고, C와 D의 모서리 및 E와 F의 모서리를 외부 모서리(113)로 정의한다. 이러한 부유 게이트(110)의 돌출부(111)는 쓰기 동작의 프로그램에서, 내부 모서리(112), 즉 A와 B 지점의 모서리 부분을 통해 인젝터(130)에서 부유 게이트(110) 방향으로 진행되는 전계의 크기가 증가되도록 한다. 또한, 부유 게이트(110)의 돌출부(111)는 소거 동작의 프로그램에서, 외부 모서리(113), 즉 C와 D(E와 F) 지점의 모서리 부분을 통해 부유 게이트(110)에서 인젝터(130) 방향으로 진행되는 전계의 크기가 강화되도록 할 수 있다.

[0066] 돌출부(111)를 구비하는 부유 게이트(110)와 컨트롤 게이트(120)와 인젝터(130)를 구비하는 더블 폴리 이이피롬(100)은, F-N(Fowler-Nordheim) 터널링 방식으로 프로그래밍을 수행할 수 있다. 이 외에도 더블 폴리 이이피롬(100)은 핫 전자 주입(HEI: Hot Electron Injection) 방식으로 프로그래밍을 수행할 수도 있다.

[0067] 더블 폴리 이이피롬(100)은, 특별한 추가 공정을 필요로 하지 않기 때문에 MOSIS(Metal Oxide Semiconductor Implementation Services)의 1.2 μ m 더블 폴리 CMOS(Complementary metal-oxide semiconductor)의 공정으로 제작될 수 있다. 더블 폴리 이이피롬(100)은 쓰기 동작 시에 13[V]의 프로그래밍 전압으로 F-N 터널링이 발생되도록 구현할 수 있으며, 소거 동작 시에 10.4[V]의 프로그래밍 전압으로 F-N 터널링이 발생되도록 구현될 수 있다.

[0068] 한편, 더블 폴리 이이피롬(100)은 도 5에 도시된 바와 같이, 부유 게이트(110)의 양측 하부의 반도체 기판(140)에는 불순물로 도핑된 소오스(source) 및 드레인(drain) 영역(141)을 형성할 수 있다. 더블 폴리 이이피롬(100)은, 부유 게이트(110)와 반도체 기판(140) 상에 형성된 채널 영역(142) 사이에 게이트 산화막(143)을 중간층으로 더 형성할 수 있다. 여기서, 게이트 산화막(143)은 터널 산화막으로 기능될 수 있으며, 게이트 산화막(143)은 100Å의 얇은 막 두께로 이루어질 수 있다. 또한, 더블 폴리 이이피롬(100)은 부유 게이트(110)와 컨트롤 게이트(120) 사이에 유전층(144)을 더 형성할 수 있으며, 이러한 유전층(144)은 층간 절연물지로서 산화막으로 형성되거나, 층간 절연물질로서 ONO(Oxide-Nitride-Oxide) 막으로 형성될 수 있다.

[0069] 도 6은 본 발명의 일실시예에 따른 지역전계강화 더블 폴리 이이피롬의 쓰기 동작 시에 F-N 터널링을 일으키는 프로그래밍 전압과 전류 밀도와의 관계를 그래프로 도시한 도면이고, 도 7은 본 발명의 일실시예에 따른 지역전계강화 더블 폴리 이이피롬의 소거 동작 시에 F-N 터널링을 일으키는 프로그래밍 전압과 전류 밀도와의 관계를 그래프로 도시한 도면이다. 도 6 및 도 7에는 Thomsen에 의해 제안된 기존의 더블 폴리 이이피롬(poly-poly EEPROM)과 본 발명에 따른 개선된 구조를 갖는 지역전계강화 더블 폴리 이이피롬의 F-N 터널링을 일으키는 프로그래밍 전압과 전류 밀도와의 관계를 비교할 수 있도록 하는 그래프를 나타내며, 타입 1(type 1)은 종래의 기존 구조로 하고, 타입 2(type 2)는 본 발명의 개선된 구조로 한다.

[0070] 앞서 설명한 바와 같이, 본 발명의 더블 폴리 이이피롬(100)에서는 쓰기 동작의 프로그램에서, 도 4에 도시된 a와 b에 위치한 모서리인 내부 모서리(112)에 의해 인젝터(130)에서 부유게이트(110) 방향으로 진행되는 전계의 크기가 증가하게 되고, 반대로 소거 동작에서는 c와 d에 위치한 모서리인 외부 모서리(113)에 의해 부유게이트(110)에서 인젝터(130) 방향으로 진행되는 전계의 크기가 강화된다. 이러한 지역전계강화 구조에 의해 동일 전원 조건에서 제안된 이이피롬의 셀이 기존의 이이피롬의 셀에 비해 보다 큰 전계를 만들어 내게 된다. 따라서 본 발명에 따른 지역전계강화 더블 폴리 이이피롬은 도 1 및 도 2에 도시된 기존의 더블 폴리 이이피롬과 동일한 외부전압이 가하여졌을 경우 더욱 많은 터널링 전자의 이동이 가능하다.

[0071] 도 6은 Thomsen에 의해 제작된 기존의 EEPROM(type 1)과 본 발명에 따른 EEPROM(type 2)에서 쓰기 동작 시에 F-N 터널링을 일으키는 프로그래밍 전압과 전류 밀도와의 관계를 비교하여 나타낸다. 기존의 Thomsen의 이이피롬 셀에서는 쓰기 동작 시에 15.4V(type 1)에서 터널링이 일어나는 반면에, 본 발명에서 제안하는 구조의 이이피롬 셀에서는 터널링이 13V(type 2)에서 일어나고 있다. 따라서 쓰기 동작 시에 두 소자 간의 F-N 터널링을 위한 전위차는 2.4V가 발생하게 된다. 한편, 도 7에 도시된 바와 같이, 소거 동작에서의 F-N 터널링을 위한 프로그래밍 전압과 전류 밀도와의 관계를 보면, 기존의 Thomsen의 셀에서는 11.6V(type 1)에서 터널링이 일어나고 있는 반면에, 본 발명에서 제안하는 구조의 이이피롬 셀에서는 10.4V(type 2)에서 터널링이 일어나는 것을 알 수 있다. 따라서 양자 간의 F-N 터널링을 위한 전위차는 1.2V가 발생하게 된다.

[0072] 상술한 바와 같이, 본 발명의 일실시예에 따른 지역전계강화 더블 폴리 이이피롬은 기존의 Thomsen의 이이피롬 구조에 비해 동일 조건하에서 프로그래밍 전압이 낮아지게 구현될 수 있다. 이를 통해 본 발명에서는 터널 산화막에 가해지는 스트레스가 줄고, 셀의 retention 특성이 강화되며, 향후에 플래시 메모리가 하드디스크를 대체하기 위해 프로그램 횟수를 늘리고 retention 특성을 개선하기 위해 필수적인 요건을 만족시킬 수 있게 된다.

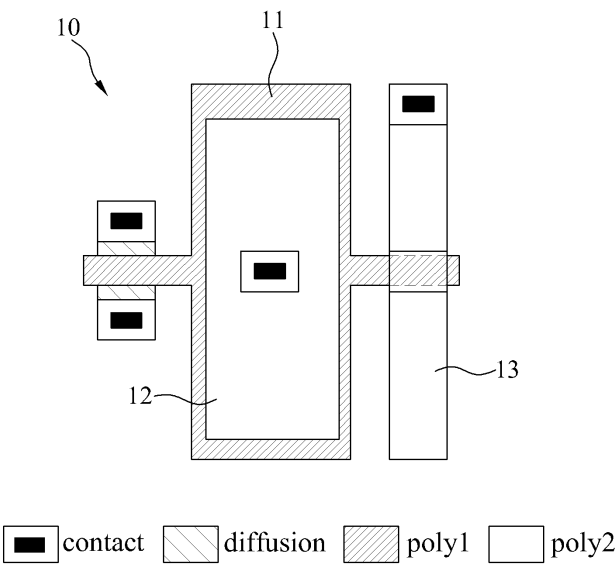
[0073] 이상 설명한 본 발명은 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에 의하여 다양한 변형이나 응용이 가능하며, 본 발명에 따른 기술적 사상의 범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

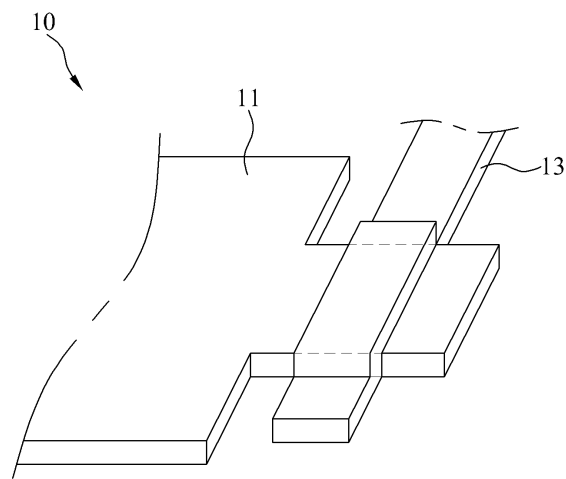
[0074]	100: 더블 폴리 이이피롬	110: 부유 게이트
	111: 돌출부	112: 내부 모서리
	113: 외부 모서리	120: 컨트롤 게이트
	130: 인젝터	140: 반도체 기판
	141: 소오스 및 드레인 영역	142: 채널 영역
	143: 게이트 산화막	144: 유전층

도면

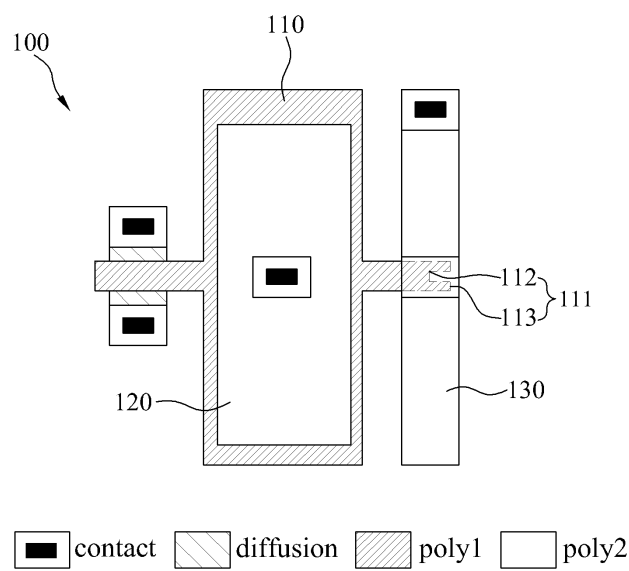
도면1



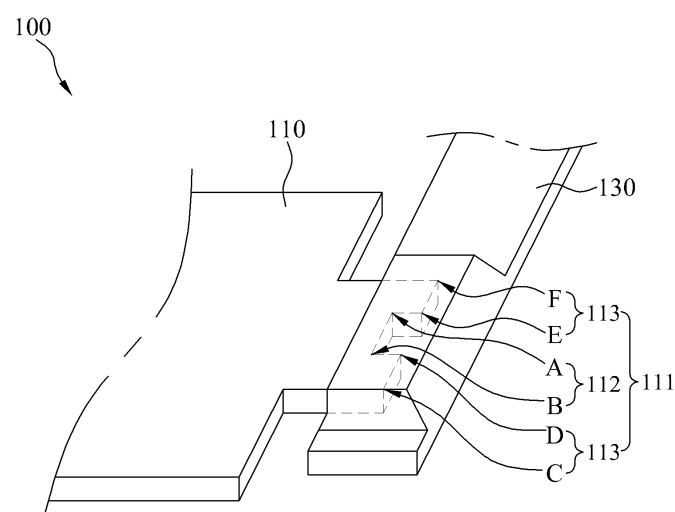
도면2



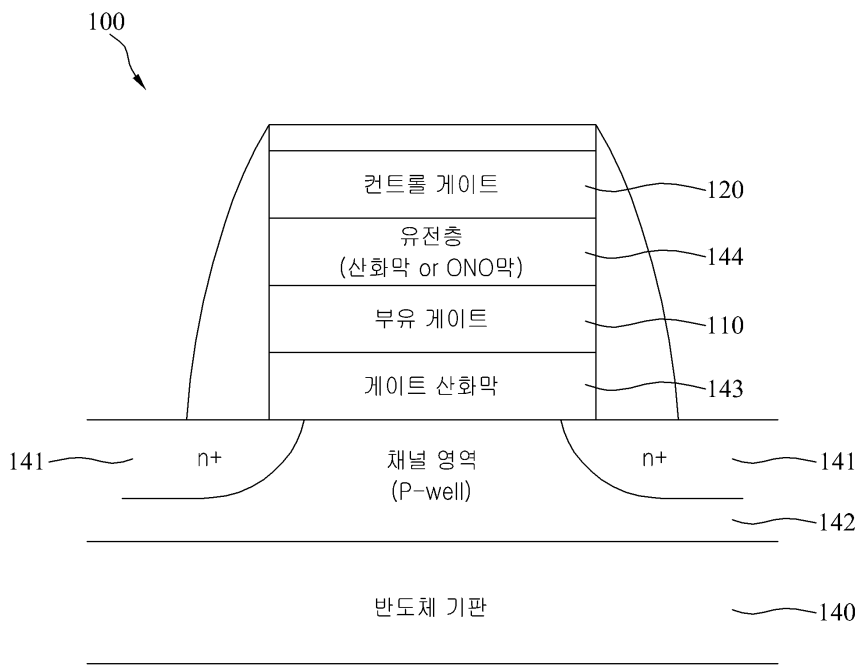
도면3



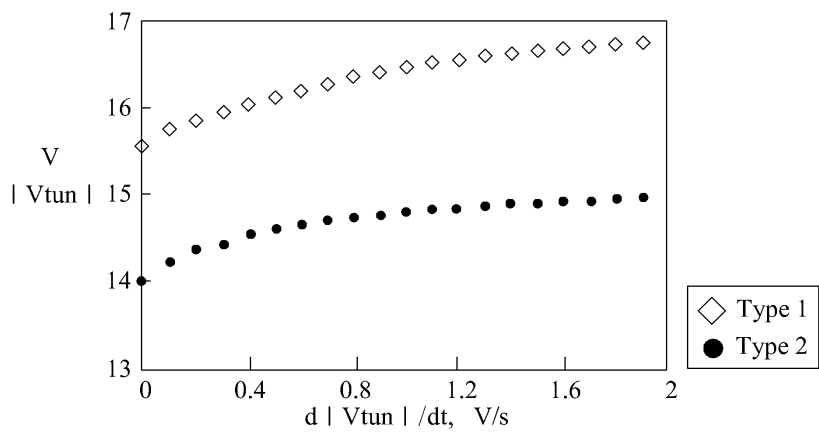
도면4



도면5



도면6



도면7

