

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年2月7日(07.02.2019)



(10) 国際公開番号

WO 2019/026741 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 21/336 (2006.01)
G09F 9/00 (2006.01) H01L 21/768 (2006.01)
G09F 9/30 (2006.01) H01L 23/522 (2006.01)
H01L 21/3065 (2006.01)

(21) 国際出願番号: PCT/JP2018/028001

(22) 国際出願日: 2018年7月26日(26.07.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-150268 2017年8月2日(02.08.2017) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

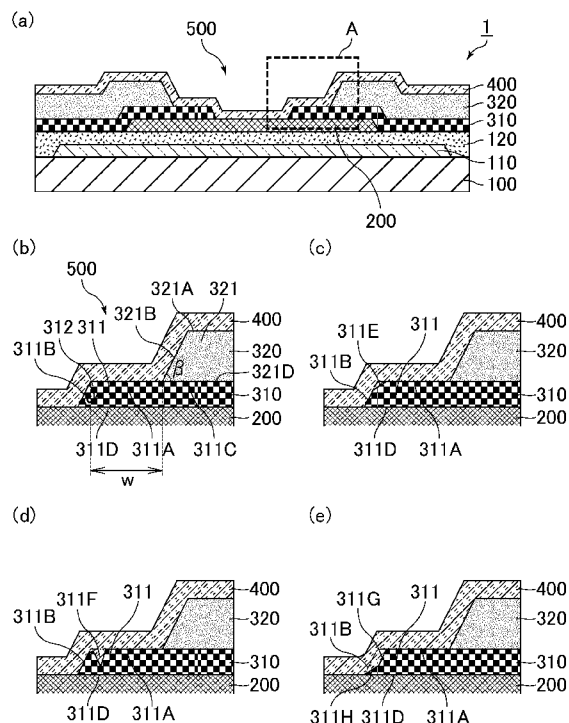
(72) 発明者: 松本 龍児(MATSUMOTO, Ryuji). 近間 義雅(CHIKAMA, Yoshimasa). 古川 弘和(FURUKAWA, Hirokazu).

(74) 代理人: 特許業務法人 安富国際特許事務所(YASUTOMI & ASSOCIATES); 〒5320003 大阪府大阪市淀川区宮原3丁目5番36号 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SUBSTRATE AND METHOD FOR PRODUCING SUBSTRATE

(54) 発明の名称: 基板及び基板の製造方法



(57) Abstract: The present invention provides: a substrate which enables a hole that penetrates a plurality of insulating films to be reduced in size, while exhibiting excellent coverage by and adhesion to an upper layer on the plurality of insulating films in a portion where the hole is formed; and a method for producing this substrate, by which the above-described hole is able to be formed at a time in the above-described plurality of insulating films by means of dry etching. A substrate according to the present invention is sequentially provided with an insulating substrate, a lower layer, a first insulating film, a second insulating film and an upper layer, and is provided with a hole which penetrates at least the first insulating film and the second insulating film and reaches at least one of the lower layer and the insulating substrate. Within the region where the hole is formed, the first insulating film has a projection which protrudes beyond an end of the second insulating film, said end being in contact with the first insulating film; a stepped structure is configured to comprise the projection of the first insulating film and the end of the second insulating film; the upper layer covers the stepped structure; and the upper surface of the projection of the first insulating film and the upper surface of a portion of the first insulating film, said portion being positioned below the end of the second insulating film, are on the same plane.

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 本発明は、複数の絶縁膜を貫通する孔の大きさを縮小でき、かつ、その孔の形成部における複数の絶縁膜上の上層のカバレッジと密着性との優れた基板、及び、上記複数の絶縁膜に上記孔をドライエッチングにより一括形成可能な上記基板の製造方法を提供する。本発明の基板は、絶縁基板と、下層と、第1絶縁膜と、第2絶縁膜と、上層と、を順に備え、少なくとも上記第1絶縁膜及び上記第2絶縁膜を貫通して上記下層及び上記絶縁基板の少なくとも一方に達する孔が設けられ、上記孔が設けられた領域内に、上記第1絶縁膜は、上記第2絶縁膜の、上記第1絶縁膜に接する端部から突出した突出部を有し、上記第1絶縁膜の上記突出部と、上記第2絶縁膜の上記端部とを含んで構成される階段構造が設けられ、上記上層は、上記階段構造を覆い、上記第1絶縁膜の上記突出部の上面と、上記第1絶縁膜の、上記第2絶縁膜の上記端部の下に位置する部分の上面とは、同一平面上にある。

明 細 書

発明の名称：基板及び基板の製造方法

技術分野

[0001] 本発明は、基板及び基板の製造方法に関する。より詳しくは、複数の絶縁膜を有する基板及びその製造方法に関する。

背景技術

[0002] 近年、電子機器には様々な機能が求められており、これに伴い、電子機器で用いられる基板は複雑化している。例えば、液晶表示パネルの高精細化に伴い、薄膜トランジスタ（TFT：Thin Film Transistor）を備えるアクティブマトリクス基板の構造は多層化、複雑化し、それに伴い絶縁層の階層も増加している。

[0003] 複数の層をエッチングすることにより基板を製造する技術として、例えば、特許文献1では、ベース基板と、第1絶縁層と、第2絶縁層と、第3絶縁層と、パッド電極とを有する基板であって、上記ベース基板から、上記ベース基板、上記第1絶縁層、上記第2絶縁層及び上記第3絶縁層を貫通して上記パッド電極に達する孔が形成されており、上記孔における上記第1絶縁層の径は、上記孔における上記第2絶縁層の径よりも大きく、上記第1絶縁層と上記第2絶縁層とが互いに異なる材料で形成され、且つ、上記第2絶縁層と上記第3絶縁層とが互いに異なる材料で形成されている基板が開示されている。

[0004] 特許文献2では、絶縁基板上に形成されたゲート電極と、ゲート絶縁膜と、酸化物半導体層と、ドレイン電極と、保護膜とを含み、上記保護膜は第1保護膜と第2保護膜とを含み、上記保護膜は第1コンタクトホールを有し、上記第1コンタクトホールは、底面から上部に向かうほど次第に断面積が広くなる形状を有する、薄膜トランジスタ表示板が開示されている。

[0005] 特許文献3では、基板の上にポリシリコン層を形成するステップと、上記ポリシリコン層の上に、酸化シリコンと窒化シリコンの積層構造を有するゲー

ト絶縁層と、ゲート層とを順に形成するステップと、上記ゲート層の上にフォトレジストを形成するステップと、上記基板に対してプラズマエッチングと反応性イオンエッチングを行うことにより、上記フォトレジストにより覆われていない窒化シリコンとゲート層を除去するステップと、ゲートフットとゲートを形成するステップと、ソース／ドレインと低ドーパドレインを形成するステップと、を含む低温ポリシリコン薄膜トランジスタの製造方法が開示されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2014-13810号公報

特許文献2：特開2011-258949号公報

特許文献3：特開2015-79936号公報

発明の概要

発明が解決しようとする課題

[0007] 図14は、比較形態1のアクティブマトリクス基板の断面模式図である。図14に示すように、比較形態1のアクティブマトリクス基板1Rは、ガラス基板である絶縁基板100Rと、金属から構成される下層200Rと、 SiO_2 から構成される第1絶縁膜310Rと、 SiN_x から構成される第2絶縁膜320Rと、金属から構成される上層400Rとが順に積層された構造を有する。比較形態1のアクティブマトリクス基板1Rには、第1絶縁膜310R及び第2絶縁膜320Rを貫通して下層200Rに達する孔500Rが設けられ、上層400Rは孔500Rが設けられた領域において下層200Rと接している。このように、孔500Rはコンタクトホールとして用いられている。

[0008] 図14に示すように、比較形態1のアクティブマトリクス基板1Rにおける第1絶縁膜310R及び第2絶縁膜320Rのテーパー部分は、厚膜かつ急峻である。また、場合によっては、第1絶縁膜310R及び第2絶縁膜320

ORをエッチングする際に発生する残渣が上記テーパー部分に付着している場合もある。このため、孔500Rの内側を上層400Rで十分に覆うことができず、孔500Rをカバレッジする上層400Rの密着性が低下するおそれがある。

[0009] 比較形態1のアクティブマトリクス基板1Rでは、上層400Rの密着性が低下することにより、コンタクト抵抗が増加する場合がある他、その後のプロセスで使用する薬液がテーパーより浸み込むことで下層200Rがエッチングされ、腐食やコンタクト不良、膜剥がれ等の不具合が発生する場合がある。また、比較形態1のアクティブマトリクス基板1Rのテーパー部分の絶縁基板100に対するなす角度が直角又は直角に近い場合、テーパー部分が逆テーパー形状である場合、テーパー部分に多くの残渣が付着している場合等の、上層400Rが孔500Rをカバレッジしきれない場合、比較形態1のアクティブマトリクス基板1Rを用いて作製した液晶表示パネルが、大気中の水分を吸収することにより腐食する場合も考えられる。

[0010] なお、図14に示す態様では、絶縁基板100Rと上層400Rとは接していないが、孔500R内の一部のみに下層200Rが存在する場合は、絶縁基板100Rも孔500R内で露出するため、絶縁基板100Rは上層400Rと接することになる。この場合も、第1絶縁膜310R及び第2絶縁膜320Rのテーパー部分が厚膜かつ急峻であると、上記と同様の課題が発生し得る。

[0011] また、図14に示す態様では、孔500Rをコンタクトホールとして用いるが、孔500Rは、例えば、アクティブマトリクス基板1R上に配向膜を形成する際に、配向膜材料の塗布領域を規制するために配向膜材料が流れ込む溝として用いることもできる。この場合、この領域には下層200Rが設けられず、第1絶縁膜310R及び第2絶縁膜320Rを貫通して絶縁基板100Rに達する孔500Rが設けられ、配向膜から構成される上層400Rは、孔500Rが設けられた領域において、絶縁基板100Rと接することになる。この場合も、第1絶縁膜310R及び第2絶縁膜320Rのテーパ

一部分が厚膜かつ急峻であると、上層400Rのカバレッジ及び密着性の低下に起因して、薬液の染み込みや大気中の水分の吸収、腐食、コンタクト不良、膜剥がれ等の不具合が発生するおそれがある。

[0012] 図15は、比較形態2のアクティブマトリクス基板の断面模式図である。図15に示すように、比較形態2のアクティブマトリクス基板1Rは、ガラス基板である絶縁基板100Rと、金属から構成される下層200Rと、 SiN_x から構成される第1絶縁膜310Rと、 SiO_2 から構成される第2絶縁膜320Rと、 SiN_x から構成される第3絶縁膜330Rと、金属から構成される上層400Rとが順に積層された構造を有する。比較形態2のアクティブマトリクス基板1Rには、第1絶縁膜310R、第2絶縁膜320R及び第3絶縁膜330Rを貫通して下層200Rに達する孔500Rが設けられ、上層400Rは孔500Rが設けられた領域において下層200Rと接している。

[0013] 図15に示すように、比較形態2のアクティブマトリクス基板1Rでは、第2絶縁膜320Rに設けられたテーパーが緩やかであるため、テーパーが急峻な場合に比べて孔500Rの内側に上層400Rが形成され易く、上層400Rのカバレッジの低下を抑制することができる。その結果、上層400Rの密着性が低下することを抑制することができる。しかしながら、比較形態2の態様では、緩やかなテーパーを形成するための領域を確保する必要があり、孔400Rの大きさを縮小するには限界がある。

[0014] 上記特許文献1の基板における孔、及び、上記特許文献2の薄膜トランジスタ表示板における第1コンタクトホールは、いずれも上記比較形態2と同様にテーパーが緩やかであるため、孔又は第1コンタクトホールの大きさを縮小するには限界がある。また、上記特許文献3はゲート層をエッチングする際の技術であり、孔を形成する際の技術については開示されていない。

[0015] 本発明は、上記現状に鑑みてなされたものであり、複数の絶縁膜を貫通する孔の大きさを縮小でき、かつ、その孔の形成部における複数の絶縁膜上の上層のカバレッジと密着性とに優れた基板、及び、上記複数の絶縁膜に上記孔

をドライエッチングにより一括形成可能な上記基板の製造方法を提供することを目的とするものである。

課題を解決するための手段

[0016] 本発明者らは、複数の絶縁膜を貫通する孔の大きさを縮小でき、かつ、その孔の形成部における複数の絶縁膜上の上層のカバレッジ（段差被覆性）と密着性とに優れた基板、及び、上記複数の絶縁膜に上記孔をドライエッチングにより一括形成可能な上記基板の製造方法について種々検討したところ、絶縁基板上に、下層、第1絶縁膜及び第2絶縁膜がこの順に積層された基板において、少なくとも第1絶縁膜及び第2絶縁膜を貫通して下層及び絶縁基板の少なくとも一方に達する孔を設けることに着目した。そして、孔が設けられる領域内において、第2絶縁膜の第1絶縁膜に接する端部から第1絶縁膜を突出させ、それら第1絶縁膜の突出部と第2絶縁膜の端部とを含む階段構造を設け、この階段構造を覆うように上層を設けることにより、複数の絶縁膜による大きな1つの段差ではなく、第1及び第2絶縁膜の各絶縁膜による相対的に小さな2つの段差を上層は覆うこととなるため、上層のカバレッジ及び密着性を向上できることを見出した。また、上層がこのような階段構造を覆うことから、上層のカバレッジ及び密着性を確保しつつ、第1及び第2絶縁膜の各絶縁膜の孔側の側面の傾斜をある程度急峻にすることも可能である。

[0017] また、第1絶縁膜の突出部の上面と、第1絶縁膜の、第2絶縁膜の端部の下に位置する部分の上面とを同一平面上に設けることにより、第1絶縁膜の突出部の上面に緩やかなテーパー形状を形成する必要がなくなり、第1絶縁膜上において第2絶縁膜の端部の位置を第1絶縁膜の孔側の側面に適宜近づけることが可能となるため、各絶縁膜の孔側の側面の傾斜をある程度急峻にできることと相まって、孔の大きさを縮小することができることを見出した。

[0018] 更に、第1絶縁膜及び第2絶縁膜を貫通して下層及び絶縁基板の少なくとも一方に達する孔を形成するエッチング工程において、第1エッチングガスを使用して、マスクに形成された開口の直下と、マスクの開口側の端部の直下

とにおいて第2絶縁膜をエッチングして第1絶縁膜を露出させる第1エッチングステップと、第2エッチングガスを使用して、マスクの端部の直下にて露出した第1絶縁膜の上面を残しつつ、開口の直下において第1絶縁膜をエッチングして下層及び絶縁基板の少なくとも一方を露出させる第2エッチングステップと、を行うことにより、1つのマスクで上記階段構造を形成することができることを見出した。以上より、上記課題をみごとに解決することができることに想到し、本発明に到達した。

[0019] すなわち、本発明の一態様は、絶縁基板と、上記絶縁基板上に積層された下層と、上記下層上に積層された第1絶縁膜と、上記第1絶縁膜上に積層された第2絶縁膜と、上記第2絶縁膜上に積層された上層と、を備え、少なくとも上記第1絶縁膜及び上記第2絶縁膜を貫通して上記下層及び上記絶縁基板の少なくとも一方に達する孔が設けられ、上記孔が設けられた領域内に、上記第1絶縁膜は、上記第2絶縁膜の、上記第1絶縁膜に接する端部から突出した突出部を有し、上記第1絶縁膜の上記突出部と、上記第2絶縁膜の上記端部とを含んで構成される階段構造が設けられ、上記上層は、上記階段構造を覆い、上記第1絶縁膜の上記突出部の上面と、上記第1絶縁膜の、上記第2絶縁膜の上記端部の下に位置する部分の上面とは、同一平面上にある基板であってもよい。

[0020] 上記第2絶縁膜の上記孔側の側面に、上記第2絶縁膜を構成する材料とは異なる材料から構成される変質層を更に備えてもよい。

[0021] 上記突出部の上記上面上に上記第2絶縁膜とは隙間を空けて設けられた壁部を更に備えてもよい。

[0022] 上記壁部は、上記第2絶縁膜と反対側の面に、上記第2絶縁膜を構成する材料とは異なる材料から構成される変質層を有してもよい。

[0023] 上記第2絶縁膜は、窒化シリコン膜であり、上記第1絶縁膜は、酸化シリコン膜、上記第2絶縁膜よりもエッチングレートが小さい窒化シリコン膜、又は、酸化窒化シリコン膜であってもよい。

[0024] 上記第2絶縁膜は、酸化窒化シリコン膜であり、上記第1絶縁膜は、酸化シ

リコン膜、又は、上記第2絶縁膜よりもエッチングレートが小さい酸化窒化シリコン膜であってもよい。

[0025] 上記第1絶縁膜と上記第2絶縁膜との間に設けられた有機絶縁膜を更に備え、上記孔は、上記第1絶縁膜、上記第2絶縁膜及び上記有機絶縁膜を貫通して上記下層及び上記絶縁基板の少なくとも一方に達し、上記孔が設けられた上記領域内に、上記有機絶縁膜は、上記第2絶縁膜の第2の端部から突出した突出部を有してもよい。

[0026] 上記第1絶縁膜と上記第2絶縁膜との間に設けられた透明導電膜を更に備え、上記孔が設けられた上記領域内に、上記透明導電膜は、上記第2絶縁膜の上記第2の端部から突出した突出部を有してもよい。

[0027] 本発明の他の一態様は、絶縁基板と、上記絶縁基板上に積層された下層と、上記下層上に積層された第1絶縁膜と、上記第1絶縁膜上に積層された第2絶縁膜とを備えた処理前基板を、開口が形成されたマスクを介してドライエッチングし、少なくとも上記第1絶縁膜及び上記第2絶縁膜を貫通して上記下層及び上記絶縁基板の少なくとも一方に達する孔を形成するエッチング工程を有し、上記エッチング工程は、第1エッチングガスを使用して、上記開口の直下と、上記マスクの、上記開口側の端部の直下とにおいて上記第2絶縁膜をエッチングして上記第1絶縁膜を露出させる第1エッチングステップと、第2エッチングガスを使用して、上記マスクの上記端部の直下にて露出した上記第1絶縁膜の上面を残しつつ、上記開口の直下において上記第1絶縁膜をエッチングして上記下層及び上記絶縁基板の少なくとも一方を露出させる第2エッチングステップと、を含む製造方法であってもよい。

[0028] 上記第1エッチングステップにおいて、上記開口の直下にて露出した上記第1絶縁膜の一部をエッチングしてもよい。

[0029] 上記第2エッチングステップにおいて、上記第2絶縁膜の上記孔側の側面に、上記第2絶縁膜を構成する材料とは異なる材料から構成される変質層を形成してもよい。

[0030] 上記第2絶縁膜は、上記第2エッチングステップの終了時まで上記マスクで

覆われていてもよい。

[0031] 上記第2エッチングステップにおいて、上記マスクをエッチングして上記変質層及び上記第2絶縁膜が上記マスクで覆われなくなるまで上記開口を広げつつ、上記第2絶縁膜をエッチングしてもよい。

[0032] 上記第1エッチングガスは、 SF_6 及び O_2 を含み、上記第2エッチングガスは、 CF_4 、及び、 O_2 又は Ar を含んでもよい。

[0033] 上記第1エッチングガスは、 O_2 を上記第1エッチングガス全量に対して20モル%以上含んでもよい。

[0034] 上記第2エッチングガスは、 O_2 又は Ar を上記第2エッチングガス全量に対して10モル%以上、60モル%以下含んでもよい。

[0035] 上記処理前基板は、上記第1絶縁膜と上記第2絶縁膜との間に、更に有機絶縁膜を備え、上記第1エッチングステップにおいて、上記開口の直下で上記第1絶縁膜及び上記有機絶縁膜を露出させるとともに、上記マスクの、上記開口側の第2の端部の直下において上記有機絶縁膜を露出させ、上記有機絶縁膜が露出した後も上記第2絶縁膜をエッチングしてもよい。

[0036] 上記処理前基板は、上記第1絶縁膜と上記第2絶縁膜との間に、更に透明導電膜を備え、上記第1エッチングステップにおいて、上記開口の直下で上記第1絶縁膜及び上記透明導電膜を露出させるとともに、上記マスクの、上記開口側の第2の端部の直下において上記透明導電膜を露出させ、上記透明導電膜が露出した後も上記第2絶縁膜をエッチングしてもよい。

発明の効果

[0037] 本発明によれば、複数の絶縁膜を貫通する孔の大きさを縮小でき、かつ、その孔の形成部における複数の絶縁膜上の上層のカバレッジと密着性との優れた基板、及び、上記複数の絶縁膜に上記孔をドライエッチングにより一括形成可能な上記基板の製造方法を提供することができる。

図面の簡単な説明

[0038] [図1]実施形態1のアクティブマトリクス基板に関する図であり、(a)は断面模式図であり、(b)は(a)の一部を拡大した拡大断面模式図であり、

(c) は拡大断面模式図のその他の例 1 であり、(d) は拡大断面模式図のその他の例 2 であり、(e) は拡大断面模式図のその他の例 3 である。

[図2]実施形態 2 のアクティブマトリクス基板の断面模式図である。

[図3]実施形態 3 のアクティブマトリクス基板の断面模式図である。

[図4]実施形態 4 のアクティブマトリクス基板に関する図であり、(a) は孔周辺の平面模式図であり、(b) は (a) における a-b 方向の断面模式図であり、(c) は (a) における c-d 方向の断面模式図である。

[図5]実施形態 5 のアクティブマトリクス基板に関する図であり、(a) は孔周辺の平面模式図であり、(b) は (a) における a-b 方向の断面模式図であり、(c) は (a) における c-d 方向の断面模式図である。

[図6]実施形態 6 のアクティブマトリクス基板の断面模式図である。

[図7]実施形態 1 2 のアクティブマトリクス基板の平面構造の一例を示す平面模式図である。

[図8]実施形態 1 2 のアクティブマトリクス基板に関する図であり、(a) はアクティブマトリクス基板における結晶質シリコン TFT、酸化物半導体 TFT の断面模式図であり、(b) はコンタクトホール部の拡大断面模式図である。

[図9]実施形態 1 3 のアクティブマトリクス基板の製造工程に関する図であり、(a) は第 2 絶縁膜のエッチング時の断面模式図であり、(b) は第 1 絶縁膜が露出した状態を表す断面模式図であり、(c) は第 1 絶縁膜のエッチング時の断面模式図であり、(d) は上層形成後の断面模式図である。

[図10]実施形態 1 4 のアクティブマトリクス基板の製造方法に関する断面模式図である。

[図11]実施形態 1 5 のアクティブマトリクス基板の製造方法に関する断面模式図である。

[図12]実施形態 1 6 のアクティブマトリクス基板の製造方法に関する図であり、(a) は孔周辺の平面模式図であり、(b) は (a) における a-b 方向の断面模式図であり、(c) は (a) における c-d 方向の断面模式図である。

ある。

[図13]実施形態17のアクティブマトリクス基板の製造方法に関する図であり、(a)は孔周辺の平面模式図であり、(b)は(a)におけるa-b方向の断面模式図であり、(c)は(a)におけるc-d方向の断面模式図である。

[図14]比較形態1のアクティブマトリクス基板の断面模式図である。

[図15]比較形態2のアクティブマトリクス基板の断面模式図である。

発明を実施するための形態

[0039] 以下に実施形態を掲げ、本発明について図面を参照して更に詳細に説明するが、本発明はこれらの実施形態のみに限定されるものではない。また、各実施形態の構成は、本発明の要旨を逸脱しない範囲において適宜組み合わせられてもよいし、変更されてもよい。

[0040] (実施形態1)

本実施形態では、基板として、FFS (Fringe Field Switching) モードの液晶表示パネルで用いられるアクティブマトリクス基板を例に挙げて説明を行う。ここで、液晶表示パネルは、スイッチング素子を備えたアクティブマトリクス基板と、これに対向配置されるカラーフィルタ (CF) 基板とからなる一対の基板間に、液晶層を備える。アクティブマトリクス基板には画素電極及び開口 (スリット) が形成された共通電極が形成されており、これら電極間に印加する電圧を変化させることで、液晶層に含まれる液晶分子の配向を制御することができるようになっている。なお、本実施形態では、面状の画素電極の上に、開口が形成された共通電極を設けるが、画素電極と共通電極との配置を入れ替え、面状の共通電極の上に、開口が形成された画素電極を形成してもよい。

[0041] また、アクティブマトリクス基板は、走査線と、データ線と、上記走査線及び上記データ線に接続されたTFTとを備える。上記TFTは、薄膜半導体、走査線の一部で構成されるゲート電極、データ線の一部で構成されるソース電極、及び、画素電極と接続されたドレイン電極を有する三端子スイッチ

である。

[0042] 本実施形態の薄膜半導体は、例えば、インジウム、ガリウム、亜鉛、銅（Cu）、シリコン（Si）、スズ（Sn）、アルミニウム（Al）、カルシウム（Ca）、ゲルマニウム（Ge）、及び鉛（Pb）のうち少なくとも1つを含んだ酸化物半導体であるが、薄膜半導体に用いられる材料はこれに限定されない。本実施形態の薄膜半導体は、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）、及び酸素（O）を主成分とするIn-Ga-Zn-O系半導体であることが好ましい。

[0043] 図1は、実施形態1のアクティブマトリクス基板に関する図であり、（a）は断面模式図であり、（b）は（a）の一部を拡大した拡大断面模式図であり、（c）は拡大断面模式図のその他の例1であり、（d）は拡大断面模式図のその他の例2であり、（e）は拡大断面模式図のその他の例3である。図1（b）は、図1（a）において破線で囲んだ階段構造A部分の断面模式図である。

[0044] 図1に示したように、本実施形態のアクティブマトリクス基板1は、絶縁基板100と、絶縁基板100上に積層されたゲート層の電極110と、ゲート層の電極110上に積層されたゲート絶縁膜120と、ゲート絶縁膜120上に積層されたソース層の電極からなる下層200と、下層200上に積層された酸化シリコン膜である第1絶縁膜310と、第1絶縁膜310上に積層された窒化シリコン膜である第2絶縁膜320と、第2絶縁膜320上に積層された画素電極からなる上層400と、を備える。なお、本明細書において、ゲート層の電極とは、走査線及びゲート電極と同一の材料を用いて、これらと同一の層に形成された電極である。また、ソース層の電極とは、データ線及びソース電極と同一の材料を用いて、これらと同一の層に形成された電極である。

[0045] 本実施形態のアクティブマトリクス基板1には、第1絶縁膜310及び第2絶縁膜320を貫通して下層200に達する孔500が設けられ、孔500が設けられた領域内に、第1絶縁膜310は、第2絶縁膜320の、第1絶

縁膜 310 に接する端部 321 から突出した突出部 311 を有し、第 1 絶縁膜 310 の突出部 311 と、第 2 絶縁膜 320 の端部 321 とを含んで構成される階段構造 A が設けられている。より具体的には、孔 500 が設けられた領域では、第 1 絶縁膜 310 の端部 312 が、第 2 絶縁膜 320 の端部 321 から突出し、すなわち、第 2 絶縁膜 320 の端部 321 が第 1 絶縁膜 310 の端部 312 から後退し、第 1 絶縁膜 310 及び第 2 絶縁膜 320 のそれぞれに対応する 2 つの段差が階段状に設けられている。孔 500 が設けられた領域では、孔 500 の下部が上部より狭くなるように、第 1 絶縁膜 310 及び第 2 絶縁膜 320 が階段状に形成されており、第 1 絶縁膜 310 の少なくとも突出部 311 が、下層 200 に接している。なお、本明細書において、「下」とは、絶縁基板側を指し、「上」とは、絶縁基板と反対側を指す。

[0046] 上層 400 は、階段構造 A を覆い、かつ、第 2 絶縁膜 320 の端部 321 の上面 321 A 及び側面 321 B と、第 1 絶縁膜 310 の突出部 311 の上面 311 A 及び側面 311 B と、下層 200 とに接している。このように、孔 500 が設けられる領域内において、第 2 絶縁膜 320 の第 1 絶縁膜 310 に接する端部 321 から第 1 絶縁膜 310 を突出させ、それら第 1 絶縁膜 310 の突出部 311 と第 2 絶縁膜 320 の端部 321 とを含む階段構造 A を設け、この階段構造 A を覆うように上層 400 を設けることにより、複数の絶縁膜による大きな 1 つの段差ではなく、第 1 絶縁膜 310 及び第 2 絶縁膜 320 の各絶縁膜による相対的に小さな 2 つの段差を上層 400 は覆うこととなるため、上層 400 のカバレッジ及び密着性を向上できる。また、上層 400 がこのような階段構造 A を覆うことから、上層 400 のカバレッジ及び密着性を確保しつつ、第 1 絶縁膜 310 及び第 2 絶縁膜 320 の各絶縁膜の孔 500 側の側面 311 B、321 B の傾斜をある程度急峻にすることも可能である。また、上層 400 の密着性に優れるため、上層 400 の密着性低下による薬液等の染み込みに起因する腐食や膜剥がれを抑制することができる。

[0047] 更に、第1絶縁膜310の上面は、第2絶縁膜320の端部321の外（孔500側）と内（孔500の反対側）とで単一平面上に存在している。すなわち、第1絶縁膜310の突出部311の上面311Aと、第1絶縁膜310の、第2絶縁膜320の端部321の下に位置する部分の上面311Cとは、同一平面上に存在している。このような態様とすることにより、第1絶縁膜310の突出部311の上面に緩やかなテーパ形状を形成する必要がなくなり、第1絶縁膜310上において第2絶縁膜320の端部321の位置を第1絶縁膜310の孔500側の側面311Bに適宜近づけることが可能となるため、各絶縁膜の孔500側の側面311B、321Bの傾斜をある程度急峻にできることと相まって、孔500の大きさを縮小することができる。したがって、本実施形態のアクティブマトリクス基板1を用いれば、高精細化を実現することもできる。ここで、「第1絶縁膜の突出部の上面と、第1絶縁膜の、第2絶縁膜の端部の下に位置する部分の上面とが、同一平面上にある」とは、これら2つの上面が実質的に同一平面上にある場合を包含し、更に、突出部の孔側の角部（突出部の孔側の端部の上部）が崩れた場合も包含するものとする。後者の例としては、図1（c）に示すように、突出部311の孔側の角部が斜めに削られて、突出部311の上面311Aと側面311Bとが傾斜面311Eを介して繋がる場合（突出部311が底面311D、側面311B、傾斜面311E及び上面311Aの4面とその内部から構成される場合）や、図1（d）に示すように、突出部311の孔側の角部が凹状に削られて、突出部311の上面311Aと側面311Bの間に凹部311F（溝状でもよい）が存在する場合や、図1（e）に示すように、突出部311の孔側の角部及び側面が削られ、上側の傾斜面311Gと傾斜面311Gより傾斜の小さい下側の傾斜面311Hとが形成されて、突出部311の上面311Aと底面311Dとが傾斜面311G及び311Hを介して繋がる場合（突出部311が底面311D、傾斜面311G、311H及び上面311Aの4面とその内部から構成される場合）等が挙げられる。もちろん、図1（b）に示したように、突出部311の孔側の角部が崩

れることなく、突出部 311 の上面 311A と側面 311B とは直接繋がっていてもよい（突出部 311 が底面 311D、側面 311B 及び上面 311A の 3 面とその内部から構成されてもよい）。

[0048] なお、図 1 では、絶縁基板 100 と上層 400 とは接していないが、孔 500 の形成領域にゲート層の電極 110 及びゲート絶縁膜 120 を設けず、かつ、孔 500 内の一部のみに下層 200 を設けてもよい。その場合は、絶縁基板 100 も孔 500 内で露出するため、絶縁基板 100 は上層 400 と接することになる。

[0049] 以下に、本実施形態のアクティブマトリクス基板 1 の詳細を説明する。本実施形態のアクティブマトリクス基板 1 が備える絶縁基板 100 の材料としては、ガラスの他に、プラスチック等、透明なものであれば特に限定されない。

[0050] 本実施形態のアクティブマトリクス基板 1 が備える走査線及びデータ線は互いに交差するように設けられており、走査線とデータ線との交点近傍にはスイッチング素子としての TFT が設けられている。

[0051] 走査線及びデータ線は、スパッタリング法等により、チタン、アルミニウム、モリブデン、銅、クロム等の金属、又は、それらの合金を、単層又は複数層で成膜し、続いて、フォトリソグラフィ法等でパターニングを行うことで形成することができる。本実施形態のゲート層の電極 110 は、走査線と同じ階層に形成された部材であり、走査線と同じ材料を用いて形成される。ゲート層の電極 110 は、チタン、アルミニウム、モリブデン、銅、クロム等の金属、又は、それらの合金を含む層、すなわち、導電層である。

[0052] TFT を構成するゲート電極、ソース電極及びドレイン電極は、スパッタリング法等により、チタン、アルミニウム、モリブデン、銅、クロム等の金属、又は、それらの合金を、単層又は複数層で成膜し、続いて、フォトリソグラフィ法等でパターニングを行うことで形成することができる。

[0053] 走査線、データ線、TFT を構成するゲート電極、ソース電極及びドレイン電極等の各種配線及び電極は、同じ階層に形成されるものについては、それ

それぞれ同じ材料を用いて同じ工程で形成することで製造が効率化される。

[0054] ゲート絶縁膜 120 は、ゲート層の電極 110 と、ソース層の電極からなる下層 200 との間に位置する。ゲート絶縁膜 120 としては、例えば、主に窒化シリコンから構成される窒化シリコン膜、主に酸化シリコンから構成される酸化シリコン膜、等の無機膜（比誘電率 $\epsilon = 5 \sim 7$ ）や、それらの積層膜を用いることができる。

[0055] 下層 200 はソース層の電極からなる層である。下層 200 は、データ線と同じ階層に形成された部材であり、データ線と同じ材料を用いて形成される。ソース層の電極からなる下層 200 は、チタン、アルミニウム、モリブデン、銅、クロム等の金属、又は、それらの合金を含む層、すなわち、導電層である。

[0056] 第 1 絶縁膜 310 は、主に酸化シリコン（ SiO_x ：ここで、 x は任意の正の数）から構成される酸化シリコン膜であることが好ましい。本実施形態では、第 1 絶縁膜 310 に酸化シリコン膜を用いる場合を説明するが、第 1 絶縁膜 310 はこれに限定されない。後述するように、第 2 絶縁膜 320 が、主に窒化シリコン（ SiN_x ：ここで、 x は任意の正の値）から構成される窒化シリコン膜である場合、第 1 絶縁膜 310 は、酸化シリコン膜の他、例えば、第 2 絶縁膜 320 よりもエッチングレートが小さい（第 2 絶縁膜 320 よりも膜質の良い）窒化シリコン膜、又は、主に酸化窒化シリコン（ SiO_xN_y ：ここで、 x 及び y は任意の正の値）から構成される酸化窒化シリコン膜であってもよい。このような態様とすることにより、後述するアクティブマトリクス基板 1 の製造方法を用いて、階段構造 A を形成し易くなる。また、第 2 絶縁膜 320 が酸化窒化シリコン膜である場合、第 1 絶縁膜 310 は、酸化シリコン膜の他、例えば、第 2 絶縁膜 320 よりもエッチングレートが小さい（第 2 絶縁膜 320 よりも膜質の良い）酸化窒化シリコン膜であってもよい。このような態様とすることにより、後述するアクティブマトリクス基板 1 の製造方法を用いて、階段構造 A を形成し易くなる。上記第 1 絶縁膜及び上記第 2 絶縁膜の膜質は、それぞれ、製膜時の条件によって制御すること

が可能である。例えば、第2絶縁膜320が窒化シリコン膜である場合、第2絶縁膜320よりもエッチングレートが小さい（第2絶縁膜320よりも膜質の良い）窒化シリコン膜は、第2絶縁膜320を製膜する際よりも高温又は低パワーで窒化シリコン膜を形成することにより得られる。絶縁膜の膜質の良し悪しは、X線回折法等で不純物及び欠損の多寡を評価することによって決定することができる。また、複数の絶縁膜間のエッチングレートの大小は、 SF_6 、 CF_4 等のフッ素系ガスを用いてドライエッチングを行うことによって評価することができる。

[0057] 第1絶縁膜310は、孔500が設けられた領域内に、第2絶縁膜320の第1絶縁膜310に接する端部321から突出した突出部311を有する。突出部311の大きさは特に限定されず、適宜調整することができる。突出部311の側面の傾斜角度（テーパー角度）、すなわち、第1絶縁膜310の底面311Dと突出部311の側面311Bとのなす角度 α は、孔500のサイズを縮小する観点からは大きい方が好ましく、上層400のカバレッジ及び密着性を向上させる観点からは小さい方が好ましく、例えば、 20° 以上、 90° 以下の範囲で適宜設定することができる。テーパー角度（角度 α ）は、例えば、後述する製造方法において、第1絶縁膜310をエッチングする際に用いるエッチングガス中の O_2 分圧を変更することにより適宜調整することができる。また、突出部311の上面311Aの突出幅 w は、孔500のサイズを縮小する観点からは小さい方が好ましく、上層400のカバレッジ及び密着性を向上させる観点からは大きい方が好ましく、例えば、 $0.001\mu\text{m}$ 以上、 $2.0\mu\text{m}$ 以下の範囲で適宜設定することができる。突出幅 w は、例えば、後述する製造方法において、第2絶縁膜320のシフト量を変更することにより適宜調整することができる。また、第2絶縁膜320の膜厚によって、後述する製造方法における第1エッチングステップのオーバーエッチング時間が変わるため、第2絶縁膜320の膜厚によっても、突出幅 w を調整することができる。

[0058] 第1絶縁膜310の膜厚は特に限定されず、使用用途によって適宜調整する

ことができる。例えば、孔500を画素部のTFTのコンタクトホールとして用いる場合、第1絶縁膜310の膜厚は、 $0.05\mu\text{m}$ 以上、 $1.0\mu\text{m}$ 以下であることが好ましい。

[0059] 第2絶縁膜320は、主に窒化シリコン (SiN_x : ここで、 x は任意の正の値) から構成される窒化シリコン膜であることが好ましい。本実施形態では、第2絶縁膜320に窒化シリコンを用いる場合を説明するが、第2絶縁膜320はこれに限定されず、第1絶縁膜310よりエッチングレートの大きな絶縁膜であればよい。第2絶縁膜320としては、窒化シリコン膜の他、主に酸化窒化シリコン (SiO_xN_y : ここで、 x 及び y は任意の正の値) から構成される酸化窒化シリコン膜が挙げられる。

[0060] 第2絶縁膜320の端部321は、第1絶縁膜310の上面311Cに接している。端部321の側面321Bの傾斜角度 (テーパ角度)、すなわち、第2絶縁膜320の底面321Dと端部321の側面321Bとのなす角度 β は、孔500のサイズを縮小する観点からは大きい方が好ましく、上層400のカバレッジ及び密着性を向上させる観点からは小さい方が好ましく、例えば、 20° 以上、 90° 以下の範囲で適宜設定することができる。テーパ角度 (角度 β) は、第2絶縁膜320のエッチングレートを制御することにより、適宜調整することができる。

[0061] 第2絶縁膜320の膜厚は特に限定されず、使用用途によって適宜調整することができる。例えば、孔500を画素部のTFTのコンタクトホールとして用いる場合、第2絶縁膜320の膜厚は、 $0.1\mu\text{m}$ 以上、 $0.7\mu\text{m}$ 以下であることが好ましい。

[0062] 上層400は、画素電極からなる層である。上層400は、第1絶縁膜310の突出部311と、第2絶縁膜320の端部321とを含んで構成される階段構造Aを覆い、かつ、端部321の上面321A及び側面321Bと、突出部311の上面311A及び側面311Bと、下層200に接している。このような態様とすることにより、上層400が下層200と接続される。

[0063] 上層 400 (画素電極) は、例えば、酸化インジウムスズ (ITO)、酸化インジウム亜鉛 (IZO)、酸化亜鉛 (ZnO)、酸化スズ (SnO) 等の透明導電膜材料、又は、それらの合金を、スパッタリング法等により単層又は複数層で成膜して形成した後、フォトリソグラフィ法を用いてパターンニングすることができる。

[0064] 上層 400 の膜厚は特に限定されず、例えば、階段構造 A をカバレッジして下層 200 とのコンタクトを取ることができる膜厚であればよいが、0.02 μm 以上、0.5 μm 以下であることが好ましい。

[0065] (実施形態 2)

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。本実施形態のアクティブマトリクス基板は、第 2 絶縁膜が変質層を有すること以外は、実施形態 1 のアクティブマトリクス基板 1 と同様の構成を有する。

[0066] 図 2 は、実施形態 2 のアクティブマトリクス基板の断面模式図である。本実施形態のアクティブマトリクス基板 1 は、第 2 絶縁膜 320 の孔 500 側の側面に、第 2 絶縁膜を構成する材料とは異なる材料から構成される変質層 600 を有する。本実施形態では、図 2 に示すように、変質層 600 が第 2 絶縁膜 320 の端部 321 の側面 321B に少なくとも設けられるが、変質層 600 は、第 1 絶縁膜 310 の突出部 311 の上面 311A や、突出部 311 の側面 311B にも設けられてもよい。

[0067] 本実施形態のアクティブマトリクス基板 1 は、変質層 600 を有することにより、後述するアクティブマトリクス基板 1 の製造工程、特に第 1 絶縁膜 310 及び第 2 絶縁膜 320 のドライエッチング工程において、第 2 絶縁膜 320 がマスクの開口直下の領域から後退する方向にエッチングされる量 (本明細書中、シフト量とも言う。) を制御することが可能となるため、第 2 絶縁膜 320 の端部 321 の位置のばらつき、すなわち、孔 500 の大きさのばらつきを抑制することができる。

[0068] 変質層 600 を構成する材料である、第 2 絶縁膜 320 を構成する材料とは

異なる材料としては、例えば、孔500内に配置された材料が変質した材料や、後述のマスクを構成する材料が変質した材料が挙げられる。より具体的には、第1絶縁膜310を構成する材料が変質した材料；第2絶縁膜320を構成する材料が変質した材料；後述のフォトリソに含まれる有機材料が変質した材料；酸化インジウムスズが変質した材料；酸化インジウム亜鉛が変質した材料；酸化亜鉛が変質した材料；酸化スズが変質した材料；銅、アルミニウム、チタン若しくはモリブデン又はこれらの合金が変質した材料；等が挙げられる。変質層600は、これらの材料の少なくとも一つを含んでいてもよい。

[0069] 変質層600の厚み（孔500側の面から、孔500の反対側の面までの距離）Bは、 $0.002\mu\text{m}$ 以上、 $0.5\mu\text{m}$ 以下であることが好ましい。変質層600の厚みは小さいため、上層400のカバレッジ及び密着性にほとんど影響を与えない。

[0070] （実施形態3）

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。図3は、実施形態3のアクティブマトリクス基板の断面模式図である。本実施形態のアクティブマトリクス基板は、第1絶縁膜の突出部の上面上に、第2絶縁膜とは隙間を空けて設けられた壁部を更に備えること以外は、実施形態1のアクティブマトリクス基板1と同様の構成を有する。

[0071] 図3に示すように、本実施形態のアクティブマトリクス基板1は、突出部311の上面311A上に、第2絶縁膜320とは間隙を空けて設けられた壁部610を更に備える。このような態様とすることにより、アクティブマトリクス基板1上に配向膜材料等を塗布する際、図3の矢印で示したように、孔500内に配向膜材料等が流れ込むのを壁部610により抑制することが可能となる。

[0072] 壁部610は、第2絶縁膜320の膜厚と同程度の高さを有し、第2絶縁膜320から独立して設けられた壁状の部材である。壁部610は、第2絶縁

膜 3 2 0 と反対側の面に、第 2 絶縁膜 3 2 0 を構成する材料とは異なる材料から構成される変質層 6 0 0 を有し、第 2 絶縁膜 3 2 0 側の面に、第 2 絶縁膜 3 2 0 を構成する材料を含む層を有する。

[0073] なお、本実施形態では、壁部 6 1 0 と第 2 絶縁膜 3 2 0 との間に隙間が生じるが、上記隙間を構成する壁面の高さは第 2 絶縁膜 3 2 0 の厚みと同程度であるため、上述の比較形態 1 に比べると上層 4 0 0 のカバレッジ及び密着性に優れている。

[0074] (実施形態 4)

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。図 4 は、実施形態 4 のアクティブマトリクス基板に関する図であり、(a) は孔周辺の平面模式図であり、(b) は (a) における a - b 方向の断面模式図であり、(c) は (a) における c - d 方向の断面模式図である。なお、図 4 (a) では、各部材のエッジの輪郭線を示している。本実施形態のアクティブマトリクス基板は、第 1 絶縁膜と第 2 絶縁膜との間に設けられた有機絶縁膜を更に備えること以外は、実施形態 1 のアクティブマトリクス基板 1 と同様の構成を有する。

[0075] 図 4 (b) 及び (c) に示すように、本実施形態のアクティブマトリクス基板 1 は、実施形態 1 における第 1 絶縁膜 3 1 0 と第 2 絶縁膜 3 2 0 との間に更に有機絶縁膜 7 0 0 が設けられた構成を有し、本実施形態のアクティブマトリクス基板 1 における孔 5 0 0 内には、図 4 (a) 及び (b) に示すように、有機絶縁膜 7 0 0 が第 2 絶縁膜 3 2 0 に被覆される箇所と、図 4 (a) 及び (c) に示すように、有機絶縁膜 7 0 0 が第 2 絶縁膜 3 2 0 に被覆されない箇所とが存在する。

[0076] 図 4 (b) に示すように、a - b 方向において、有機絶縁膜 7 0 0 は、第 2 絶縁膜 3 2 0 に覆われている。したがって、孔 5 0 0 が設けられた領域では、実施形態 1 と同様に、第 1 絶縁膜 3 1 0 及び第 2 絶縁膜 3 2 0 が階段状に形成されており、本実施形態のアクティブマトリクス基板 1 の a - b 方向では、孔 5 0 0 の大きさを縮小でき、かつ、孔 5 0 0 の形成部における上層 4

00のカバレッジ及び密着性を向上させることができる。

[0077] また、図4(c)に示すように、c-d方向において、有機絶縁膜700の端部は、第2絶縁膜320に覆われておらず、孔500は、第1絶縁膜310、第2絶縁膜320及び有機絶縁膜700を貫通して下層200に達し、孔500が設けられた領域内に、有機絶縁膜700は、第2絶縁膜320の第2の端部322から突出した突出部701を有する。

[0078] 有機絶縁膜は、一般に、比較的選択比の小さい、すなわちエッチングされやすいため、後述するアクティブマトリクス基板1の製造工程、特に上層400形成前の第1絶縁膜310及び第2絶縁膜320のドライエッチング工程において、有機絶縁膜700の露出面積が増加すると、第2絶縁膜320のエッチングレートが低下する。その結果、有機絶縁膜700の露出面積を調整することにより、有機絶縁膜700の露出後のドライエッチング工程における第2絶縁膜320のシフト量をより精密に制御することが可能となる。

[0079] 本実施形態のアクティブマトリクス基板1は、有機絶縁膜700を備えるため、階段構造を覆う層（例えば上層400）を液状材料から形成する場合、その液状材料の濡れ性に合わせて、孔500の形状を変更することができる。また、本実施形態のアクティブマトリクス基板1は、有機絶縁膜700を備えるため、a-b方向における有機絶縁膜700の端部の位置や、c-d方向における有機絶縁膜700の露出幅を適宜調整することが可能となり、液状材料の濡れ性を安定化することができる。なお、液状材料により形成される上層400としては、例えば、画素電極より上層に配置される配向膜、階段構造A形成後に形成されるフォトリソ膜、上述した有機絶縁膜700以外の有機絶縁膜等が挙げられる。また、上層400は、画素電極と、画素電極より上層に配置された配向膜とを含むものであってもよい。上層400が配向膜から構成される場合、上層400の膜厚は、例えば、 $0.02\mu\text{m}$ 以上、 $1.0\mu\text{m}$ 以下であり、上層400が有機絶縁膜やフォトリソ膜から構成される場合、上層400の膜厚は、例えば、 $0.5\mu\text{m}$ 以上、 $3.0\mu\text{m}$ 以下である。

[0080] 有機絶縁膜 700 としては、例えば、感光性アクリル樹脂等の比誘電率の小さい有機膜（比誘電率 $\varepsilon = 3 \sim 4$ ）を用いることができる。有機絶縁膜 700 の膜厚は特に限定されないが、例えば、 $0.5 \mu\text{m}$ 以上、 $3.0 \mu\text{m}$ 以下である。

[0081] なお、アクティブマトリクス基板 1 の c-d 方向では、第 2 絶縁膜 320 が有機絶縁膜 700 を一部被覆していないため、第 1 絶縁膜 310 及び第 2 絶縁膜 320 に階段構造を形成することができず、また、有機絶縁膜 700 の表面の一部がエッチングされて、第 2 絶縁膜 320 の孔 500 側の側面下に有機絶縁膜 700 の段差が発生する可能性がある。そのため、上層 400 のカバレッジが低下し、孔 500 をコンタクトホールとする場合は、上層 400 のコンタクト抵抗が増加するおそれがある。一方、a-b 方向では、第 1 絶縁膜 310 及び第 2 絶縁膜 320 に階段構造を形成することができ、上層 400 のカバレッジ及び密着性を向上することができる。このように、本実施形態では、c-d 方向において第 2 絶縁膜 320 のシフト量制御に好適な設計を行いつつ、a-b 方向では孔 500 の大きさを縮小でき、かつ、孔 500 の形成部における上層 400 のカバレッジ及び密着性を向上させることができる。

[0082] （実施形態 5）

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。図 5 は、実施形態 5 のアクティブマトリクス基板に関する図であり、（a）は孔周辺の平面模式図であり、（b）は（a）における a-b 方向の断面模式図であり、（c）は（a）における c-d 方向の断面模式図である。なお、図 5（a）では、透明導電膜を除き、各部材のエッジの輪郭線を示している。本実施形態のアクティブマトリクス基板は、第 1 絶縁膜と第 2 絶縁膜との間に設けられた透明導電膜を更に備えること以外は、実施形態 4 のアクティブマトリクス基板 1 と同様の構成を有する。

[0083] 図 5（b）及び（c）に示すように、本実施形態のアクティブマトリクス基

板 1 は、第 1 及び第 2 絶縁膜 3 1 0 及び 3 2 0 の間であって有機絶縁膜 7 0 0 上に、更に透明導電膜 7 0 2 が設けられた構成を有し、本実施形態のアクティブマトリクス基板 1 における孔 5 0 0 内には、図 5 (a) 及び (b) に示すように、透明導電膜 7 0 2 が第 2 絶縁膜 3 2 0 に被覆される箇所と、図 5 (a) 及び (c) に示すように、透明導電膜 7 0 2 が第 2 絶縁膜 3 2 0 に被覆されない箇所とが存在する。

[0084] 図 5 (b) に示すように、a - b 方向において、透明導電膜 7 0 2 は、第 2 絶縁膜 3 2 0 に覆われている。したがって、孔 5 0 0 が設けられた領域では、実施形態 1 と同様に、第 1 絶縁膜 3 1 0 及び第 2 絶縁膜 3 2 0 が階段状に形成されており、本実施形態のアクティブマトリクス基板 1 の a - b 方向では、孔 5 0 0 の大きさを縮小でき、かつ、孔 5 0 0 の形成部における上層 4 0 0 のカバレッジ及び密着性を向上させることができる。また、第 2 絶縁膜 3 2 0 の孔 5 0 0 側の側面は、変質層 6 0 0 を備えている。したがって、後述するアクティブマトリクス基板 1 の製造工程において、シフト量を制御することが可能となるため、孔 5 0 0 の大きさのばらつきを制御することができる。

[0085] また、図 5 (c) に示すように、c - d 方向において、透明導電膜 7 0 2 の端部は第 2 絶縁膜 3 2 0 に覆われておらず、孔 5 0 0 は、第 1 絶縁膜 3 1 0 、第 2 絶縁膜 3 2 0 、有機絶縁膜 7 0 0 及び透明導電膜 7 0 2 を貫通して下層 2 0 0 に達し、孔 5 0 0 が設けられた領域内に、透明導電膜 7 0 2 は、第 2 絶縁膜 3 2 0 の第 2 の端部 3 2 2 から突出した突出部 7 0 3 を有する。

[0086] 透明導電膜 7 0 2 を構成する材料が変質した材料を、変質層 6 0 0 が含むことにより、一旦形成された変質層 6 0 0 が再度分解されることを抑制することが可能となる。そのため、後述するアクティブマトリクス基板 1 の製造工程、特に上層 4 0 0 形成前の第 1 絶縁膜 3 1 0 及び第 2 絶縁膜 3 2 0 のドライエッチング工程において、透明導電膜 7 0 2 が露出すると、透明導電膜 7 0 2 が僅かではあるがエッチングされ、変質層 6 0 0 に透明導電膜 7 0 2 を構成する材料が変質した材料が含まれることにより、変質層 6 0 0 を安定化

して、変質層 600 の形成を促進することができる。

[0087] なお、透明導電膜 702 は、共通電極又は画素電極と同一の層で形成されており、かつ、共通電極及び画素電極とは独立して形成されるパターンである。また、本実施形態では、透明導電膜 702 の下層に有機絶縁膜 700 を配置したが、有機絶縁膜 700 は、設けられていなくてもよい。この場合、透明導電膜 702 は、第 1 絶縁膜 310 上に設けられる。

[0088] 図 5 (a) に示すように、本実施形態における透明導電膜 702 は、孔 500 の周囲を取り囲むような環状のパターンを有するが、透明導電膜 702 は第 2 絶縁膜 320 に覆われていない部分を有していればよく、例えば、図 5 (a) の a-b 方向における透明導電膜 702 は設けられていなくてもよい。

[0089] 透明導電膜 702 は、例えば、酸化インジウムスズ (ITO)、酸化インジウム亜鉛 (IZO)、酸化亜鉛 (ZnO)、酸化スズ (SnO) 等の透明導電膜材料、又は、それらの合金を含むものである。

[0090] (実施形態 6)

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。図 6 は、実施形態 6 のアクティブマトリクス基板の断面模式図である。

[0091] 実施形態 1 では、画素電極及び開口が形成された共通電極をアクティブマトリクス基板上に備える FFS モードの液晶表示パネルを例に説明したが、画素電極及び共通電極の一方を CF 基板上に設けてもよい。本実施形態は、共通電極をアクティブマトリクス基板上に配置しない。すなわち、共有電極を CF 基板上に配置すること以外は、実施形態 1 のアクティブマトリクス基板 1 と同様の構成を有する。本実施形態では、画素電極がアクティブマトリクス基板上に配置され、共通電極が CF 基板上に配置される態様について説明する。

[0092] 図 6 に示すように、本実施形態のアクティブマトリクス基板 1 は、絶縁基板 100 と、絶縁基板 100 上に積層された下層 200 と、下層 200 上に積

層された第1絶縁膜310と、第1絶縁膜310上に積層された第2絶縁膜320と、第2絶縁膜320上に積層された上層400と、を備える。また、第1絶縁膜310及び第2絶縁膜320の間には、ソース層の電極130が配置されている。また、実施形態1と同様に、第1絶縁膜310及び第2絶縁膜320による階段構造Aが設けられている。

[0093] 本実施形態における下層200はゲート層の電極からなる層であり、前述のようにチタン、アルミニウム、モリブデン、銅、クロム等の金属、又は、それらの合金を含む層、すなわち、導電層である。

[0094] 第1絶縁膜310はゲート絶縁膜として機能する、酸化シリコン膜である。本実施形態では、第1絶縁膜310に酸化シリコン膜を用いる場合を説明するが、第1絶縁膜310はこれに限定されない。第2絶縁膜320及び上層400については、実施形態1と同様であるため、説明を省略する。

[0095] (実施形態7)

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。実施形態1では、TFTの薄膜半導体の材料としてIn-Ga-Zn-O系半導体等の酸化物半導体を用いるが、薄膜半導体の材料として酸化物半導体以外の材料を用いることもできる。本実施形態のアクティブマトリクス基板は、薄膜半導体の材料が異なること以外は、実施形態1のアクティブマトリクス基板1と同様の構成を有する。

[0096] 本実施形態のアクティブマトリクス基板における薄膜半導体は、例えば、アモルファスシリコン、ポリシリコン等であってもよい。このような態様においても、孔500の大きさを縮小でき、かつ、孔500の形成部における上層400のカバレッジ及び密着性を向上させることができる。

[0097] (実施形態8)

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。本実施形態では、孔500を実装端子の形成用のコンタクトホールに使用する。すなわち、本実施形態で

は、下層 200 がソース層及び／又はゲート層から形成された引き回し配線であり、上層 400 が酸化インジウムスズ（ITO）、酸化インジウム亜鉛（IZO）、酸化亜鉛（ZnO）、酸化スズ（SnO）等の透明導電膜材料、又は、それらの合金から形成された実装端子（電極パッド）であり、孔 500 において下層 200 である引き回し配線と、上層 400 である実装端子とを接触させることにより接続する。実装端子が形成された領域にはドライバや、フレキシブルプリント基板等の電子部品を実装することができ、その場合、通常、電子部品の端子と上層 400 の実装端子とが異方性導電膜を介して互いに接続される。

[0098]（実施形態 9）

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。実施形態 1 のアクティブマトリクス基板 1 における孔 500 は、画像を表示する表示領域における TFT のコンタクトホールとして用いるが、孔 500 は、表示領域の外側に配置される周辺回路のコンタクトホールとして用いることもできる。例えば、孔 500 は、表示領域の外側にモノリシック形成されたゲートドライバ内のコンタクトホールに用いることができる。

[0099]（実施形態 10）

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。実施形態 1 では、ゲート層の上に半導体層が形成されるボトムゲート機種について説明したが、ゲート層と半導体層の配置を逆にした、トップゲート機種とすることもできる。

[0100]（実施形態 11）

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。実施形態 1 では、孔 500 をコンタクトホールとして用いる構成について説明したが、孔 500 は、アクティブマトリクス基板 1 上に配向膜材料を塗布する際に配向膜材料が流れ込む溝として用いることもでき、孔 500 により配向膜材料の塗布位置を制御

することが可能となる。本実施形態では、孔500が設けられる領域には下層200及びゲート層の電極110は設けられておらず、ゲート絶縁膜120、第1絶縁膜310及び第2絶縁膜320を貫通して絶縁基板100に達する孔500が設けられ、上層400は配向膜から構成され、孔500が設けられた領域において、絶縁基板100と接することになる。

[0101] (実施形態12)

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。本実施形態の基板は、同一基板上に形成された酸化物半導体TFTと結晶質シリコンTFTとを備えるアクティブマトリクス基板である。アクティブマトリクス基板は、画素毎にTFT（画素用TFT）を備えている。画素用TFTとしては、例えばInGa-Zn-O系の半導体膜を活性層とする酸化物半導体TFTが用いられる。画素用TFTと同一基板上に、周辺駆動回路の一部または全体を一体的に形成することもある。

[0102] このようなアクティブマトリクス基板は、ドライバモノリシックのアクティブマトリクス基板と呼ばれる。ドライバモノリシックのアクティブマトリクス基板では、周辺駆動回路は、複数の画素を含む領域（表示領域）以外の領域（非表示領域または額縁領域）に設けられる。周辺駆動回路を構成するTFT（回路用TFT）は、例えば、多結晶シリコン膜を活性層とした結晶質シリコンTFTが用いられる。このように、画素用TFTとして酸化物半導体TFTを用い、回路用TFTとして結晶質シリコンTFTを用いると、表示領域では消費電力を低くすることが可能となり、さらに、額縁領域を小さくすることが可能となる。

[0103] 次に、本実施形態のアクティブマトリクス基板のより具体的な構成を、図面を用いて説明する。図7は、実施形態12のアクティブマトリクス基板の平面構造の一例を示す平面模式図である。図8は、実施形態12のアクティブマトリクス基板に関する図であり、(a)はアクティブマトリクス基板における結晶質シリコンTFT、酸化物半導体TFTの断面模式図であり、(b

）はコンタクトホール部の拡大断面模式図である。図 8（b）は、図 8（a）において破線で囲んだ階段構造部分の断面模式図である。なお、結晶質シリコン T F T を、以下では、「第 1 薄膜トランジスタ」とも称する。また、酸化物半導体 T F T を、以下、「第 2 薄膜トランジスタ」とも称する。

[0104] 図 7 に示すように、アクティブマトリクス基板 1 は、複数の画素を含む表示領域 10 と、表示領域 10 以外の領域（非表示領域）とを有している。非表示領域は、駆動回路が設けられる駆動回路形成領域 20 を含んでいる。駆動回路形成領域 20 には、例えばゲートドライバ回路 21、検査回路 22 等が設けられている。表示領域 10 には、行方向に延びる複数のゲートバスライン（図示せず）と、列方向に延びる複数のソースバスライン S とが形成されている。図示していないが、各画素は、例えばゲートバスライン及びソースバスライン S で規定されている。ゲートバスラインは、それぞれ、ゲートドライバ回路の各端子に接続されている。ソースバスライン S は、それぞれ、アクティブマトリクス基板 1 G に実装されるドライバ IC 23 の各端子に接続されている。

[0105] 図 8 に示すように、アクティブマトリクス基板 1 において、表示領域 10 の各画素には画素用 T F T として第 2 薄膜トランジスタ 10 B が形成され、駆動回路形成領域 20 には回路用 T F T として第 1 薄膜トランジスタ 10 A が形成されている。

[0106] アクティブマトリクス基板 1 は、基板 11 と、基板 11 の表面に形成された下地膜 12 と、下地膜 12 上に形成された第 1 薄膜トランジスタ 10 A と、下地膜 12 上に形成された第 2 薄膜トランジスタ 10 B とを備えている。第 1 薄膜トランジスタ 10 A は、結晶質シリコンを主として含む活性領域を有している。第 2 薄膜トランジスタ 10 B は、酸化物半導体を主として含む活性領域を有している。第 1 薄膜トランジスタ 10 A 及び第 2 薄膜トランジスタ 10 B は、基板 11 に一体的に作り込まれている。ここでいう「活性領域」とは、T F T の活性層となる半導体層のうちチャネルが形成される領域を指すものとする。

[0107] 第1薄膜トランジスタ10Aは、下地膜12上に形成された結晶質シリコン半導体層（例えば低温ポリシリコン層）13と、結晶質シリコン半導体層13を覆う第1の絶縁層14と、第1の絶縁層14上に設けられたゲート電極15Aとを有している。第1の絶縁層14のうち結晶質シリコン半導体層13とゲート電極15Aとの間に位置する部分は、第1薄膜トランジスタ10Aのゲート絶縁膜として機能する。結晶質シリコン半導体層13は、チャンネルが形成される領域（活性領域）13cと、活性領域の両側にそれぞれ位置するソース領域13s及びドレイン領域13dと、を有している。この例では、結晶質シリコン半導体層13のうち、第1の絶縁層14を介してゲート電極15Aと重なる部分が活性領域13cとなる。第1薄膜トランジスタ10Aは、また、ソース領域13s及びドレイン領域13dにそれぞれ接続されたソース電極18sA及びドレイン電極18dAを有している。ソース及びドレイン電極18sA、18dAは、ゲート電極15A及び結晶質シリコン半導体層13を覆う層間絶縁膜（ここでは、第2の絶縁層16）上に設けられ、層間絶縁膜に形成されたコンタクトホール内で結晶質シリコン半導体層13と接続されていてもよい。

[0108] 第2薄膜トランジスタ10Bは、下地膜12上に設けられたゲート電極15Bと、ゲート電極15Bを覆う第2の絶縁層16と、第2の絶縁層16上に配置された酸化物半導体層17とを有している。図示するように、第1薄膜トランジスタ10Aのゲート絶縁膜である第1の絶縁層14が、第2薄膜トランジスタ10Bを形成しようとする領域まで延設されていてもよい。この場合には、酸化物半導体層17は、第1の絶縁層14上に形成されていてもよい。第2の絶縁層16のうちゲート電極15Bと酸化物半導体層17との間に位置する部分は、第2薄膜トランジスタ10Bのゲート絶縁膜として機能する。酸化物半導体層17は、チャンネルが形成される領域（活性領域）17cと、活性領域の両側にそれぞれ位置するソースコンタクト領域17s及びドレインコンタクト領域17dと、を有している。この例では、酸化物半導体層17のうち、第2の絶縁層16を介してゲート電極15Bと重なる部

分が活性領域 17c となる。また、第 2 薄膜トランジスタ 10B は、ソースコンタクト領域 17s 及びドレインコンタクト領域 17d にそれぞれ接続されたソース電極 18sB 及びドレイン電極からなる下層 200 をさらに有している。なお、基板 11 上に下地膜 12 を設けない構成も可能である。

[0109] これらの薄膜トランジスタ 10A、10B は、パッシベーション膜 300 及び平坦化膜 710 で覆われている。画素用 TFT として機能する第 2 薄膜トランジスタ 10B では、ゲート電極 15B はゲートバスライン（図示せず）、ソース電極 18sB はソースバスライン（図示せず）、下層 200 を構成するドレイン電極は、第 1 の上層 410 を構成する画素電極に接続されている。この例では、下層 200 を構成するドレイン電極は、パッシベーション膜 300 及び平坦化膜 710 に形成された開口部内で、第 1 の上層 410 を構成する画素電極と接続されている。ソース電極 18sB にはソースバスラインを介してビデオ信号が供給され、ゲートバスラインからのゲート信号に基づいて画素電極に必要な電荷が書き込まれる。

[0110] なお、図示するように、平坦化膜 710 上に共通電極として透明導電層 720 が形成され、透明導電層（共通電極）720 と、第 1 の上層 410 を構成する画素電極との間に、第 2 の上層 420 を構成する絶縁層が形成されていてもよい。この場合、画素電極にスリット状の開口が設けられていてもよい。このようなアクティブマトリクス基板 1 は、例えば FFS モードの表示装置に適用され得る。

[0111] FFS モードは、一方の基板に一对の電極を設けて、液晶分子に、基板面に平行な方向（横方向）に電界を印加する横方向電界方式のモードである。この例では、画素電極から出て液晶層（図示せず）を通り、さらに画素電極のスリット状の開口を通してコモン電極に出る電気力線で表される電界が生成される。この電界は、液晶層に対して横方向の成分を有している。その結果、横方向の電界を液晶層に印加することができる。横方向電界方式では、基板から液晶分子が立ち上がらないため、縦方向電界方式よりも広視野角を実現できるという利点がある。

- [0112] ここで、薄膜トランジスタ 10B 側のアクティブマトリクス基板 1 の構造を説明する。薄膜トランジスタ 10B 側のアクティブマトリクス基板 1 は、ドレイン電極からなる下層 200 と、下層 200 上に積層された第 1 絶縁膜 310 と、第 1 絶縁膜 310 上に積層された第 2 絶縁膜 320 と、第 2 絶縁膜 320 上に積層された第 2 の上層 420 と、第 2 の上層 420 上に積層された第 1 の上層 410 と、を備える。パッシベーション膜 300 は、上述の第 1 絶縁膜 310 及び第 2 絶縁膜 320 を有する。また、アクティブマトリクス基板 1 には、第 1 絶縁膜 310、第 2 絶縁膜 320 及び平坦化膜 710 を貫通して下層 200 に達する孔 500 が設けられている。
- [0113] 孔 500 が設けられた領域内に、第 1 絶縁膜 310 は、第 2 絶縁膜 320 の第 1 絶縁膜 310 に接する端部 321 から突出した突出部 311 を有し、第 1 絶縁膜 310 の突出部 311 と、第 2 絶縁膜 320 の端部 321 とを含んで構成される階段構造が設けられ、第 1 の上層 410 及び第 2 の上層 420 は、それぞれ、上記階段構造を覆っている。特に、本実施形態の第 2 の上層 420 は、階段構造を覆い、かつ、第 2 絶縁膜 320 の端部 321 の側面 321B と、第 1 絶縁膜 310 の突出部 311 の上面 311A 及び側面 311B と、下層 200 とに接している。また、第 1 絶縁膜 310 の突出部 311 の上面 311A と、第 1 絶縁膜 310 の、第 2 絶縁膜 320 の端部 321 の下に位置する部分の上面 311C とは、同一平面上にある。
- [0114] パッシベーション膜 300 の下層、すなわち第 1 絶縁膜 310 は、第 2 薄膜トランジスタ 10B のバックチャネルを構成するので、酸化シリコン膜であることが好ましい。パッシベーション膜 300 の上層、すなわち第 2 絶縁膜 320 は、水分や不純物からの保護のため、パッシベーション効果の高い窒化シリコン膜であることが好ましい。
- [0115] 図示する例では、第 1 薄膜トランジスタ 10A は、ゲート電極 15A と基板 11（下地膜 12）との間に結晶質シリコン半導体層 13 が配置されたトップゲート構造を有している。一方、第 2 薄膜トランジスタ 10B は、酸化物半導体層 17 と基板 11（下地膜 12）との間にゲート電極 15B が配置さ

れたボトムゲート構造を有している。このような構造を採用することにより、同一基板 11 上に、2 種類の薄膜トランジスタ 10A、10B を一体的に形成する際に、製造工程数や製造コストの増加をより効果的に抑えることが可能である。

[0116] 第1薄膜トランジスタ 10A 及び第2薄膜トランジスタ 10B の T F T 構造は上記に限定されない。例えば、これらの薄膜トランジスタ 10A、10B が同じ T F T 構造を有していてもよい。あるいは、第1薄膜トランジスタ 10A がボトムゲート構造、第2薄膜トランジスタ 10B がトップゲート構造を有していてもよい。また、ボトムゲート構造の場合、第1薄膜トランジスタ 10A のようにチャネルエッチ型でもよいし、エッチストップ型でもよい。また、ソース電極及びドレイン電極が半導体層の下方に位置するボトムコンタクト型でもよい。

[0117] 第2薄膜トランジスタ 10B のゲート絶縁膜である第2の絶縁層 16 は、第1薄膜トランジスタ 10A が形成される領域まで延設され、第1薄膜トランジスタ 10A のゲート電極 15A 及び結晶質シリコン半導体層 13 を覆う層間絶縁膜として機能してもよい。このように第1薄膜トランジスタ 10A の層間絶縁膜と第2薄膜トランジスタ 10B のゲート絶縁膜とが同一の層（第2の絶縁層 16）内に形成されている場合、第2の絶縁層 16 は積層構造を有していてもよい。

[0118] 第1薄膜トランジスタ 10A のゲート電極 15A と、第2薄膜トランジスタ 10B のゲート電極 15B とは、同一層内に形成されていてもよい。また、第1薄膜トランジスタ 10A のソース及びドレイン電極 18sA、18dA と、第2薄膜トランジスタ 10B のソース電極 18sB、及び、ドレイン電極からなる下層 200 とは、同一の層内に形成されていてもよい。「同一層内に形成されている」とは、同一の膜（導電膜）を用いて形成されていることをいう。これにより、製造工程数及び製造コストの増加を抑制できる。

[0119] 本実施形態における酸化物半導体層 17 は、例えば In-Ga-Zn-O 系の半導体（以下、「 In-Ga-Zn-O 系半導体」と称する。）を含む。

ここで、 In-Ga-Zn-O 系半導体は、 In （インジウム）、 Ga （ガリウム）、 Zn （亜鉛）の三元系酸化物であって、 In 、 Ga 及び Zn の割合（組成比）は特に限定されず、例えば $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ 等を含む。

[0120] In-Ga-Zn-O 系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質 In-Ga-Zn-O 系の半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系の半導体が好ましい。このような In-Ga-Zn-O 系半導体の結晶構造は、例えば、特開2012-134475号公報に開示されている。参考のために、特開2012-134475号公報の開示内容の全てを本明細書に援用する。

[0121] 酸化物半導体層17は、 In-Ga-Zn-O 系半導体の代わりに、他の酸化物半導体を含んでいてもよい。例えば Zn-O 系半導体（ ZnO ）、 In-Zn-O 系半導体（ IZO （登録商標））、 Zn-Ti-O 系半導体（ ZTO ）、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO （酸化カドニウム）、 Mg-Zn-O 系半導体、 In-Sn-Zn-O 系半導体（例えば $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$ ）、 In-Ga-Sn-O 系半導体などを含んでいてもよい。

[0122] （実施形態13）

本実施形態では、実施形態1のアクティブマトリクス基板1の製造方法について説明する。図9は、実施形態13のアクティブマトリクス基板の製造工程に関する図であり、（a）は第2絶縁膜のエッチング時の断面模式図であり、（b）は第1絶縁膜が露出した状態を表す断面模式図であり、（c）は第1絶縁膜のエッチング時の断面模式図であり、（d）は上層形成後の断面模式図である。

[0123] 実施形態1のアクティブマトリクス基板1は次のように製造することができる。まず、ガラス基板等の絶縁基板100上に、ゲート層及びゲート絶縁膜120を形成した後、スパッタリング法等により、チタン、アルミニウム、モリブデン、銅、クロム等の金属、又は、それらの合金を、単層又は複数層

で成膜し、続いて、フォトリソグラフィ法等でパターニングを行うことでソース層からなる下層200を形成する。

[0124] 次いで、下層200上に、CVD (Chemical Vapor Deposition) 法やスパッタ法を用いて、第1絶縁膜310を形成する。更に、第1絶縁膜310上に、CVD法やスパッタ法を用いて、第2絶縁膜320を形成する。第2絶縁膜320として窒化シリコン膜を形成する場合、第1絶縁膜310として、酸化シリコン膜、第2絶縁膜320よりもエッチングレートが小さい（第2絶縁膜320よりも膜質の良い）窒化シリコン膜、又は、酸化窒化シリコン膜を形成する。また、第2絶縁膜320として酸化窒化シリコン膜を形成する場合、第1絶縁膜310として、酸化シリコン膜、又は、第2絶縁膜320よりもエッチングレートが小さい（第2絶縁膜320よりも膜質の良い）酸化窒化シリコン膜を形成する。

[0125] 更に、第2絶縁膜320上に、スピコート法等を用いて、フォトレジストを塗布し、露光及び現像を行うことにより、フォトレジストをパターニングしてマスク800を形成する。

[0126] 続いて、このように形成した、下層200と、下層200上に積層された第1絶縁膜310と、第1絶縁膜310上に積層された第2絶縁膜320とを備えた処理前基板1Aを、開口810が形成されたマスク800を介してドライエッチングし、少なくとも第1絶縁膜310及び第2絶縁膜320を貫通して下層200及び絶縁基板100の少なくとも一方に達する孔500を形成するエッチング工程を行う。上記エッチング工程は、図9（a）及び（b）に示すように、第1エッチングガスを使用して、開口810の直下と、マスク800の、開口810側の端部801の直下とにおいて第2絶縁膜320をエッチングして第1絶縁膜310を露出させる第1エッチングステップと、図9（c）に示すように、第2エッチングガスを使用して、マスク800の端部801の直下にて露出した第1絶縁膜310の上面311Aを残しつつ、開口810の直下において第1絶縁膜310をエッチングして下層200及び絶縁基板100の少なくとも一方を露出させる第2エッチングス

トップと、を含む。このような態様とすることにより、実施形態1のアクティブマトリクス基板1における階段構造を、1つのマスク800で容易に形成することができる。ここで、「マスクの端部の直下にて露出した第1絶縁膜の上面を残す」とは、この上面が完全に残る場合のみならず、実質的に残る場合、更には上述のように、第1絶縁膜310に形成される突出部311の孔側の角部（突出部311の孔側の端部の上部）が崩れる場合（例えば図1（c）、（d）及び（e）を用いて説明した場合等）も包含するものとする。

[0127] 上記第1及び第2エッチングステップを行うことにより階段構造を形成し、その後、マスク800を除去し、続いて上記階段構造を覆う上層400を設ける上層形成工程を行うことにより、図9（d）に示す実施形態1のアクティブマトリクス基板1を製造することができる。

[0128] 上記第1エッチングステップでは、第1エッチングガスを使用して、マスク800の開口810の直下と、マスク800の、開口810側の端部801の直下における第2絶縁膜320が等方的にエッチングされる。すなわち、マスク800の開口810の直下に対応する領域の第2絶縁膜320だけでなく、マスク800の開口810と反対側の直下に対応する領域の第2絶縁膜320もエッチングされる。また、上記第2エッチングステップでは、マスク800の端部801の直下にて露出した第1絶縁膜310の上面311Aを残しつつ、開口810の直下において第1絶縁膜310が異方的にエッチングされる。

[0129] 上記第1及び第2エッチングステップにおいて、第1絶縁膜310及び第2絶縁膜320をドライエッチングする方法としては、RIE（Reactive Ion Etching）、ICP（Inductively coupled plasma）等が挙げられる。

[0130] 第1エッチングステップで用いる第1エッチングガスは、 SF_6 を含むことが好ましく、 SF_6 及び O_2 を含むことがより好ましい。第1エッチングガスは、 O_2 を上記第1エッチングガス全量に対して20モル%以上含むことが好ま

しい。また、第1エッチングステップは、第1エッチングガスの圧力を20 mTorr以上とし、比較的高圧な条件でエッチングすることが好ましい。

[0131] 第2エッチングステップで用いる第2エッチングガスは、 CF_4 を含むことが好ましく、 CF_4 、及び、 O_2 又はArを含むことがより好ましい。第2エッチングガスは、 O_2 又はArを上記第2エッチングガス全量に対して10モル%以上、60%以下含むことが好ましい。また、第2エッチングステップは、第2エッチングガスの圧力を60 mTorr以下とし、比較的低圧な条件でエッチングすることが好ましい。

[0132] なお、第1及び第2エッチングステップにおけるこれらの好ましい条件は、第1絶縁膜310及び第2絶縁膜320の材料の組み合わせが上記のいずれの場合であっても適用可能である。

[0133] 上記第2エッチングステップでは、第1絶縁膜310等の第2絶縁膜320以外の部材のエッチング時にスパッタされて生じた、ラジカルに対して不活性な物質（はじき飛ばされたもの）や、エッチング反応生成物として生じた、ラジカルに対して不活性な高分子物質（非揮発性ポリマー）が、第2絶縁膜320の孔500側の側面に付着し、変質層600が形成される。これにより、上記第2エッチングステップにおいてラジカルと第2絶縁膜320との化学反応を抑制することができる。その結果、第1絶縁膜310をエッチングする際に第2絶縁膜320がエッチングされるのを抑制することが可能となるため、第2絶縁膜320のシフト量のばらつきを抑制することが可能となる。

[0134] 他方、第2エッチングステップで用いる第2エッチングガスの種類を変えることにより変質層600の形成を抑えることもできる。第2エッチングステップにおいて、 CF_4 及びArを含む第2エッチングガスを用いる場合よりも、 CF_4 及び O_2 を含む第2エッチングガスを用いる場合の方が、変質層600の形成は抑えられる。また、 CF_4 及び O_2 を含む第2エッチングガスの O_2 分圧を増加させることにより、変質層600の形成は抑えられる。

[0135] また、第2絶縁膜320は、第2エッチングステップの終了時までマスク8

00で覆われている。このような態様とすることにより、変質層600が第2絶縁膜320と繋がった構造を形成することが可能となる。

[0136] 上記上層形成工程では、画素電極からなる上層400をスパッタリング法等により形成することができる。このようにして、図9(d)に示すように、画素電極からなる上層400と、ソース層の電極からなる下層200とが、孔500の領域内で接続される。

[0137] (実施形態14)

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。本実施形態では、第2絶縁膜320のシフト量を制御する方法について説明する。図10は、実施形態14のアクティブマトリクス基板の製造方法に関する断面模式図である。

[0138] 上記第1エッチングステップは、少なくとも第1絶縁膜310が露出するまで行えばよいが、本実施形態のアクティブマトリクス基板の製造方法は、図10に示すように、第1エッチングステップにおいて、開口810の直下にて露出した第1絶縁膜310の一部をエッチングする。すなわち、本実施形態のアクティブマトリクス基板の製造方法では、第1エッチングステップにおいて、第1絶縁膜310が露出した後も続けてエッチングを行う（オーバーエッチングを行う）。このような態様とすることにより、マスク800の端部801から後退する第2絶縁膜320の距離を大きくすることができる。すなわち、オーバーエッチングの時間を制御することにより、第2絶縁膜320がマスクの開口直下の領域から後退する方向（図中の矢印の方向）にエッチングされる量、すなわちシフト量を制御することが可能となる。

[0139] なお、第2絶縁膜320のシフト量は、第2絶縁膜320上をエッチングする際に第2絶縁膜320上に設けるレジスト膜のテーパ角度を変更することによっても適宜調整することができる。

[0140] (実施形態15)

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。本実施形態では、実施形態3

のアクティブマトリクス基板 1 の製造方法について説明する。図 1 1 は、実施形態 1 5 のアクティブマトリクス基板の製造方法に関する断面模式図である。

- [0141] 実施形態 1 3 のように、第 2 エッチングステップの終了時まで第 2 絶縁膜 3 2 0 をマスク 8 0 0 で覆うことにより、変質層 6 0 0 と第 2 絶縁膜 3 2 0 とが互いに繋がった構造を形成することができるが、本実施形態では、図 1 1 に示すように、第 2 エッチングステップにおいて、マスク 8 0 0 をエッチングして変質層 6 0 0 及び第 2 絶縁膜 3 2 0 がマスク 8 0 0 で覆われなくなるまで開口 8 1 0 を広げつつ、第 2 絶縁膜 3 2 0 をエッチングする。すなわち、マスク 8 0 0 の選択比を小さくし、第 1 絶縁膜 3 1 0 のみならず、マスク 8 0 0 を積極的にエッチングしてシフトさせる。そして、マスク 8 0 0 から露出した第 2 絶縁膜 3 2 0 の端部をエッチングする。このとき、変質層 6 0 0 と、その側方の一部の第 2 絶縁膜 3 2 0 は、エッチングされずに第 1 絶縁膜 3 1 0 上に残る。その結果、第 2 絶縁膜 3 2 0 とは隙間を空けて設けられた壁部 6 1 0 と、第 1 絶縁膜 3 1 0 及び第 2 絶縁膜 3 2 0 による階段構造 A とを形成することができる。したがって、アクティブマトリクス基板 1 上に配向膜材料等を塗布する際、孔 5 0 0 内に配向膜材料等が流れ込むのを壁部 6 1 0 により抑制することが可能となる。
- [0142] なお、第 1 絶縁膜 3 1 0 のエッチングレートを、第 2 絶縁膜 3 2 0 のエッチングレートと比較して十分に小さくすれば、第 1 絶縁膜 3 1 0 の突出部 3 1 1 がエッチングされるのを抑制することができるため、マスク 8 0 0 のシフト量を調整することにより、階段構造 A を形成することができる。また、階段構造 A は、第 2 エッチングステップの終了時まで第 2 絶縁膜 3 2 0 をマスク 8 0 0 で覆い、その後、マスク 8 0 0 のみを O_2 アッシング等によりシフトさせて開口 8 1 0 を広げて第 2 絶縁膜 3 2 0 の端部を露出させ、その後、第 2 絶縁膜 3 2 0 のみをドライエッチングすることによっても形成することができる。

- [0143] (実施形態 1 6)

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。本実施形態では、実施形態4のアクティブマトリクス基板1の製造方法について説明する。

[0144] 図12は、実施形態16のアクティブマトリクス基板の製造方法に関する図であり、(a)は孔周辺の平面模式図であり、(b)は(a)におけるa-b方向の断面模式図であり、(c)は(a)におけるc-d方向の断面模式図である。

[0145] 本実施形態では、第2エッチングステップ終了時において、c-d方向ではマスク800の開口810下で有機絶縁膜700が露出する構造を形成し、a-b方向では有機絶縁膜700が露出しない構造を形成する。

[0146] 実施形態4のアクティブマトリクス基板1は次のように製造することができる。まず、実施形態13と同様に、絶縁基板100上に、ゲート層及びゲート絶縁膜120を形成した後、下層200及びSiO₂から構成される第1絶縁膜310を順次形成する。

[0147] 次に、第1絶縁膜310上に、スピコート法等を用いて、フォトレジストである有機絶縁膜材料を塗布し、露光及び現像を行うことにより、有機絶縁膜材料をパターニングして有機絶縁膜700を形成する。続いて、有機絶縁膜700上に、実施形態13と同様に、第2絶縁膜320及びマスク800を順次形成する。a-b方向ではマスク800の開口810側の端部801を第1絶縁膜310及び第2絶縁膜320が互いに接する領域上に配置し、c-d方向ではマスク800の開口810側の第2の端部802を第2絶縁膜320及び有機絶縁膜700が互いに接する領域上に配置する。

[0148] 次に、第1エッチングステップ(第2絶縁膜320の等方的なエッチング)において、c-d方向では、図12(c)に示すように、開口810の直下で第1絶縁膜310及び有機絶縁膜700を露出させるとともに、マスク800の、開口810側の第2の端部802の直下において有機絶縁膜700を露出させる。更に、有機絶縁膜700が露出した後も第2絶縁膜320をエッチングする。他方、a-b方向では、図12(b)に示すように、実

施形態 13 と同様に、マスク 800 の開口 810 及び端部 801 の直下において第 1 絶縁膜 310 を露出させる。

[0149] その後、実施形態 13 と同様に、第 2 エッチングステップとそれ以降の工程を行うことによって、実施形態 4 のアクティブマトリクス基板 1 を作製することができる。

[0150] 有機絶縁膜は、一般に、比較的選択比の小さい、すなわちエッチングされやすいため、有機絶縁膜 700 の露出面積が増加すると、第 2 絶縁膜 320 のエッチングレートが低下する。したがって、本実施形態では、有機絶縁膜 700 の露出面積を調整することにより、有機絶縁膜 700 の露出後の第 1 及び第 2 エッチングステップにおける第 2 絶縁膜 320 のシフト量をより精密に制御することが可能となる。

[0151] (実施形態 17)

本実施形態では、本実施形態に特有の特徴について主に説明し、上記実施形態と重複する内容については説明を省略する。本実施形態では、実施形態 5 のアクティブマトリクス基板 1 の製造方法について説明する。

[0152] 実施形態 5 のアクティブマトリクス基板 1 は、有機絶縁膜 700 上に、上述のパターンを有する透明導電膜 702 を形成すること以外は、実施形態 16 のアクティブマトリクス基板の製造方法と同様の方法により作製することができる。具体的には、以下のように作製することができる。

[0153] まず、実施形態 13 と同様に、絶縁基板 100 上に、ゲート層及びゲート絶縁膜 120 を形成した後、下層 200 及び SiO₂ から構成される第 1 絶縁膜 310 を順次形成する。

[0154] 次に、第 1 絶縁膜 310 上に、スピコート法等を用いて、フォトレジストである有機絶縁膜材料を塗布し、露光及び現像を行うことにより、有機絶縁膜材料をパターンニングして有機絶縁膜 700 を形成する。

[0155] 続いて、有機絶縁膜 700 上に、透明導電膜 702 を形成する。透明導電膜 702 は、スパッタ法等により有機絶縁膜 700 上に透明導電膜を製膜し、続いてフォトリソグラフィ法等でパターンニングすることにより形成すること

ができる。透明導電膜 702 は、共通電極又は画素電極と同時に形成することが好ましい。

[0156] 次に、透明導電膜 702 上に、第 2 絶縁膜 320 及びマスク 800 を順次形成する。a-b 方向ではマスク 800 の開口 810 側の端部 801 を第 1 絶縁膜 310 及び第 2 絶縁膜 320 が互いに接する領域上に配置し、c-d 方向ではマスク 800 の開口 810 側の第 2 の端部 802 を第 2 絶縁膜 320 及び透明導電膜 702 が互いに接する領域上に配置する。

[0157] 次に、第 1 エッチングステップ（第 2 絶縁膜 320 の等方的なエッチング）において、c-d 方向では、図 13（c）に示すように、開口 810 の直下で第 1 絶縁膜 310 及び透明導電膜 702 を露出させるとともに、マスク 800、開口 810 側の第 2 の端部 802 の直下において透明導電膜 702 を露出させる。更に、透明導電膜 702 が露出した後も第 2 絶縁膜 320 をエッチングする。他方、a-b 方向では、図 13（b）に示すように、実施形態 13 と同様に、マスク 800 の開口 810 及び端部 801 の直下において第 1 絶縁膜 310 を露出させる。

[0158] その後、実施形態 13 と同様に、第 2 エッチングステップとそれ以降の工程を行うことによって、実施形態 5 のアクティブマトリクス基板 1 を作製することができる。

[0159] 透明導電膜 702 を構成する材料が変質した材料を、変質層 600 が含むことにより、一旦形成された変質層 600 が再度分解されることを抑制することが可能となる。そのため、第 1 絶縁膜 310 及び第 2 絶縁膜 320 のドライエッチング工程において、透明導電膜 702 が露出すると、透明導電膜 702 が僅かではあるがエッチングされ、変質層 600 に透明導電膜 702 を構成する材料が変質した材料が含まれることにより、変質層 600 を安定化して、変質層 600 の形成を促進することができる。

[0160] [付記]

本発明の一態様は、絶縁基板 100 と、絶縁基板 100 上に積層された下層 200 と、下層 200 上に積層された第 1 絶縁膜 310 と、第 1 絶縁膜 31

0上に積層された第2絶縁膜320と、第2絶縁膜320上に積層された上層400と、を備え、少なくとも第1絶縁膜310及び第2絶縁膜320を貫通して下層200及び絶縁基板100の少なくとも一方に達する孔500が設けられ、孔500が設けられた領域内に、第1絶縁膜310は、第2絶縁膜320の、第1絶縁膜310に接する端部321から突出した突出部311を有し、第1絶縁膜310の突出部311と、第2絶縁膜320の端部321とを含んで構成される階段構造Aが設けられ、上層400は、階段構造Aを覆い、第1絶縁膜310の突出部311の上面311Aと、第1絶縁膜310の、第2絶縁膜320の端部321の下に位置する部分の上面311Cとは、同一平面上にある基板1であってもよい。

[0161] このように、孔500が設けられる領域内において、第2絶縁膜320の第1絶縁膜310に接する端部321から第1絶縁膜310を突出させ、それら第1絶縁膜310の突出部311と第2絶縁膜320の端部321とを含む階段構造Aを設け、この階段構造Aを覆うように上層400を設けることにより、複数の絶縁膜による大きな1つの段差ではなく、第1絶縁膜310及び第2絶縁膜320の各絶縁膜による相対的に小さな2つの段差を上層400は覆うこととなるため、上層400のカバレッジ及び密着性を向上できる。また、上層400がこのような階段構造Aを覆うことから、上層400のカバレッジ及び密着性を確保しつつ、第1絶縁膜310及び第2絶縁膜320の各絶縁膜の孔500側の側面311B、321Bの傾斜をある程度急峻にすることも可能である。また、上層400の密着性に優れるため、上層400の密着性低下による薬液等の染み込みに起因する腐食や膜剥がれを抑制することができる。

[0162] 更に、第1絶縁膜310の上面は、第2絶縁膜320の端部321の外（孔500側）と内（孔500の反対側）とで単一平面上に存在している。すなわち、第1絶縁膜310の突出部311の上面311Aと、第1絶縁膜310の、第2絶縁膜320の端部321の下に位置する部分の上面311Cとは、同一平面上に存在している。このような態様とすることにより、第1絶

縁膜 310 の突出部 311 の上面に緩やかなテーパ形状を形成する必要がなくなり、第 1 絶縁膜 310 上において第 2 絶縁膜 320 の端部 321 の位置を第 1 絶縁膜 310 の孔 500 側の側面 311B に適宜近づけることが可能となるため、各絶縁膜の孔 500 側の側面 311B、321B の傾斜をある程度急峻にできることと相まって、孔 500 の大きさを縮小することができる。

[0163] 基板 1 は、第 2 絶縁膜 320 の孔 500 側の側面に、第 2 絶縁膜 320 を構成する材料とは異なる材料から構成される変質層 600 を更に備えてもよい。このような態様とすることにより、第 2 絶縁膜 320 シフト量を制御することが可能となるため、第 2 絶縁膜 320 の端部 321 の位置のばらつき、すなわち、孔 500 の大きさのばらつきを抑制することができる。

[0164] 基板 1 は、突出部 311 の上面 311A 上に第 2 絶縁膜 320 とは隙間を空けて設けられた壁部 610 を更に備えていてもよい。このような態様とすることにより、基板 1 上に配向膜材料等を塗布する際、孔 500 内に配向膜材料等が流れ込むのを壁部 610 により抑制することが可能となる。

[0165] 壁部 610 は、第 2 絶縁膜 320 と反対側の面に、第 2 絶縁膜 320 を構成する材料とは異なる材料から構成される変質層 600 を有していてもよい。

[0166] 第 2 絶縁膜 320 は、窒化シリコン膜であり、第 1 絶縁膜 310 は、酸化シリコン膜、第 2 絶縁膜 320 よりもエッチングレートが小さい窒化シリコン膜、又は、酸化窒化シリコン膜であってもよい。このような態様とすることにより、本発明の他の一態様である基板 1 の製造方法を用いて、階段構造 A を形成し易くなる。

[0167] 第 2 絶縁膜 320 は、酸化窒化シリコン膜であり、第 1 絶縁膜 310 は、酸化シリコン膜、又は、上記第 2 絶縁膜よりもエッチングレートが小さい酸化窒化シリコン膜であってもよい。このような態様とすることにより、本発明の他の一態様である基板 1 の製造方法を用いて、階段構造 A を形成し易くなる。

[0168] 基板 1 は、第 1 絶縁膜 310 と第 2 絶縁膜 320 との間に設けられた有機絶

縁膜 700 を更に備え、孔 500 は、第 1 絶縁膜 310、第 2 絶縁膜 320 及び有機絶縁膜 700 を貫通して下層 200 及び絶縁基板 100 の少なくとも一方に達し、孔 500 が設けられた上記領域内に、有機絶縁膜 700 は、第 2 絶縁膜 320 の第 2 の端部 322 から突出した突出部 701 を有していてもよい。

[0169] 有機絶縁膜は、一般に、比較的選択比の小さい、すなわちエッチングされやすいため、基板 1 の製造工程において、有機絶縁膜 700 の露出面積が増加すると、第 2 絶縁膜 320 のエッチングレートが低下する。その結果、有機絶縁膜 700 の露出面積を調整することにより、有機絶縁膜 700 の露出後の第 1 及び第 2 エッチングステップにおける第 2 絶縁膜 320 のシフト量をより精密に制御することが可能となる。

[0170] 基板 1 は、第 1 絶縁膜 310 と第 2 絶縁膜 320 との間に設けられた透明導電膜 702 を更に備え、孔 500 が設けられた上記領域内に、透明導電膜 702 は、第 2 絶縁膜 320 の第 2 の端部 322 から突出した突出部 703 を有していてもよい。

[0171] 透明導電膜 702 を構成する材料が変質した材料を、変質層 600 が含むことにより、一旦形成された変質層 600 が再度分解されることを抑制することが可能となる。そのため、基板 1 の製造工程、特に上層 400 形成前の第 1 絶縁膜 310 及び第 2 絶縁膜 320 のドライエッチング工程において、透明導電膜 702 が露出すると、透明導電膜 702 が僅かではあるがエッチングされ、変質層 600 に透明導電膜 702 を構成する材料が変質した材料が含まれることにより、変質層 600 を安定化して、変質層 600 の形成を促進することができる。

[0172] 本発明の他の一態様は、絶縁基板 100 と、絶縁基板 100 上に積層された下層 200 と、下層 200 上に積層された第 1 絶縁膜 310 と、第 1 絶縁膜 310 上に積層された第 2 絶縁膜 320 とを備えた処理前基板 1A を、開口 810 が形成されたマスク 800 を介してドライエッチングし、少なくとも第 1 絶縁膜 310 及び第 2 絶縁膜 320 を貫通して下層 200 及び絶縁基板

100の少なくとも一方に達する孔500を形成するエッチング工程を有し、上記エッチング工程は、第1エッチングガスを使用して、開口810の直下と、マスク800の、開口810側の端部801の直下とにおいて第2絶縁膜320をエッチングして第1絶縁膜310を露出させる第1エッチングステップと、第2エッチングガスを使用して、マスク800の端部801の直下にて露出した第1絶縁膜310の上面311Aを残しつつ、開口810の直下において第1絶縁膜310をエッチングして下層200及び絶縁基板100の少なくとも一方を露出させる第2エッチングステップと、を含む基板の製造方法であってもよい。このような態様とすることにより、第1絶縁膜310及び第2絶縁膜320に孔500をドライエッチングにより一括形成可能となり、本発明の一態様における階段構造Aを容易に形成することができる。

[0173] 上記第1エッチングステップにおいて、開口810の直下にて露出した第1絶縁膜310の一部をエッチングしてもよい。このような態様とすることにより、第2絶縁膜320のシフト量を制御することが可能となる。

[0174] 第2エッチングステップにおいて、第2絶縁膜320の孔500側の側面に、第2絶縁膜320を構成する材料とは異なる材料から構成される変質層600を形成してもよい。このような態様とすることにより、第1絶縁膜310をエッチングする際に第2絶縁膜320がエッチングされるのを抑制することが可能となるため、第2絶縁膜320のシフト量のばらつきを抑制することが可能となる。

[0175] 第2絶縁膜320は、上記第2エッチングステップの終了時までマスク800で覆われていてもよい。このような態様とすることにより、変質層600が第2絶縁膜320と繋がった構造を形成することが可能となる。

[0176] 上記第2エッチングステップにおいて、マスク800をエッチングして変質層600及び第2絶縁膜320がマスク800で覆われなくなるまで開口810を広げつつ、第2絶縁膜320をエッチングしてもよい。このような態様とすることにより、第2絶縁膜320とは隙間を空けて設けられた壁部6

10を形成することが可能となる。その結果、基板上に配向膜材料等を塗布する際、孔500内に配向膜材料等が流れ込むのを壁部610により抑制することが可能となる。

[0177] 上記第1エッチングガスは、 SF_6 及び O_2 を含み、上記第2エッチングガスは、 CF_4 、及び、 O_2 又はArを含んでもよい。

[0178] 上記第1エッチングガスは、 O_2 を上記第1エッチングガス全量に対して20モル%以上含んでもよい。

[0179] 上記第2エッチングガスは、 O_2 又はArを上記第2エッチングガス全量に対して10モル%以上、60モル%以下含んでもよい。

[0180] 処理前基板1Aは、第1絶縁膜310と第2絶縁膜320との間に、更に有機絶縁膜700を備え、上記第1エッチングステップにおいて、開口810の直下で第1絶縁膜310及び有機絶縁膜700を露出させるとともに、マスク800の、開口810側の第2の端部802の直下において有機絶縁膜700を露出させ、有機絶縁膜700が露出した後も第2絶縁膜320をエッチングしてもよい。

[0181] 有機絶縁膜は、一般に、比較的選択比の小さい、すなわちエッチングされやすいため、有機絶縁膜700の露出面積が増加すると、基板1の製造工程において、第2絶縁膜320のエッチングレートが低下する。その結果、有機絶縁膜700の露出面積を調整することにより、有機絶縁膜700の露出後の第1及び第2エッチングステップにおける第2絶縁膜320のシフト量をより精密に制御することが可能となる。

[0182] 処理前基板1Aは、第1絶縁膜310と第2絶縁膜320との間に、更に透明導電膜701を備え、上記第1エッチングステップにおいて、開口810の直下で第1絶縁膜310及び透明導電膜702を露出させるとともに、マスク800の、開口810側の第2の端部802の直下において透明導電膜702を露出させ、透明導電膜702が露出した後も第2絶縁膜320をエッチングしてもよい。

[0183] 透明導電膜702を構成する材料が変質した材料を、変質層600が含むこ

とにより、一旦形成された変質層 600 が再度分解されることを抑制することが可能となる。そのため、第 1 絶縁膜 310 及び第 2 絶縁膜 320 のドライエッチング工程において、透明導電膜 702 が露出すると、透明導電膜 702 が僅かではあるがエッチングされ、変質層 600 に透明導電膜 702 を構成する材料が変質した材料が含まれることにより、変質層 600 を安定化して、変質層 600 の形成を促進することができる。

符号の説明

[0184] 1、1R：アクティブマトリクス基板（基板）

1A：処理前基板

10：表示領域

10A：第 1 薄膜トランジスタ

10B：第 2 薄膜トランジスタ

11：基板

12：下地膜

13：結晶質シリコン半導体層

13c：活性領域

13d：ドレイン領域

13s：ソース領域

14：第 1 の絶縁層

15A、15B：ゲート電極

16：第 2 の絶縁層

17：酸化物半導体層

17c：活性領域

17d：ドレインコンタクト領域

17s：ソースコンタクト領域

18sA、18sB：ソース電極

18dA：ドレイン電極

20：駆動回路形成領域

21 : ゲートドライバ回路
22 : 検査回路
23 : ドライバIC
100、100R : 絶縁基板
110 : ゲート層の電極
120 : ゲート絶縁膜
130 : ソース層の電極
200、200R : 下層
300 : パッシベーション膜
310、310R : 第1絶縁膜
311、701、703 : 突出部
311A、311C、321A : 上面
311B、321B : 側面
311D、321D : 底面
311E、311G、311H : 傾斜面
311F : 凹部
312、321、801 : 端部
322、802 : 第2の端部
320、320R : 第2絶縁膜
330R : 第3絶縁膜
400、410、420、400R : 上層
500、500R : 孔
600 : 変質層
610 : 壁部
700 : 有機絶縁膜
702 : 透明導電膜
710 : 平坦化膜
720 : 透明導電層（コモン電極）

800 : マスク

810 : 開口

A : 階段構造

B : 厚み

α 、 β : 角度

w : 突出幅

請求の範囲

- [請求項1] 絶縁基板と、前記絶縁基板上に積層された下層と、前記下層上に積層された第1絶縁膜と、前記第1絶縁膜上に積層された第2絶縁膜と、前記第2絶縁膜上に積層された上層と、を備え、
少なくとも前記第1絶縁膜及び前記第2絶縁膜を貫通して前記下層及び前記絶縁基板の少なくとも一方に達する孔が設けられ、
前記孔が設けられた領域内に、前記第1絶縁膜は、前記第2絶縁膜の、前記第1絶縁膜に接する端部から突出した突出部を有し、
前記第1絶縁膜の前記突出部と、前記第2絶縁膜の前記端部とを含んで構成される階段構造が設けられ、
前記上層は、前記階段構造を覆い、
前記第1絶縁膜の前記突出部の上面と、前記第1絶縁膜の、前記第2絶縁膜の前記端部の下に位置する部分の上面とは、同一平面上にあることを特徴とする基板。
- [請求項2] 前記第2絶縁膜の前記孔側の側面に、前記第2絶縁膜を構成する材料とは異なる材料から構成される変質層を更に備えることを特徴とする請求項1に記載の基板。
- [請求項3] 前記突出部の前記上面上に前記第2絶縁膜とは隙間を空けて設けられた壁部を更に備えることを特徴とする請求項1に記載の基板。
- [請求項4] 前記壁部は、前記第2絶縁膜と反対側の面に、前記第2絶縁膜を構成する材料とは異なる材料から構成される変質層を有することを特徴とする請求項3に記載の基板。
- [請求項5] 前記第2絶縁膜は、窒化シリコン膜であり、
前記第1絶縁膜は、酸化シリコン膜、前記第2絶縁膜よりもエッチングレートが小さい窒化シリコン膜、又は、酸化窒化シリコン膜であることを特徴とする請求項1～4のいずれかに記載の基板。
- [請求項6] 前記第2絶縁膜は、酸化窒化シリコン膜であり、
前記第1絶縁膜は、酸化シリコン膜、又は、前記第2絶縁膜よりもエ

ッチングレートが小さい酸化窒化シリコン膜であることを特徴とする請求項 1 ～ 4 のいずれかに記載の基板。

[請求項7] 前記第 1 絶縁膜と前記第 2 絶縁膜との間に設けられた有機絶縁膜を更に備え、

前記孔は、前記第 1 絶縁膜、前記第 2 絶縁膜及び前記有機絶縁膜を貫通して前記下層及び前記絶縁基板の少なくとも一方に達し、

前記孔が設けられた前記領域内に、前記有機絶縁膜は、前記第 2 絶縁膜の第 2 の端部から突出した突出部を有することを特徴とする請求項 1 ～ 6 のいずれかに記載の基板。

[請求項8] 前記第 1 絶縁膜と前記第 2 絶縁膜との間に設けられた透明導電膜を更に備え、

前記孔が設けられた前記領域内に、前記透明導電膜は、前記第 2 絶縁膜の前記第 2 の端部から突出した突出部を有することを特徴とする請求項 1 ～ 7 のいずれかに記載の基板。

[請求項9] 絶縁基板と、前記絶縁基板上に積層された下層と、前記下層上に積層された第 1 絶縁膜と、前記第 1 絶縁膜上に積層された第 2 絶縁膜とを備えた処理前基板を、開口が形成されたマスクを介してドライエッチングし、少なくとも前記第 1 絶縁膜及び前記第 2 絶縁膜を貫通して前記下層及び前記絶縁基板の少なくとも一方に達する孔を形成するエッチング工程を有し、

前記エッチング工程は、第 1 エッチングガスを使用して、前記開口の直下と、前記マスクの、前記開口側の端部の直下とにおいて前記第 2 絶縁膜をエッチングして前記第 1 絶縁膜を露出させる第 1 エッチングステップと、

第 2 エッチングガスを使用して、前記マスクの前記端部の直下にて露出した前記第 1 絶縁膜の上面を残しつつ、前記開口の直下において前記第 1 絶縁膜をエッチングして前記下層及び前記絶縁基板の少なくとも一方を露出させる第 2 エッチングステップと、を含むことを特徴と

する基板の製造方法。

- [請求項10] 前記第1エッチングステップにおいて、前記開口の直下にて露出した前記第1絶縁膜の一部をエッチングすることを特徴とする請求項9に記載の基板の製造方法。
- [請求項11] 前記第2エッチングステップにおいて、前記第2絶縁膜の前記孔側の側面に、前記第2絶縁膜を構成する材料とは異なる材料から構成される変質層を形成することを特徴とする請求項9又は10に記載の基板の製造方法。
- [請求項12] 前記第2絶縁膜は、前記第2エッチングステップの終了時まで前記マスクで覆われていることを特徴とする請求項11に記載の基板の製造方法。
- [請求項13] 前記第2エッチングステップにおいて、前記マスクをエッチングして前記変質層及び前記第2絶縁膜が前記マスクで覆われなくなるまで前記開口を広げつつ、前記第2絶縁膜をエッチングすることを特徴とする請求項11に記載の基板の製造方法。
- [請求項14] 前記第1エッチングガスは、 SF_6 及び O_2 を含み、
前記第2エッチングガスは、 CF_4 、及び、 O_2 又は Ar を含むことを特徴とする請求項9～13のいずれかに記載の基板の製造方法。
- [請求項15] 前記第1エッチングガスは、 O_2 を前記第1エッチングガス全量に対して20モル%以上含むことを特徴とする請求項14に記載の基板の製造方法。
- [請求項16] 前記第2エッチングガスは、 O_2 又は Ar を前記第2エッチングガス全量に対して10モル%以上、60モル%以下含むことを特徴とする請求項14又は15に記載の基板の製造方法。
- [請求項17] 前記処理前基板は、前記第1絶縁膜と前記第2絶縁膜との間に、更に有機絶縁膜を備え、
前記第1エッチングステップにおいて、前記開口の直下で前記第1絶縁膜及び前記有機絶縁膜を露出させるとともに、前記マスクの、前記

開口側の第2の端部の直下において前記有機絶縁膜を露出させ、前記有機絶縁膜が露出した後も前記第2絶縁膜をエッチングすることを特徴とする請求項9～16のいずれかに記載の基板の製造方法。

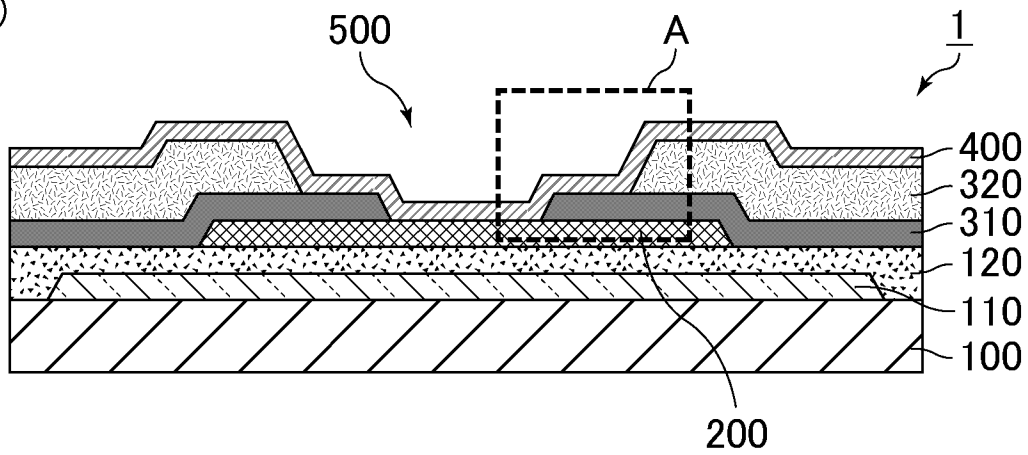
[請求項18]

前記処理前基板は、前記第1絶縁膜と前記第2絶縁膜との間に、更に透明導電膜を備え、

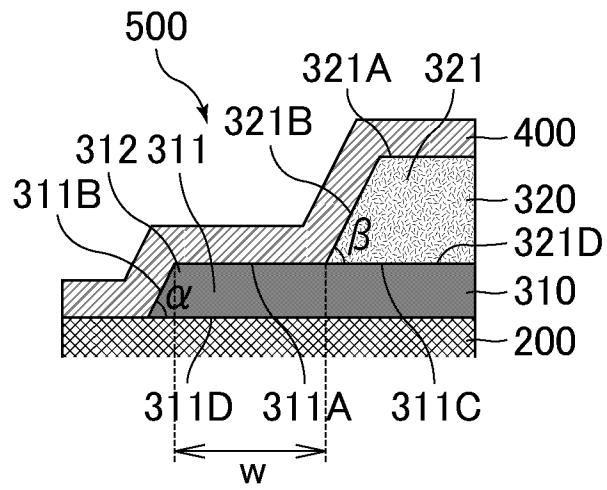
前記第1エッチングステップにおいて、前記開口の直下で前記第1絶縁膜及び前記透明導電膜を露出させるとともに、前記マスクの、前記開口側の第2の端部の直下において前記透明導電膜を露出させ、前記透明導電膜が露出した後も前記第2絶縁膜をエッチングすることを特徴とする請求項9～17のいずれかに記載の基板の製造方法。

[図1]

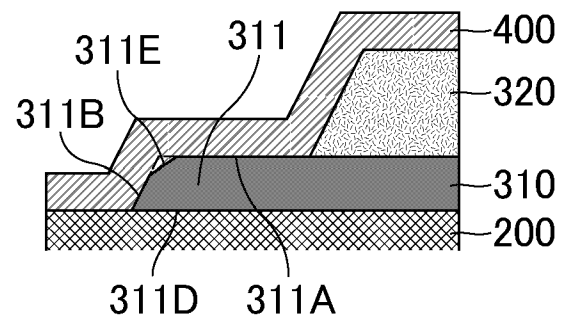
(a)



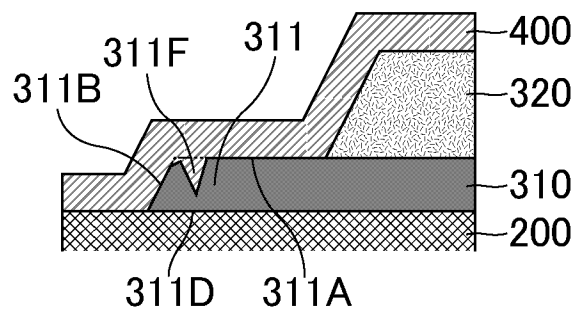
(b)



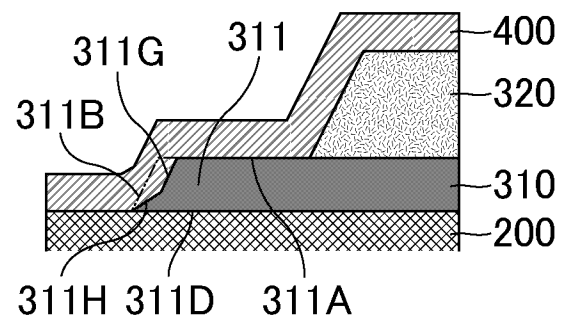
(c)



(d)



(e)

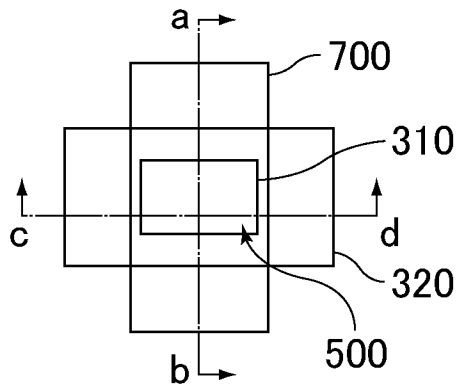


[illegible]

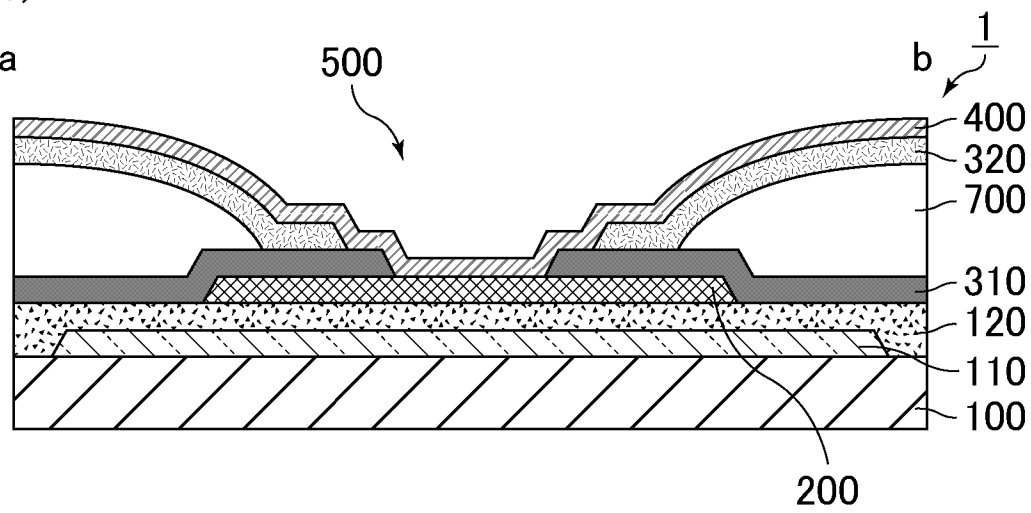
A cross-sectional view of a semiconductor device 1. The device is built on a substrate 100 with diagonal hatching. A thin layer 110 is on top of the substrate. Below layer 110 is a layer 120 with a stippled pattern. Above layer 120 is a layer 310 with a cross-hatched pattern. On top of layer 310 is a layer 320 with a stippled pattern. The top surface of layer 320 has a series of rectangular protrusions. Between these protrusions are recessed regions. In the center of each recessed region, there is a smaller, deeper recessed region. The top surface of the device is labeled with 400. The side walls of the protrusions are labeled with 610. The top surface of the recessed regions is labeled with 600. The bottom surface of the recessed regions is labeled with 500. The bottom surface of the protrusions is labeled with 311. The bottom surface of the recessed regions is labeled with 311A. The entire device is labeled with 200. A reference numeral 1 is shown in the top right corner.

[図4]

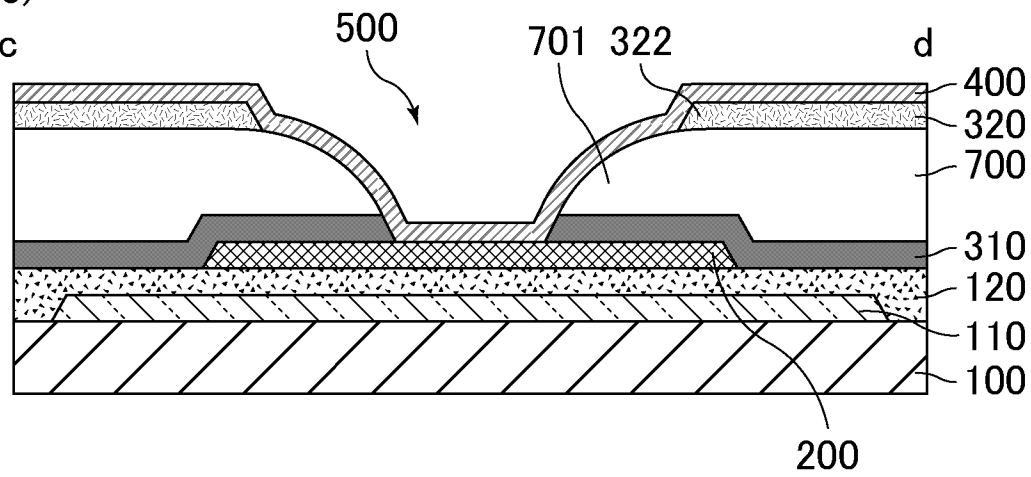
(a)



(b)

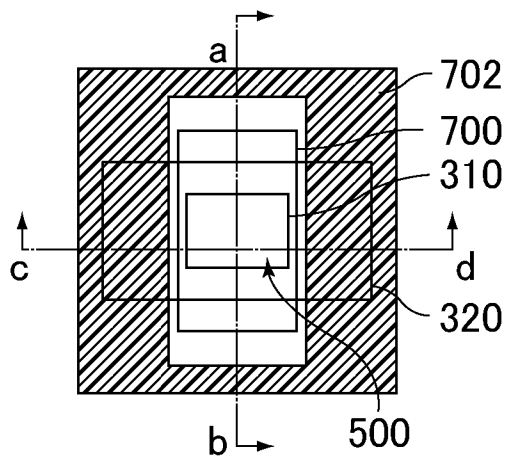


(c)

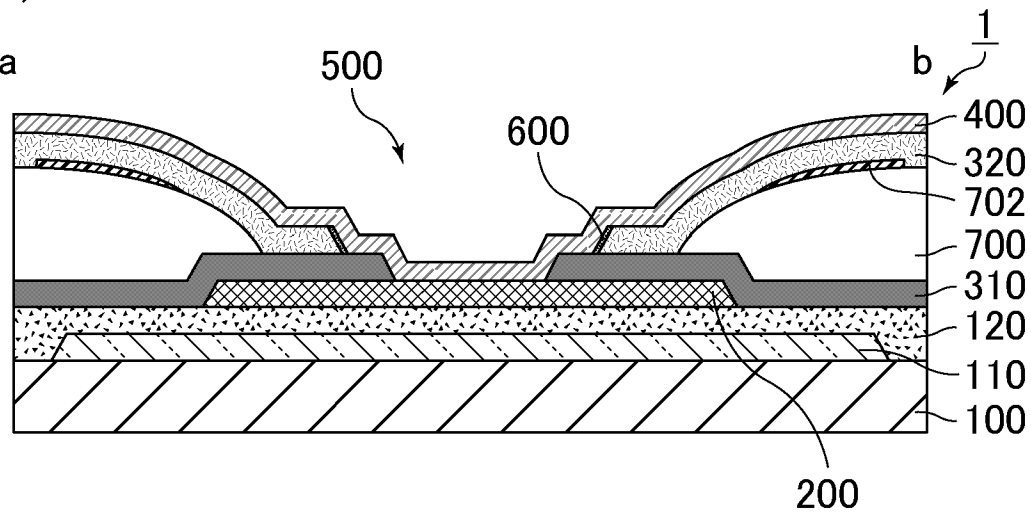


[図5]

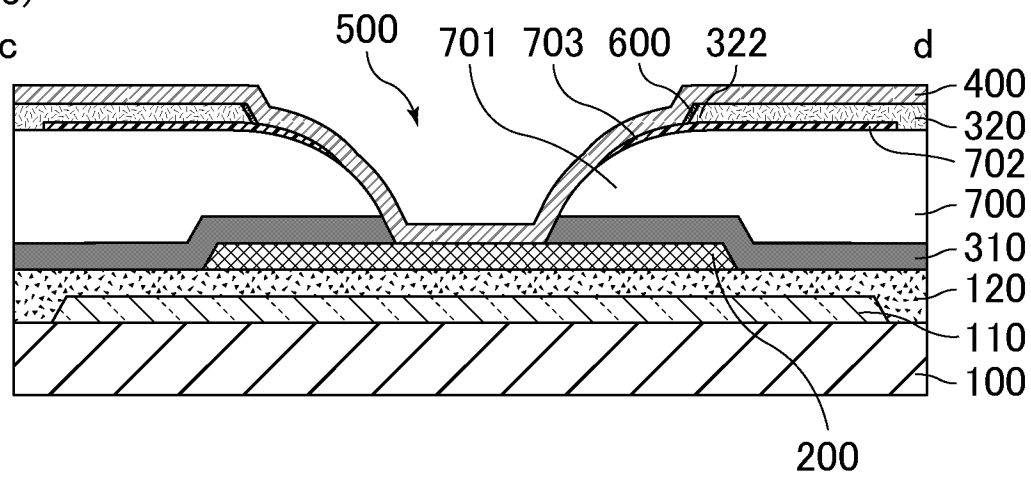
(a)



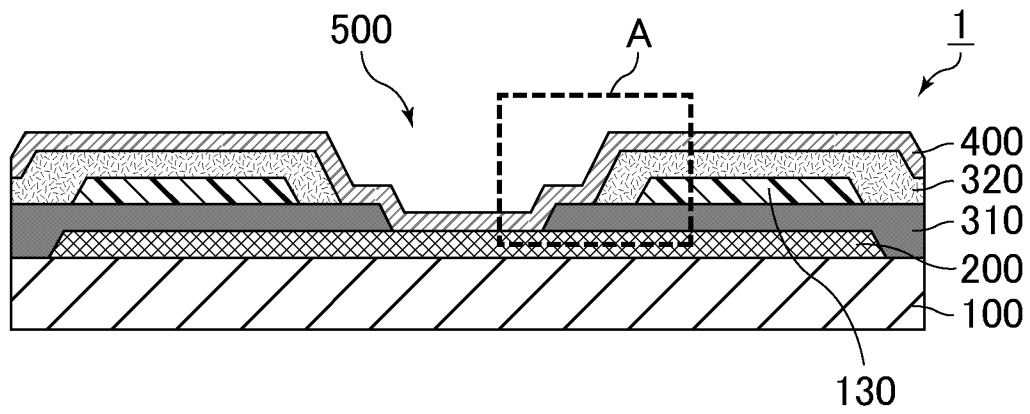
(b)



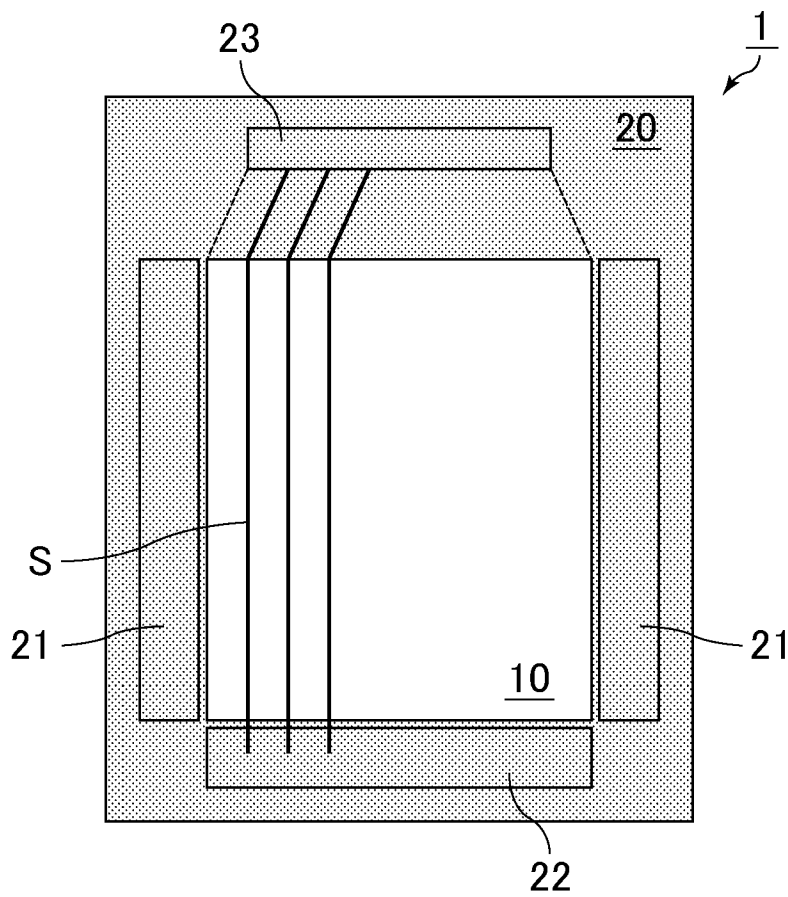
(c)



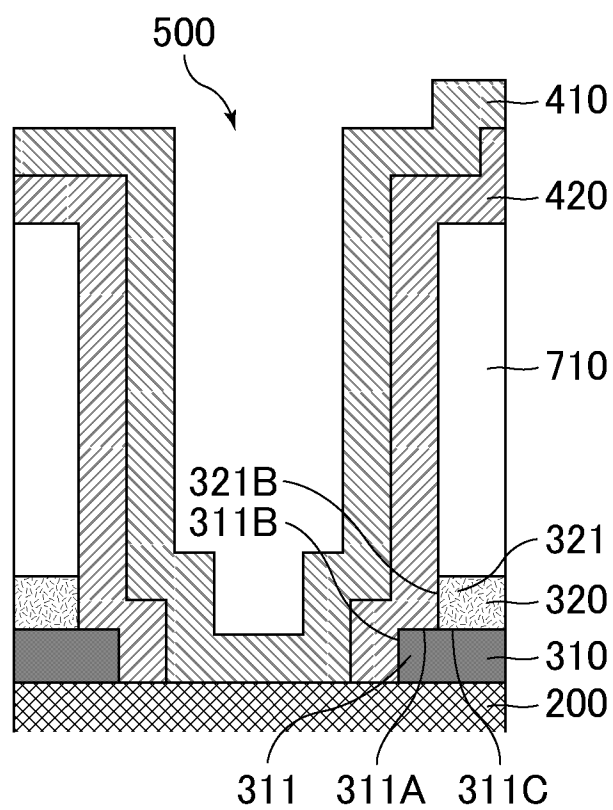
[図6]



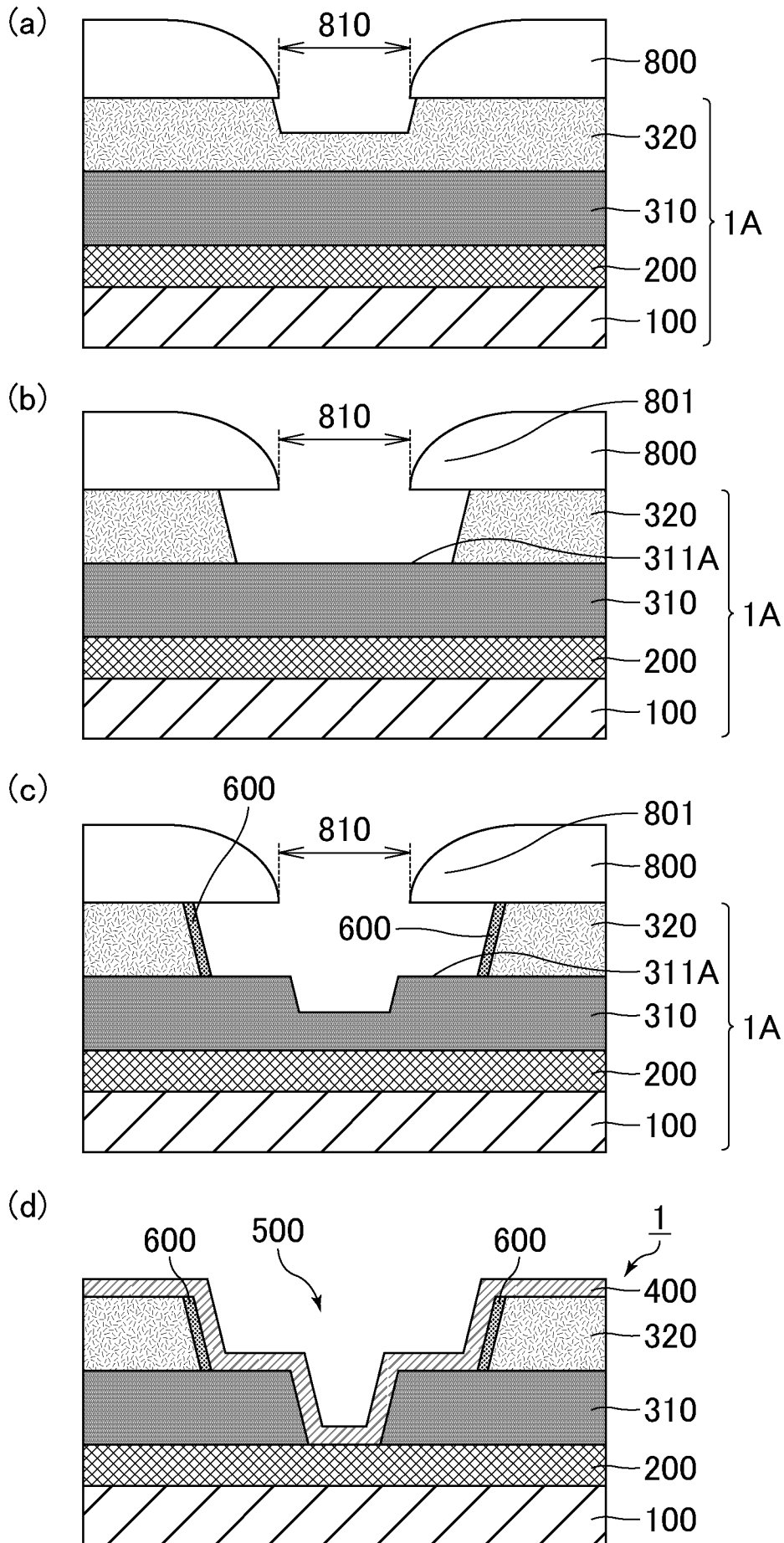
[図7]



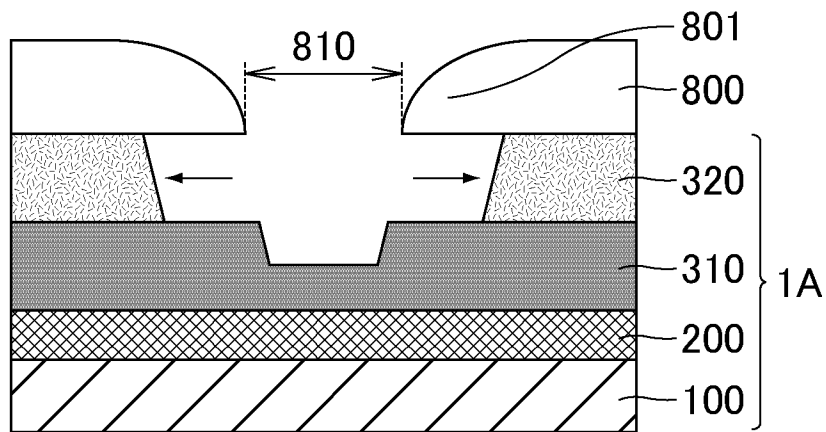
(a)



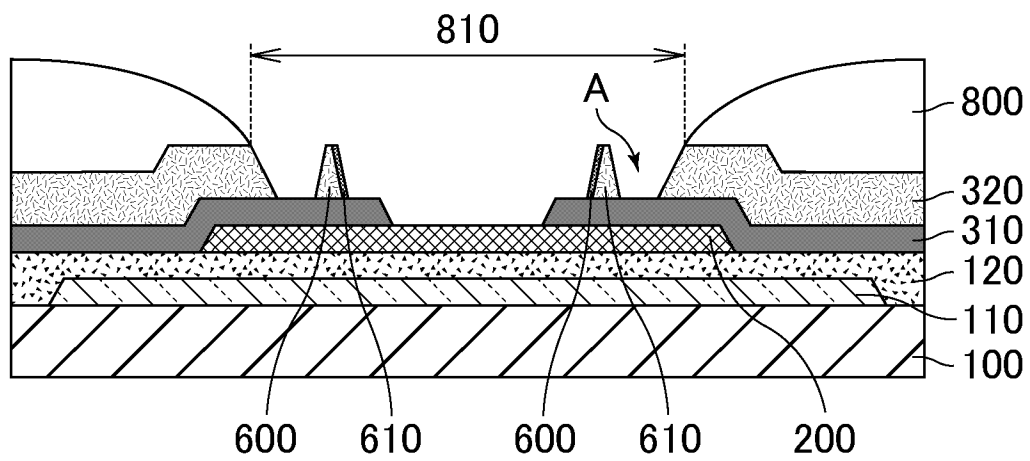
[図9]



[図10]

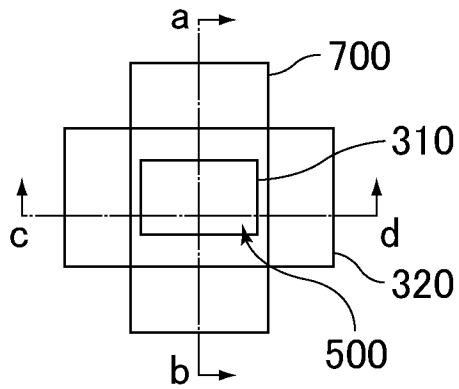


[図11]

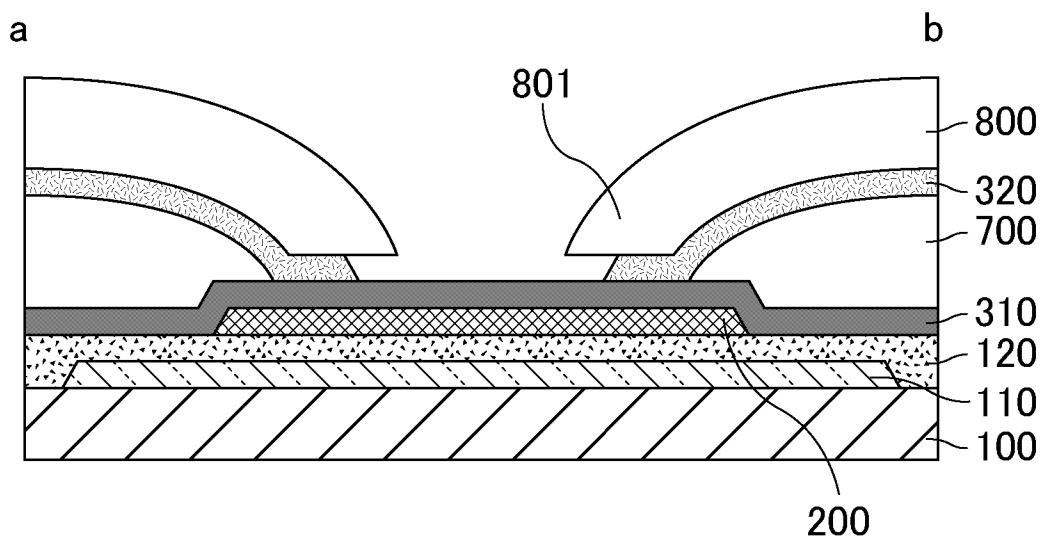


[図12]

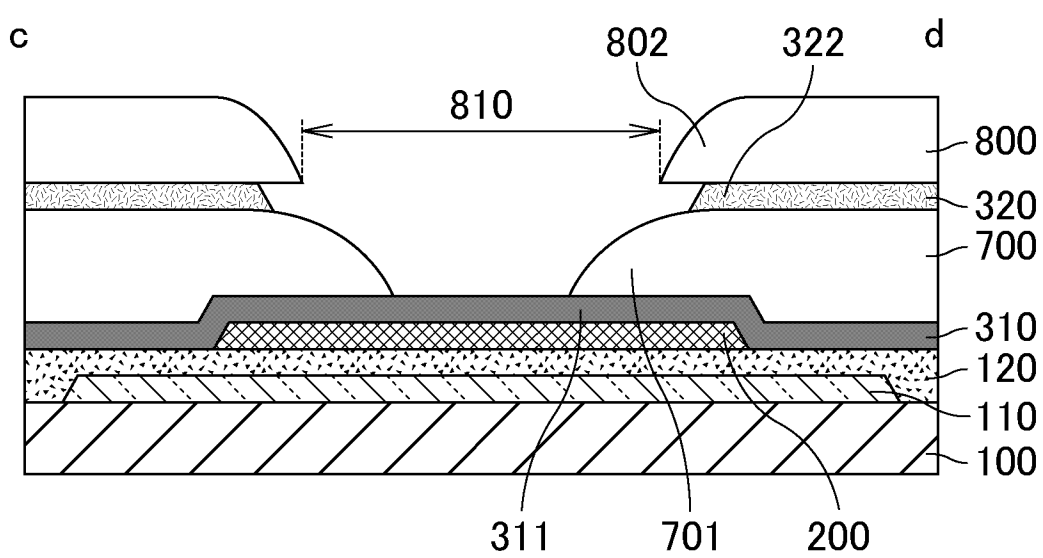
(a)



(b)

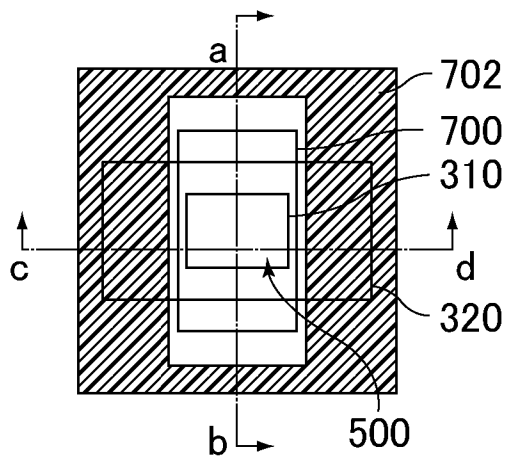


(c)

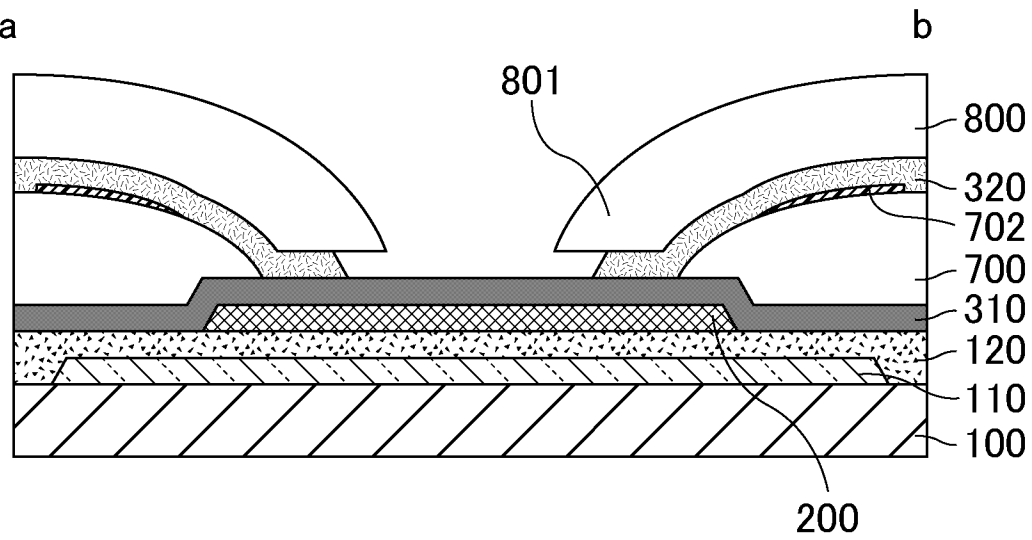


[図13]

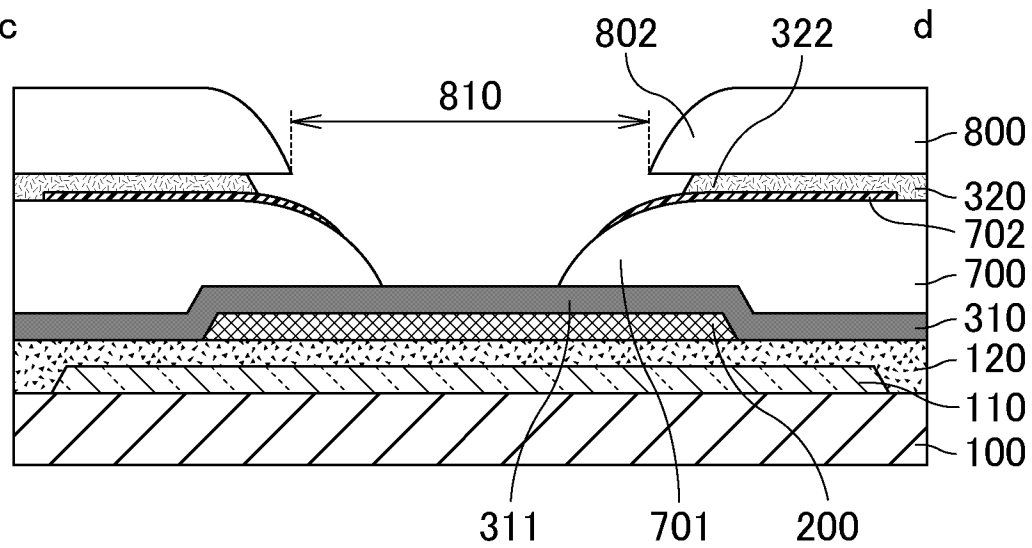
(a)



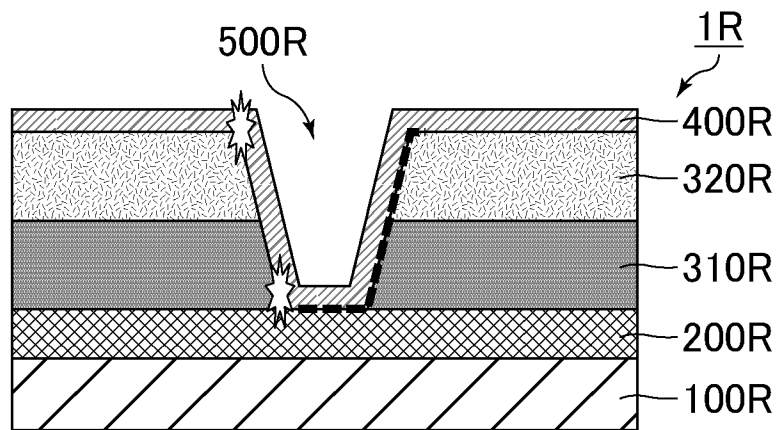
(b)



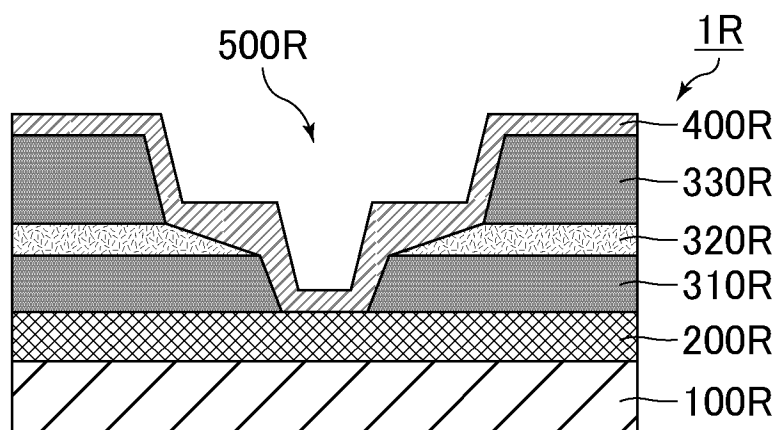
(c)



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/028001

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/786(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i,
H01L21/3065(2006.01)i, H01L21/336(2006.01)i,
H01L21/768(2006.01)i, H01L23/522(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/786, G09F9/00, G09F9/30, H01L21/3065, H01L21/336,
H01L21/768, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-204498 A (TOSHIBA CORP.) 30 July 1999,	1, 5, 9, 10
Y	paragraphs [0007]-[0016], [0027]-[0041], fig. 1-4,	6, 7, 14-17
A	9-16 (Family: none)	2-4, 8, 11-13, 18
Y	JP 2011-151383 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04 August 2011, paragraph [0227], fig. 10 & US 2011/0156027 A1, paragraph [0244], fig. 10G & US 2013/0256657 A1 & US 2016/0260718 A1 & WO 2011/077967 A1 & TW 201140808 A & KR 10-2012-0094146 A & CN 102804360 A & KR 10-2013-0099215 A & TW 201347147 A & KR 10-2014-0072129 A & CN 103985760 A & CN 104716139 A & KR 10-2017-0109071 A	5-7, 17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 October 2018 (11.10.2018)

Date of mailing of the international search report
23 October 2018 (23.10.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/028001

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-30531 A (CENTRAL GLASS CO., LTD.) 07 February 2013, paragraph [0003] & US 2014/0302683 A1, paragraph [0003] & WO 2013/015033 A1 & EP 2733725 A1 & TW 201313878 A & CN 103718277 A & KR 10-2014-0051332 A	14-16
X	JP 4-358128 A (OKI ELECTRIC INDUSTRY CO., LTD.) 11 December 1992, paragraphs [0009]-[0017], fig. 1-3 (Family: none)	1
Y		5-7
A		2-4, 8-18
A	JP 2010-123932 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 03 June 2010, entire text, all drawings & US 2010/0102315 A1 & US 2012/0286266 A1 & US 2014/0179058 A1 & KR 10-2010-0045920 A & CN 101728278 A & TW 201034086 A & CN 105448969 A & KR 10-2016-0122678 A & KR 10-2017-0131825 A	1-18
A	JP 10-62810 A (SANYO ELECTRIC CO., LTD.) 06 March 1998, entire text, all drawings (Family: none)	1-18
A	JP 2009-147203 A (MITSUBISHI ELECTRIC CORP.) 02 July 2009, entire text, all drawings & US 2009/0152563 A1 & CN 101465360 A	1-18
A	JP 2011-258949 A (SAMSUNG ELECTRONICS CO., LTD.) 22 December 2011, entire text, all drawings & US 2011/0297930 A1 & KR 10-2011-0133251 A & CN 102270644 A	1-18
A	JP 2002-190515 A (MITSUBISHI ELECTRIC CORP.) 05 July 2002, entire text, all drawings & US 2002/0081818 A1 & TW 523862 B & KR 10-2002-0050697 A	1-18
A	JP 6-208132 A (SONY CORP.) 26 July 1994, entire text, all drawings & US 5208690 A & EP 723179 A1 & EP 449123 A2 & KR 10-0259670 B	1-18

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/786(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i, H01L21/3065(2006.01)i,
H01L21/336(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, G09F9/00, G09F9/30, H01L21/3065, H01L21/336, H01L21/768, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 11-204498 A（株式会社東芝）	1, 5, 9, 10
Y	1999.07.30, 段落[0007]-[0016], [0027]-[0041], 図 1-4, 9-16	6, 7, 14-17
A	（ファミリーなし）	2-4, 8, 11-13, 18

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

11.10.2018

国際調査報告の発送日

23.10.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-151383 A (株式会社半導体エネルギー研究所) 2011.08.04, 段落[0227], 図 10 & US 2011/0156027 A1, 段落[0244], 図 10G & US 2013/0256657 A1 & US 2016/0260718 A1 & WO 2011/077967 A1 & TW 201140808 A & KR 10-2012-0094146 A & CN 102804360 A & KR 10-2013-0099215 A & TW 201347147 A & KR 10-2014-0072129 A & CN 103985760 A & CN 104716139 A & KR 10-2017-0109071 A	5-7, 17
Y	JP 2013-30531 A (セントラル硝子株式会社) 2013.02.07, 段落[0003] & US 2014/0302683 A1, 段落[0003] & WO 2013/015033 A1 & EP 2733725 A1 & TW 201313878 A & CN 103718277 A & KR 10-2014-0051332 A	14-16
X	JP 4-358128 A (沖電気工業株式会社)	1
Y	1992.12.11, 段落[0009]-[0017], 図 1-3	5-7
A	(ファミリーなし)	2-4, 8-18
A	JP 2010-123932 A (株式会社半導体エネルギー研究所) 2010.06.03, 全文, 全図 & US 2010/0102315 A1 & US 2012/0286266 A1 & US 2014/0179058 A1 & KR 10-2010-0045920 A & CN 101728278 A & TW 201034086 A & CN 105448969 A & KR 10-2016-0122678 A & KR 10-2017-0131825 A	1-18
A	JP 10-62810 A (三洋電機株式会社) 1998.03.06, 全文, 全図 (ファミリーなし)	1-18
A	JP 2009-147203 A (三菱電機株式会社) 2009.07.02, 全文, 全図 & US 2009/0152563 A1 & CN 101465360 A	1-18
A	JP 2011-258949 A (三星電子株式会社) 2011.12.22, 全文, 全図 & US 2011/0297930 A1 & KR 10-2011-0133251 A & CN 102270644 A	1-18
A	JP 2002-190515 A (三菱電機株式会社) 2002.07.05, 全文, 全図 & US 2002/0081818 A1 & TW 523862 B & KR 10-2002-0050697 A	1-18
A	JP 6-208132 A (ソニー株式会社) 1994.07.26, 全文, 全図 & US 5208690 A & EP 723179 A1 & EP 449123 A2 & KR 10-0259670 B	1-18