



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0019336
(43) 공개일자 2015년02월25일

(51) 국제특허분류(Int. Cl.)
H01L 21/8247 (2006.01) H01L 27/115 (2006.01)
(21) 출원번호 10-2013-0096083
(22) 출원일자 2013년08월13일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이성해
경기 수원시 영통구 영통로200번길 156, 1006동 101호 (망포동, 방죽마을영통뜨란채)
김동겸
경기 수원시 영통구 영통로90번길 4-27, 104동 2002호 (망포동, 늘푸른벽산아파트)
이준석
서울 송파구 송파대로32길 8, 7동 408호 (가락동, 우성아파트)
(74) 대리인
권혁수, 오세준, 송윤호

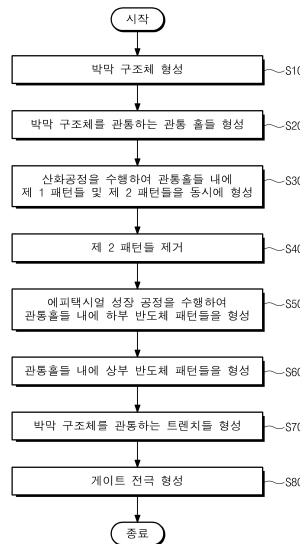
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치 및 그 제조방법

(57) 요약

반도체 장치 및 그 제조방법이 제공된다. 제조방법은 기판 상에 절연막들 및 게이트 막들이 교대로 그리고 반복적으로 적층된 박막 구조체를 형성하는 것, 상기 박막 구조체를 관통하여 상기 기판을 노출하는 관통 홀들을 형성하는 것, 상기 관통 홀들에 의해 노출된 상기 게이트 막들의 측벽들 상에 제1 패턴들을 형성하는 것, 상기 관통 홀들에 의해 노출된 상기 기판 상에 제2 패턴들을 형성하는 것, 및 상기 제2 패턴들을 제거한 후, 상기 관통 홀들의 하부 영역에 하부 반도체 패턴들을 형성하는 것을 포함한다. 상기 제1 패턴들 및 상기 제2 패턴들은 산화공정에 의해 동시에 형성된다.

대표도 - 도4



특허청구의 범위

청구항 1

기관 상에 절연막들 및 게이트 막들이 교대로 그리고 반복적으로 적층된 박막 구조체를 형성하는 것;
상기 박막 구조체를 관통하여 상기 기관을 노출하는 관통 홀들을 형성하는 것;
상기 관통 홀들에 의해 노출된 상기 게이트 막들의 측벽들 상에 제1 패턴들을 형성하는 것;
상기 관통 홀들에 의해 노출된 상기 기관 상에 제2 패턴들을 형성하는 것; 및
상기 제2 패턴들을 제거한 후, 상기 관통 홀들의 하부 영역에 하부 반도체 패턴들을 형성하는 것을 포함하되,
상기 제1 패턴들 및 상기 제2 패턴들은 산화 공정에 의해 동시에 형성되는 반도체 장치의 제조방법.

청구항 2

청구항 1에 있어서,
상기 제1 패턴들은 상기 게이트 막들의 일부가 산화되어 형성되고, 상기 제2 패턴들은 상기 기관의 일부가 산화되어 형성되는 반도체 장치의 제조방법.

청구항 3

청구항 2에 있어서,
상기 제1 패턴들의 제1 두께는 상기 제1 패턴들이 상기 게이트 막들에 접하는 일면과 이에 대향하는 면 사이의 거리로 정의되고,
상기 제2 패턴들의 제2 두께는 상기 제2 패턴들이 상기 기관에 접하는 일면과 이에 대향하는 면 사이의 거리로 정의되며,
상기 제1 두께는 상기 제2 두께보다 두꺼운 반도체 장치의 제조방법.

청구항 4

청구항 1에 있어서,
상기 제2 패턴들을 제거하는 것은, 상기 기관 상에 건식 식각 또는 습식 식각 공정을 수행하여 상기 제2 패턴들 및 상기 제1 패턴들의 일부를 제거하는 것을 포함하되,
상기 식각 공정 후, 상기 제1 패턴들의 잔부가 상기 게이트 막들의 측벽들 상에 남아 있는 반도체 장치의 제조방법.

청구항 5

청구항 4에 있어서,
상기 하부 반도체 패턴을 형성하는 것은:
상기 제2 패턴들을 제거하여 상기 기관을 노출하는 것; 및
상기 노출된 기관 상에 선택적 에피택시얼 성장(Selective Epitaxial Growth, SEG) 공정을 수행하는 것을 포함하는 반도체 장치의 제조방법.

청구항 6

청구항 5에 있어서,
상기 하부 반도체 패턴을 형성한 후, 상기 하부 반도체 패턴에 의해 덮이지 않은 상기 제1 패턴들의 잔부를 제거하는 것; 및

상기 관통 홀들의 상부 영역에 수직 절연체 및 상부 반도체 패턴을 형성하는 것을 더 포함하는 반도체 장치의 제조방법.

청구항 7

청구항 1에 있어서,

상기 박막 구조체를 형성하는 것은 상기 절연막들 및 상기 게이트 막들을 교대로 그리고 반복적으로 증착하는 것을 포함하고,

상기 게이트 막들의 증착과 동시에 상기 게이트 막들에 불순물을 주입하는 것을 더 포함하는 반도체 장치의 제조방법.

청구항 8

청구항 7에 있어서,

상기 불순물은 3족 원소, 5족 원소, 또는 이들의 조합이거나,

각각 탄소를 더 포함하는 3족 원소, 5족 원소, 또는 이들의 조합인 반도체 장치의 제조방법.

청구항 9

청구항 1에 있어서,

상기 게이트 막들은 실리콘막으로 형성되는 반도체 장치의 제조방법.

청구항 10

청구항 9에 있어서,

상기 게이트 막들을 이용하여 게이트 전극들을 형성하는 것을 더 포함하되,

상기 게이트 전극들을 형성하는 것은:

상기 박막 구조체를 패터닝하여, 상기 관통 홀들과 이격되어 상기 기판을 노출하는 트렌치들을 형성하는 것;

상기 트렌치들 내에 금속막을 형성하는 것;

어닐링 공정을 수행하여, 상기 트렌치들에 의해 노출된 상기 게이트 막들과 상기 금속막을 반응시키는 것; 및

상기 반응에 참여하지 않은 상기 금속막을 제거하는 것을 더 포함하는 반도체 장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 3차원으로 배열된 메모리 셀들을 갖는 3차원 반도체 메모리 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 장치의 집적도를 증가시키는 것이 요구되고 있다. 반도체 장치의 경우, 그 집적도는 제품의 가격을 결정하는 중요한 요인이기 때문에, 특히 증가된 집적도가 요구되고 있다. 종래의 2차원 또는 평면적 반도체 장치의 경우, 그 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 반도체 장치의 집적도가 증가하고는 있지만 여전히 제한적이다.

[0003] 이러한 한계를 극복하기 위해, 3차원적으로 배열되는 메모리 셀들을 구비하는 3차원 반도체 메모리 장치들이 제안되고 있다. 그러나, 3차원 반도체 메모리 장치의 대량 생산을 위해서는, 비트당 제조 비용을 2차원 반도체 장치의 그것보다 줄일 수 있으면서 신뢰성 있는 제품 특성을 구현할 수 있는 공정 기술이 요구되고 있다.

발명의 내용

해결하려는 과제

- [0004] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 장치의 집적도를 증가시키는 것이 요구되고 있다. 반도체 장치의 경우, 그 집적도는 제품의 가격을 결정하는 중요한 요인이기 때문에, 특히 증가된 집적도가 요구되고 있다. 종래의 2차원 또는 평면적 반도체 장치의 경우, 그 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 반도체 장치의 집적도가 증가하고는 있지만 여전히 제한적이다.
- [0005] 이러한 한계를 극복하기 위해, 3차원적으로 배열되는 메모리 셀들을 구비하는 3차원 반도체 메모리 장치들이 제안되고 있다. 그러나, 3차원 반도체 메모리 장치의 대량 생산을 위해서는, 비트당 제조 비용을 2차원 반도체 장치의 그것보다 줄일 수 있으면서 신뢰성 있는 제품 특성을 구현할 수 있는 공정 기술이 요구되고 있다.

과제의 해결 수단

- [0006] 본 발명의 실시예들에 따른 반도체 장치의 제조방법은, 기판 상에 절연막들 및 게이트 막들이 교대로 그리고 반복적으로 적층된 박막 구조체를 형성하는 것, 상기 박막 구조체를 관통하여 상기 기판을 노출하는 관통 홀들을 형성하는 것, 상기 관통 홀들에 의해 노출된 상기 게이트 막들의 측벽들 상에 제1 패턴들을 형성하는 것, 상기 관통 홀들에 의해 노출된 상기 기판 상에 제2 패턴들을 형성하는 것, 및 상기 제2 패턴들을 제거한 후, 상기 관통 홀들의 하부 영역에 하부 반도체 패턴들을 형성하는 것을 포함하되, 상기 제1 패턴들 및 상기 제2 패턴들은 산화 공정에 의해 동시에 형성될 수 있다.
- [0007] 일 실시예에 따르면, 상기 제1 패턴들은 상기 게이트 막들의 일부가 산화되어 형성되고, 상기 제2 패턴들은 상기 기판의 일부가 산화되어 형성될 수 있다.
- [0008] 일 실시예에 따르면, 상기 제1 패턴들의 제1 두께는 상기 제1 패턴들이 상기 게이트 막들에 접하는 일면과 이에 대향하는 면 사이의 거리로 정의되고, 상기 제2 패턴들의 제2 두께는 상기 제2 패턴들이 상기 기판에 접하는 일면과 이에 대향하는 면 사이의 거리로 정의되며, 상기 제1 두께는 상기 제2 두께보다 두꺼울 수 있다.
- [0009] 일 실시예에 따르면, 상기 제2 패턴들을 제거하는 것은, 상기 기판 상에 건식 식각 또는 습식 식각 공정을 수행하여 상기 제2 패턴들 및 상기 제1 패턴들의 일부를 제거하는 것을 포함하되, 상기 식각 공정 후, 상기 제1 패턴들의 잔부가 상기 게이트 막들의 측벽들 상에 남아 있을 수 있다.
- [0010] 일 실시예에 따르면, 상기 하부 반도체 패턴을 형성하는 것은 상기 제2 패턴들을 제거하여 상기 기판을 노출하는 것, 및 상기 노출된 기판 상에 선택적 에피택시얼 성장(Selective Epitaxial Growth, SEG) 공정을 수행하는 것을 포함할 수 있다.
- [0011] 본 발명의 실시예들에 따른 반도체 장치의 제조방법은, 상기 하부 반도체 패턴을 형성한 후, 상기 하부 반도체 패턴에 의해 덮이지 않은 상기 제1 패턴들의 잔부를 제거하는 것, 및 상기 관통 홀들의 상부 영역에 수직 절연체 및 상부 반도체 패턴을 형성하는 것을 더 포함할 수 있다.
- [0012] 일 실시예에 따르면, 상기 박막 구조체를 형성하는 것은 상기 절연막들 및 상기 게이트 막들을 교대로 그리고 반복적으로 증착하는 것을 포함하고, 상기 게이트 막들의 증착과 동시에 상기 게이트 막들에 불순물을 주입하는 것을 더 포함할 수 있다.
- [0013] 본 발명의 실시예들에 따른 반도체 장치의 제조방법은, 상기 게이트 막들을 이용하여 게이트 전극들을 형성하는 것을 더 포함하되, 상기 게이트 전극들을 형성하는 것은 상기 박막 구조체를 패터닝하여, 상기 관통 홀들과 이격되어 상기 기판을 노출하는 트렌치들을 형성하는 것, 상기 트렌치들 내에 금속막을 형성하는 것, 어닐링 공정을 수행하여, 상기 트렌치들에 의해 노출된 상기 게이트 막들과 상기 금속막을 반응시키는 것, 및 상기 반응에 참여하지 않은 상기 금속막을 제거하는 것을 포함할 수 있다.
- [0014] 본 발명의 실시예들에 따른 반도체 장치는 기판 상에 게이트 전극들 및 절연막들이 교대로 그리고 반복적으로 적층된 적층 구조체, 상기 적층 구조체를 관통하는 관통 홀, 상기 관통 홀의 하부 영역을 채우는 하부 반도체 패턴, 상기 관통 홀의 상부 영역을 채우는 상부 반도체 패턴, 및 상기 상부 반도체 패턴과 상기 관통 홀의 내측벽 사이의 수직 절연체를 포함하되, 상기 수직 절연체의 바닥면의 외경(external diameter)은 상기 하부 반도체

패턴의 상면의 직경(diameter)보다 클 수 있다.

발명의 효과

[0015] 본 발명의 실시예들에 따르면, 3차원 반도체 메모리 장치의 제조 공정이 단순화될 수 있다.

[0016] 본 발명의 실시예들에 따르면, 수직으로 적층된 게이트 전극들 사이의 오정렬이 방지될 수 있고, 고집적화에 최적화된 3차원 반도체 메모리 장치를 제공할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 셀 어레이를 나타내는 간략 회로도이다.

도 2는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치를 나타내는 사시도이다.

도 3은 도 2의 A부분을 확대한 단면도이다.

도 4는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조방법을 설명하기 위한 순서도이다.

도 5A, 도 6 내지 도 15는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조방법을 설명하기 위한 단면도들이다.

도 5B는 도 5A의 B부분을 확대한 단면도이다.

도 16은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.

도 17은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.

도 18는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 본 발명의 구성 및 효과를 충분히 이해하기 위하여, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라, 여러가지 형태로 구현될 수 있고 다양한 변경을 가할 수 있다. 단지, 본 실시예들의 설명을 통해 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위하여 제공되는 것이다.

[0019] 본 명세서에서, 어떤 구성요소가 다른 구성요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 구성요소들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분은 동일한 구성요소들을 나타낸다.

[0020] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다. 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 실시예들은 그것의 상보적인 실시예들도 포함한다.

[0021] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소는 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.

[0022] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 설명함으로써 본 발명을 상세히 설명한다.

- [0023] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 셀 어레이를 나타내는 간략 회로도이다.
- [0024] 도 1을 참조하면, 일 실시예에 따른 3차원 반도체 메모리 장치의 셀 어레이는 공통 소스 라인(CSL), 복수 개의 비트 라인들(BL) 및 상기 공통 소스 라인(CSL)과 상기 비트 라인들(BL) 사이에 배치되는 복수 개의 셀 스트링들(CSTR)을 포함할 수 있다.
- [0025] 상기 공통 소스 라인(CSL)은 기판 상에 배치되는 도전성 박막 또는 기판 내에 형성되는 불순물 영역일 수 있다. 상기 비트 라인들(BL)은 상기 기판으로부터 이격되어, 상기 기판 상에 배치되는 도전성 패턴들(예를 들면, 금속 라인)일 수 있다. 상기 비트 라인들(BL)은 2차원적으로 배열되고, 그 각각에는 복수 개의 셀 스트링들(CSTR)이 병렬로 연결될 수 있다. 상기 셀 스트링들(CSTR)은 상기 공통 소스 라인(CSL)에 공통으로 연결될 수 있다. 즉, 복수의 상기 비트 라인들(BL)과 상기 공통 소스 라인(CSL) 사이에 복수의 상기 셀 스트링들(CSTR)이 배치될 수 있다. 일 실시예에 따르면, 상기 공통 소스 라인(CSL)은 복수 개로 제공되고, 2차원적으로 배열될 수 있다. 여기서, 공통 소스 라인들(CSL)에는 전기적으로 동일한 전압이 인가될 수 있으며, 또는 공통 소스 라인들(CSL)의 각각이 전기적으로 제어될 수도 있다.
- [0026] 상기 셀 스트링들(CSTR)의 각각은 상기 공통 소스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 상기 비트 라인(BL)에 접속하는 스트링 선택 트랜지스터(SST), 및 상기 접지 및 스트링 선택 트랜지스터들(GST, SST) 사이에 배치되는 복수 개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 그리고, 상기 접지 선택 트랜지스터(GST), 상기 스트링 선택 트랜지스터(SST) 및 상기 메모리 셀 트랜지스터들(MCT)은 직렬로 연결될 수 있다.
- [0027] 상기 공통 소스 라인(CSL)은 상기 접지 선택 트랜지스터들(GST)의 소스들에 공통으로 연결될 수 있다. 이에 더하여, 상기 공통 소스 라인(CSL)과 상기 비트 라인들(BL) 사이에 배치되는, 접지 선택 라인(GSL), 복수 개의 워드 라인들(WL0-WL3) 및 복수 개의 스트링 선택 라인들(SSL)이 상기 접지 선택 트랜지스터(GST), 상기 메모리 셀 트랜지스터들(MCT) 및 상기 스트링 선택 트랜지스터들(SST)의 게이트 전극들로서 각각 사용될 수 있다. 또한, 상기 메모리 셀 트랜지스터들(MCT)의 각각은 데이터 저장 요소(data storage element)를 포함할 수 있다.
- [0028] 도 2는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치를 나타내는 사시도이고, 도 3은 도 2의 A부분을 확대한 단면도이다.
- [0029] 도 2를 참조하면, 기판(100) 상에, 절연막들(110) 및 게이트 전극들이 교대로 그리고 반복적으로 적층된 적층 구조체(SS)가 배치될 수 있다. 상기 게이트 전극들은 상기 기판(100) 상의 하부 게이트 전극들(155L) 및 상기 하부 게이트 전극들(155L) 상에 적층된 상부 게이트 전극들(155U)을 포함할 수 있다. 상기 적층 구조체(SS)에서, 최하층에 배치되는 상기 절연막들(110)은 최하층 절연막들(110L)로 정의되고, 최상층에 배치되는 상기 절연막들(110)은 최상층 절연막들(110U)로 정의된다.
- [0030] 상기 기판(100)은 일 예로, 실리콘 기판, 게르마늄 기판 또는 실리콘-게르마늄 기판일 수 있다. 상기 기판(100)은 불순물이 도핑된 공통 소스 영역들(120)을 포함할 수 있다. 상기 공통 소스 영역들(120)은 제1 방향(D1)으로 연장된 라인 형태를 가질 수 있고, 상기 제1 방향(D1)에 교차하는 제2 방향(D2)을 따라 배열될 수 있다.
- [0031] 상기 적층 구조체(SS)는 평면적 관점에서, 상기 제1 방향(D1)으로 연장된 라인 형태를 가질 수 있다. 상기 적층 구조체(SS)의 양 측에 상기 공통 소스 영역들(120)이 배치될 수 있다. 상기 기판(100)과 상기 적층 구조체(SS) 사이에 하부 절연막들(105)이 배치될 수 있다. 상기 하부 절연막들(105)은 일 예로, 실리콘 질화막, 고유전막 (일 예로, 알루미늄 산화막 및 hafnium 산화막 등), 또는 이들의 조합이거나, 실리콘 산화막을 더 포함하는 실리콘 질화막, 고유전막, 또는 이들의 조합일 수 있다. 상기 하부 절연막들(105)은 상기 절연막들(110L, 110, 110U)보다 얇은 두께를 가질 수 있다.
- [0032] 복 수의 채널 구조체들(CS)이 상기 적층 구조체(SS)를 관통하여 상기 기판(100)과 전기적으로 연결될 수 있다. 상기 채널 구조체들(CS)은 평면적 관점에서 제1 방향(D1)을 따라 배열될 수 있다. 상기 채널 구조체들(CS)은, 도 2에 도시된 바와 같이, 평면적 관점에서 제1 방향(D1)을 따라 지그재그 형태로 배열될 수도 있다.
- [0033] 상기 채널 구조체들(CS)의 각각은, 상기 적층 구조체(SS)의 하부를 관통하여 상기 기판(100)에 전기적으로 연결되는 하부 반도체 패턴(LSP) 및 상기 적층 구조체(SS)의 상부를 관통하여 상기 하부 반도체 패턴(LSP)에 전기적으로 연결되는 상부 반도체 패턴(USP)을 포함할 수 있다.
- [0034] 상기 상부 반도체 패턴(USP)은 속이 빈 파이프 형태(pipe-shaped) 또는 마카로니 형태(macaroni-shaped)일 수 있다. 상기 상부 반도체 패턴(USP)의 하단은 닫힌 상태(closed state)일 수 있다. 상기 상부 반도체 패턴(USP)

의 내부는 매립 절연 패턴(150)에 의해 채워질 수 있다. 상기 상부 반도체 패턴(USP)의 바닥면은 상기 하부 반도체 패턴(LSP)의 상면보다 낮은 레벨에 위치할 수 있다. 즉, 상기 상부 반도체 패턴(USP)은 상기 하부 반도체 패턴(LSP)에 삽입된 형태일 수 있다.

[0035] 상기 상부 반도체 패턴(USP)은 반도체 물질을 포함할 수 있다. 일 예로, 상기 상부 반도체 패턴(USP)은 실리콘(Si), 게르마늄(Ge) 또는 이들의 혼합물을 포함할 수 있으며, 불순물이 도핑된 반도체이거나 불순물이 도핑되지 않은 상태의 본성 반도체(intrinsic semiconductor)일 수도 있다. 또한, 상부 반도체 패턴(USP)은 단결정, 비정질(amorphous), 및 다결정(polycrystalline) 중 적어도 하나의 결정 구조를 가질 수 있다.

[0036] 보다 상세하게, 상기 상부 반도체 패턴(USP)은 제1 반도체 패턴(130) 및 제2 반도체 패턴(135)을 포함할 수 있다. 상기 제1 반도체 패턴(130)은 상기 적층 구조체(SS)의 내벽을 덮을 수 있다. 상기 제1 반도체 패턴(130)은 상단 및 하단이 오픈된(opened) 파이프 형태 또는 마카로니 형태일 수 있다. 상기 제1 반도체 패턴(130)은 상기 하부 반도체 패턴(LSP)과 접촉되지 않고 이격될 수 있다. 상기 제2 반도체 패턴(135)은 하단이 닫힌 파이프 형태 또는 마카로니 형태일 수 있다. 상기 제2 반도체 패턴(135)의 내부는 상기 매립 절연 패턴(150)으로 채워질 수 있다. 상기 제2 반도체 패턴(135)은 상기 제1 반도체 패턴(130)의 내벽 및 상기 하부 반도체 패턴(LSP)의 상부와 접촉될 수 있다. 상기 제2 반도체 패턴(135)의 바닥면은 상기 하부 반도체 패턴(LSP)의 상면보다 낮은 높이에 위치할 수 있다. 즉, 상기 제2 반도체 패턴(135)은 상기 제1 반도체 패턴(130)과 상기 하부 반도체 패턴(LSP)을 전기적으로 연결할 수 있다. 일 예로, 상기 제1 및 제2 반도체 패턴들(130, 135)은 언도프트 상태이거나, 상기 기판(100)과 동일한 도전형을 갖는 불순물로 도핑될 수 있다. 일 예로, 상기 제1 반도체 패턴(130)과 상기 제2 반도체 패턴(135)은 다결정 구조 또는 단결정 구조를 갖는 반도체 물질을 포함할 수 있다.

[0037] 상기 하부 반도체 패턴(LSP)은 상기 기판(100)과 같은 도전형의 반도체 물질로 이루어질 수 있다. 일 실시예에 따르면, 상기 하부 반도체 패턴(LSP)은 반도체 물질로 이루어진 상기 기판(100)을 시드(seed)로 이용하여 형성된 에피택시얼 패턴일 수 있다. 이 경우, 상기 하부 반도체 패턴(LSP)은 단결정 구조 또는 다결정 구조의 반도체 물질을 포함할 수 있다. 일 실시예에 따르면, 상기 하부 반도체 패턴(LSP)의 바닥면은 상기 기판(100)의 상면보다 낮은 레벨에 위치하여, 상기 기판(100)에 삽입된 구조를 가질 수 있다.

[0038] 상기 적층 구조체(SS)에 대하여 보다 상세하게 설명한다. 상기 적층 구조체(SS)는 상기 하부 반도체 패턴(LSP)에 인접한 상기 하부 게이트 전극들(155L) 및 상기 상부 반도체 패턴(USP)에 인접한 상기 상부 게이트 전극들(155U)을 포함할 수 있다. 상기 하부 게이트 전극들(155L) 및 상기 상부 게이트 전극들(155U)은 상기 제1 방향(D1) 및 상기 제2 방향(D2)에 모두 수직인 제3 방향(D3)을 따라 적층될 수 있다. 상기 게이트 전극들(155U 및 155L)은, 상기 게이트 전극들(155U 및 155L) 사이에 배치된 상기 절연막들(110L, 110, 110U)에 의해 서로 분리될 수 있다.

[0039] 일 실시예에 따르면, 상기 하부 게이트 전극들(155L)은, 도 1을 참조하여 설명한 상기 접지 선택 트랜지스터들(GST)의 게이트 전극들로 이용될 수 있다. 즉, 3차원 낸드 플래시 메모리에 있어서, 상기 하부 게이트 전극들(155L)은 상기 기판(100)에 형성된 공통 소스 영역(120)과 상기 하부 반도체 패턴(LSP) 사이의 전기적 연결을 제어하는 상기 접지 선택 트랜지스터(GST)의 게이트 전극들로 이용될 수 있다. 상기 상부 게이트 전극들(155U) 중 일부는, 도 1을 참조하여 설명한, 상기 메모리 셀 트랜지스터들(MCT)의 게이트 전극들로 이용될 수 있다. 또한, 적층 구조체(SS)의 최상부에 위치하는 상기 상부 게이트 전극들(155U)은, 도 1을 참조하여 설명한, 상기 스트링 선택 트랜지스터들(SST)의 게이트 전극들로 이용될 수 있다. 즉, 3차원 낸드 플래시 메모리에 있어서, 상기 적층 구조체(SS)의 최상부에 위치하는 상기 상부 게이트 전극들(155U)은 비트 라인(BL)과 상기 채널 구조체들(CS) 사이의 전기적 연결을 제어하는 상기 스트링 선택 트랜지스터(SST)의 게이트 전극들로 이용될 수 있다.

[0040] 상기 하부 반도체 패턴(LSP)에 인접한 상기 절연막들(110L, 110, 110U) 중 적어도 하나는 상기 하부 반도체 패턴(LSP)의 일 측벽에 직접 접촉될 수 있다. 상기 하부 반도체 패턴(LSP)과, 상기 하부 반도체 패턴(LSP)에 인접한 상기 하부 게이트 전극들(155L) 사이에 제1 패턴들(200)이 배치될 수 있다. 상기 제1 패턴들(200)은 불순물을 포함하는 실리콘 산화물로 이루어질 수 있다. 상기 불순물은 3족 원소 및 5족 원소 중에서 선택된 적어도 하나일 수 있다. 이에 더하여, 상기 불순물은 탄소(C)를 더 포함할 수 있다. 일 예로, 상기 불순물은 보론(B), 비소(As), 인(P), 탄소(C), 또는 이들의 조합일 수 있다. 상기 제1 패턴들(200)은 불순물이 주입된 실리콘 막을 산화시켜 형성한 것일 수 있다.

[0041] 상기 적층 구조체(SS)와 상기 상부 반도체 패턴(USP) 사이에 수직 절연체(140)가 개재될 수 있다. 상기 수직 절연체(140)은 상단 및 하단이 오픈된 파이프 형태 또는 마카로니 형태일 수 있다. 일 실시예에 따르면, 상기 수직 절연체(140)는 상기 하부 반도체 패턴(LSP)의 상면과 접할 수 있다. 더하여, 상기 수직 절연체(140)의 바닥

면은 상기 하부 반도체 패턴(LSP)에 인접한 상기 절연막들(110L, 110, 110U) 중 적어도 하나에 접할 수 있다.

- [0042] 도 3은 도 2의 A부분을 확대한 도면이다. 도 3을 참조하면, 상기 수직 절연체(140)는 플래시 메모리 장치의 메모리 요소를 포함할 수 있다. 즉, 상기 수직 절연체(140)는 플래시 메모리 장치의 전하 저장막(CL)을 포함할 수 있다. 이러한 수직 절연체(140)에 저장되는 데이터는 상기 상부 반도체 패턴(USP)과 상기 상부 게이트 전극들(155U) 사이의 전압 차이에 의해 유발되는 파울러-노던하임 터널링을 이용하여 변경될 수 있다. 이와 달리, 상기 수직 절연체(140)는 다른 동작 원리에 기초하여 정보를 저장하는 것이 가능한 박막(예를 들면, 상변화 메모리를 위한 박막 또는 가변저항 메모리를 위한 박막)을 포함할 수도 있다.
- [0043] 일 실시예에 따르면, 상기 수직 절연체(140)는 차례로 적층된 상기 전하 저장막(CL) 및 터널 절연막(TL)을 포함할 수 있다. 상기 터널 절연막(TL)은 상기 상부 반도체 패턴(USP)에 직접 접촉할 수 있고, 상기 터널 절연막(TL)과 상기 상부 게이트 전극들(155U) 사이에 상기 전하 저장막(CL)이 개재될 수 있다. 다른 실시예에 따르면, 도 3에 도시된 바와 같이, 상기 수직 절연체(140)는 상기 전하 저장막(CL)과 상기 상부 게이트 전극들(155U) 사이에 개재되는 블로킹 절연막(BIL)을 더 포함할 수 있다.
- [0044] 상기 전하 저장막(CL)은 일 예로, 실리콘 질화막, 실리콘 산화질화막, 실리콘-붕소 질화막(Si-rich nitride), 나노 크리스탈 실리콘(nanocrystalline Si) 또는 박층화된 트랩막(laminated trap layer) 중의 적어도 하나를 포함할 수 있다. 상기 터널 절연막(TL)은 상기 전하 저장막(CL)보다 큰 밴드 갭을 갖는 물질을 포함할 수 있다. 일 예로, 상기 터널 절연막(TL)은 실리콘 산화막일 수 있다. 상기 블로킹 절연막(BIL)은 상기 전하 저장막(CL)보다 큰 에너지 밴드 갭을 갖는 물질을 포함할 수 있다. 일 예로, 상기 블로킹 절연막(BL)은 실리콘 산화막, 실리콘 질화막, 및/또는 실리콘 산질화막일 수 있다.
- [0045] 상기 수직 절연체(140)는, 도시되지 않았으나, 상기 상부 반도체 패턴(USP)과 상기 절연막들(110L, 110, 110U) 사이에 개재되는 캡핑막(미도시)을 포함할 수 있다. 상기 캡핑막은 상기 절연막들(110L, 110, 110U)과 직접 접촉하고, 상기 상부 게이트 전극들(155U)에 의해 수직적으로 분리될 수 있다. 다른 실시예에 따르면, 상기 캡핑막은 상기 상부 반도체 패턴(USP)과 상기 상부 게이트 전극들(155U) 사이에서 수직적으로 연장될 수도 있다. 상기 캡핑막은 상기 전하 저장막(CL)에 대해 식각 선택성을 가지며, 상기 절연막들(110L, 110, 110U)과 다른 절연 물질을 포함할 수 있다. 일 예로, 상기 캡핑막은 실리콘 막, 실리콘 산화막, 폴리실리콘막, 실리콘 카바이드막 및 실리콘 질화막 중 적어도 하나이되, 상기 절연막들(110L, 110, 110U)과 다른 물질을 포함할 수 있다. 또 다른 예로, 상기 캡핑막은 탄탈륨 산화막(Ta₂O₅), 티타늄 산화막(TiO₂), 하프늄 산화막(HfO₂), 및/또는 지르코늄 산화막(ZrO₂)과 같은 고유전막일 수 있다.
- [0046] 상기 수직 절연체(140)의 바닥면의 외경(D1)은 상기 하부 반도체 패턴(LSP)의 상면의 직경(D2)보다 클 수 있다. 이에 따라, 상기 수직 절연체(140)의 바닥면은 상기 하부 반도체 패턴(LSP)에 인접하는 상기 절연막들(110L, 110, 110U) 중 적어도 하나에 접촉할 수 있다.
- [0047] 도 2를 다시 참조하면, 도전 패드(160)가 상기 적층 구조체(SS)를 관통하여 상기 상부 반도체 패턴(USP)에 연결될 수 있다. 상기 도전 패드(160)의 상면은 상기 적층 구조체(SS)의 상면과 실질적으로 공면을 이룰 수 있고, 상기 도전 패드(160)의 하면은 상기 상부 반도체 패턴(USP)에 직접 접촉할 수 있다. 상기 도전 패드(160)와, 상기 도전 패드(160)에 인접한 상기 절연막들(110L, 110, 110U) 사이에 상기 수직 절연체(140)가 배치될 수 있다. 상기 도전 패드(160)는 불순물이 도핑된 불순물 영역이거나, 도전 물질을 포함할 수 있다.
- [0048] 상기 적층 구조체(SS) 상에 상기 적층 구조체(SS)를 가로지르는 비트 라인들(BL)이 배치될 수 있다. 상기 비트 라인들(BL)은 콘택 플러그들(170)을 통해 상기 도전 패드(160)에 접속될 수 있다.
- [0049] 도 4는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조방법을 설명하기 위한 순서도이고, 도 5A, 도 6 내지 도 15는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조방법을 설명하기 위한 단면도들이다.
- [0050] 도 4 및 도 5A를 참조하면, 기판(100) 상에 게이트 막들(151) 및 절연막들(110)을 교대로 그리고 반복적으로 증

착하여 박막 구조체(TS)가 형성될 수 있다(S10). 상기 박막 구조체(TS)에서, 최하층에 배치되는 상기 절연막(110)은 최하층 절연막(110L)로 정의되고, 최상층에 배치되는 상기 절연막(110)은 최상층 절연막(110U)로 정의된다. 상기 기판(100)은 일 예로, 실리콘 기판, 게르마늄 기판, 또는 실리콘-게르마늄 기판일 수 있다.

[0051] 일 실시예에 따르면, 상기 게이트 막들(151)은 동일한 두께를 가지도록 형성될 수 있다. 그러나, 다른 실시예에 따르면, 상기 게이트 막들(151) 중 최하층 및 최상층의 게이트 막들(151)은 그것들 사이에 위치한 게이트 막들(151)에 비해 두껍게 형성될 수 있다. 더하여, 일 실시예에 따르면, 상기 절연막들(110L, 110, 110U)은 동일한 두께를 가지도록 형성될 수 있다. 그러나, 다른 실시예에 따르면, 상기 최하층 절연막(110L), 상기 최상층 절연막(110U), 및 이들 사이에 위치한 절연막들(110)의 두께는 서로 다를 수 있다.

[0052] 상기 게이트 막들(151) 및 상기 절연막(110L, 110, 110U)들은 일 예로, 열적 화학기상증착(Thermal CVD), 플라즈마 인핸스드 화학기상증착(Plasma enhanced CVD), 물리적 화학기상증착(physical CVD) 또는 원자층 증착(Atomic Layer Deposition; ALD) 공정을 이용하여 증착될 수 있다.

[0053] 상기 게이트 막들(151)은 일 예로, 실리콘막으로 형성될 수 있다. 상기 게이트 막들(151)은 다결정 구조 또는 단결정 구조를 포함할 수 있다. 상기 절연막들(110L, 110, 110U)은 일 예로, 실리콘 산화막으로 형성될 수 있다.

[0054] 이에 더하여, 상기 기판(100)과 상기 박막 구조체(TS) 사이에 하부 절연막(105)이 형성될 수 있다. 상기 하부 절연막(105)은 상기 게이트 막들(151) 및 상기 절연막들(110L, 110, 110U)에 대하여 높은 선택비를 가지는 물질로 형성될 수 있다. 일 예로, 상기 하부 절연막(105)은 실리콘 질화막, 고유전막(일 예로, 알루미늄 산화막 및 하프늄 산화막 등), 또는 이들의 조합이거나, 실리콘 산화막을 더 포함하는 실리콘 질화막, 고유전막, 또는 이들의 조합일 수 있다. 상기 하부 절연막(105)은 상기 게이트 막들(151) 및 상기 절연막들(110L, 110, 110U)보다 얇은 두께를 가지도록 형성될 수 있다.

[0055] 도 4 및 도 6을 참조하면, 상기 박막 구조체(TS)를 관통하여 상기 기판(100)을 노출하는 관통 홀들(180)이 형성될 수 있다(S20). 도 2를 참조하면, 상기 관통 홀들(180)은 상기 기판(100)의 상면 상에 2차원적으로 형성될 수 있다. 일 실시예에 따르면, 상기 관통 홀들(180)은 상기 제1 방향을 따라 지그재그로 배치될 수 있다.

[0056] 상기 관통 홀들(180)을 형성하는 것은, 상기 박막 구조체(TS) 상에 상기 관통 홀들(180)이 형성될 영역을 정의하는 개구부들을 갖는 마스크 패턴들을 형성하는 것, 및 상기 마스크 패턴들을 식각 마스크로 상기 박막 구조체(TS)를 식각하는 것을 포함할 수 있다. 상기 마스크 패턴들은 상기 게이트 막들(151) 및 상기 절연막들(110L, 110, 110U)에 대하여 식각 선택성을 갖는 물질로 형성될 수 있다. 상기 식각 공정 동안, 상기 기판(100)의 상면이 과식각될 수 있다. 이에 따라, 상기 기판(100)의 상면이 리세스될 수 있다. 또한, 식각 공정에 의해 상기 관통 홀들(180)의 하부의 폭이 상기 관통 홀들(180)의 상부의 폭보다 좁을 수 있다. 이 후, 상기 마스크 패턴들이 제거될 수 있다.

[0057] 도 4 및 도 7을 참조하면, 상기 관통 홀들(180)이 형성된 결과물 상에 산화 공정을 수행하여, 상기 관통 홀들(180) 내에 제1 패턴들(200) 및 제2 패턴들(210)이 형성될 수 있다(S30). 상기 제1 패턴들(200)은 상기 관통 홀들(180)에 의해 노출된 상기 게이트 막들(151)의 측벽들 상에 형성될 수 있다. 상기 제1 패턴들(200)은 상기 산화 공정에 의해 상기 게이트 막들(151)의 일부가 산화되어 형성된 것일 수 있다. 상기 제2 패턴들(210)은 상기 관통 홀들(180)에 의해 노출된 상기 기판(100) 상에 형성될 수 있다. 상기 제2 패턴들(210)은 상기 산화 공정에 의해 상기 기판(100)의 일부가 산화되어 형성될 수 있다. 상기 산화 공정은, 일 예로, 열 산화 공정일 수 있다. 상기 제1 패턴들(200) 및 상기 제2 패턴들(210)은 상기 산화 공정에 의해 동시에 형성될 수 있다.

[0058] 상기 산화 공정 동안, 상기 게이트 막들(151)의 산화량은 상기 기판(100)의 산화량보다 클 수 있다. 즉, 상기 산화 공정 동안, 상기 게이트 막들(151)의 산화 속도가 상기 기판(100)의 산화 속도보다 빠를 수 있다.

[0059] 도 5B는 도 5A의 B부분을 확대한 단면도이다. 도 5B를 참조하면, 상기 기판(100)의 산화 속도보다 상기 게이트 막들(151)의 산화 속도를 더 빠르게 하기 위해, 상기 게이트 막들(151) 내에 불순물(IM)이 주입될 수 있다. 상기 불순물(IM)은 3족 원소 및 5족 원소 중에서 선택된 적어도 하나일 수 있다. 이에 더하여, 상기 불순물(IM)은 탄소(C)를 더 포함할 수 있다. 상기 불순물(IM)은 일 예로, 보론(B), 비소(As), 인(P), 탄소(C), 또는 이들의 조합일 수 있다.

- [0060] 일 실시예에 따르면, 상기 게이트 막들(151) 내에 상기 불순물(IM)을 주입하는 것은, 도 5A를 참조하여 설명한, 상기 게이트 막들(151)의 증착 공정과 동시에 수행될 수 있다. 일 예로, 상기 게이트 막들(151)이 화학기상 증착 공정을 수행하여 형성되는 경우, 상기 증착 공정시 불순물이 함유된 가스를 함께 공급함에 따라, 상기 게이트 막들(151)의 증착과 동시에 상기 게이트 막들(151) 내에 상기 불순물(IM)이 주입될 수 있다. 이 경우, 상기 불순물(IM)의 농도는 상기 게이트 막들(151) 내에서 균일할 수 있다. 그러나, 다른 실시예에 따르면, 상기 게이트 막들(151) 내에 상기 불순물(IM)을 주입하는 것은, 도 6을 참조하여 설명한 상기 관통 홀들(180)이 형성된 후 상기 산화 공정 전에, 확산 공정을 이용하여 수행될 수 있다. 일 예로, 상기 관통 홀들(180)이 형성된 결과물 상에 상기 불순물(IM)이 함유된 가스를 공급하고 열을 가하여 상기 불순물(IM)의 농도차에 따라 생기는 확산을 이용하여, 상기 게이트 막들(151) 내에 상기 불순물(IM)이 주입될 수 있다. 상기 불순물(IM)은 상기 관통 홀들(180)에 의해 노출된 상기 게이트 막들(151)의 측면에 국부적으로(locally) 주입될 수 있다. 이 경우, 상기 관통 홀들(180)에 의해 노출된 상기 기판(100) 내에도 상기 불순물(IM)이 주입될 수 있으나, 상기 게이트 막들(151)이 실리콘막으로 형성되는 경우, 상기 게이트 막들(151)의 산화량은 상기 기판(100)의 산화량보다 클 수 있다.
- [0061] 상기 제1 패턴들(200)의 제1 두께(T1)는 상기 제1 패턴들(200)이 상기 게이트 막들(151)에 접하는 일면과 이에 대향하는 면 사이의 거리로 정의되고, 상기 제2 패턴들(210)의 제2 두께(T2)는 상기 제2 패턴들(210)이 상기 기판(100)에 접하는 일면과 이에 대향하는 면 사이의 거리로 정의된다. 상기 게이트 막들(151)에 상기 불순물(IM)이 주입됨에 따라, 상기 산화 공정에 의한 상기 게이트 막들(151)의 산화량은 상기 기판(100)의 산화량보다 클 수 있다. 즉, 상기 제1 두께(T1)는 상기 제2 두께(T2)보다 두꺼울 수 있다.
- [0062] 도 4 및 도 8을 참조하면, 도 7의 결과물 상에 건식 식각 또는 습식 식각 공정을 수행하여, 상기 제2 패턴들(210)이 제거될 수 있다(S40). 상기 식각 공정 동안, 상기 제1 패턴들(200)의 일부도 함께 제거될 수 있다. 상기 식각 공정 후, 상기 제1 패턴들(200)의 잔부는 상기 게이트 막들(151)의 측벽들 상에 남아 있을 수 있다. 상기 제2 패턴들(210)이 제거된 후, 상기 관통 홀들(180)은 제1 직경(D3)을 가질 수 있다.
- [0063] 도 4 및 도 9를 참조하면, 상기 관통 홀들(180)의 하부 영역을 채우는 하부 반도체 패턴들(LSP)이 형성될 수 있다(S50). 상기 하부 반도체 패턴들(LSP)은, 상기 관통 홀들(180)에 의해 노출된 상기 기판(100)을 시드(seed)로 사용하는 선택적 에피택시얼 성장(SEG) 공정을 수행하여 형성될 수 있다. 일 실시예에 따르면, 상기 하부 반도체 패턴들(LSP)은 상기 기판(100)과 상기 관통 홀들(180)의 하부 영역을 채우는 필라(pillar) 형태로 형성될 수 있다. 일 실시예에 따르면, 상기 하부 반도체 패턴들(LSP)은 적어도 하나의 상기 게이트 막들(151)의 측벽을 덮을 수 있다. 상기 하부 반도체 패턴들(LSP)의 상면은 수직적으로 인접하는 상기 게이트 막들(151) 사이에 위치할 수 있다. 그러나, 다른 실시예에 따르면, 도시되지 않았지만, 상기 하부 반도체 패턴들(LSP)의 상면은 상기 기판(100)의 상면과 실질적으로 공면을 이룰 수 있다. 즉, 상기 하부 반도체 패턴들(LSP)은 상기 기판(100)의 리세스된 부분만을 채우도록 형성될 수 있다.
- [0064] 상기 하부 반도체 패턴들(LSP)은 단결정 구조 또는 다결정 구조를 포함할 수 있다. 상기 하부 반도체 패턴들(LSP)은 일 예로, 실리콘을 포함할 수 있으나 이에 한정되지 않는다. 일 예로, 탄소 나노 구조물들, 유기 반도체 물질들 및 화합물 반도체들이 상기 하부 반도체 패턴들(LSP)을 위해 사용될 수 있다.
- [0065] 상기 하부 반도체 패턴들(LSP)은 상기 기판(100)과 동일한 도전형을 가질 수 있다. 상기 하부 반도체 패턴들(LSP)에 선택적 에피택시얼 성장 공정 시에 인시츄(in-situ)로 불순물이 도핑될 수 있다. 이와 달리, 상기 하부 반도체 패턴들(LSP)을 형성한 후, 상기 하부 반도체 패턴들(LSP)에 불순물이 이온 주입될 수도 있다.
- [0066] 상기 하부 반도체 패턴들(LSP)이 형성된 후, 상기 하부 반도체 패턴들(LSP) 상의 상기 관통 홀들(180)의 상부 영역에서 상기 제1 패턴들(200)이 제거될 수 있다. 상기 제1 패턴들(200)은 건식 식각 또는 습식 식각 공정을 수행하여 제거될 수 있다. 상기 식각 공정 동안, 상기 관통 홀들(180)의 상부 영역에서 상기 절연막들(110L, 110, 110U)의 일부도 함께 제거될 수 있다. 이에 따라, 상기 관통 홀들(180)의 상부 영역은 상기 제1 직경(D3)보다 큰 제2 직경(D4)을 가질 수 있다. 상기 관통 홀들(180)의 상부 영역과, 상기 하부 반도체 패턴들(LSP)에 의해 채워진 상기 관통 홀들(180)의 하부 영역의 경계에서, 상기 제2 직경(D4)은 도 3을 참조하여 설명한 수직 절연체(140)의 바닥면의 외경(D1)에 대응할 수 있다.
- [0067] 일 실시예에 따르면, 상기 하부 반도체 패턴들(LSP)과, 상기 하부 반도체 패턴들(LSP)에 의해 덮이는 적어도 하

나의 상기 게이트 막들(151) 사이에 상기 제1 패턴들(200)이 제거되지 않고 남을 수 있다. 이 경우, 상기 제1 패턴들(200)은 상기 하부 반도체 패턴들(LSP)과, 이에 의해 덮이는 상기 게이트 막들(151)을 이용하여 형성되는 게이트 전극들 사이의 게이트 절연막으로 이용될 수 있다. 그러나, 다른 실시예에 따라, 상기 하부 반도체 패턴들(LSP)이 상기 기판(100)의 리세스된 부분만 채우도록 형성되는 경우, 상기 제1 패턴들(200)은 모두 제거될 수 있다.

[0068] 본 발명의 개념에 따르면, 산화 공정을 수행하여 두께가 상이한 상기 제1 패턴들(200) 및 상기 제2 패턴들(210)을 동시에 형성하고, 상기 제1 패턴들(200)의 일부 및 상기 제2 패턴들(210)을 제거함으로써, 상기 관통 홀들(180)에 의해 노출된 상기 게이트 막들(151)의 측벽들 상에 상기 제1 패턴들(200)의 잔부가 남을 수 있다. 이후, 상기 관통 홀들(180)에 의해 노출된 상기 기판(100) 상에 선택적 에피택시얼 성장 공정을 수행하여 상기 하부 반도체 패턴들(LSP)이 형성되는 경우, 상기 게이트 막들(151)은 상기 제1 패턴들(200)의 잔부에 의해 덮여 있을 수 있다. 즉, 상기 에피택시얼 공정 동안, 상기 제1 패턴들(200)은 상기 게이트 막들(151)의 마스크 역할을 할 수 있다. 이에 따라, 선택적 에피택시얼 성장 공정을 이용하여 상기 하부 반도체 패턴들(LSP)을 형성함과 동시에, 상기 게이트 막들(151)에 금속 원소를 주입하여 게이트 전극들을 형성함으로써, 3차원 반도체 메모리 장치의 제조 공정이 단순화될 수 있다.

[0069] 도 10을 참조하면, 상기 하부 반도체 패턴들(LSP)이 형성된 상기 관통 홀들(180)의 내벽을 덮으며, 상기 하부 반도체 패턴들(LSP)의 상면을 노출시키는 수직 절연체들(140) 및 제1 반도체 패턴들(130)이 형성될 수 있다.

[0070] 구체적으로, 상기 하부 반도체 패턴들(LSP)이 형성된 상기 관통 홀들(180)의 내벽을 덮는 수직 절연막 및 제 1 반도체막이 차례로 형성될 수 있다. 상기 수직 절연막 및 상기 제 1 반도체막은 상기 관통 홀들(180)의 일부분을 채울 수 있다. 상기 수직 절연막 및 상기 제 1 반도체막의 두께의 합은 상기 관통 홀들(180)의 폭의 절반보다 작을 수 있다. 즉, 상기 관통 홀들(180)은 상기 수직 절연막 및 상기 제 1 반도체막에 의해 완전하게 채워지지 않을 수 있다. 나아가, 상기 수직 절연막은 상기 관통 홀들(180)에 의해 노출된 상기 하부 반도체 패턴들(LSP)의 상면을 덮을 수 있다. 상기 수직 절연막은 복수의 박막들로 형성될 수 있으며, 예를 들어, 플라즈마 인핸스드(Plasma enhanced CVD), 물리적 화학기상증착(physical CVD) 또는 원자층 증착(Atomic Layer Deposition; ALD) 기술을 이용하여 증착될 수 있다.

[0071] 상기 수직 절연막은, 플래시 메모리 장치의 메모리 요소로서 사용되는 전하 저장막을 포함할 수 있다. 일 예로, 상기 전하 저장막은 트랩 절연막 또는 도전성 나노 도트들(conductive nano dots)을 포함하는 절연막일 수 있다. 이와 달리, 상기 수직 절연막은 상변화 메모리를 위한 박막 또는 가변저항 메모리를 위한 박막을 포함할 수도 있다.

[0072] 일 실시예에 따르면, 도 3에 도시된 바와 같이, 상기 수직 절연막은 차례로 적층된 블로킹 절연막(BIL), 전하 저장막(CL) 및 터널 절연막(TL)을 포함할 수 있다. 상기 블로킹 절연막(BIL)은 상기 관통 홀(180)에 의해 노출된 상기 게이트 막들(151) 및 상기 절연막들(110L, 110, 110U)의 측벽들과 상기 하부 반도체 패턴들(LSP)의 상면을 덮을 수 있다. 상기 블로킹 절연막(BIL)은 일 예로, 실리콘 산화막으로 형성될 수 있다. 상기 전하 저장막(CL)은 트랩 절연막, 또는 도전성 나노 도트들(conductive nano dots)을 포함하는 절연막을 포함할 수 있다. 일 예로, 상기 전하 저장막(CL)은 실리콘 질화막, 실리콘 산화질화막, 실리콘-붕소 질화막(Si-rich nitride), 나노 크리스탈 실리콘(nanocrystalline Si) 또는 박층화된 트랩막(laminated trap layer) 중의 적어도 하나를 포함할 수 있다. 상기 터널 절연막(TL)은 상기 전하 저장막(CL)보다 큰 밴드 갭을 갖는 물질들 중의 한가지일 수 있다. 일 예로, 터널 절연막(TL)은 실리콘 산화막일 수 있다.

[0073] 상기 제1 반도체막은 상기 수직 절연막 상에 형성될 수 있다. 일 실시예에 따르면, 상기 제1 반도체막은 원자층 증착(ALD) 또는 화학적 기상 증착(CVD) 기술들 중의 한가지를 사용하여 형성되는 반도체 물질(예를 들면, 단결정 실리콘막, 단결정 실리콘막, 또는 비정질 실리콘막)일 수 있다.

[0074] 상기 수직 절연막 및 상기 제1 반도체막이 차례로 형성된 후, 상기 하부 반도체 패턴들(LSP)의 상면 상의 상기 제1 반도체막 및 상기 수직 절연막을 이방성 식각하여 상기 하부 반도체 패턴들(LSP)을 노출할 수 있다. 이에 따라, 관통 홀들(180)의 내벽에 상기 제1 반도체 패턴들(130) 및 상기 수직 절연체들(140)이 형성될 수 있다. 즉, 상기 수직 절연체들(140) 및 상기 제1 반도체 패턴들(130)은 열린 양단을 갖는 원통 모양으로 형성될 수 있다. 상기 제1 반도체막 및 상기 수직 절연막을 이방성 식각하는 동안 과식각(over-etch)의 결과로서, 상기 제1 반도체 패턴들(130)에 의해 노출되는 상기 하부 반도체 패턴들(LSP)의 상면이 리세스될 수도 있다.

- [0075] 한편, 상기 이방성 식각 공정 동안, 상기 제1 반도체 패턴들(130)의 아래에 위치하는 상기 수직 절연막의 일부는 식각되지 않을 수 있다. 이 경우, 상기 수직 절연체들(140)은 상기 제1 반도체 패턴들(130)의 바닥면과 상기 하부 반도체 패턴들(117)의 상면 사이에 개재되는 바닥부를 가질 수 있다.
- [0076] 상기 수직 절연체들(140)의 외측벽은 상기 관통 홀들(180)의 상부 영역의 내측벽과 접하도록 형성될 수 있다. 이에 따라, 도 3에 도시된 바와 같이, 상기 수직 절연체들(140)의 바닥면의 외경(D1)은 상기 하부 반도체 패턴들(LSP)의 상면의 직경(D2)보다 클 수 있다. 상기 수직 절연체들(140)의 바닥면은 상기 하부 반도체 패턴들(LSP)에 인접한 상기 절연막들(110L, 110, 110U) 중 적어도 하나에 접할 수 있다.
- [0077] 이에 더하여, 상기 제1 반도체막 및 상기 수직 절연막에 대한 이방성 식각의 결과로서, 상기 박막 구조체(TS)의 상면이 노출될 수 있다. 이에 따라, 상기 수직 절연체들(140) 및 상기 제1 반도체 패턴들(130)은 상기 관통 홀들(180) 내에 국소적으로 형성될 수 있다. 즉, 상기 수직 절연체들(140) 및 상기 제1 반도체 패턴들(130)은 평면상에서 2차원적으로 배열될 수 있다.
- [0078] 도 4 및 도 11을 참조하면, 상기 수직 절연체들(140) 및 상기 제1 반도체 패턴들(130)이 형성된 결과물 상에, 제2 반도체 패턴들(135) 및 매립 절연 패턴들(150)이 형성될 수 있다.
- [0079] 구체적으로, 상기 수직 절연체들(140) 및 상기 제1 반도체 패턴들(130)이 형성된 상기 관통 홀들(180) 내에 제2 반도체막 및 매립 절연막이 차례로 형성될 수 있다. 상기 제2 반도체막은 상기 관통 홀들(180)을 완전히 매립하지 않는 두께로, 상기 관통 홀들(180) 내에 키포말하게 형성될 수 있다. 상기 제2 반도체막은 상기 하부 반도체 패턴들(LSP)과 상기 제1 반도체 패턴(130)을 연결할 수 있다. 상기 제2 반도체막은 원자층 증착(ALD) 또는 화학적 기상 증착(CVD) 기술들 중의 한가지를 사용하여 형성되는 반도체 물질(예를 들면, 다결정 실리콘막, 단결정 실리콘막, 또는 비정질 실리콘막)일 수 있다. 상기 매립 절연막은 상기 관통 홀들(180)의 내부를 완전히 채우도록 형성될 수 있다. 상기 매립 절연막은 에스오지(SOG) 기술을 이용하여 형성되는 절연성 물질들 및 실리콘 산화막 중의 한가지일 수 있다. 이 후, 상기 제2 반도체막 및 상기 매립 절연막을 평탄화하여 상기 박막 구조체(TS)의 상면을 노출함으로써, 상기 제2 반도체 패턴들(135) 및 상기 매립 절연 패턴들(150)이 상기 관통 홀들(180) 내에 국소적으로 형성될 수 있다.
- [0080] 상기 제2 반도체 패턴들(135)은 상기 관통 홀들(180) 내에 일단이 닫힌 상태의 파이프 형태(pipe-shaped), 일단이 닫힌 상태의 중공의 실린더 형태(hollow cylindrical shape), 또는 컵(cup) 모양으로 형성될 수 있다. 그러나, 다른 실시예에 따르면, 상기 제2 반도체 패턴(135)은 상기 관통 홀들(180)을 채우는 필라(pillar) 형태로 형성될 수도 있다.
- [0081] 상기 매립 절연 패턴(150)은 상기 제2 반도체 패턴(135)이 형성된 상기 관통 홀들(180)의 내부를 채우도록 형성될 수 있다.
- [0082] 이에 따라, 상기 제1 및 제2 반도체 패턴들(130, 135)에 의해 정의되는 상부 반도체 패턴들(USP)이 형성될 수 있다(S60). 상기 상부 반도체 패턴들(USP)은 상기 하부 반도체 패턴들(LSP) 상에 형성될 수 있다.
- [0083] 도 4 및 도 12를 참조하면, 상기 박막 구조체(TS)를 패터닝하여 인접하는 관통 홀들(180) 사이에 상기 기관(100)을 노출시키는 트렌치들(190)이 형성될 수 있다(S70).
- [0084] 구체적으로, 상기 트렌치들(190)을 형성하는 것은, 상기 박막 구조체(TS) 상에 상기 트렌치들(190)이 형성될 평면적 위치를 정의하는 마스크 패턴들(미도시)을 형성하는 것, 및 상기 마스크 패턴들을 식각 마스크로 상기 박막 구조체(TS)를 식각하는 것을 포함할 수 있다.
- [0085] 상기 트렌치들(190)은 상기 상부 및 하부 반도체 패턴들(USP 및 LSP)로부터 이격되어, 상기 게이트 막들(151) 및 상기 절연막들(110L, 110, 110U)의 측벽들을 노출시키도록 형성될 수 있다. 수평적 관점에서, 상기 트렌치들(190)은 라인 형태 또는 직사각형으로 형성될 수 있으며, 수직적 깊이에 있어서, 상기 트렌치들(190)은 상기 하부 절연막(105)의 상면을 노출시키도록 형성될 수 있다. 즉, 상기 트렌치들(190)을 형성하는 식각 공정은 상기 하부 절연막(105)에 대하여 식각 선택성을 갖는 식각 조건을 이용하여 수행될 수 있다. 또한, 상기 트렌치들(190)은 이방성 식각 공정에 의해 상기 기관(100)으로부터의 거리에 따라 다른 폭을 가질 수 있다.
- [0086] 상기 트렌치들(190)이 형성됨에 따라, 상기 박막 구조체(TS)는 일 방향으로 연장된 라인 형태를 가질 수 있다.

하나의 라인 형태의 상기 박막 구조체(TS)는 복수의 상기 상부 반도체 패턴들(USP)에 의해 관통될 수 있다.

- [0087] 상기 트렌치들(190)이 형성된 후, 상기 트렌치들(190)의 일부를 채우는 금속막(192)이 상기 박막 구조체(TS) 상에 형성될 수 있다. 상기 금속막(192)은 일 예로, Ti, Ni, Co, 및/또는 Pt 등을 포함할 수 있다. 상기 금속막(192)은 원자층 증착 또는 화학기상 증착 공정 등을 수행하여 형성될 수 있다. 이 후, 어닐링 공정을 수행하여, 상기 금속막(192)과 상기 게이트 막들(151)이 반응할 수 있다.
- [0088] 도 4 및 도 13을 참조하면, 상기 게이트 막들(151)은 상기 어닐링 공정에 의해 상기 금속막(192)과 반응하여 게이트 전극들로 변할 수 있다(S80). 상기 게이트 전극들은 상기 하부 반도체 패턴들(LSP)에 인접한 하부 게이트 전극들(155L) 및 상기 상부 반도체 패턴들(USP)에 인접한 상부 게이트 전극(155U)을 포함할 수 있다. 상기 게이트 전극(155L 및 155U)은 상기 절연 막들(110L, 110, 110U)에 의해 서로 분리될 수 있다. 상기 게이트 전극들(155L 및 155U) 및 이들 사이에 개재된 상기 절연막들(110L, 110, 110U)은 적층 구조체(SS)로 정의될 수 있다.
- [0089] 상기 반응 공정 결과, 상기 게이트 전극들(155L 및 155U)은 반도체-금속 화합물(일 예로, 금속 실리사이드)을 포함할 수 있다. 상기 반응에 참여하지 않은 상기 금속막(192)은 제거될 수 있다. 이 후, 상기 하부 절연막(105)을 식각하여 상기 기판(100)이 노출될 수 있다. 이 경우, 과식각(over etch)에 의해 상기 기판(100)의 상면이 소정의 깊이로 리세스될 수 있다.
- [0090] 도 14를 참조하면, 상기 게이트 전극들(155L 및 155U)이 형성된 후, 상기 기판(100)에 공통 소스 영역들(120)이 형성될 수 있다. 상기 공통 소스 영역들(120)은 이온 주입 공정을 통해 형성될 수 있고, 상기 트렌치들(190)에 의해 노출된 상기 기판(100) 내에 형성될 수 있다. 상기 공통 소스 영역들(120)은 상기 하부 반도체 패턴들(LSP)과 다른 도전형을 가질 수 있다. 상기 공통 소스 영역들(120)은 상기 기판(100)과 PN 접합을 구성할 수 있다. 이와 달리, 상기 하부 반도체 패턴들(LSP)과 접하는 상기 기판(100)의 영역은 상기 하부 반도체 패턴들(LSP)과 동일한 도전형을 가질 수 있다. 플래시 메모리 장치를 위한 본 발명의 일 실시예에 따르면, 상기 공통 소스 영역들(120)의 각각은 서로 연결되어 등전위 상태에 있을 수 있다. 다른 실시예에 따르면, 공통 소스 영역들(120)의 각각은 서로 다른 전위를 가질 수 있도록 전기적으로 분리될 수 있다. 또 다른 실시예에 따르면, 공통 소스 영역들(120)은, 서로 다른 복수의 공통 소스 영역들(120)을 포함하는, 독립적인 복수의 소스 그룹들을 구성할 수 있으며, 소스 그룹들의 각각은 서로 다른 전위를 갖도록 전기적으로 분리될 수 있다.
- [0091] 도 15를 참조하면, 상기 공통 소스 영역들(120) 상에 상기 트렌치들(190)을 채우는 전극 분리 패턴(250)이 형성될 수 있다. 상기 전극 분리 패턴(250)은 실리콘 산화막, 실리콘 질화막 또는 실리콘 산화질화막 중의 적어도 하나로 형성될 수 있다.
- [0092] 이에 더하여, 상기 제1 및 제2 반도체 패턴들(130, 135)에 접속되는 도전 패드들(160)이 형성될 수 있다. 상기 도전 패드들(160)은 상기 제1 및 제2 반도체 패턴들(130, 135)의 상부 영역을 리세스한 후, 상기 리세스된 영역 내에 도전 물질을 채워서 형성될 수 있다. 또한, 상기 도전 패드들(160)은 그것의 아래에 위치하는 상기 제1 및 제2 반도체 패턴들(130, 135)과 다른 도전형의 불순물 도핑하여 형성될 수 있다.
- [0093] 상기 도전 패드들(160)에 접속되는 콘택 플러그들(170) 및 상기 콘택 플러그들(170)에 연결되는 비트 라인(BL)이 형성될 수 있다. 상기 비트 라인(BL)은 상기 콘택 플러그(170)를 통해 상기 제1 및 제2 반도체 패턴들(130, 135)에 전기적으로 연결될 수 있다. 상기 비트 라인(BL)은 상기 하부 및 상부 게이트 전극들(155L, 155U)을 가로지르도록 형성될 수 있다.
- [0094] 본 발명의 개념에 따르면, 산화 공정을 수행하여 두께가 상이한 상기 제1 패턴들(200) 및 상기 제2 패턴들(210)을 동시에 형성하고, 상기 제1 패턴들(200)의 일부 및 상기 제2 패턴들(210)을 제거함으로써, 상기 관통 홀들(180)에 의해 노출된 상기 게이트 막들(151)의 측벽들 상에 상기 제1 패턴들(200)의 잔부가 남을 수 있다. 상기 제1 패턴들(200)의 잔부는 상기 하부 반도체 패턴들(LSP)을 형성하는 에피택시얼 성장 공정 동안, 상기 게이트 막들(151)의 마스크 역할을 할 수 있다. 또한, 상기 게이트 막들(151)은 상기 금속막(192)과 반응하여 게이트 전극들(155L, 155U)로 변할 수 있다. 따라서, 상기 게이트 막들(151)과 상기 금속막(192)의 반응 공정을 이용하여 상기 게이트 전극들(155L, 155U)을 형성함과 동시에, 선택적 에피택시얼 공정을 이용하여 상기 하부 반도체 패턴들(LSP)을 형성함으로써, 3차원 반도체 메모리 장치의 제조 공정이 단순화될 수 있다.

- [0095] 더하여, 상기 게이트 막들(151)과 상기 금속막들(192)의 반응 공정을 이용하여 상기 게이트 전극들(155L, 155U)을 형성함에 따라, 상기 게이트 전극들(155L, 155U) 사이의 오정렬을 방지할 수 있다. 동시에, 상기 게이트 전극들(155L, 155U) 사이에 개재되는 절연막들(110L, 110, 110U)의 수직적 두께를 낮게 형성할 수 있기 때문에, 고집적화에 최적화된 3차원 반도체 메모리 장치를 제공할 수 있다.
- [0096] 도 16은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.
- [0097] 도 16을 참조하면, 메모리 시스템(1100)은 PDA, 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 소자에 적용될 수 있다.
- [0098] 메모리 시스템(1100)은 컨트롤러(1110), 키패드(keypad), 키보드 및 디스플레이와 같은 입출력 장치(1120), 메모리(1130), 인터페이스(1140), 및 버스(1150)를 포함한다. 메모리(1130)와 인터페이스(1140)는 버스(1150)를 통해 상호 소통된다.
- [0099] 컨트롤러(1110)는 적어도 하나의 마이크로 프로세서, 디지털 시그널 프로세서, 마이크로 컨트롤러, 또는 그와 유사한 다른 프로세스 장치들을 포함한다. 메모리(1130)는 컨트롤러에 의해 수행된 명령을 저장하는 데에 사용될 수 있다. 입출력 장치(1120)는 시스템(1100) 외부로부터 데이터 또는 신호를 입력받거나 또는 시스템(1100) 외부로 데이터 또는 신호를 출력할 수 있다. 예를 들어, 입출력 장치(1120)는 키보드, 키패드 또는 디스플레이 소자를 포함할 수 있다.
- [0100] 메모리(1130)는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 포함한다. 메모리(1130)는 또한 다른 종류의 메모리, 임의의 수시 접근이 가능한 휘발성 메모리, 기타 다양한 종류의 메모리를 더 포함할 수 있다.
- [0101] 인터페이스(1140)는 데이터를 통신 네트워크로 송출하거나, 네트워크로부터 데이터를 받는 역할을 한다.
- [0102] 또한, 본 발명에 따른 3차원 반도체 메모리 장치 또는 메모리 시스템은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 본 발명에 따른 3차원 반도체 메모리 장치 또는 메모리 시스템은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지가 되어 실장될 수 있다.
- [0103] 도 17은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.
- [0104] 도 17을 참조하면, 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(1200)는 플래시 메모리 장치(1210)를 장착한다. 플래시 메모리 장치(1210)는 상술된 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 포함한다. 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와 플래시 메모리 장치(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함한다.
- [0105] SRAM(1221)은 프로세싱 유닛(1222)의 동작 메모리로서 사용된다. 호스트 인터페이스(1223)는 메모리 카드(1200)와 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 에러 정정 블록(1224)은 멀티 비트 플래시 메모리 장치(1210)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다. 메모리 인터페이스(1225)는 본 발명의 플래시 메모리 장치(1210)와 인터페이스한다. 프로세싱 유닛(1222)은 메모리 컨트롤러(1220)의 데이터 교환을 위한 제반 제어 동작을 수행한다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와의 인터페이스를 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0106] 도 18은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.
- [0107] 도 18을 참조하면, 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템에 플래시 메모리 장치(1210)가 장

작성된다. 플래시 메모리 장치(1210)는 상술된 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 포함한다. 본 발명에 따른 정보 처리 시스템(1300)은 플래시 메모리 시스템(1310)과 각각 시스템 버스(760)에 전기적으로 연결된 모뎀(1320), 중앙처리장치(1330), 램(1340), 유저 인터페이스(1350)를 포함한다. 플래시 메모리 시스템(1310)은 앞서 언급된 메모리 시스템 또는 플래시 메모리 시스템과 실질적으로 동일하게 구성될 것이다. 플래시 메모리 시스템(1310)에는 중앙처리장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 여기서, 상술한 플래시 메모리 시스템(1310)이 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 플래시 메모리 시스템(1310)에 안정적으로 저장할 수 있다. 그리고 신뢰성의 증대에 따라, 플래시 메모리 시스템(1310)은 에러 정정에 소요되는 자원을 절감할 수 있어 고속의 데이터 교환 기능을 정보 처리 시스템(1300)에 제공할 것이다. 도시되지 않았지만, 본 발명에 따른 정보 처리 시스템(1300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0108]

본 발명의 실시예들에 대한 이상의 설명은 본 발명의 설명을 위한 예시를 제공한다. 따라서 본 발명은 이상의 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당해 기술 분야의 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

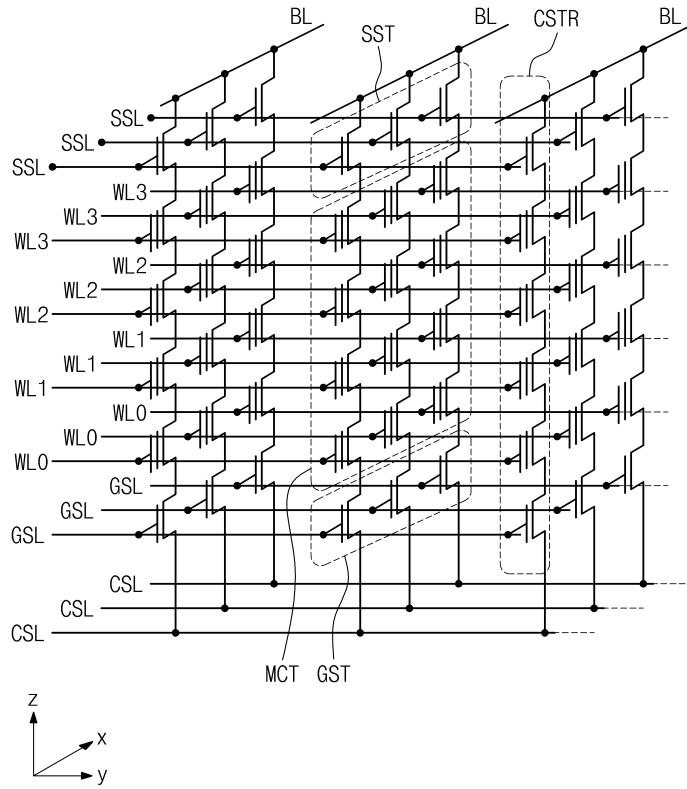
부호의 설명

[0109]

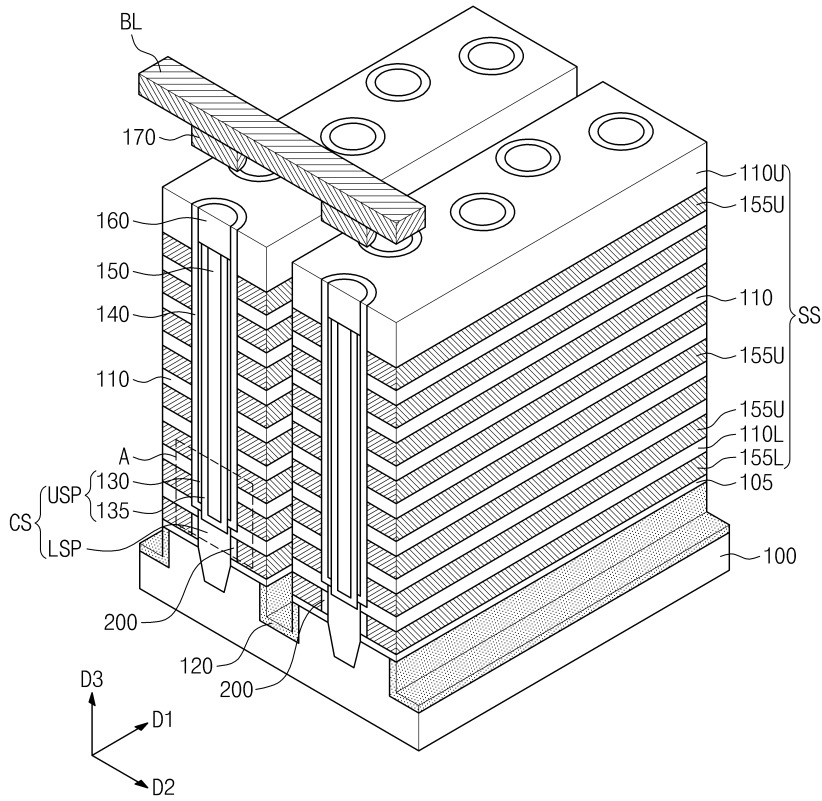
- | | |
|-----------------------|-----------------|
| 100: 기판 | 105: 하부 절연막 |
| 110, 110L, 110U: 절연막들 | 151: 게이트 막들 |
| TS: 박막 구조체 | 180: 관통 홀들 |
| 200: 제1 패턴들 | 210: 제2 패턴들 |
| LSP: 하부 반도체 패턴들 | USP: 상부 반도체 패턴들 |
| 140: 수직 절연체들 | 130: 제1 반도체 패턴들 |
| 135: 제2 반도체 패턴들 | 150: 매립 절연 패턴들 |
| 190: 트렌치들 | 192: 금속막 |
| 155L, 155U: 게이트 전극들 | SS: 적층 구조체들 |
| 120: 공통 소스 영역들 | 170: 콘택 플러그들 |
| 160: 도전 패드들 | 250: 전극 분리 패턴 |
| BL: 비트 라인들 | |

도면

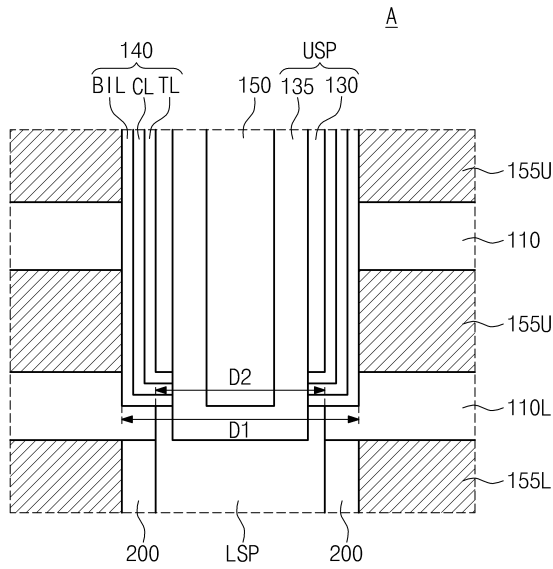
도면1



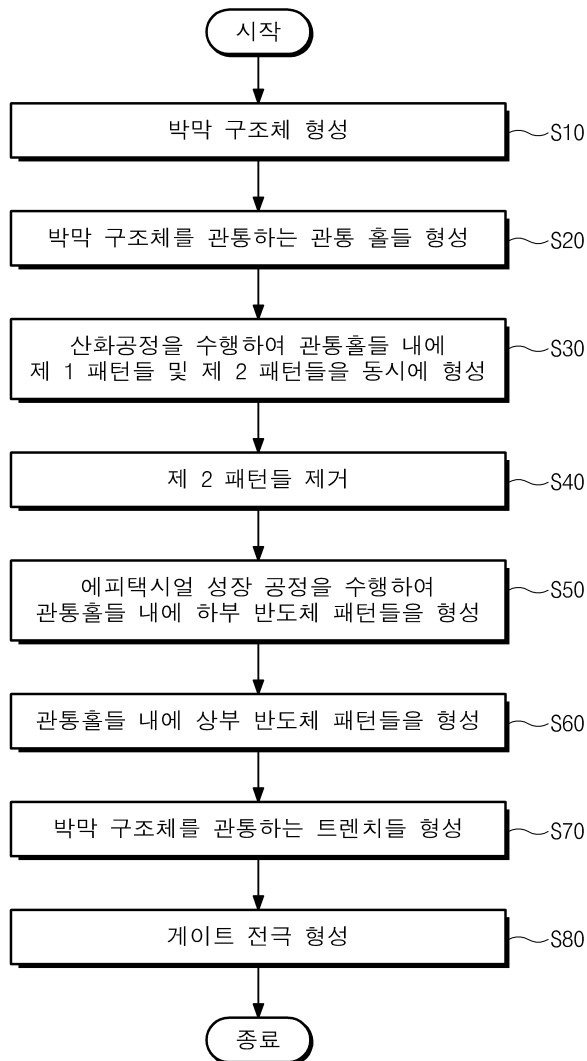
도면2



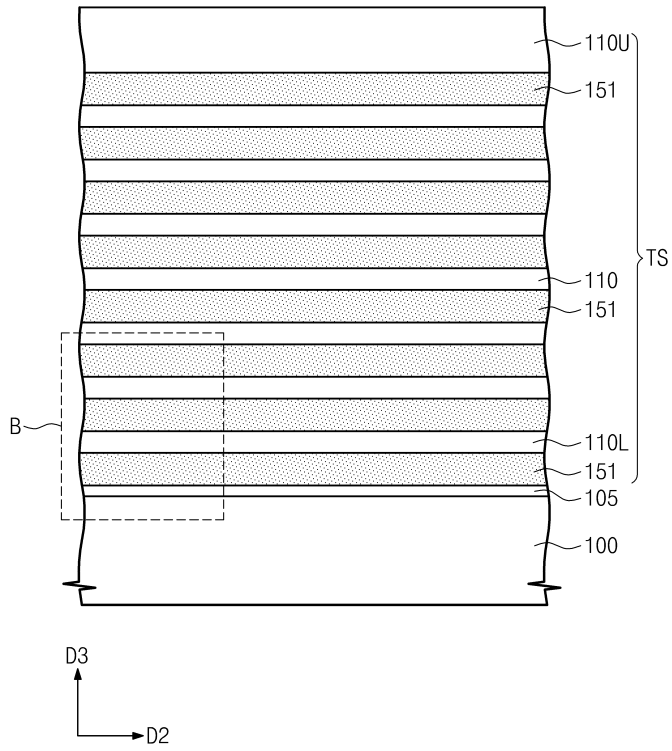
도면3



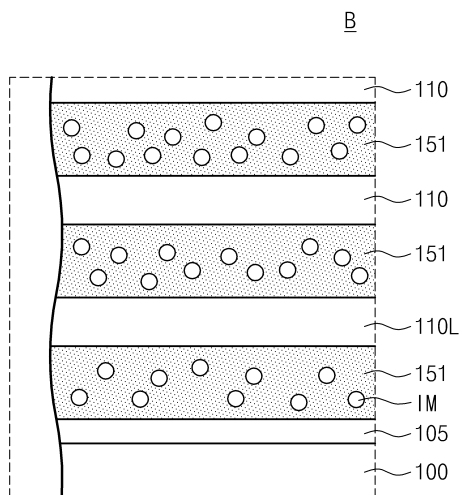
도면4



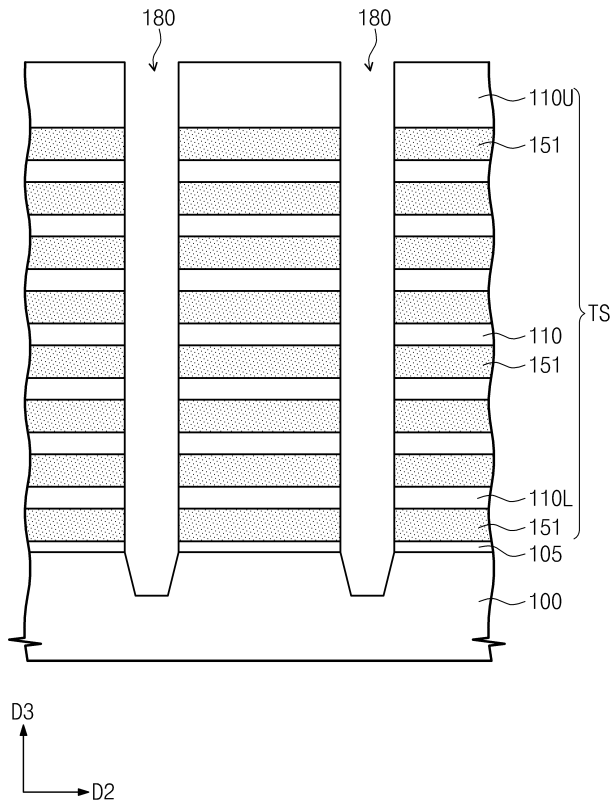
도면5a



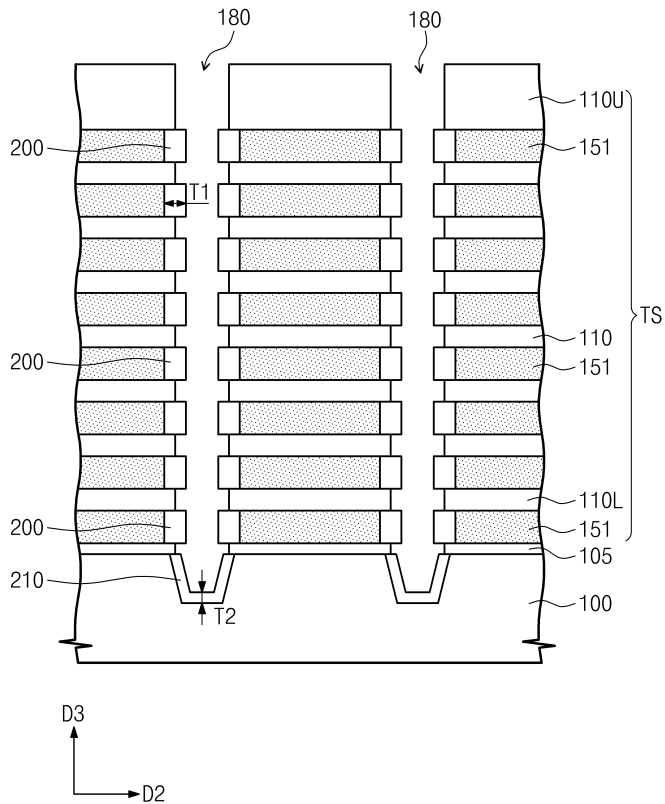
도면5b



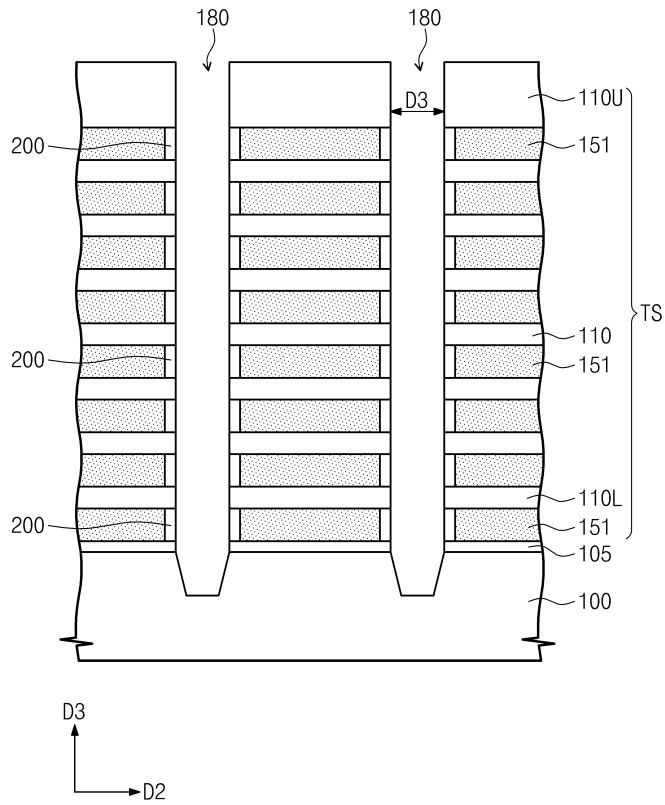
도면6



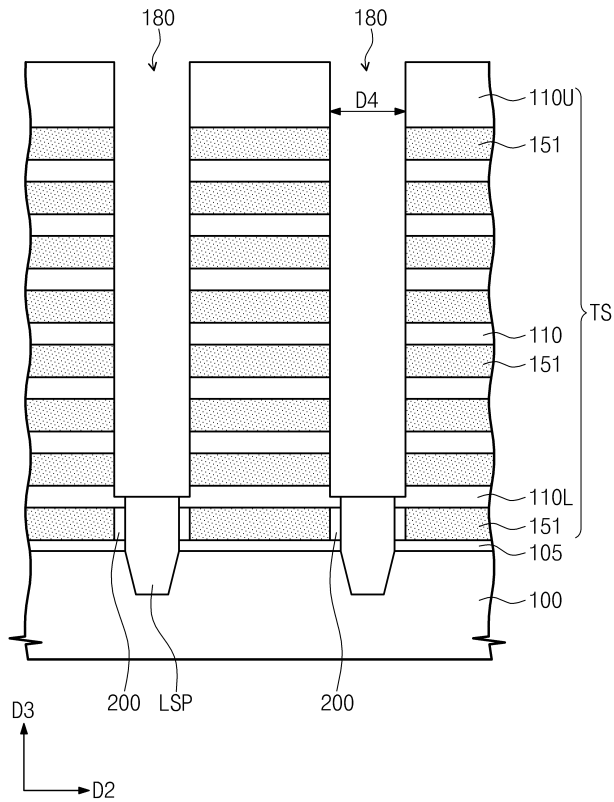
도면7



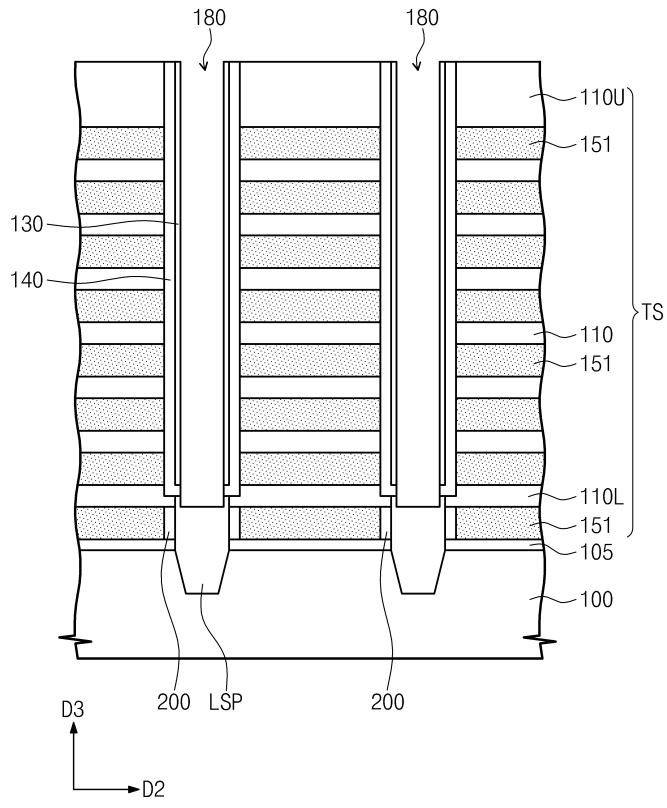
도면8



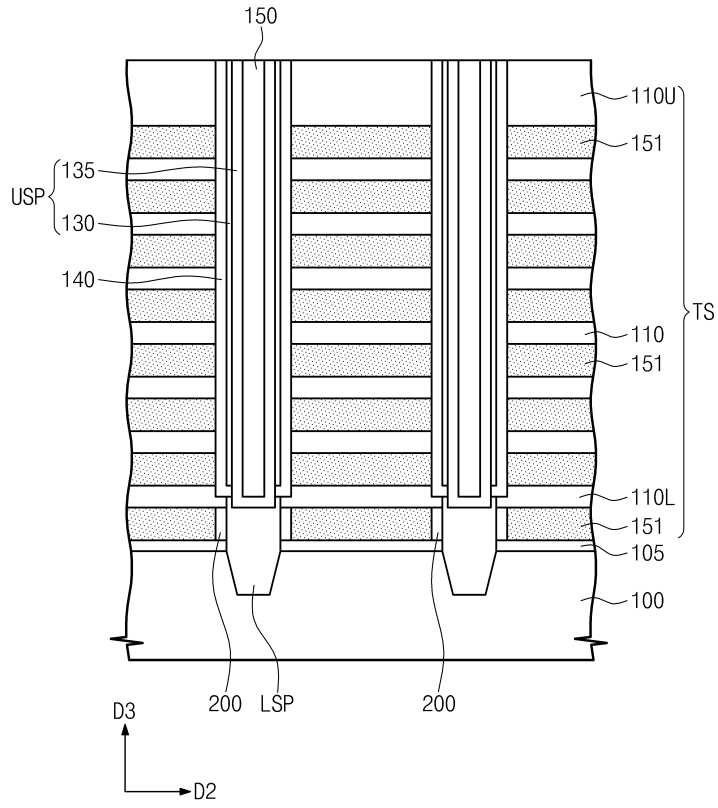
도면9



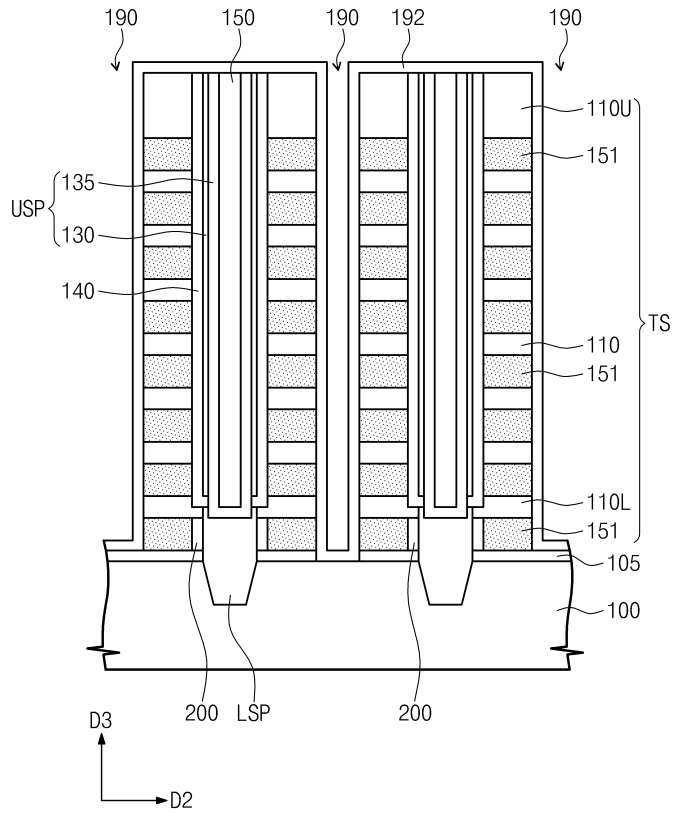
도면10



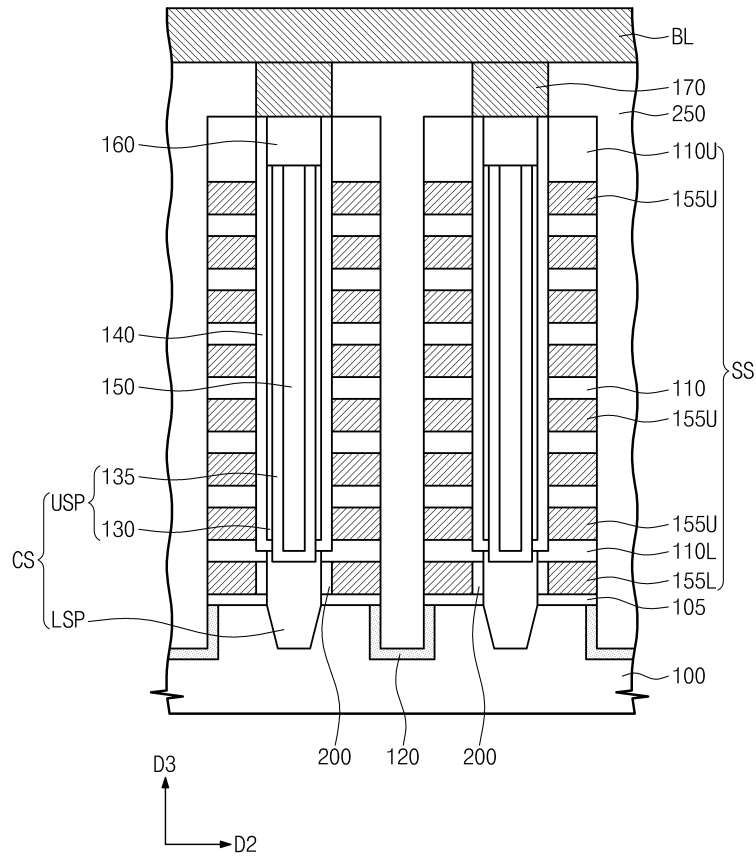
도면11



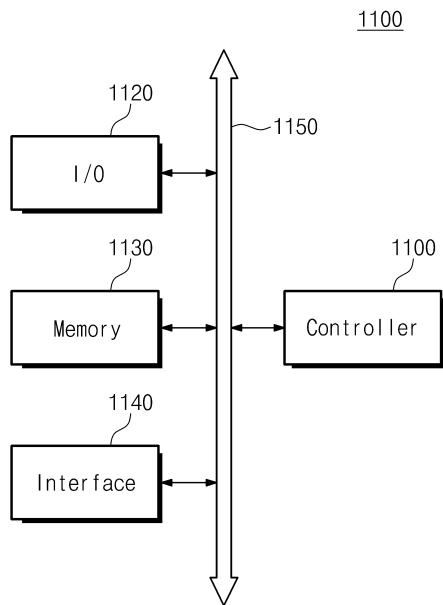
도면12



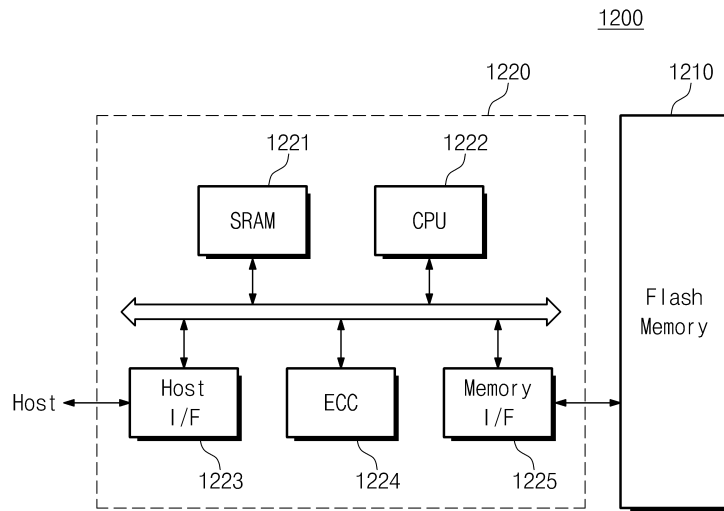
도면15



도면16



도면17



도면18

