

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6066392号  
(P6066392)

(45) 発行日 平成29年1月25日 (2017. 1. 25)

(24) 登録日 平成29年1月6日 (2017. 1. 6)

(51) Int. Cl.	F I
<b>G 1 1 C 16/02 (2006.01)</b>	G 1 1 C 17/00 6 1 4
<b>G 0 6 F 12/16 (2006.01)</b>	G 1 1 C 17/00 6 0 1 C
	G 1 1 C 17/00 6 0 1 D
	G 0 6 F 12/16 3 1 0 A

請求項の数 13 外国語出願 (全 10 頁)

(21) 出願番号	特願2010-134480 (P2010-134480)	(73) 特許権者	595168543
(22) 出願日	平成22年5月26日 (2010. 5. 26)		マイクロン テクノロジー, インク.
(65) 公開番号	特開2010-277685 (P2010-277685A)		アメリカ合衆国, アイダホ州 8 3 7 1 6
(43) 公開日	平成22年12月9日 (2010. 12. 9)		- 9 6 3 2, ボイズ, サウス フェデ
審査請求日	平成25年5月27日 (2013. 5. 27)		ラル ウェイ 8 0 0 0
審判番号	不服2015-106 (P2015-106/J1)	(74) 代理人	100092093
審判請求日	平成27年1月5日 (2015. 1. 5)		弁理士 辻居 幸一
(31) 優先権主張番号	12/472, 153	(74) 代理人	100082005
(32) 優先日	平成21年5月26日 (2009. 5. 26)		弁理士 熊倉 禎男
(33) 優先権主張国	米国 (US)	(74) 代理人	100067013
早期審査対象出願			弁理士 大塚 文昭
		(74) 代理人	100086771
			弁理士 西島 孝喜
		(74) 代理人	100109070
			弁理士 須田 洋之

最終頁に続く

(54) 【発明の名称】 電力損失を制御するための方法及びデバイス

(57) 【特許請求の範囲】

【請求項 1】

不揮発性メモリ (N V M) デバイスであって、  
データを格納するための N V M アレイと、  
制御された電力遮断コマンドをホストコントローラから受信するための、前記 N V M アレイに結合されたコマンド・インターフェースと、

前記 N V M デバイスがバックグラウンド動作を実施しているかどうかを示す情報を格納するための、前記 N V M アレイに結合された状況レジスタ・ユニットと、を含み、

前記情報は前記制御された電力遮断コマンドが受信された後前記ホストコントローラによって読まれるようになっており、かつ前記 N V M デバイスが前記バックグラウンド動作を実施していると判断される場合に、供給電力の損失より前に前記制御された電力遮断コマンドに応答して前記 N V M デバイスが前記バックグラウンド動作を安全に一時停止するようになっており、

前記 N V M デバイスは前記供給電力が再供給された後前記停止されたバックグラウンド動作を完了するようになっており、かつ前記コマンド・インターフェースは、前記制御された電力遮断コマンドに応答して、状況レジスタを通してメモリ肯定応答を前記ホストコントローラに送るよう構成されているデバイス。

【請求項 2】

前記バックグラウンド動作は、前記供給電力の損失に先立って、安全に自動的に一時停止されることを特徴とする、請求項 1 に記載のデバイス。

10

20

## 【請求項 3】

前記バックグラウンド動作は、メモリアレイのリフレッシュ又はウェアレベリング・アルゴリズムをさらに含むことを特徴とする、請求項 1 に記載のデバイス。

## 【請求項 4】

前記状況レジスタ・ユニットは、前記 N V M デバイスが前記バックグラウンド動作を安全に一時停止又は完了したかどうかを示す情報を格納するように構成されたことを特徴とする請求項 1 に記載のデバイス。

## 【請求項 5】

前記状況レジスタ・ユニットは、前記供給電力の復旧時に前記一時停止されたバックグラウンド動作を再開する際に前記 N V M デバイスによって用いられる情報を格納するように構成されたことを特徴とする、請求項 1 に記載のデバイス。

10

## 【請求項 6】

データ処理デバイスであって、

1 つ又はそれ以上のプロセッサコアを有する処理ユニットと、

不揮発性メモリ ( N V M ) デバイスを有する、前記処理ユニットに結合されたシステムメモリとを含み、前記不揮発性メモリ ( N V M ) デバイスは、

データを格納するための N V M アレイと、

制御された電力遮断コマンドを前記処理ユニットから受信するための、 N V M アレイに結合されたコマンド・インターフェースと、

前記 N V M デバイスがバックグラウンド動作を実施しているかどうかを示す情報を格納するための、前記 N V M アレイに結合された状況レジスタ・ユニットと、  
を含み、

20

前記情報は前記制御された電力遮断コマンドが受信された後前記処理ユニットによって読まれるようになっており、かつ前記 N V M デバイスが前記バックグラウンド動作を実施していると判断される場合に、供給電力の損失より前に前記制御された電力遮断コマンドに応答して前記 N V M デバイスが前記バックグラウンド動作を安全に一時停止するようになっており、

前記 N V M デバイスは前記供給電力が再供給された後前記停止されたバックグラウンド動作を完了するように構成されており、前記コマンド・インターフェースは、前記制御された電力遮断コマンドに応答して、状況レジスタを通してメモリ肯定応答を前記処理ユニットに送るように構成されていることを特徴とするデータ処理デバイス。

30

## 【請求項 7】

前記バックグラウンド動作が安全に完了された又は一時停止された後に前記 N V M デバイスから前記供給電力を除去するための、前記処理ユニットに結合された電力管理ユニットをさらに含むことを特徴とする、請求項 6 に記載のデータ処理デバイス。

## 【請求項 8】

前記データ処理デバイスは、

無線信号を受信するための、前記処理ユニットに結合された送受信機をさらに含む無線通信デバイスであることを特徴とする、請求項 6 に記載のデータ処理デバイス。

40

## 【請求項 9】

ホストコントローラを用いて、制御された電力遮断コマンドをメモリデバイスに出力し、

ホストコントローラを用いて、前記メモリデバイスの状況レジスタ・ユニットを読み取り、

前記メモリデバイスがバックグラウンド動作を実行しているかどうかを示す情報を格納する、前記メモリデバイスの状況レジスタ・ユニットの読み取りに基づいて、ホストコントローラを用いて、前記メモリデバイスがバックグラウンド動作を実行しているかどうかを判断し、

前記メモリデバイスが前記バックグラウンド動作を実施していると判断される場合に、コマンド・インターフェースを用いて、前記制御された電力遮断コマンドに応答して状況

50

レジスタを通してメモリ肯定応答を前記ホストコントローラに送ると共に、メモリデバイスを  
用いて、前記制御された電力遮断コマンドに応答して前記バックグラウンド動作を安全に一時停止し、

電力管理ユニットを用いて、安全に電力供給を除去し、

その後、電力管理ユニットを用いて、前記メモリデバイスに前記供給電力を再供給し、

前記メモリデバイスへの供給電力の再供給の後、メモリデバイスを用いて、停止された  
バックグラウンド動作を完了する、ステップを含むことを特徴とする、方法。

【請求項 10】

前記「ホストコントローラを用いて、制御された電力遮断コマンドをメモリデバイスに  
出力する」ステップは、電力損失イベントの検出に応答して、前記ホストコントローラを  
用いて、制御された電力遮断コマンドをメモリデバイスに出力するステップを含むことを  
特徴とする、請求項 9 に記載の方法。

10

【請求項 11】

前記「コマンド・インターフェースを用いて、前記制御された電力遮断コマンドに応答  
して状況レジスタを通してメモリ肯定応答を前記ホストコントローラに送ると共に、メモ  
リデバイスを用いて、前記制御された電力遮断コマンドに応答して前記バックグラウンド  
動作を安全に一時停止する」ステップは、前記制御された電力遮断コマンドに応答して前  
記メモリデバイスから前記コントローラにおけるメモリ肯定応答を受信するステップ、又  
は、前記バックグラウンド動作を安全に一時停止する前又は該バックグラウンド動作を完了す  
る前に一定の時間待つステップを含むことを特徴とする、請求項 9 に記載の方法。

20

【請求項 12】

前記「前記メモリデバイスがバックグラウンド動作を実行しているかどうかを示す情報を  
格納する、前記メモリデバイスの状況レジスタ・ユニットの読み取りに基づいて、ホスト  
コントローラを用いて、前記メモリデバイスがバックグラウンド動作を実行しているかどう  
かを判断する」ステップにおいて、前記メモリデバイスが前記バックグラウンド動作を実行  
していないと判断された場合、電力管理ユニットを用いて、前記供給電力が安全に除去さ  
れることを特徴とする、請求項 9 に記載の方法。

【請求項 13】

前記メモリデバイスは、前記メモリデバイスの前記状況レジスタ・ユニットを読み取る  
まで、前記バックグラウンド動作を認識する前記ホストコントローラなしで、前記バックグ  
ラウンドタスクを実施するように構成されている、請求項 9 に記載の方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、一般に、不揮発性メモリを有するデバイスにおける電力損失を制御する分野に関する。

【背景技術】

【0002】

コンピュータ、携帯電話、スマートフォン、携帯情報端末（PDA）及び他の電子デバイスは、制御可能な電力を失う場合がある。例えば、バッテリー電源が徐々に放電して、デバイスを遮断するレベルに達することがある。こうしたデバイス内に配置された不揮発性メモリは、コントローラが認識することなく開始され実行されるバックグラウンド動作を実施することができる。バックグラウンド動作の例は、電圧応力又は温度応力に起因するセルレベルのドリフトから回復するように、メモリアレイのコンテンツが周期的に書き換えられる、メモリアレイのリフレッシュである。別の例は、内蔵されたウェアレベリング・アルゴリズムの実装である。

40

【発明の概要】

【発明が解決しようとする課題】

【0003】

電子デバイスにおける電力損失に対する従来の手法は、結果として電力供給の除去をも

50

たらし、このことは、バックグラウンドタスクの完了を中断し、危険にさらす。後に電力が復旧されたとき、バックグラウンド動作の中断がデータの完全性の問題又は信頼性の問題をもたらすことがある。

【課題を解決するための手段】

【0004】

電力損失を制御するための方法及びデバイスがここに説明される。1つの実施形態において、この方法は、コントローラにより制御された電力遮断コマンドを出すことを含む。この方法は、メモリデバイスがバックグラウンド動作を実行しているかどうかを判断することを含む。この方法は、メモリデバイスがバックグラウンド動作を実行している場合に、バックグラウンド動作を安全に一時停止(suspend)すること、又は、バックグラウンド動作を完了することを含む。この方法は、供給電力を安全に除去することを含む。

10

【0005】

供給電力が後に復旧されたときに、一時停止されたバックグラウンド動作を再開することができる。バックグラウンド動作は、メモリアレイのリフレッシュ又はウェアレベリング・アルゴリズムを含むことができる。一時停止されたバックグラウンド動作を安全に完了し又は再開することにより、従来の手法と比較してメモリの信頼性及びデータの完全性が向上する。

【0006】

本発明の1つ又はそれ以上の実施形態は、例として示されるものであり、同様の参照番号が類似の要素を示す添付図面の図に制限されるものではない。

20

【図面の簡単な説明】

【0007】

【図1】1つの実施形態による、制御可能な電力損失対処能力を有するデータ処理デバイスを示す。

【図2】1つの実施形態による、電力管理ユニットに結合された不揮発性メモリ(NVM)デバイスを示す。

【図3】1つの実施形態による、制御可能な電力損失対処能力を有する無線通信デバイスを示す。

【図4】1つの実施形態による、制御された電力遮断シーケンスを実行するための方法を示す。

30

【発明を実施するための形態】

【0008】

図1は、1つの実施形態による制御可能な電力損失対処能力(controllable power loss capability)を有するデータ処理デバイスを示す。データ処理デバイス100は、第1及び第2のプロセッサコア116及び118を有する処理ユニット110、ホストコントローラ119、並びに処理ユニット110に結合されたシステムメモリ120を含む。ホストコントローラ119は、処理ユニット110の内部にあっても、又は処理ユニット110の外部的にあってもよい。第1及び第2のプロセッサコア116及び118は、それぞれ、内蔵された不揮発性メモリ130及び132を含む。システムメモリ120は、不揮発性メモリ(NVM)デバイス122及び種々の形式のメモリ(例えば、DRAM124、RAM126、ROM128)を含む。NVMデバイス122は、バックグラウンド動作を実施し、データを格納するための不揮発性メモリアレイ220を含む。NVMデバイス122はまた、1つ又はそれ以上のレジスタを有する状況レジスタ・ユニット230と、コマンド・インターフェース240とを含む。NVMデバイス122は、図2と併せてより詳細に説明される。

40

【0009】

図2は、1つの実施形態による、電力管理ユニット202に結合されたNVMデバイス122を示す。NVMデバイス122は、バックグラウンド動作(例えば、メモリアレイのリフレッシュ、内蔵されたウェアレベリング・アルゴリズム)を実施し、データを格納

50

するための不揮発性メモリ（NVM）アレイ 220（例えば、NANDフラッシュ技術、NORフラッシュ技術、PCM技術に基づいた）を含む。NVMデバイス 122はまた、1つ又はそれ以上のレジスタを有する状況レジスタ・ユニット 230と、コマンド・インターフェース 240とを含む。コマンド・インターフェース 240は、NVMアレイ 220に結合され、処理ユニット 204に結合された又はその内部に配置されたコントローラ 206から、制御された電力遮断コマンドを受信する。コントローラ 206は、メモリバス 208を介してNVMデバイス 122に結合される。コマンド・インターフェースは、有限状態機械として実装することができ、モードレジスタ（例えば、状況レジスタ・ユニット 230）、又は、NVMアレイ 220内にマッピングされた1組のレジスタと関連付けられたオーバーレイウィンドウ内のレジスタを含むことができる。NVMアレイ 220に結合された状況レジスタ・ユニット 230は、NVMデバイス 122がバックグラウンド動作を実施しているかどうかを示す情報を格納する。NVMデバイス 122は、制御された電力遮断コマンドをコントローラ 206から受信したときに、NVMデバイス 122がバックグラウンド動作を実施している場合、供給電力の損失に先立って、バックグラウンド動作を安全に一時停止するか、又はバックグラウンド動作を完了する。

#### 【0010】

1つの実施形態において、バックグラウンド動作は、供給電力の損失に先立って、安全に完了されるか、又は自動的に一時停止される。NVMデバイス 122は、電力が復旧された後に、一時停止されたバックグラウンド動作を完了するように構成される。

#### 【0011】

1つの実施形態について、状況レジスタは、制御された電力遮断コマンドに応答して、メモリ肯定応答をコントローラ 206に与える。コントローラ 206がメモリ肯定応答を受信した後、電力管理ユニット 202は、NVMデバイス 122からの電力の除去に進むことができる。代替的に、コントローラ 206が一定の期間内にメモリ肯定応答を受信しなかった場合、コントローラ 206は、続けて、電力管理ユニット 202にNVMデバイス 122から電力を除去させることができる。一定の期間とは、NVMデバイス 122が、バックグラウンド動作を一時停止又は完了するのに十分な時間である。状況レジスタ・ユニット 230は、NVMデバイス 122がバックグラウンド動作を安全に一時停止又は完了したかどうかを示す情報を格納する。状況レジスタ・ユニット 230はまた、供給電力の復旧時に一時停止されたバックグラウンド動作を再開する際に、NVMデバイス 122によって使用される情報も格納する。幾つかの実施形態において、NVMデバイス 122は、NVMデバイス 122の状況レジスタ・ユニット 230を読み取るまで、バックグラウンド動作を認識するコントローラ 206なしで、バックグラウンドタスクを実施する。1つの実施形態において、NVMデバイスは集積回路デバイスである。

#### 【0012】

図3は、1つの実施形態による、制御可能な電力損失対処能力を有する無線通信デバイスを示す。無線通信デバイス 300は、該無線通信デバイス 300が処理ユニット 310に結合された送受信機 312も含むことを除いて、データ処理デバイス 100に類似している。送受信機 312は、アンテナ 314で無線信号を受信し、送信機 360及び受信機 362を含む。この無線の実施形態に示されるように、通信デバイス 300は、無線により他の無線通信デバイスと通信するのを可能にするための1つ又はそれ以上のアンテナ構造体 314を含む。従って、通信デバイス 300は、携帯電話デバイス又は無線ネットワーク内で動作するデバイスとして動作することができる。通信デバイス 300の同じプラットフォーム内に配置された無線サブシステムは、RF/位置空間における異なる周波数帯域と通信する能力を、ネットワーク内の他のデバイスに与える。本発明の範囲は、通信デバイス 300が利用できる通信プロトコルの形式、数、又は周波数によって制限されないことを理解するべきである。

#### 【0013】

実施形態は、アンテナ構造体 314を送受信機 312に結合して、変調/復調に適合させることを示す。一般に、アナログ・フロントエンド送受信機 312は、独立型無線周波

10

20

30

40

50

数(RF)の別個の離散又は集積アナログ回路とすることができ、或いは、送受信機312を、1つ又はそれ以上のプロセッサコア316及び318を有するプロセッサに埋め込むことができる。複数のコアにより、コア全体にわたって処理の作業負荷を共有し、ベースバンド機能及びアプリケーション機能进行处理することが可能になる。インターフェースを使用して、プロセッサとシステムメモリ320内の記憶装置との間に通信又は情報を提供する。本発明の範囲はこの点に制限されるものではないが、インターフェースは、プロセッサとシステムメモリ320との間にハンドシェイキングを提供するために用いられる制御信号ラインと共に情報を共有するために、シリアルバス及び/又はパラレルバスを含むことができる。

【0014】

10

システムメモリ320を随意的に用いて、無線通信デバイス300の動作中、プロセッサによって実行される命令を格納することができ、また、システムメモリ320を用いて、メッセージが無線通信デバイス300によって伝送されるとき、又は実際のデータが伝送されるときに条件のようなユーザデータを格納することができる。例えば、システムメモリ320内に格納された命令を使用して、無線通信を実行し、通信デバイス300のための安全機能を与え、スケジュール調整、eメール、インターネットの閲覧等のユーザ機能を与えることができる。

【0015】

システムメモリ320は、1つ又はそれ以上の異なる形式のメモリによって提供することができ、随意的なDRAM、RAM及び/又はROM、並びに、NVMアレイ220を有するNVMデバイス122を含むことができる。NVMアレイ220は、相変化材料を含むことができる。NVMアレイ220は、相変化メモリ(PCM)、相変化ランダム・アクセス・メモリ(PRAM又はPCRAM)、Ovonic Unified Memory(OUM)、又はカルコゲナイド・ランダム・アクセス・メモリ(C-RAM)と呼ぶことができる。NVMアレイ220は、フラッシュメモリ(例えば、NOR、NAND)を含むことができる。

20

【0016】

NVMデバイス122はまた、1つ又はそれ以上のレジスタを有する状況レジスタ・ユニット230と、コマンド・インターフェース240とを含む。NVMデバイス122は、図2と併せて上記により詳細に説明される。

30

【0017】

揮発性メモリ及び不揮発性メモリを、スタッキングプロセスで組み合わせて基板上のフットプリントを減少させ、別個にパッケージ化し、又はプロセッサの上部に配置されたメモリ・コンポーネントと共にマルチチップ・パッケージ内に配置することができる。実施形態はまた、プロセッサコアのうちの1つ又はそれ以上を不揮発性メモリ330及び332と共に埋め込むことができることも示す。

【0018】

図4は、1つの実施形態による、制御された電力遮断シーケンスを実行するための方法を示す。方法は、ブロック402において発生すると予想される制御された電力損失イベントを検出することを含む。例えば、メモリデバイス(例えば、NVMデバイス)に結合されたホストコントローラは、バッテリー電源が完全な放電状態に近づいており、よってデバイスの遮断を要求していることを検出することができる。方法は、ブロック404において、電力損失イベントの検出にตอบสนองして、ホストコントローラを用いて制御された電力遮断コマンドをメモリデバイスに出すことを含む。方法は、ブロック406において、メモリデバイスの状況レジスタ・ユニットを読み取ることを含む。方法は、ブロック408において、メモリデバイスが動作を実行しているかどうかを判断することを含む。メモリデバイスが動作を実行していない場合には、ブロック410において、電力供給が安全に除去される。

40

【0019】

メモリデバイスが動作を実行している場合には、状況レジスタ・ユニットにアクセスし

50

て、動作をいつ完了又は一時停止させるかを決定することができる。方法は、ブロック 4 1 2 において、制御された電力遮断コマンドに応答して、メモリデバイスからホストコントローラにおいてメモリ肯定応答を受信すること、或いは、バックグラウンド動作を安全に一時停止する前又はバックグラウンド動作を完了する前に一定時間待つことを含む。方法は、ブロック 4 1 4 において、メモリデバイスがバックグラウンド動作を実行している場合、バックグラウンド動作を安全に一時停止する又はバックグラウンド動作を完了することを含む。方法は、制御された電力遮断コマンドの受信時にメモリデバイスがバックグラウンド動作を実施していたとしても、ブロック 4 1 6 において、供給電力を安全に除去することを含む。方法は、ブロック 4 1 8 において、メモリデバイスへの電力を後で復旧することを含む。方法は、ブロック 4 2 0 において、適用可能な場合には、メモリデバイスへの電力を復旧した後、一時停止されたバックグラウンド動作を完了することを含む。

10

#### 【 0 0 2 0 】

詳細な説明の幾つかの部分は、コンピュータメモリ内のデータビット又は 2 値デジタル信号の動作のアルゴリズム及び記号的表現に関して表される。これらのアルゴリズム記述及び表現は、データ処理技術の当業者が、他の当業者にその仕事の内容を伝えるのに使用する技術とすることができる。

#### 【 0 0 2 1 】

アルゴリズムは、ここでは、一般的に、所望の結果をもたらす首尾一貫した行為又は動作のシーケンスであると考えられる。これらは、物理量の物理的操作を含む。通常、必ずしもではないが、これらの量は、格納され、転送され、組み合わせられ、比較され、他の方法で操作することができる電気信号又は磁気信号の形態をとる。主として一般的な慣習上、時として、これらの信号をビット、値、要素、記号、文字、用語、数字等と呼ぶことが便利であることが分かっている。しかしながら、これら及び類似した用語の全ては、適切な物理量と関連付けられるべきであり、これらの量に適用される便利なラベルにすぎないことを理解すべきである。

20

#### 【 0 0 2 2 】

特にことわらない限り、明細書全体にわたって、「処理」、「コンピューティング」、「計算」、「判断」等のような用語を用いる説明は、コンピューティング・システムのレジスタ及び / 又はメモリ内の、電子量のような物理量として表されるデータを、コンピューティング・システムのメモリ、レジスタ又は他の情報格納部、伝送又は表示装置内の物理量として同様に表される他のデータに操作及び / 又は変換する、コンピュータ又はコンピュータ・システム、或いは類似した電子コンピューティング・デバイスの動作及び / 又はプロセスを示すことが理解される。

30

#### 【 0 0 2 3 】

本発明の実施形態は、本明細書での動作を実行するための装置を含むことができる。装置は、所望の目的のために特に構築することができ、又はデバイス内に格納されたプログラムによって選択的に作動又は再構成される汎用コンピューティング・デバイスを含むことができる。このようなプログラムは、これらに限定されるものではないが、フロッピーディスク、光学ディスク、コンパクトディスク読み取り専用メモリ ( C D - R O M ) 、光磁気ディスク、読み取り専用メモリ ( R O M ) 、ランダム・アクセス・メモリ ( R A M ) 、電氣的プログラマブル読み取り専用メモリ ( E P R O M ) 、電氣的消去可能プログラマブル読み取り専用メモリ ( E E P R O M ) 、磁気又は光学カード、或いは、電子命令を格納するのに好適であり、かつ、コンピューティング・デバイスのためにシステムバスに結合することが可能な他のあらゆる形式の媒体を含む、任意の形式のディスクのような記憶媒体上に格納することができる。

40

#### 【 0 0 2 4 】

本明細書に提示されるプロセス及び表示は、本質的に、いずれの特定のコンピューティング・デバイス又は他の装置に関連するものではない。種々の汎用システムを、本明細書での教示に従ったプログラムと共に用いることができ、或いは、所望の方法を実行するために、より特化した装置を構築することが便利であることが分かっている。種々のこれら

50

のシステムのための所望の構造は、下記の説明から明らかになるであろう。さらに、本発明の実施形態は、任意の特定のプログラミング言語を参照して説明されてはいない。種々のプログラミング言語を用いて、本明細書に記載される本発明の教示を実施できることが理解されるであろう。さらに、本明細書に説明される動作、能力及び特徴を、ハードウェア（離散回路又は集積回路）及びソフトウェアの任意の組み合わせを用いて実施できることを理解すべきである。

【0025】

上記の説明は、限定ではなく、例示を目的としていることを理解すべきである。当業者には、上記の説明を読んで理解するときに、多くの他の実施形態が明らかになるであろう。従って、本発明の範囲は、添付の特許請求の範囲を参照することにより、このような特許請求の範囲が権利を有する同等物の完全な範囲と共に決定されるべきである。

10

【符号の説明】

【0026】

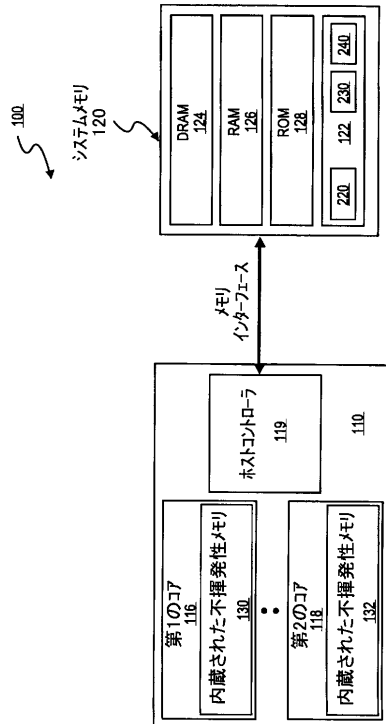
100：データ処理デバイス  
110、204、310：処理ユニット  
116、316：第1のプロセッサコア  
118、318：第2のプロセッサコア  
119、319：ホストコントローラ  
120、320：システムメモリ  
122：不揮発性メモリ（NVM）デバイス  
130、132、330、332：内蔵された不揮発性メモリ  
202：電力管理ユニット  
203：電力供給  
206：コントローラ  
208：メモリバス  
220：不揮発性メモリ（NVM）アレイ  
230：状況レジスタ・ユニット  
240：コマンド・インターフェース  
300：無線通信デバイス  
314：アンテナ  
312：送受信機  
360：送信機  
362：受信機

20

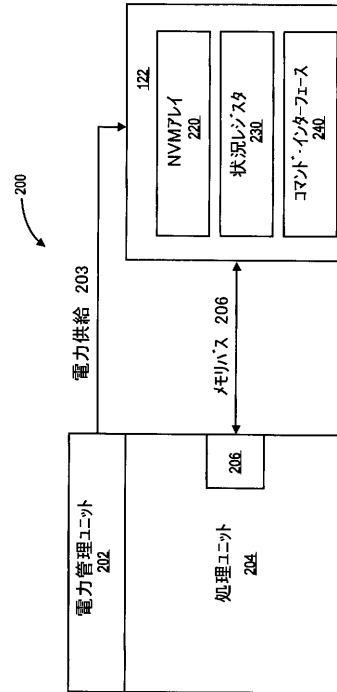
30



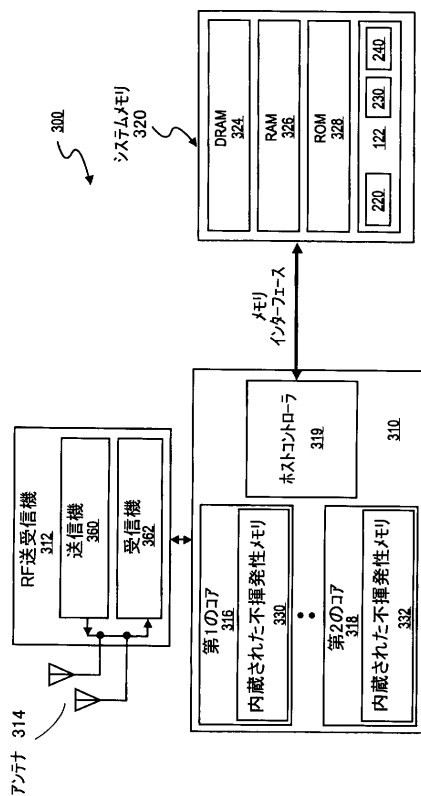
【図 1】



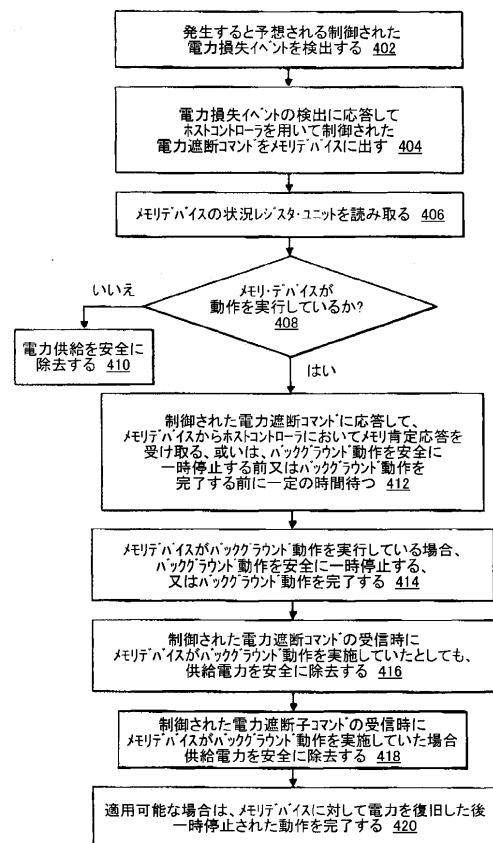
【図 2】



【図 3】



【図 4】



---

フロントページの続き

(74)代理人 100109335

弁理士 上杉 浩

(74)代理人 100120525

弁理士 近藤 直樹

(72)発明者 コラド ヴィラ

イタリア 20050 ソヴィコ (ミラノ) ヴィア エッセ フランチェスコ 31

(72)発明者 ダニエレ バルキ

イタリア ヴィメルカーテ (ミラノ) ヴィア カヴォウル 63

(72)発明者 グラツィアノ ミリキニ

イタリア 64047 ピエトラカメラ (テラモ) ヴィア ヴェンティチンケ ルグリオ  
13

合議体

審判長 飯田 清司

審判官 鈴木 匡明

審判官 加藤 浩一

(56)参考文献 特開2002-074999(JP,A)

特表2009-503738(JP,A)

特開2004-199121(JP,A)

特開2003-223792(JP,A)

特開2003-233994(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00

G06F 12/16