

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5908115号

(P5908115)

(45) 発行日 平成28年4月26日(2016.4.26)

(24) 登録日 平成28年4月1日(2016.4.1)

(51) Int.Cl. F I
H O 1 L 33/62 (2010.01) H O 1 L 33/00 4 4 0

請求項の数 12 (全 17 頁)

(21) 出願番号	特願2014-547864 (P2014-547864)	(73) 特許権者	599133716
(86) (22) 出願日	平成24年12月13日(2012.12.13)		オスラム オプト セミコンダクターズ
(65) 公表番号	特表2015-502669 (P2015-502669A)		ゲゼルシャフト ミット ベシュレンクテ
(43) 公表日	平成27年1月22日(2015.1.22)		ル ハフツング
(86) 国際出願番号	PCT/EP2012/075431		Osram Opto Semicond
(87) 国際公開番号	W02013/092387		uctors GmbH
(87) 国際公開日	平成25年6月27日(2013.6.27)		ドイツ連邦共和国、93055 レーゲン
審査請求日	平成26年6月20日(2014.6.20)		スブルグ、ライプニッツシュトラッセ 4
(31) 優先権主張番号	102011056700.3		Leibnizstrasse 4, D
(32) 優先日	平成23年12月20日(2011.12.20)		-93055 Regensburg,
(33) 優先権主張国	ドイツ(DE)		Germany
		(74) 代理人	100114890
			弁理士 アインゼル・フェリックス＝ライ
			ンハルト

最終頁に続く

(54) 【発明の名称】 オプトエレクトロニクス半導体素子の製造方法、導体フレーム結合体及びオプトエレクトロニクス半導体素子

(57) 【特許請求の範囲】

【請求項 1】

オプトエレクトロニクス半導体素子(1)の製造方法において、

複数の導体フレーム(3)を含む導体フレーム結合体(2)を準備するステップであって、各導体フレーム(3)は、各半導体素子(1)に対して一つずつ設けられており、少なくとも二つの導体フレーム部(34, 38)を有しており、且つ、各導体フレーム(3)は接続ウェブ(6)を介して少なくとも部分的に相互に接続されているステップと、

付加的な電氣的な接続手段(4)を隣接する導体フレーム(3)間に取り付けるステップと、

個々の半導体素子(1)のケーシングボディ(5)のための一つの注型ボディ(50)を作製するステップであって、前記注型ボディ(50)は、複数の前記導体フレーム(3)を相互に機械的に接続し、且つ、複数の前記導体フレーム部(34, 38)を相互に機械的に接続し、並びに、前記接続手段(4)を覆うステップと、

前記接続ウェブ(6)の少なくとも一部を除去及び／又は分断するステップと、

複数の半導体素子(1)に個別化するステップと、
を備えており、

前記注型ボディ(50)を作製するステップを、前記電氣的な接続手段(4)を取り付けるステップの後、且つ、前記接続ウェブ(6)の少なくとも一部を除去するステップの前に実施し、

前記接続手段(4)はボンディングワイヤであり、

10

20

前記接続手段（４）を前記個別化の際に部分的又は完全に除去することを特徴とする、方法。

【請求項２】

前記接続ウェブ（６）の少なくとも一部を除去するステップの後に、各導体フレーム（３）における複数の前記導体フレーム部（３４，３８）は相互に直接的に電気的には接触しておらず、

第１の導体フレーム部（３８）は列（Ｃ）を成すよう電気的に接続されており、且つ、第２の導体フレーム部（３４）は行（Ｒ）を成すよう電気的に接続されており、

隣接する行（Ｒ）は相互に電気的に絶縁されており、且つ、隣接する列（Ｃ）は相互に電気的に絶縁されている、請求項１に記載の方法。

10

【請求項３】

前記導体フレーム結合体（２）は複数の接続ウェブ（６ｄ）を有しており、該接続ウェブ（６ｄ）は斜め方向において、列（Ｃ）と行（Ｒ）が異なる、隣接する導体フレーム（３）の複数の前記導体フレーム部（３４，３８）を相互に接続する、請求項２に記載の方法。

【請求項４】

前記接続ウェブ（６）の一部を除去するステップの際に除去される接続ウェブ（６）は、前記導体フレーム部（３４，３８）よりも薄い平均厚さを有しており、且つ、前記導体フレーム結合体（２）の、前記接続手段（４）側とは反対側の下面（２０）において、前記導体フレーム部（３４，３８）と面一で終端している、請求項１乃至３のいずれか一項に記載の方法。

20

【請求項５】

静電放電による損傷に対する保護ダイオード（７）を取り付けるステップを更に備えており、

該ステップを、前記注型ボディ（５０）を作製するステップの前に実施し、続けて前記保護ダイオード（７）を前記注型ボディ（５０）によって覆う、請求項１乃至４のいずれか一項に記載の方法。

【請求項６】

発光ダイオードチップ（８）を、各導体フレーム部（３８）に、又は各導体フレーム（３）の各二つの導体フレーム部（３４，３８）に取り付けるステップを更に備えており、

30

該ステップを、前記注型ボディ（５０）を作製するステップの後、且つ、前記個別化の前に実施する、請求項５に記載の方法。

【請求項７】

隣接する二つの第１の導体フレーム部（３８）の間において、前記列（Ｃ）に沿って、第１の接続ウェブ（６ａ）が設けられており、

該第１の接続ウェブ（６ａ）を前記個別化の際に部分的又は完全に除去する、請求項６に記載の方法。

【請求項８】

まだ個別化されていない半導体素子（１）を電気的に検査するステップを更に備えており、

40

該検査の際に、前記発光ダイオードチップ（８）及び／又は前記保護ダイオード（７）は、行毎及び列毎に相互に独立して給電可能である、請求項６又は７記載の方法。

【請求項９】

前記接続ウェブ（６）の一部を除去するステップの後に残存している接続ウェブ（６）を、前記注型ボディ（５０）を作製する際に、前記導体フレーム結合体（２）の、前記接続手段（４）側とは反対側の下面（２０）において前記注型ボディ（５０）の材料と接触させ、且つ、前記下面（２０）に対して垂直な方向における平面において、前記注型ボディの材料によって周囲を包囲する、請求項１乃至８のいずれか一項に記載の方法。

【請求項１０】

前記導体フレーム結合体（２）を二つの主面（２０，２５）側からエッチングする、請

50

求項 1 乃至 9 のいずれか一項に記載の方法。

【請求項 1 1】

前記下面（20）側からのエッチングを、前記注型ボディ（50）を作製するステップの前後に実施し、

前記下面（20）とは反対側の上面（25）側からのエッチングを、前記接続手段（4）を取り付けるステップの前にのみ実施する、請求項 10 に記載の方法。

【請求項 1 2】

前記導体フレーム結合体（2）を銅薄板又は銅合金薄板から形成し、

前記導体フレーム結合体（2）の上面（25）全体を銀によってコーティングする、

但し、前記上面（25）に対して垂直な方向において、前記導体フレーム結合体（2）は 150 μm 以上 400 μm 以下の厚さを有しており、

前記接続ウェブの平均厚さは、前記導体フレーム部（34, 38）の平均厚さの 30% 以上 70% 以下である、請求項 1 乃至 11 のいずれか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、オプトエレクトロニクス半導体素子の製造方法に関する。更に本発明は、導体フレーム結合体並びにオプトエレクトロニクス半導体素子に関する。

【発明の概要】

【発明が解決しようとする課題】

【0002】

本発明の解決すべき課題は、高い歩留まりを達成することができる、オプトエレクトロニクス半導体素子の製造方法を提供することである。

【課題を解決するための手段】

【0003】

本方法の少なくとも一つの実施の形態によれば、本方法は導体フレーム結合体を準備するステップを備えている。導体フレーム結合体は複数の導体フレームを含んでいる。有利には、導体フレーム結合体の各導体フレームは、製造すべき各半導体素子に対して一つずつ設けられている。

【0004】

少なくとも一つの実施の形態によれば、導体フレーム結合体はワンピースのワークピースである。その場合、導体フレーム結合体の全ての導体フレーム並びに別のコンポーネントはワンピースで繋がっている。例えば、導体フレーム結合体の個々の導体フレーム及び別の構成部材は、打ち抜き加工又はカッティングによって一つの金属薄板から形成されている。

【0005】

本方法の少なくとも一つの実施の形態によれば、各導体フレームは少なくとも二つ、又はちょうど二つ、又は少なくとも三つ、又はちょうど三つの導体フレームを有している。導体フレームの個々の導体フレーム部を介して、相応の導体フレームが対応付けられているオプトエレクトロニクス半導体素子を電氣的に接触接続させて結線することができる。

【0006】

少なくとも一つの実施の形態によれば、導体フレーム及び／又は導体フレーム部は少なくとも部分的に、導体フレーム結合体の結合ウェブを介して相互に電氣的に接続されており、また少なくとも一時的に相互に機械的に接続されている。それらの接続ウェブは有利には、導体フレーム及び導体フレーム部と同一の材料から形成されている。特に、接続ウェブは導体フレーム及び導体フレーム部とワンピースで同一の金属薄板から作製されている。完成した半導体素子において、接続ウェブは有利には電氣的な機能及び機械的な機能をもはや有していない。

【0007】

少なくとも一つの実施の形態によれば、本方法は、隣接する導体フレーム間、及び／又

10

20

30

40

50

は、隣接する導体フレーム部間、及び／又は、隣接する接続ウェブ間に、付加的な電氣的接続手段を取り付けるステップを備えている。この接続手段は、例えば導電性ベルト、導電性ブリッジ、又は、特に有利にはボンディングワイヤである。接続手段は導体フレーム結合体とは異なり、導体フレーム結合体とワンピースで作製されるものではない。接続手段は有利には接続ウェブを張架するように設計されており、その場合、接続手段は張架すべき接続ウェブから電氣的に絶縁されている。特に、接続手段は導体フレーム結合体と同一の原材料から作製されているものではない。

【0008】

本方法の少なくとも一つの実施の形態によれば、本方法は個々の半導体素子のケーシングボディのための注型ボディを作製するステップを備えている。特に、注型ボディは射出成形、押し出し成形、鋳込み又はプレスによって作製される。特に、注型ボディはいわゆるトランスファー成形によって作製される。また、注型ボディの作製を、例えばインジェクション成形（Injection Molding）、液体トランスファー成形（Liquid Transfer Molding）又は圧縮成形（Compression Molding）によって実現することができる。

10

【0009】

少なくとも一つの実施の形態によれば、注型ボディによって、導体フレームの個々の導体フレーム部が相互に機械的に接続される。続いて、導体フレーム結合体並びに注型ボディが個々の半導体素子に個別化されると、導体フレーム部はケーシングボディを介して、特にケーシングボディだけを介して相互に固く機械的に接続されている。換言すれば、ケーシングボディは、半導体素子を機械的に支持、担持及び拘束するコンポーネントであると考えられる。

20

【0010】

少なくとも一つの実施の形態によれば、本方法は、接続ウェブの少なくとも一部を除去及び／又は分断するステップを備えている。接続ウェブの除去及び／又は分断は、有利には、導体フレーム部の材料を除去することによって行われる。例えば、分断は、打ち抜き、曲げ加工、破折、切断、エッチング、ソーチング、研磨によって、及び／又は、レーザアブレーション又はレーザカッティングを用いるビームによって行われる。接続ウェブ全体を分断又は除去することもできる。しかしながら有利には、接続ウェブの一部のみが分断又は除去される。

【0011】

30

少なくとも一つの実施の形態によれば、本方法は、導体フレーム結合体及び／又は注型ボディを半導体素子に個別化するステップを備えている。ここでは単に個別化は予備的な個別化であるので、従って複数の半導体素子を機械的に一体的なままにすることができるが、しかしながら半導体素子間には目標分断個所を設けることができる。目標分断個所を介して、半導体素子を、特に工具を使用することなく、またその機能が阻害されることなく相互に分離させることができる。

【0012】

少なくとも一つの実施の形態においては、本方法は、オプトエレクトロニクス半導体素子、例えば発光ダイオード、レーザダイオード、フォトダイオード又はスーパーluminescentダイオードを製造するために使用される。本方法は少なくとも以下のステップを備えている：

40

－複数の導体フレームを含む導体フレーム結合体を準備するステップ。ここで、各導体フレームは各半導体素子に対して一つずつ設けられており、且つ、少なくとも二つの導体フレーム部を有しており、また、各導体フレームは接続ウェブを介して少なくとも部分的に相互に電氣的に接続されている、

－付加的な電氣的な接続手段、特にボンディングワイヤを隣接する導体フレーム間に取り付けるステップ、

－個々の半導体素子のケーシングボディのための注型ボディを作製するステップ。ここで、注型ボディは、導体フレーム及び導体フレーム部を相互に機械的に接続する、

－接続ウェブの少なくとも一部を除去及び／又は分断するステップ。

50

ー複数の半導体素子に個別化するステップ。

【0013】

有利には、個々の方法ステップは上記の順序で実施される。択一的に、上記の順序とは異なる順序で方法ステップを実施することも可能である。

【0014】

少なくとも一つの実施の形態によれば、製造されるオプトエレクトロニクス半導体素子は、QFN (Quad Flat No Leads) 素子である。その種の素子は表面実装可能である。

【0015】

QFN-LEDのようなQFN半導体素子では、半分エッチングされた導体フレーム又は導体フレーム結合体が頻繁に使用される。導体フレーム結合体においては、所定の半導体素子のための導体フレームが、接続ウェブを介して、隣接する各半導体素子と導電的に接続されている。発光ダイオードチップのようなオプトエレクトロニクス半導体チップが個々の導体フレームに実装され、電氣的に接触接続された後には、それらのオプトエレクトロニクス半導体チップが短絡されている。従って、個別化の前の素子の機能テスト又は結線は不可能である。

10

【0016】

隣接する導体フレーム及び／又は導体フレーム部が接続ウェブによって相互に電氣的に接続されており、別個の接続手段が使用され、それに続いて接続ウェブが少なくとも部分的に分断又は除去されることによって、個々の半導体素子のための隣接する導体フレームを相互に電氣的に絶縁させることができ、従って、特に裏面側から相互に独立して評価可能である。特に、行列から成るマトリクス回路を形成することができる。

20

【0017】

その種の導体フレーム結合体によって、またその種の製造方法によって、製造すべき素子を既に個別化の前に電氣的に接触接続させ、導体フレーム結合体全体を電氣的に特徴付けることができ、従って光学的にも特徴付けることができる。検査及び特徴付けが導体フレーム結合体の状態で行われるので、個々の素子での管理は不要である。同様に、静電放電による損傷から保護するための保護ダイオードの機能検査を既に個別化の前に実現することができる。また、個々の半導体素子の輝度及びその色位置を既に導体フレーム結合体の状態で測定することができる。これによって、放出される放射の色位置を事後的に、導体フレーム結合体の状態において又は個別化の後にも、修正及び／又は変更することができる。同様に、特に発光ダイオードチップを取り付けるステップを制御するためのサーモグラフィを個々の発光ダイオードチップが接触子と接触することなく実現することができる。

30

【0018】

本方法の少なくとも一つの実施の形態によれば、注型ボディを作製するステップは、電氣的な接続手段を取り付けるステップの後に行われる。特に、電氣的な接続手段は注型ボディの材料に埋め込まれる。注型ボディを作製するステップの後では、有利には、電氣的な接続手段にはもはや自由にアクセスすることができない。

【0019】

本方法の少なくとも一つの実施の形態によれば、接続ウェブの少なくとも一部を除去及び／又は分断するステップは、注型ボディを作製するステップの後に行われる。導体フレーム結合体が注型ボディによって機械的に固定された後になって初めて接続ウェブを分断することも可能である。

40

【0020】

本方法の少なくとも一つの実施の形態によれば、接続手段の一部又は接続手段全体が、半導体素子への個別化の際に、それぞれ部分的に又は完全に除去される。個別化が例えばソーイングによって行われる場合には、接続手段の少なくとも一部が完全に鋸引きされるか、又は接続手段は完全に鋸引きトラック内にあり、完全に除去される。

【0021】

少なくとも一つの実施の形態によれば、本方法は、静電放電による損傷に対する保護ダ

50

イオード、略してESD保護ダイオードを取り付けるステップを備えている。有利には、このステップは注型ボディを作製する前に実施される。保護ダイオードは注型ボディの作製時に有利には注型ボディによって覆われる、及び／又は、注型ボディの材料に埋設される。特に、保護ダイオードは注型ボディの作製後にはもはや自由にアクセスすることができない。

【0022】

少なくとも一つの実施の形態によれば、本方法は、オプトエレクトロニクス半導体チップ、例えば発光ダイオードチップをそれぞれ、導体フレーム部の内の一つ、又は導体フレームの内の一つの複数の導体フレーム部に取り付けるステップを備えている。例えば、半導体チップは第1の導体フレーム部に接着されるか、はんだ付けされ、続いて、特にボンディングワイヤを用いて第2の導体フレーム部に電氣的に接続される。これとは異なり、半導体チップがいわゆるフリップチップであっても良い。二つの導体フレーム部間の電氣的な接続は、有利には半導体チップ自体を介して行われる。

10

【0023】

本方法の少なくとも一つの実施の形態によれば、半導体チップを取り付けるステップは、注型ボディを作製した後、且つ、半導体素子への個別化の前に行われる。特に、半導体チップは、注型ボディの有利には円錐台形状又は角錐台形状の開口部内において実装される。

【0024】

本方法の少なくとも一つの実施の形態によれば、接続ウェブの少なくとも一部を除去又は分断するステップの後では、一つの導体フレーム内の複数の導体フレーム部はもはや相互に直接的には電氣的に接触していない。このことは、個々の導体フレーム部間に、導電性の一体的な材料接続部は存在しないことを意味していると考えられる。例えば、導体フレーム内の複数の導体フレーム部は、それぞれ電気素子のみを介して、例えばオプトエレクトロニクス半導体チップのみを介して、相互に間節的に電氣的に接続されている。特に、一つの導体フレーム内の複数の導体フレーム部間の電流の流れ方向に沿って少なくとも一つのpn接合部が配置されている。

20

【0025】

本方法の少なくとも一つの実施の形態によれば、第1の導体フレームが列を成すよう電氣的に接続されており、且つ第2の導体フレームが行を成すよう電氣的に接続されている。例えば、各オプトエレクトロニクス半導体チップは第1の導体フレーム部上に取り付けられている。保護ダイオードを第2の導体フレーム部上に取り付けることができる。有利には、各導体フレームにはそれぞれ一つの列及び行が一義的に割り当てられている。隣接する行は有利には相互に電氣的に絶縁されており、同様に列も有利には相互に電氣的に絶縁されている。複数ある行及び列の内のそれぞれ一つの行及び列と接触接続されていることによって、その行とその列の交点において半導体チップを電氣的に駆動させることができる。

30

【0026】

本方法の少なくとも一つの実施の形態によれば、隣接する二つの第1の導体フレームの間には、列に沿って、第1の接続ウェブがそれぞれ設けられている。半導体チップがフリップチップでない場合には、半導体チップは第1の導体フレーム部に取り付けられている。第1の接続ウェブは、有利には、各導体フレームの導体フレーム部間の接続線に平行に延在している。

40

【0027】

本方法の少なくとも一つの実施の形態によれば、第1の接続ウェブは半導体素子への個別化の際に部分的に又は完全に除去される。例えば、第1の接続ウェブは個別化の際に完全に又は部分的に鋸引きトラック内に位置している。

【0028】

本方法の少なくとも一つの実施の形態によれば、第1の接続ウェブは列に沿って、電氣的な接続手段を介して相互に導電的に接続されている。即ちこの場合には、列に沿って第

50

1の接続ウェブと接続手段の少なくとも一部とが交互に並んでおり、且つ電氣的に直列接続されている。

【0029】

本方法の少なくとも一つの実施の形態によれば、本方法は、まだ個別化されていない半導体素子を検査するステップを備えている。検査の際に、保護ダイオード及び／又は発光ダイオードチップの保護ダイオードの機能性が検査される。その際、発光ダイオードチップ又は保護ダイオードが有利には行毎及び列毎に個別に相互に独立して給電される。検査は4端子測定（英語：four-terminal sensing）である。この場合、有利には、各列及び各行の両端に検査コンタクトが設けられている。

【0030】

10

本方法の少なくとも一つの実施の形態によれば、接続ウェブの一部を除去又は分断するステップに関与しない接続ウェブは、導体フレーム結合体の、接続手段側とは反対側の下面において、注型ボディの材料と接触している。換言すれば、そのような除去及び分断されない接続ウェブは導体フレーム結合体の下面から後退している。ここで下面とは、個別化された半導体素子を実装するために設けられている面である。特に、下面に対して垂直な方向における平面において、分断及び除去されていない接続ウェブの周囲を注型ボディの材料によって包囲することができる。

【0031】

本方法の少なくとも一つの実施の形態によれば、少なくとも、除去又は分断に関する接続ウェブは、導体フレーム部の厚さよりも薄い平均厚さを有している。例えば接続ウェブの平均厚さは、導体フレーム部の厚さの20%以上80%以下である。

20

【0032】

本方法の少なくとも一つの実施の形態によれば、除去又は分断に関する接続ウェブは、導体フレーム部の下面と面一で終端している。導体フレーム部並びにそれらの接続ウェブによって形成されている下面の領域は、有利には一つの共通の平面内に位置している。

【0033】

本方法の少なくとも一つの実施の形態によれば、導体フレーム結合体は二つの主面側からエッチングされる。それらの主面は特に、下面と、その下面とは反対側の上面によって形成されている。エッチングは有利には、接続手段を取り付けるステップの前、並びに、注型ボディを作製するステップの前、且つ、接続ウェブを除去又は分断するステップの前に行われる。必要に応じて下面側から更にエッチングを行うことによって、接続ウェブの少なくとも一部を除去又は分断することができる。

30

【0034】

本方法の少なくとも一つの実施の形態によれば、エッチングは注型ボディの作製後に下面側から行われる。有利には、エッチングは、発光ダイオードチップのようなオプトエレクトロニクス半導体チップの取り付け前に下面側から行われる。

【0035】

更に、本発明によって導体フレーム結合体を提供される。導体フレーム結合体は、上述の実施の形態の内の少なくとも一つと関連させて説明したような方法において使用される。従って、導体フレーム結合体の特徴はそのような方法に関しても明らかであり、またその逆も当てはまる。

40

【0036】

少なくとも一つの実施の形態においては、導体フレーム結合体は複数の個々の導体フレームを有している。導体フレーム結合体はワンピースで形成されており、また導体フレームはマトリクス状に導体フレーム結合体に配置されている。各導体フレームは一つの半導体素子に対して設けられている。導体フレームはそれぞれ少なくとも一つの第1の導体フレーム部及び少なくとも一つの第2の導体フレーム部を含んでいる。少なくとも一つの第1の導体フレーム部は、その上にオプトエレクトロニクス半導体チップ、例えば発光ダイオードチップを取り付けるために設けられている。個々の導体フレーム及び／又は導体フレーム部は少なくとも部分的に、接続ウェブを介して相互に電氣的に接続されている。隣

50

接する第1の導体フレーム部間には第1の接続ウェブが設けられている。第1の接続ウェブは有利には、それぞれ接続線に平行に、導体フレームの第1の導体フレーム部と第2の導体フレーム部との間に配置されている。接続ウェブは導体フレーム部ではない。

【0037】

更に、本発明によって、上述の一つ又は複数の実施の形態と関連させて説明したような方法を用いて、上述の導体フレーム結合体から製造されている、オプトエレクトロニクス半導体素子が提供される。方法及び導体フレーム結合体の特徴は半導体素子に関しても明らかであり、またその逆も当てはまる。

【0038】

少なくとも一つの実施の形態においては、半導体素子は、少なくとも一つの第1の導体フレーム部及び少なくとも一つの第2の導体フレーム部を備えている導体フレームを有している。同様に、半導体素子は発光ダイオードチップのようなオプトエレクトロニクス半導体チップの一つ又は複数含んでいる。半導体チップは少なくとも、第1の導体フレーム部に機械的に固定されている。ケーシングボディは、導体フレーム部を相互に機械的に接続し、また開口部を有しており、その開口部内において半導体チップが取り付けられている。半導体素子は、ボンディングワイヤの形態の少なくとも一つの電氣的な接続手段を含んでいる。電氣的な接続手段は、半導体チップとせいぜい間接的に電氣的に接触しているに過ぎない。特に、半導体チップと接続手段との間には相互的な直接的なコンタクトはなく、また、半導体チップと接続手段は接触していない。

【0039】

半導体素子の少なくとも一つの実施の形態によれば、半導体素子は実装面を有しており、この実装面は半導体素子を実装するために設けられている。実装のための実装面においてのみ導体フレーム部にアクセスすることができる。特に、半導体素子は実装面においてのみケーシングボディから突出しているか、又は、実装面においてのみケーシングボディと面一で終端している。

【0040】

半導体素子の少なくとも一つの実施の形態によれば、ケーシングボディの一つ又は複数の側面、特に相互に対向する側面における接続手段に自由にアクセスすることができる。有利には、少なくとも一つの側面には接続手段の材料が設けられておらず、またケーシングボディの材料によって覆われていない。

【0041】

少なくとも一つの実施の形態によれば、側面を平面で見ると、露出された接続手段の周囲がケーシングボディの材料によって包囲している。換言すれば、接続手段は側面の縁部に設けられているのではなく、側面の内部に設けられている。

【0042】

以下では、本発明による方法並びに本発明による導体フレーム結合体及び本発明による半導体素子を、図面を参照しながら複数の実施例に基づき詳細に説明する。個々の図面において、同一の構成要素には同一の参照番号を付している。ここでは縮尺通りの関係性が図示されているのではなく、むしろより良い理解のために個々の構成要素を過度に拡大して図示している場合もある。

【図面の簡単な説明】

【0043】

【図1】本発明による導体フレーム結合体を備えている、本発明によるオプトエレクトロニクス半導体素子を製造するための方法の実施例の概略図を示す。

【図2】本発明による導体フレーム結合体を備えている、本発明によるオプトエレクトロニクス半導体素子を製造するための方法の実施例の概略図を示す。

【図3】本発明による導体フレーム結合体を備えている、本発明によるオプトエレクトロニクス半導体素子を製造するための方法の実施例の概略図を示す。

【図4】本発明による導体フレーム結合体を備えている、本発明によるオプトエレクトロニクス半導体素子を製造するための方法の実施例の概略図を示す。

【図 5】本発明による導体フレーム結合体を備えている、本発明によるオプトエレクトロニクス半導体素子を製造するための方法の実施例の概略図を示す。

【図 6】本発明によるオプトエレクトロニクス半導体素子の実施例の概略図を示す。

【図 7】本発明による導体フレーム結合体を備えている、本発明によるオプトエレクトロニクス半導体素子を製造するための方法の実施例の概略図を示す。

【図 8】本発明による導体フレーム結合体を備えている、本発明によるオプトエレクトロニクス半導体素子を製造するための方法の実施例の概略図を示す。

【図 9】本発明による導体フレーム結合体を備えている、本発明によるオプトエレクトロニクス半導体素子を製造するための方法の実施例の概略図を示す。

【図 10】本発明による導体フレーム結合体を分断する方法ステップの概略図を示す。

10

【発明を実施するための形態】

【0044】

図 1 から図 5 には、オプトエレクトロニクス半導体素子 1 の製造方法が図示されている。図 1 には第 1 の方法ステップが示されており、この第 1 の方法ステップに従い、複数の導体フレーム 3 を備えている導体フレーム結合体 2 が準備される（図 1 A の上面斜視図、図 1 B の下面斜視図、並びに図 1 C による図 1 A の一部の拡大図を参照されたい）。

【0045】

個々の導体フレーム 3 はそれぞれ第 1 の導体フレーム部 3 8 及び第 2 の導体フレーム部 3 4 を有している。比較的大きい第 1 の導体フレーム部 3 8 は、発光ダイオードチップのようなオプトエレクトロニクス半導体チップの機械的な固定及び電気的な接触接続を行うために設けられている。

20

【0046】

導体フレーム結合体 2 は更に複数の接続ウェブ 6 a, 6 b, 6 c, 6 d, 6 e, 6 f を有している。それらの接続ウェブは導体フレーム部 3 4, 3 8 と同様にワンピースで同一の原料から成形されている。但し、接続ウェブ 6 は導体フレーム部 3 4, 3 8 と区別される。完成した半導体素子においては、接続ウェブは機械的又は電気的な機能をもはや有してはいない。

【0047】

個々の導体フレーム 3 は導体フレーム結合体 2 において、行 R に沿って、且つ、その行 R に垂直に配向されている列 C に沿って、マトリクス状に規則的に配置されている。列 C に沿って、隣接する導体フレーム 3 は二つの接続ウェブ 6 b を介して相互に接続されている。隣接する導体フレーム 3 の第 1 の導体フレーム部 3 8 は、行 R に沿って接続ウェブ 6 c, 6 f を介して相互に接続されており、また隣接する第 2 の導体フレーム部 3 4 は行 R に沿って接続ウェブ 6 e を介して相互に接続されている。オプションとして、導体フレーム結合体 2 は複数の接続ウェブ 6 d を有しており、それらの接続ウェブ 6 d は斜め方向において、隣接する導体フレーム 3 の導体フレーム部 3 4, 3 8 を相互に接続している。隣接する導体フレーム 3 の第 1 の導体フレーム部 3 8 の間には、列 C に沿って延在している接続ウェブ 6 a がそれぞれ設けられている。

30

【0048】

導体フレーム結合体 2 を準備するステップの他に、図 1 には本方法の更なるステップが示されており、この更なるステップに従い、付加的な電気的な接続手段 4 が隣接する導体フレーム 3 間、接続ウェブ 6 a 間に取り付けられる。接続手段 4 はボンディングワイヤによって形成されている。列 C に沿って、接続手段 4 は相互に間隔を空けて隣り合っている接続ウェブ 6 a を接続している。

40

【0049】

オプションとして、接続ウェブ並びに導体フレーム部 3 4, 3 8 が相互に異なる平均厚さを有していても良い。特に、接続ウェブは導体フレーム部 3 4, 3 8 よりも薄い平均厚さを有することができる。例えば、導体フレーム 2 の上面 2 5 では接続ウェブ 6 a, 6 e, 6 f が導体フレーム部 3 4, 3 8 と面一で延在している（図 1 A 及び図 1 C を参照されたい）。これに対して、導体フレーム部 6 b, 6 c, 6 d は導体フレーム部 3 4, 3 8 の

50

下面 20 と面一で延在している。図 1 とは異なり、全ての接続ウェブが同一の厚さを有し、且つ、上面 25 及び下面 20 と面一で延在していても良い。

【0050】

導体フレーム結合体 2 は例えば銅薄板又は銅合金薄板から形成されている。例えば、導体フレーム結合体 2 は水平方向において約 70 mm×250 mm の寸法を有している。導体フレーム結合体 2 の上面 25 及び／又は下面 20 を部分的又は完全に、ニッケル、パラジウム、金及び／又は銀でもってコーティングすることができ、また多層にコーティングすることもできる。上面 25 に対して垂直な方向において、導体フレーム結合体 2 は有利には 150 μm 以上 400 μm 以下、特に約 200 μm の厚さを有している。接続ウェブの平均厚さは有利には、導体フレーム部 34, 38 の平均厚さの 30% 以上 70% 以下である。

10

【0051】

個々の導体フレーム 3 の平均周期長及び／又は水平方向の平均寸法は、例えば 1 mm 以上 6 mm 以下、特に約 2.5 mm であり、これは他の全ての実施例においても当てはまる。個々の接続ウェブの平均幅は例えば約 100 μm である。接続手段 4 として、数 10 μm の範囲にある平均直径を有している金製ボンディングワイヤが考えられる。

【0052】

図 2 A から図 2 C には、更なる方法ステップが示されており、この方法ステップに従い、個々の半導体素子 1 のケーシングボディ 5 のための注型ボディ 50 が取り付けられる。注型ボディ 50 は特にトランスファー成形により形成される。有利には、注型ボディ 50 は上面 25 から上に向かって隆起しており、且つ、下面 20 と面一で終端している。注型ボディ 50 を介して、個々の導体フレーム部 34, 38 が相互に機械的に接続されている（図 2 A を参照されたい）。

20

【0053】

単により良く具体的に示すために、図 2 B においては複数あるケーシングボディ 5 の一つのケーシングボディと、そのケーシングボディ 5 の開口部 58 内に位置する、ボンディングワイヤの形態の電氣的な接触接続部 9 を備えている発光ダイオードチップ 8 とが斜視図で示されている。同様に、より良く具体的に示すために、図 2 C による上面図ではケーシングボディ 5 は一つだけ示されている。

【0054】

図 3 には更なる方法ステップ、即ち接続ウェブの内の少なくとも一部を除去及び分断するステップが示されている（図 3 A においては上面斜視図で、図 3 B においては下面斜視図で、また、図 3 C においては図 3 A の一部の拡大図で示されている）。

30

【0055】

図面を見やすくするために、既に完成した注型ボディ 50 は図 3 には示していない。図 3 からは、接続ウェブ 6 a, 6 e, 6 f だけが残存していることが見て取れる。接続ウェブ 6 b, 6 c, 6 d（図 1 を参照されたい）は除去されている。接続ウェブ 6 b, 6 c, 6 d を除去することによって、また先行して接続手段 4 を取り付けられていることによって、導体フレーム部 38 は列 C に沿って電氣的に接続されており、且つ導体フレーム部 34 は行 R に沿って電氣的に接続されている。隣接する行 R 及び隣接する列 C はそれぞれ相互に電氣的に絶縁されている。

40

【0056】

図 4 による上面図に示されている更なる方法ステップにおいては、発光ダイオードチップ 8 が第 1 の導体フレーム部 38 の上面 25 に取り付けられる。発光ダイオードチップ 8 はボンディングワイヤ 9 を介して第 2 の導体フレーム部 34 と電氣的に接続される。

【0057】

行 R 及び列 C を相互に独立して電氣的に制御することができるので、個々の発光ダイオードチップ 8 を交点において相互に独立して電氣的に駆動させることができ、従って、個々の半導体素子 1 に個別化する前に電氣的、熱的及び光学的な検査を行うことができる。

【0058】

50

半導体素子 1 への個別化は図 5 に上面図で示されている。隣接する導体フレーム 3 間で直線状に延びる個別化領域 10 に沿って、隣接する半導体素子 1 は例えばソーイングによって相互に切り離される。

【0059】

結果として得られる半導体素子 1 は図 6 A において上面斜視図で示されており、また図 6 B において下面斜視図で示されている。導体フレーム部 34, 38 の周囲はそれぞれ、ケーシングボディ 5 の材料によって包囲されている。半導体素子 1 の下面 20 を用いて表面実装が実現される。

【0060】

発光ダイオードチップ 8 は有利には、開口部 58 内で中心に設けられている。図示されているものとは異なり、反射性材料及び／又は導体フレーム 34, 38 の材料でもって凹部 58 の側壁を覆うことができる。

10

【0061】

ケーシングボディ 5 の側面 54 では接続手段 4 が露出されており、また、側面 54 を平面で見ると、ケーシングボディ 5 の材料によって包囲されている。接続手段 4 は有利には、検査の間の列 C 及び行 R との接続部の残存部である。完成した半導体素子 1 において、接続手段 4 はもはや機械的又は電氣的な機能を有してはいない。

【0062】

半導体素子 1 の下面 20 には複数のノッチが見て取れ、それらのノッチは側面 54 に達している。それらのノッチは中空部であり、それらの中空部は接続ウェブ 6b, 6c, 6d を除去する前に塞がれている。

20

【0063】

本方法の別の実施の形態が図 7 において、列 C に沿った概略的な断面図で示されている。図 7 A によれば、導体フレーム結合体 2 が準備される。導体フレーム結合体は上面 25 側から部分的にエッチングされ、それにより、特に接続ウェブ 6b が得られる（図 1 を参照されたい）。オプションとして、特に導体フレーム 3 内での導体フレーム部 34, 38 を分離するために、導体フレームを下面 20 側からもエッチングすることができる。

【0064】

図 7 B によれば、注型ボディ 50 が作製される。注型ボディ 50 を介して、導体フレーム部 34, 38 並びに隣接する導体フレーム 3 が機械的に相互に接続されている。図 7 B に示したものとは異なり、導体フレーム 3 内での導体フレーム部 34, 38 間の注型ボディ 50 の厚さが、導体フレーム部 34, 38 の厚さに対応していても良い。

30

【0065】

図 7 C には、導体フレーム結合体 2 が下面 20 側からエッチングされることが示されている。これによって、特に接続ウェブ 6B が除去される。またこれによって、導体フレーム部 34, 38 を下面側 20 において注型ボディ 50 から突出させることも可能である。換言すれば、その場合には導体フレーム部 34, 38 がケーシングボディ 50 に対して隆起している。

【0066】

図 7 D には、発光ダイオードチップ 8 の取り付け、並びにボンディングワイヤを介する発光ダイオードチップ 8 の接触接続が示されている。オプションとして、各発光ダイオードチップ 8 に波長変換素子 82 が取り付けられる。波長変換素子 82 を介して、発光ダイオードチップ 8 によって生成される放射を部分的に又は完全に別の波長の放射に変換することができる。

40

【0067】

オプションとして、開口部 58 を充填剤 85 で部分的又は完全に充填することができる。充填剤 85 によって、半導体素子 1 の光学的な特性を調整することができる。例えば、充填剤は散乱粒子を含んでいる。図示されている実施例とは異なり、充填剤 85 をレンズ状に、例えば、収束レンズ、フレネルレンズ又はマイクロレンズの形状で成形することができる。同様に、充填剤 85 は光を出力するための粗面化部を有することができる。その

50

種の波長変換素子 8 2 及び／又は充填剤 8 5 を他の全ての実施例においても設けることができる。

【0068】

隣接する半導体素子 1 間には個別化領域 1 0 が設けられている。個別化は例えばソーイングによって行われる。

【0069】

図 8 A 及び図 8 B による、行 R に沿った断面図においては、導体フレーム結合体 2 並びに半導体素子 1 の別の実施例が示されている。図 8 A によれば、行 R の端部にある第 2 の導体フレーム部 3 4 の下面 2 0 に検査ツール 9 0 が取り付けられている。検査ツール 9 0 としてニードル又はポゴピンが考えられる。図示されている実施例とは異なり、行 R の両端にテストツール 9 0 が設けられていても良い。個々の行を介して、また図示していない列も介して、発光ダイオードチップ 8 に対して相互に独立して給電することができ、従って検査を行うことができる。

10

【0070】

図 8 B による実施例では、検査コンタクト 2 9 が水平方向において半導体素子 1 の隣に引き出されている。これによって、検査ツール 9 0 を検査コンタクト 2 9 の上面 2 5 に接触接続させることができる。下面 2 0 側又は上面 2 5 側からの検査ツール 9 0 によるその種の検査を、本方法の他の全ての実施例においても適用することができる。

【0071】

導体フレーム 2 の別の実施例を用いる本方法の別の実施の形態が、図 9 A 及び図 9 B において、概略的な平面図で示されている。図 9 A によれば、導体フレーム結合体 2 が準備される。隣接する導体フレーム 3 は接続ウェブ 6 b, 6 c, 6 e を介して相互に接続されている。

20

【0072】

図 9 B においては、接続ウェブ 6 e 及び 6 c 並びに接続ウェブ 6 b がそれぞれ分断されている導体フレーム結合体 2 が示されており、またこの導体フレーム結合体 2 は図示していない注型ボディ 5 0 によって機械的に固定されている。接続手段 4 a を介して、行 R に沿って途切れのない電気的な接続部が実現されており、また、接続手段 4 b を介して、列 C に沿って途切れのない電気的な接続部が実現されている。

【0073】

オプションとして、導体フレーム部 3 4 にはそれぞれ、電磁放電による損傷に対する保護ダイオード 7 が取り付けられている。接続手段 4 b は特に導体フレーム部 3 4 とは間接的にしか接続されておらず、有利には、保護ダイオード 7 の、導体フレーム部 3 4 とは反対側の上面に取り付けられている。

30

【0074】

図 1 0 には、曲げ加工による接続ウェブ 6 の分断が概略的な側面図で示されている。そのようなやり方で、導体フレーム結合体 3 の別の部分も相互に分離され、これは他の全ての実施例においても同様に行うことができる。即ち、接続ウェブ 6 の分断は、材料を除去せずに行うことができるか、又は、材料を著しく除去することなく行うことができる。

【0075】

図 1 0 A によれば、鑿又は刃の形態の個別化ツール 1 5 が接続ウェブ 6 に当接される。オプションとして、接続ウェブ 6 が既にノッチを有していても良い、及び／又は、接続ウェブ 6 が導体フレーム結合体 3 の境界を成す部分領域よりも薄くても良い。続いて、個別化ツール 1 5 を用いて、接続ウェブ 6 が曲げられて分断される。曲げられることにより相互に分断されて隔てられた領域は接続ウェブ 6 に残存している（図 1 0 B を参照されたい）。この領域によって、注型ボディ 5 0 との接続を改善することができる。

40

【0076】

上記において説明した本発明は、実施例に基づいた上記の説明によって限定されるものではない。むしろ本発明はあらゆる新規の特徴並びにそれらの特徴のあらゆる組み合わせを含むものであり、これには殊に特許請求の範囲に記載した特徴の組み合わせ各々が含ま

50

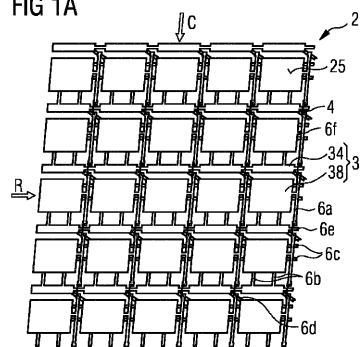
れ、このことはそのような組み合わせ自体が特許請求の範囲あるいは実施例に明示的には記載されていないにしても当てはまる。

【0077】

本願は、ドイツ連邦共和国特許出願第10 2011 056 700.3号の優先権を主張するものであり、その開示内容は参照により本願に含まれるものとする。

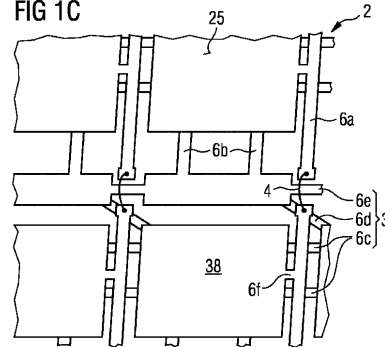
【図1A】

FIG 1A



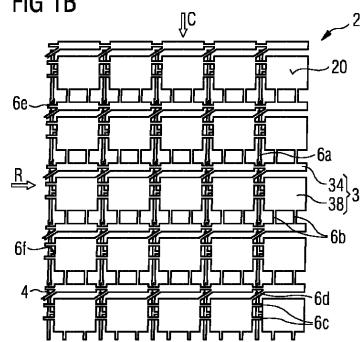
【図1C】

FIG 1C



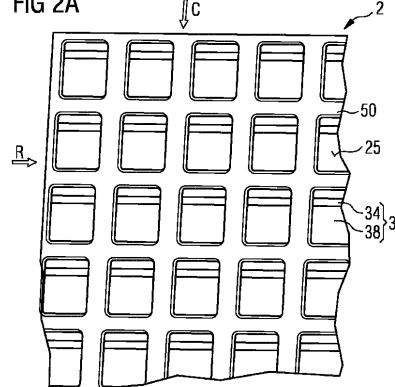
【図1B】

FIG 1B



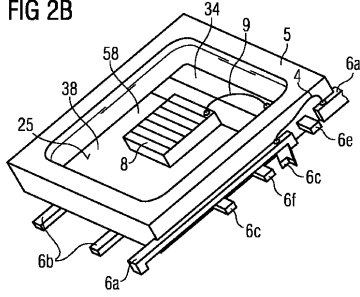
【図2A】

FIG 2A



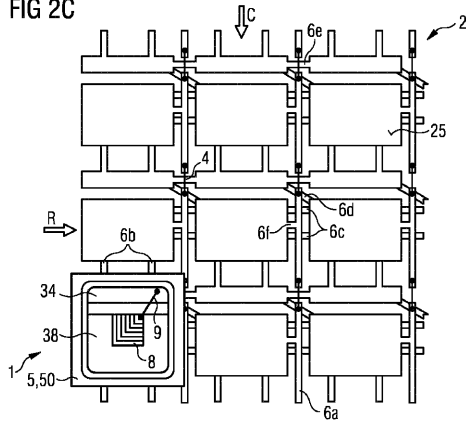
【図 2 B】

FIG 2B



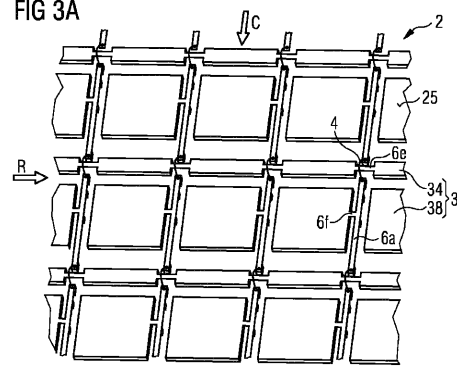
【図 2 C】

FIG 2C



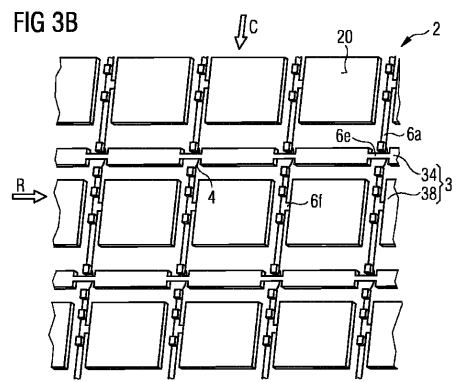
【図 3 A】

FIG 3A



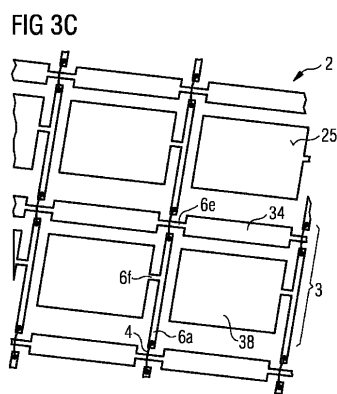
【図 3 B】

FIG 3B



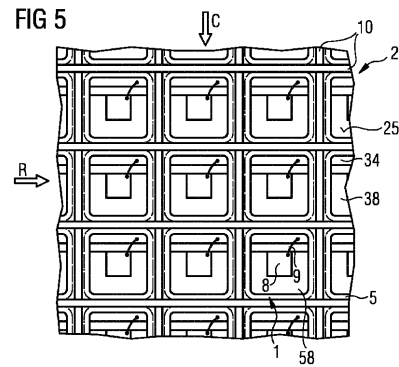
【図 3 C】

FIG 3C



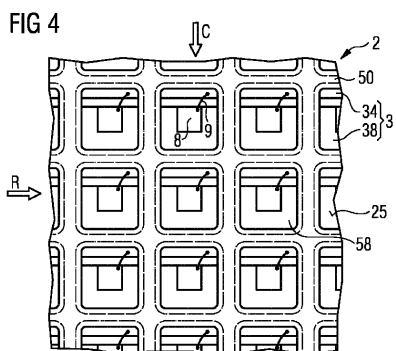
【図 5】

FIG 5



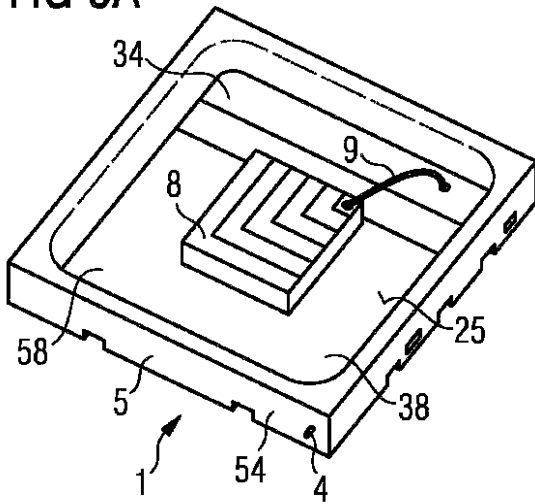
【図 4】

FIG 4



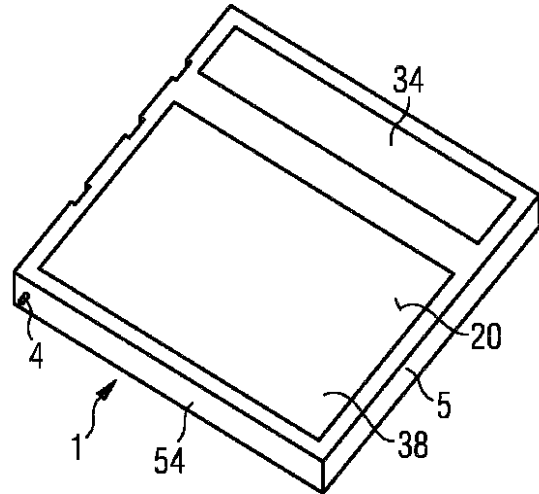
【図 6 A】

FIG 6A



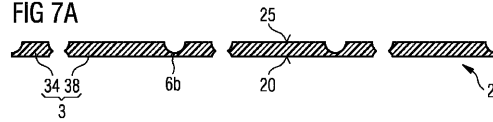
【図 6 B】

FIG 6B



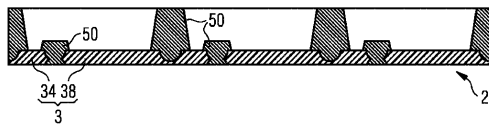
【図 7 A】

FIG 7A



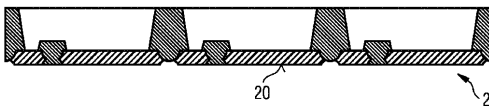
【図 7 B】

FIG 7B



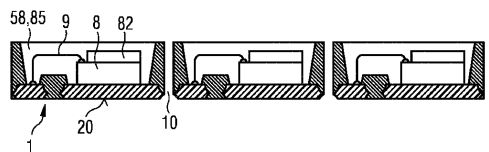
【図 7 C】

FIG 7C



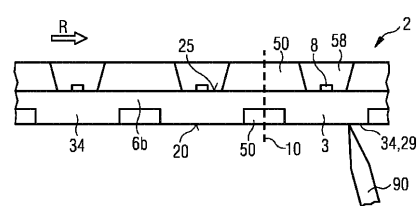
【図 7 D】

FIG 7D



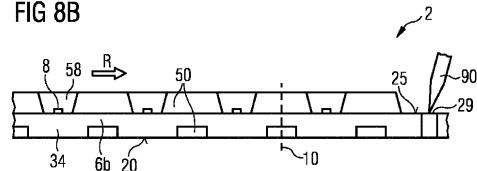
【図 8 A】

FIG 8A



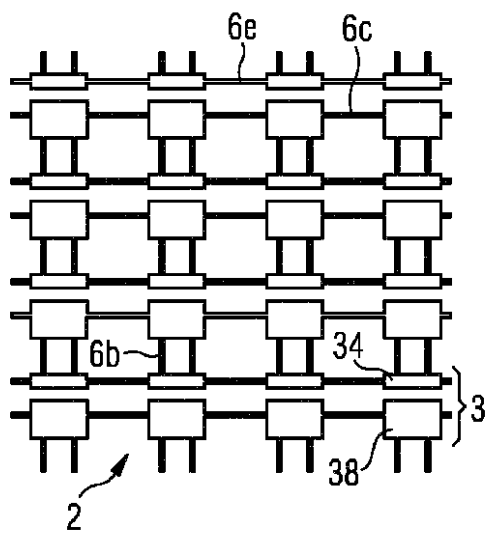
【図 8 B】

FIG 8B



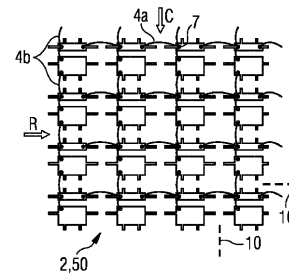
【図 9 A】

FIG 9A



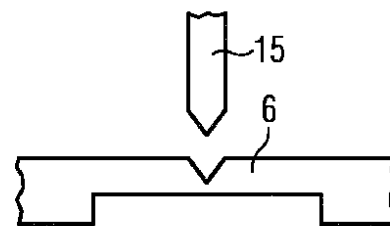
【図 9 B】

FIG 9B



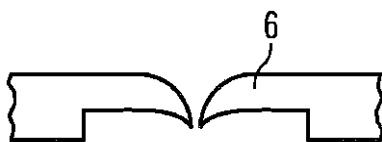
【図 10 A】

FIG 10A



【図 10 B】

FIG 10B



フロントページの続き

(74)代理人 100099483

弁理士 久野 琢也

(72)発明者 ミヒャエル ツィツルスペルガー

ドイツ連邦共和国 レーゲンスブルク シャッテンホーファーガッセ 4

(72)発明者 ユルゲン ホルツ

ドイツ連邦共和国 ヴェンツェンバッハ ブーヘンヴェーク 9

審査官 小濱 健太

(56)参考文献 特開2008-282932 (JP, A)

特開2002-314138 (JP, A)

特開2010-147189 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 33/00-33/64