

## PCT

〔続葉有〕



NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, 添付公開書類:

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, — 国際調査報告 (条約第 21 条(3))  
TD, TG).

---

本発明のプローブカードの製造方法は、複数の半導体装置の電気特性を一括して検査するためのプローブカードの製造方法であって、前記プローブカードの基体をなすボードの一方面側に、半導体装置の外部端子に接触される複数のプローブを形成する工程と、フォトリソグラフィおよびエッチングにより、前記ボードに、前記ボードの他方面から各前記プローブに達する複数の貫通孔を形成する工程と、各前記貫通孔に、前記プローブと導通可能に接続される貫通電極を形成する工程と、前記ボードの前記他方面側に、前記貫通電極と導通可能に接続される配線を形成する工程とを含む。

## 明 細 書

発明の名称：

プローブカードの製造方法、プローブカード、半導体装置の製造方法およびプローブの形成方法

### 技術分野

[0001] 本発明は、プローブカードおよびその製造方法、そのプローブカードを用いた半導体装置の製造方法、ならびにプローブの形成方法に関する。

### 背景技術

[0002] 従来、半導体ウエハ上に作製された各半導体チップ（半導体装置）の電気特性を検査するための装置として、プローバ装置が知られている。プローバ装置には、プローブカードが取り付けられている。プローブカードは、半導体ウエハ上の半導体チップを１チップずつ検査するものである。プローブカードには、各半導体チップの全外部端子（入力端子および出力端子）の配置に適合するように、検査用のプローブが配置されている。

[0003] プローバ装置を用いて半導体チップを検査するには、まず、半導体ウエハ上の１つの半導体チップ上にプローブカードが位置合わせされる。次いで、１つの外部端子に１本のプローブが対応するように、全外部端子にプローブが接触させられる。次いで、半導体チップの入力端子にプローバ装置から電気信号が入力される。そして、その入力信号に応じて半導体チップの出力端子から出力される電気信号がプローブ装置で読み取られ、その信号波形と予めプローブ装置に記憶されている期待値とが比較される。この比較により、検査されたチップの電気特性についての良否が判別される。

[0004] 一方、近年では、半導体チップのサイズの縮小化および回路の微細化が進められており、それとともにチップに設けられる外部端子の狭ピッチ化が進んでいる。そのため、半導体チップの検査に際して外部端子に接触するプローブの先端部のピッチを狭くする必要がある。しかし、プローブの先端部のピッチの大きさだけを調整して外部端子のピッチに適合させようとする、

隣接するプローブの先端部同士が接触してこれらの間で短絡し、検査精度が低下するおそれがある。

[0005] そこで、プローブの先端部を、プローブの作製後に放電加工などにより研磨して他の部分よりも薄くすることにより、隣接するプローブ同士の接触を防止し、プローブの先端部の狭ピッチ化を図るプローブの形成方法が提案されている。

## 先行技術文献

## 特許文献

[0006] 特許文献1：特開2007-86025号公報

## 発明の概要

## 発明が解決しようとする課題

[0007] 従来のプローブカードは、半導体チップを1チップずつしか検査できない。そのため、半導体ウエハ上のチップ全部の検査には、非常に長い時間を要する。その上、近年進められている半導体チップのチップサイズの縮小化により、ウエハ上のチップ数が増加すると、検査時間が以前よりもさらに長くなってしまふ。

そこで、複数の半導体チップを一括して検査し、検査におけるスループットを向上させることにより、半導体チップの検査に要する時間を短縮したいという考えがある。

[0008] この考えの実現のためには、複数の半導体チップを一括検査可能なプローブカードが必要となる。ところが、プローブカードは、熟練工により手作業で1つ1つ作製されるものであるので、そのようなプローブカードの作製には、非常に長い時間を要するとともに、製造コストが非常に高くつく。

また、従来のプローブの形成方法では、プローブの先端部を薄くできるものの、プローブを一旦作製した後、先端部をわざわざ加工しなければならない。そのため、非常に手間がかかり、製造効率が低下する。

[0009] 本発明の目的は、複数の半導体装置の電気特性を一括して検査可能なプロ

ーブカードを、低コストかつ簡単に製造することのできるプローブカードの製造方法およびその製造方法により得られるプローブカード、ならびにそのプローブカードを用いた半導体装置の製造方法を提供することにある。

本発明の別の目的は、半導体装置の外部端子の狭ピッチ化に対応可能なプローブを容易に形成することのできるプローブの形成方法を提供することにある。

### 課題を解決するための手段

[0010] 本発明のプローブカードの製造方法は、複数の半導体装置の電気特性を一括して検査するためのプローブカードの製造方法であって、前記プローブカードの基体をなすボードの一方面側に、半導体装置の外部端子に接触される複数のプローブを形成する工程と、フォトリソグラフィおよびエッチングにより、前記ボードに、前記ボードの他方面から各前記プローブに達する複数の貫通孔を形成する工程と、各前記貫通孔に、前記プローブと導通可能に接続される貫通電極を形成する工程と、前記ボードの前記他方面側に、前記貫通電極と導通可能に接続される配線を形成する工程とを含む。

[0011] この方法によれば、プローブカードの基体をなすボードの一方面側に複数のプローブが形成される。ボードには、フォトリソグラフィおよびエッチングにより、その他方面から各プローブに達する複数の貫通孔が形成される。各貫通孔には、プローブと導通可能に接続される貫通電極が形成される。そして、ボードの他方面側には、貫通電極と導通可能に接続される配線が形成される。

[0012] たとえば、熟練工によるプローブカードの作製工程では、プローブカードの基体をなすセラミックス基板の一方面に、多数の非常に細いプローブがピンセットなどを用いて配置される。このプローブは、セラミックス基板の略中央部に開けられた大きな1つの開口を介して、セラミックス基板の他方面側に引き回される。そして、引き回されたプローブは、セラミックス基板の他方面に別に形成された配線に、手作業で接続される。そして、このような複雑な作業をプローブ1本1本に対して行なわなければならないため、プロ

ーブカードの作製に長時間および高コストが必要となる。

[0013] これに対し、上記の方法では、フォトリソグラフィおよびエッチングという半導体装置の製造工程に採用される技術を利用して複数の貫通孔が形成され、各貫通孔に形成される貫通電極を介して、各プローブと配線との導通が達成される。つまり、半導体装置の製造工程に採用される技術を利用して、1本のプローブと配線とを1つの貫通電極を介して接続することができる。そのため、プローブ1本あたりの接続時間を短縮することができる。したがって、プローブカードの製造時間を従来よりも増加させることなく、より多くのプローブと配線とを接続することができる。その結果、複数の半導体装置を一括して検査可能なプローブカードを、低コストかつ簡単に製造することができる。

[0014] そして、この製造方法によって、たとえば、本発明のプローブカードを製造することができる。つまり、シリコン系ボードと、前記シリコン系ボードの一方面側に形成され、半導体装置の外部端子に接触される複数のプローブと、各前記プローブに対応して形成され、前記シリコン系ボードの前記一方面とその反対側の他方面との間を貫通する複数の貫通孔と、前記貫通孔に埋設され、前記プローブと導通可能に接続される貫通電極と、前記シリコン系ボードの前記他方面側に形成され、前記貫通電極と導通可能に接続される配線とを含み、前記プローブが、所定のパターンで配置された複数を1組として、複数組設けられている、プローブカードを製造することができる。

[0015] このプローブカードでは、プローブが複数を1組として、複数組設けられているため、複数の半導体チップを一括して検査することができる。そのため、検査におけるスループットを向上させることができる。その結果、半導体チップの検査に要する時間を短縮することができる。

また、上記プローブカードの製造方法では、前記プローブ、前記貫通電極および前記配線が、めっき法により形成されることが好ましい。

[0016] この場合、プローブ、貫通電極および配線が、めっき法により作成される。めっき法のように単純な工程により、プローブ、貫通電極および配線が形

成されるので、プローブカードをより低コストかつ簡単に製造することができる。また、プローブ、貫通電極および配線を同じめっき装置を利用して形成することができるので、設備コストの増加を抑制することもできる。

[0017] また、本発明の半導体装置の製造方法は、半導体ウエハに、電気接続のための外部端子を複数有する半導体チップを複数形成する工程と、プローブカードを用いて、前記半導体チップの電気特性を検査する工程と、検査後、前記半導体ウエハを、各前記半導体チップに分割する工程とを含み、前記プローブカードは、シリコン系ボードと、前記シリコン系ボードの一方面側に形成され、半導体チップの外部端子に接触される複数のプローブと、各前記プローブに対応して形成され、前記シリコン系ボードの前記一方面とその反対側の他方面との間を貫通する複数の貫通孔と、前記貫通孔に埋設され、前記プローブと導通可能に接続される貫通電極と、前記シリコン系ボードの前記他方面側に形成され、前記貫通電極と導通可能に接続される配線とを含み、前記プローブが、所定のパターンで配置された複数を１組として、複数組設けられており、前記検査では、１組の前記プローブと１つの前記半導体チップの前記外部端子とを接触させ、各前記外部端子に電気信号を入力することにより、複数の前記半導体チップの電気特性を一括して検査する。

[0018] この製造方法によれば、本発明のプローブカードを用いて、複数の半導体チップの電気特性が一括して検査されるので、検査におけるスループットを向上させることができる。その結果、半導体チップの検査に要する時間を短縮することができ、半導体装置の製造効率を向上させることができる。

また、本発明のプローブの形成方法は、半導体装置の外部端子に接触する相対的に厚さの小さい先端部およびこの先端部を支持する相対的に厚さの大きい支持部を有し、半導体装置の電気特性を検査するために用いられるプローブの形成方法であって、半導体基板の表面に、金属材料からなるめっき下地層を形成する工程と、めっき法により、前記めっき下地層上に、前記先端部と同じ厚さの第１めっき層を選択的に形成する工程と、前記第１めっき層における所定部分を被覆するマスクを形成する工程と、めっき法により、前

記第 1 めっき層における前記マスクから露出する部分上に、前記支持部の厚さから前記先端部の厚さを差し引いた厚さの第 2 めっき層を形成する工程とを含む。

[0019] この方法によれば、半導体装置の外部端子に接触する相対的に厚さの小さい先端部およびこの先端部を支持する相対的に厚さの大きい支持部を有し、半導体装置の電気特性を検査するために用いられるプローブが形成される。具体的には、半導体基板の表面に形成されためっき下地層上に、めっき法により、先端部と同じ厚さの第 1 めっき層が選択的に形成される。第 1 めっき層の形成後、第 1 めっき層における所定部分がマスクにより被覆される。そして、第 1 めっき層におけるマスクから露出する部分上に、めっき法により、支持部の厚さから先端部の厚さを差し引いた厚さの第 2 めっき層が形成される。これにより、第 1 めっき層におけるマスクで被覆されていた部分に先端部が形成され、マスクで被覆されていなかった部分に支持部が形成される。

[0020] つまり、上記方法により形成されたプローブでは、先端部が第 1 めっき層からなり、支持部が第 1 めっき層および第 2 めっき層からなる。そのため、先端部の厚さが相対的に小さく、支持部の厚さが相対的に大きくなる。したがって、半導体装置の外部端子のピッチに合わせてプローブのピッチを狭くしても、第 1 めっき層の厚さを適当な厚さに設計しておけば、隣接するプローブ同士の接触を防止することができる。よって、上記の方法により、半導体装置の外部端子の狭ピッチ化に対応可能なプローブを形成することができる。その結果、上記の方法により形成されたプローブを用いて、半導体装置の電気特性を、精度よく検査することができる。

[0021] さらに、相対的に厚さの小さい先端部が、プローブの形成過程において、めっき法により形成される。そのため、プローブ作製後に先端部を研磨するなどして加工する必要がない。したがって、相対的に厚さの小さい先端部を有するプローブを、手間なく容易に形成することができる。

また、上記したプローブの形成方法では、前記プローブとともに、前記プ

プローブを取り囲む外枠、およびこの外枠と前記プローブとを連結する連結部が形成され、前記外枠は、前記第 1 めっき層および前記第 2 めっき層からなり、前記連結部は、前記第 1 めっき層からなることが好ましい。

[0022] この場合、プローブを取り囲む外枠、および外枠とプローブとを連結する連結部が形成される。プローブが連結部を介して外枠に支持されるので、外枠を半導体基板から分離することにより、それとともにプローブを半導体基板から容易に分離することができる。

さらに、外枠が第 1 めっき層および第 2 めっき層からなり、連結部が第 1 めっき層からなる。したがって、外枠および連結部をプローブと同じ工程により形成することができる。また、連結部が相対的に厚さの小さい第 1 めっき層からなることから、外枠（プローブ）と半導体基板との分離後、プローブと連結部とを容易に分離することができる。

[0023] また、上記したプローブの形成方法では、前記第 1 めっき層を形成する工程が、前記めっき下地層と異なる金属材料を用いて前記第 1 めっき層を形成する工程であることが好ましい。

この場合、第 1 めっき層がめっき下地層と異なる金属材料を用いて形成される。金属材料が異なれば、特定のエッチング液に対するエッチングレートが異なる。したがって、第 1 めっき層とめっき下地層とのエッチングレートの差を利用したリフトオフ法により、第 1 めっき層を半導体基板から容易に分離することができる。

### 図面の簡単な説明

[0024] [図1] 本発明の一実施形態に係るプローブカードを示す模式的な平面図である。

[図2] 図 1 に示す 2 点鎖線円で囲まれる部分の拡大図である。

[図3] 図 2 に示す単位セルを|||ー|||で示される切断線で切断したときの断面図である。

[図4A] 図 1 に示すプローブカードの製造方法を示す模式的な断面図である。

[図4B] 図 4 A の次の工程を示す模式的な断面図である。

[図4C] 図4 Bの次の工程を示す模式的な断面図である。

[図4D] 図4 Cの次の工程を示す模式的な断面図である。

[図4E] 図4 Dの次の工程を示す模式的な断面図である。

[図4F] 図4 Eの次の工程を示す模式的な断面図である。

[図4G] 図4 Fの次の工程を示す模式的な断面図である。

[図4H] 図4 Gの次の工程を示す模式的な断面図である。

[図4I] 図4 Hの次の工程を示す模式的な断面図である。

[図4J] 図4 Iの次の工程を示す模式的な断面図である。

[図4K] 図4 Jの次の工程を示す模式的な断面図である。

[図4L] 図4 Kの次の工程を示す模式的な断面図である。

[図4M] 図4 Lの次の工程を示す模式的な断面図である。

[図4N] 図4 Mの次の工程を示す模式的な断面図である。

[図4O] 図4 Nの次の工程を示す模式的な断面図である。

[図4P] 図4 Oの次の工程を示す模式的な断面図である。

[図4Q] 図4 Pの次の工程を示す模式的な断面図である。

[図5A] 本発明の一実施形態に係る半導体装置の製造方法を示す模式的な断面図である。

[図5B] 図5 Aの次の工程を示す模式的な断面図である。

[図5C] 図5 Bの次の工程を示す模式的な断面図である。

[図5D] 図5 Cの次の工程を示す模式的な断面図である。

[図6] 本発明の一実施形態に係るプローブを示す模式的な平面図である。

[図7A] 図6 に示すプローブをVⅡA－VⅡAで示す切断線で切断したときの模式的な断面図である。

[図7B] 図6 に示すプローブをVⅡB－VⅡBで示す切断線で切断したときの模式的な断面図である。

[図8A] 図6 に示すプローブの形成方法を示す模式的な断面図である。

[図8B] 図8 Aの次の工程を示す模式的な断面図である。

[図8C] 図8 Bの次の工程を示す模式的な断面図である。

[図8D] 図 8 C の次の工程を示す模式的な断面図である。

[図8E] 図 8 D の次の工程を示す模式的な断面図である。

[図8F] 図 8 E の次の工程を示す模式的な断面図である。

[図9A] 図 6 に示すプローブが取り付けられたプローブカードの模式的な平面図である。

[図9B] 図 6 に示すプローブが取り付けられたプローブカードの模式的な側面図である。

### 発明を実施するための形態

[0025] 以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図 1 は、本発明の一実施形態に係るプローブカードを示す模式的な平面図である。

プローブカード 1 は、半導体ウエハ上に形成された複数の半導体チップ（半導体装置）の電気特性を一括して検査するための機器であって、円盤状のシリコン系ボードとしてのシリコン基板 2 を備えている。

[0026] シリコン基板 2 の略中央部には、半導体チップを検査するために必要なプローブおよび配線などが配置される、平面視円形の配線ユニット 3 が設けられている。配線ユニット 3 には、平面視略正方形の検査部 4 が形成されている。検査部 4 は、たとえば、 $5 \times 5$  の格子窓状に区画されている。検査部 4 において区画された各格子窓部分は、半導体チップ 1 チップに対応する単位セル 5 をなしており、それぞれ平面視正方形に形成されている。

[0027] 図 2 は、図 1 に示す 2 点鎖線円で囲まれる部分の拡大図である。

各単位セル 5 には、プローブ 6 が設けられている。プローブ 6 は、半導体チップ 1 チップ（たとえば、後述する各半導体チップ 5 3）の外部端子（たとえば、後述する電極パッド 5 4）と同数を 1 組として設けられ、単位セル 5 の各辺において、検査対象である半導体チップの外部端子のピッチに適合するピッチで配列されている。

[0028] 図 3 は、図 2 に示す単位セルを III-III で示される切断線で切断したときの断面図である。

シリコン基板 2 の一方面 2 A および他方面 2 B には、酸化シリコンからなる酸化膜 7 および酸化膜 8 がそれぞれ形成されている。

酸化膜 7 上には、下地配線 9 が選択的に形成されている。下地配線 9 は、たとえば、アルミニウムからなる。

[0029] 下地配線 9 には、プローブ 6 が接続されている。プローブ 6 は、下地配線 9 からシリコン基板 2 の一方面 2 A に対して垂直上方へ延びる第 1 垂直部 10 と、第 1 垂直部 10 の上端とほぼ同一平面上に位置する下端を有し、シリコン基板 2 の一方面 2 A に対して垂直上方へ延びる第 2 垂直部 11 と、シリコン基板 2 の一方面 2 A と平行をなして単位セル 5 の内外に跨り、第 1 垂直部 10 の上端と第 2 垂直部 11 の下端とを接続する接続部 12 とが一体的に有している。これにより、プローブ 6 は、酸化膜 7 の表面から浮いた状態のクランク形状に形成されている。

[0030] また、プローブ 6 は、めっき法により形成可能な金属からなり、たとえば、ニッケル、ニッケル合金（たとえば、ニッケルマンガン合金など）などからなる。プローブ 6 が上記のような金属からなり、さらにクランク形状であることにより、プローブ 6 に適当なばね特性を付与することができる。このようなばね特性により、プローブ 6 を外部端子に良好に接触させることができ、また、プローブ 6 の接触による外部端子の損傷を抑制することができる。

[0031] プローブ 6 の第 1 垂直部 10 における単位セル 5 の外側に臨む一方側面は、シード膜 13 により覆われている。また、第 1 垂直部 10 における他方側面（単位セル 5 の内側に臨む面）および接続部 12 におけるシリコン基板 2 との対向面は、シード膜 13 により覆われている。シード膜 13 は、プローブ 6 をめっき成長させるときの下地膜であり、たとえば、Ti/Cu 積層膜、TiW/Au 積層膜などからなる。

[0032] また、プローブカード 1 には、酸化膜 8 の表面におけるシリコン基板 2 を介して下地配線 9 に対向する部分から、シリコン基板 2 および酸化膜 7 を貫通する貫通孔 15 が形成されている。

貫通孔 15 には、貫通電極 16 が埋設されている。これにより、貫通電極 16 は、下地配線 9 を介してプローブ 6 に電氣的に接続されることとなる。貫通電極 16 は、めっき法により形成可能であって、配線材料として適した低抵抗の金属からなり、たとえば、銅、チタン／窒化チタン／アルミニウム－銅合金（Ti／TiN／Al－Cu）などからなる。

[0033] 貫通電極 16 と貫通孔 15 の内面との間には、シード膜 17 が全域にわたって介在されている。シード膜 17 は、貫通電極 16 をめっき成長させるときの下地膜であり、たとえば、Ti／Cu 積層膜、TiW／Au 積層膜などからなる。

酸化膜 8 上には、貫通電極 16 に電氣的に接続され、酸化膜 8 上に引き回された引き回し配線 18 が所定パターンで形成されている。引き回し配線 18 は、めっき法により形成可能であって、配線材料として適した低抵抗の金属からなり、たとえば、銅、チタン／窒化チタン／アルミニウム－銅合金（Ti／TiN／Al－Cu）などからなる。

[0034] 引き回し配線 18 と酸化膜 8 との間には、シード膜 19 が介在されている。シード膜 19 は、引き回し配線 18 をめっき成長させるときの下地膜であり、たとえば、Ti／Cu 積層膜、TiW／Au 積層膜などからなる。

図 4 A～図 4 Q は、図 1 に示すプローブカードの製造方法を工程順に示す模式的な断面図であって、図 3 と同一切断面における断面図である。

[0035] プローブカード 1 を製造するには、図 4 A に示すように、熱酸化処理により、シリコン基板 2 の一方面 2 A および他方面 2 B に、酸化膜 7 および酸化膜 8 がそれぞれ形成される。次いで、スパッタ法により、酸化膜 7 上に、下地配線 9 の材料であるアルミニウム膜 20 が成膜される。

次いで、図 4 B に示すように、フォトリソグラフィ技術およびエッチング技術により、アルミニウム膜 20 がパターンニングされる。これにより、酸化膜 7 上に、下地配線 9 が形成される。

[0036] 次いで、図 4 C に示すように、酸化膜 7 上に犠牲膜 21 が塗布される。犠牲膜 21 は、金属材料のスパッタに耐えることのできる絶縁材料であって、

たとえば、ポリイミド、Low-k材料（たとえば、SiOC）などからなる。続いて、フォトリソグラフィ技術およびエッチング技術により、犠牲膜21が、プローブ6の第1垂直部10のパターンにパターニングされる。これにより、犠牲膜21に、下地配線9を部分的に露出させる、第1垂直部10と同パターンの開口22が形成される。

[0037] 次いで、図4Dに示すように、スパッタ法により、開口22の内面および犠牲膜21の表面全域に、シード膜13が成膜される。

シード膜13の成膜後、図4Eに示すように、開口22内に、プローブ6の材料がめっき成長させられる。めっき成長は、当該材料が開口22を埋め尽くすまで続けられる。これにより、開口22内にプローブ6の第1垂直部10が形成される。

[0038] 次いで、図4Fに示すように、シード膜13上に犠牲膜23が塗布される。犠牲膜23は、たとえば、犠牲膜21と同様の材料からなる。続いて、フォトリソグラフィ技術およびエッチング技術により、犠牲膜23が、プローブ6の接続部12のパターンにパターニングされる。これにより、犠牲膜23に、シード膜13を部分的に露出させる、接続部12と同パターンのプローブ溝24が形成される。

[0039] 次いで、図4Gに示すように、プローブ溝24内に、プローブ6の材料がめっき成長させられる。めっき成長は、当該材料がプローブ溝24を埋め尽くすまで続けられる。これにより、プローブ溝24内にプローブ6の接続部12が形成される。

次いで、図4Hに示すように、犠牲膜21上に犠牲膜25が塗布される。犠牲膜25は、たとえば、犠牲膜21と同様の材料からなる。続いて、フォトリソグラフィ技術およびエッチング技術により、犠牲膜25が、プローブ6の第2垂直部11のパターンにパターニングされる。これにより、犠牲膜25に、接続部12を部分的に露出させる、第2垂直部11と同パターンの開口26が形成される。

[0040] 次いで、図4Iに示すように、接続部12から、プローブ6の材料がめっ

き成長させられる。めっき成長は、当該材料が開口 26 から犠牲膜 25 の上方へ突出するまで続けられる。これにより、開口 26 から犠牲膜 25 の上方へ突出するプローブ 6 の第 2 垂直部 11 が形成される。

次いで、図 4 J に示すように、犠牲膜 25 の表面全域に保護膜 27 が塗布される。保護膜 27 は、たとえば、犠牲膜 21 と同様の材料からなり、犠牲膜 25 から突出する第 2 垂直部 11 全体を被覆する厚さで形成される。これにより、シリコン基板 2 の一方面 2A 側が保護膜 27 により保護される。

[0041] 次いで、図 4 K に示すように、酸化膜 8 上にマスク 28 が塗布される。マスク 28 の材料としては、公知のフォトリソグランドなど、半導体装置の製造工程におけるパターニング材料が適用される。続いて、このマスク 28 が貫通孔 15 のパターンにパターニングされる。これにより、マスク 28 におけるシリコン基板 2 を介して下地配線 9 に対向する位置に、貫通孔 15 と同パターンの開口 29 が形成される。そして、この開口 29 を介して酸化膜 8、シリコン基板 2 および酸化膜 7 がドライエッチングされる。こうして、酸化膜 8 の表面からシリコン基板 2 および酸化膜 7 を貫通し、下地配線 9 の裏面に達する貫通孔 15 が形成される。貫通孔 15 の形成後、アッシングにより、マスク 28 が除去される。

[0042] 次いで、図 4 L に示すように、スパッタ法により、貫通孔 15 の内面全域にシード膜 17 が成膜されるとともに、酸化膜 8 の表面全域にシード膜 19 が成膜される。

シード膜 17 およびシード膜 19 の成膜後、図 4 M に示すように、貫通孔 15 内に、貫通電極 16 の材料がめっき成長させられる。めっき成長は、当該材料が貫通孔 15 を埋め尽くすまで続けられる。これにより、貫通孔 15 内に埋設された貫通電極 16 が得られる。貫通孔 15 を埋め尽くす貫通電極 16 は、下地配線 9 を介してプローブ 6 に電氣的に接続されることとなる。

[0043] 次いで、図 4 N に示すように、シード膜 19 上にマスク 30 が塗布される。マスク 30 の材料としては、たとえば、マスク 28 と同様のものが適用される。続いて、このマスク 30 が、引き回し配線 18 のパターンにパターニ

ングされる。これにより、マスク 30 に、シード膜 19 を部分的に露出させる、引き回し配線 18 と同パターンの配線溝 31 が形成される。次いで、配線溝 31 内に、引き回し配線 18 の材料がめっき成長させられる。めっき成長は、当該材料が配線溝 31 を埋め尽くすまで続けられる。これにより、配線溝 31 内に引き回し配線 18 が形成される。

[0044] 引き回し配線 18 の形成後、図 4 O に示すように、アッシングにより、マスク 30 が除去される。続いて、シード膜 13 上の犠牲膜 23、犠牲膜 25 および保護膜 27 が、ウェットエッチングにより一括して除去される。

次いで、図 4 P に示すように、プローブ 6 よりもシード膜 13 に対するエッチングレートの高いエッチング液を用いたウェットエッチングにより、シード膜 13 におけるプローブ 6 から露出する部分が除去される。つまり、プローブ 6 の接続部 12 により覆われているシード膜 13 は、ウェットエッチング後も残存することとなる。また、引き回し配線 18 よりもシード膜 19 に対するエッチングレートの高いエッチング液を用いたウェットエッチングにより、シード膜 19 における引き回し配線 18 から露出する部分が除去される。つまり、引き回し配線 18 により覆われているシード膜 19 は、ウェットエッチング後も残存することとなる。

[0045] 次いで、図 4 Q に示すように、アッシングやウェットエッチングにより、犠牲膜 21 が除去される。これにより、プローブ 6 が酸化膜 7 の表面から浮いた状態になるとともに、プローブ 6 と酸化膜 7 との間に、所定の間隔の空隙が形成される。

以上の工程を経て、図 1 に示すプローブカード 1 が得られる。なお、プローブカード 1 の製造工程では、図 4 A ~ 図 4 Q で示された工程以外にも、プローブカード 1 に備えられるその他の部材を形成する工程が実行されるが、ここでは省略している。

[0046] 以上のように、上記の方法によれば、フォトリソグラフィ技術およびエッチング技術により、犠牲膜 21、犠牲膜 23 および犠牲膜 25 に、開口 22、プローブ溝 24 および開口 26 がそれぞれ形成される（図 4 C、F、H 参

照)。また、めっき法により、開口 2 2、プローブ溝 2 4 および開口 2 6 に、第 1 垂直部 1 0、接続部 1 2 および第 2 垂直部 1 1 がそれぞれ形成される (図 4 E, G, I 参照)。これにより、シリコン基板 2 の一方面 2 A 側にプローブ 6 が形成される (図 4 I 参照)。

[0047] また、シリコン基板 2 には、フォトリソグラフィ技術およびエッチング技術により、貫通孔 1 5 が形成される (図 4 K 参照)。そして、この貫通孔 1 5 には、めっき法により、プローブ 6 と導通可能に接続される貫通電極 1 6 が形成される (図 4 M 参照)。

そして、シリコン基板 2 の他方面 2 B 側においては、フォトリソグラフィ技術およびエッチング技術により、マスク 3 0 に配線溝 3 1 が形成される。また、めっき法により、配線溝 3 1 に、貫通電極 1 6 と導通可能に接続される引き回し配線 1 8 が形成される (図 4 N 参照)。

[0048] たとえば、熟練工によるプローブカードの作製工程では、プローブカードの基体をなすセラミックス基板の一方面に、多数の非常に細いプローブがピンセットなどを用いて配置される。このプローブは、セラミックス基板の略中央部に開けられた大きな 1 つの開口を介して、セラミックス基板の他方面側に引き回される。そして、引き回されたプローブは、セラミックス基板の他方面に別に形成された配線に、手作業で接続される。そして、このような複雑な作業をプローブ 1 本 1 本に対して行なわなければならないため、プローブカードの作製に長時間および高コストが必要となる。

[0049] これに対し、上記の方法では、フォトリソグラフィ技術、エッチング技術およびめっき法という半導体装置の製造工程に採用される技術を利用して、プローブ 6、貫通電極 1 6 および引き回し配線 1 8 が導通可能に形成される。つまり、半導体装置の製造工程に採用される技術を利用して、1 本のプローブ 6 と引き回し配線 1 8 とを 1 つの貫通電極 1 6 を介して接続することができる。そのため、プローブ 1 本あたりの接続時間を短縮することができる。したがって、プローブカード 1 の製造時間を従来よりも増加させることなく、より多くのプローブ 6 と引き回し配線 1 8 とを接続することができる。

その結果、複数の半導体チップを一括して検査可能なプローブカード 1 を、低コストかつ簡単に製造することができる。

[0050] また、めっき法のように単純な工程により、プローブ 6、貫通電極 16 および引き回し配線 18 が形成されるので、プローブカード 1 をより低コストかつ簡単に製造することができる。また、プローブ 6、貫通電極 16 および引き回し配線 18 を同じめっき装置を利用して形成することができるので、設備コストの増加を抑制することもできる。

また、犠牲膜 21、犠牲膜 23 および犠牲膜 25 を 3 段に積層し、これらの積層に合わせて第 1 垂直部 10、接続部 12 および第 2 垂直部 11 を形成してプローブを形成し、その後、3 段の犠牲膜 21、23、25 全てを除去することによって、プローブ 6 と酸化膜 7 との間に空隙を簡単に形成することができる。

[0051] また、プローブ 6 の形成後引き回し配線 18 の形成完了まで、犠牲膜 25 から突出する第 2 垂直部 11 全体が保護膜 27 により被覆される。これにより、接触による衝撃から第 2 垂直部 11 を保護することができる。そのため、保護膜 27 形成後の工程（リソグラフィ工程、エッチング工程など）において、各装置のウエハステージに、シリコン基板 2 の一方向 2A 側を下に向けた姿勢で設置することができる。その結果、保護膜 27 形成後の作業性を向上させることができる。

[0052] 上記の方法によって得られるプローブカード 1 では、検査部 4 が 5 × 5 の格子窓状に区画され、その各単位セル 5 に、半導体チップ 1 チップの外部端子と同数のプローブ 6 が 1 組として設けられている。そのため、複数の半導体チップ（この実施形態では、25 チップ）を一括して検査することができる。そのため、検査におけるスループットを向上させることができる。その結果、半導体チップの検査に要する時間を短縮することができる。

[0053] そして、上記のプローブカード 1 は、たとえば、本発明の半導体装置の製造に用いることができる。

図 5A ～ 図 5D は、本発明の一実施形態に係る半導体装置の製造方法を工

程順に示す模式的な断面図である。

本発明の一実施形態に係る半導体装置を製造するには、たとえば、図5 Aに示すように、円盤状の半導体ウエハ5 2に、平面視正方形の複数の半導体チップ5 3が格子状に区画されるように形成される。図5 Aおよび図5 Bでは、互いに隣接する半導体チップ5 3の境界を破線で表している。

[0054] 次いで、各半導体チップ5 3に配線（図示せず）が形成され、表面保護膜（図示せず）が形成された後、最表層の配線が電気接続のため電極パッド5 4として露出するように、表面保護膜に開口が形成される。電極パッド5 4は、半導体チップ5 3の各辺に沿って等ピッチに配置される。

次いで、図5 Bに示すように、上記プローブカード1を用いて半導体チップ5 3の電気特性が検査される。検査では、1つの単位セル5 と1つの半導体チップ5 3とが1対1で適合するように、プローブカード1の全ての単位セル5に半導体チップ5 3が位置合わせされる。その状態から、1組のプローブ6と各半導体チップ5 3の電極パッド5 4とを接触させ、複数の半導体チップ5 3の電極パッド5 4に一括して電気信号が入力される。そして、たとえば、その入力信号に応じて電極パッド5 4から出力される電気信号がプローブ装置で読み取られ、その信号波形と予めプローブ装置に記憶されている期待値とが比較される。この比較により、検査された複数の半導体チップ5 3の電気特性についての良否が一工程で判別される。

[0055] 次いで、図5 Cに示すように、たとえば、ダイシングソーを用いて、半導体ウエハ5 2が各半導体チップ5 3のサイズに切断されることにより、半導体チップ5 3の個片が得られる。

その後は、各半導体チップ5 3が、ボンディング剤5 5を用いてリードフレームの各ダイパッド5 6にダイボンディングされ、各電極パッド5 4とリードフレームの各リード5 7とがボンディングワイヤ5 8で接続される。そして、リードフレームが成形金型にセットされ、全ての半導体チップ5 3がリードフレームとともに、樹脂パッケージ5 9により一括して封止される。最後に、ダイシングソーを用いて、リードフレームが樹脂パッケージ5 9と

ともに各半導体装置 5 1 のサイズに切断されることにより、半導体装置 5 1 の個片が得られる。

[0056] 以上のように、上記の製造方法によれば、上記したプローブカード 1 を用いて、複数の半導体チップ 5 3 の電気特性が一括して（一工程で）検査されるので、検査におけるスループットを向上させることができる。その結果、半導体チップ 5 3 の検査に要する時間を短縮することができ、半導体装置 5 1 の製造効率を向上させることができる。

図 6 は、本発明の一実施形態に係るプローブを示す模式的な平面図である。図 7 A は、図 6 に示すプローブを V I I A - V I I A で示す切断線で切断したときの模式的な断面図である。図 7 B は、図 6 に示すプローブを V I I B - V I I B で示す切断線で切断したときの模式的な断面図である。

[0057] プローブ 6 1 は、半導体チップ（半導体装置）の電気特性を検査するためにプローブカードに取り付けられるカンチレバー型プローブであって、複数を 1 組として外枠 6 2 に取り囲まれている。各プローブ 6 1 と外枠 6 2 との間には、連結部 6 3 が架設されている。各プローブ 6 1 は、連結部 6 3 を介して外枠 6 2 により支持されている。

プローブ 6 1、外枠 6 2 および連結部 6 3 は、一体的に形成され、その各部は、相対的に厚さの小さい下層 6 4 のみからなるか、または下層 6 4 および下層 6 4 上に選択的に形成された相対的に厚さの大きい上層 6 5 からなる。

[0058] 下層 6 4 および上層 6 5 は、めっき法により形成可能な金属からなり、たとえば、ニッケル、ニッケル合金（たとえば、ニッケルマンガン合金など）などからなる。また、下層 6 4 の厚さ  $T_1$  は、たとえば、 $3 \sim 15 \mu m$ 、好ましくは、 $8 \sim 12 \mu m$  である。一方、上層 6 5 の厚さ  $T_2$  は、たとえば、 $30 \sim 140 \mu m$ 、好ましくは、 $45 \sim 55 \mu m$  である。そして、下層 6 4 の厚さおよび上層 6 5 の厚さを合わせた総厚さ  $T_1 + T_2$  は、たとえば、 $33 \sim 155 \mu m$  であり、好ましくは、 $53 \sim 67 \mu m$  である。

[0059] プローブ 6 1 は、プローブカードへの取り付けのための取付部 6 6 と、半

導体チップを検査するための針部 67 とを一体的に備えている。

取付部 66 は、その全体が下層 64 および上層 65 からなり、全体的に一樣な厚さで形成されている。取付部 66 は、長方形平板状の本体部 68 と、プローブカードの配線に接続される長方形平板状の 2 つのプラグ 69 とを一体的に備えている。

[0060] 2 つのプラグ 69 は、本体部 68 の長さ方向において互いに間隔を空けて、本体部 68 の幅方向一方向に対して垂直に延びている。

針部 67 は、半導体チップの外部端子に接触する略正方形平板状の先端部 70 と、取付部 66 の本体部 68 に接続され、先端部 70 を支持するための長方形平板状の支持部 71 とを一体的に備えている。

[0061] 支持部 71 は、その全体が下層 64 および上層 65 からなり、全体的に一樣な厚さで形成されている。支持部 71 は、本体部 68 の幅方向他方面（プラグ 69 が設けられている側と反対側の面）における一端部（図 6 における左側端部）に接続されている。支持部 71 は、本体部 68 の幅方向他方面に対して鈍角（たとえば、 $\alpha = 14^\circ$ ）をなす方向に延びている。

また、支持部 71 の幅  $W$  は、たとえば、 $100 \sim 400 \mu\text{m}$  である。支持部 71 が下層 64 および上層 65 からなり、さらに支持部 71 の幅  $W$  が上記範囲であることにより、支持部 71 に適当なばね特性を付与することができる。このようなばね特性により、先端部 70 を外部端子に良好に接触させることができ、また、先端部 70 の接触による外部端子の損傷を抑制することができる。

[0062] 先端部 70 は、その全体が下層 64 からなり、支持部 71 の先端から本体部 68 に対するプラグ 69 の延出方向の反対側に突出している。

すなわち、針部 67 では、支持部 71 および先端部 70 のうち、選択的に支持部 71 のみに上層 65 が形成されている。

外枠 62 は、その全体が下層 64 および上層 65 からなり、間隔を空けてプローブ 61 を取り囲む略長方形環状に形成されている。

[0063] 連結部 63 は、その全体が下層 64 からなり、長方形平板状に形成されて

いる。連結部 6 3 は、1 つのプローブ 6 1 に対して 2 つ 1 組として設けられている。1 組の連結部 6 3 は、プローブ 6 1 を介して対向する外枠 6 2 の両長辺に 1 本ずつ接続されている。1 組の連結部 6 3 は、いずれも外枠 6 2 の辺に対して垂直方向に延び、一方の連結部 6 3 がプローブ 6 1 の支持部 7 1 に接続され、他方の連結部 6 3 がプローブ 6 1 の本体部 6 8 に接続されている。

[0064] 図 8 A ~ 図 8 F は、図 6 に示すプローブの形成方法を工程順に示す模式的な断面図である。なお、図 8 A ~ 図 8 F において、左側に配置される図が図 7 A と同一切断面における断面図であり、右側に配置される図が図 7 B と同一切断面における断面図である。

図 6 および図 7 A, B に示すプローブを形成するには、まず、図 8 A に示すように、たとえば、スパッタ法により、半導体基板としてのシリコン基板 7 2 の表面全域に、めっき下地層 7 3 が成膜される。めっき下地層 7 3 は、下層 6 4 および上層 6 5 の材料とは異なる金属材料からなる膜であり、たとえば、Ti/Cu 積層膜、TiW/Au 積層膜などからなる。

[0065] 次いで、図 8 B に示すように、プローブ 6 1、外枠 6 2 および連結部 6 3 を形成すべき領域に開口を有するレジストマスク 7 4 が形成される。そして、たとえば、電解めっき法により、下層 6 4 の材料が、レジストマスク 7 4 の露出部分からめっき成長させられる。これにより、図 8 B に示すように、めっき下地層 7 3 上に、第 1 めっき層としての下層 6 4 が選択的に形成される。なお、めっき下地層 7 3 における下層 6 4 の形成されなかった部分は、下層 6 4 から露出することとなる。下層 6 4 の形成後、図 8 C に示すように、レジストマスク 7 4 が除去される。

[0066] 続いて、図 8 D に示すように、下層 6 4 から露出するめっき下地層 7 3 および下層 6 4 における連結部 6 3 および先端部 7 0 を形成すべき領域を被覆するレジストマスク 7 5 が形成される。そして、たとえば、電解めっき法により、上層 6 5 の材料が、レジストマスク 7 5 の露出部分からめっき成長させられる。これにより、図 8 D に示すように、下層 6 4 上に、第 2 めっき層

としての上層 6 5 が選択的に形成される。こうして、シリコン基板 7 2 上には、下層 6 4 および上層 6 5 からなる各部（外枠 6 2、取付部 6 6 および支持部 7 1）、および下層 6 4 からなる各部（連結部 6 3 および先端部 7 0）が選択的に形成される。その後、図 8 E に示すように、レジストマスク 7 5 が除去される。

[0067] 次いで、図 8 F に示すように、たとえば、下層 6 4 および上層 6 5 がほぼエッチングされず、めっき下地層 7 3 に対するエッチングレートの大きいエッチング液（たとえば、アンモニア水など）を用いたウェットエッチングにより、めっき下地層 7 3 がエッチング除去される。これにより、下層 6 4 および上層 6 5 からなる構造物がシリコン基板 7 2 から分離（リフトオフ）される。そして、連結部 6 3 におけるプローブ 6 1 との接続部分を切断することにより、外枠 6 2 から分離されたプローブ 6 1 が得られる。

[0068] 上記のようにして得られるプローブ 6 1 は、たとえば、図 9 に示すプローブカード 7 6 に取り付けられる。

図 9 A は、図 6 に示すプローブが取り付けられたプローブカードの模式的な平面図である。図 9 B は、図 6 に示すプローブが取り付けられたプローブカードの模式的な側面図である。

[0069] プローブカード 7 6 は、半導体ウエハ上に形成された半導体チップの電気特性を 1 チップずつ検査するための機器であって、円盤状のセラミックス基板 7 7 を備えている。

セラミックス基板 7 7 には、プローブ 6 1 が取り付けられる配線ユニット 7 8 と、プローブカード 7 6 とプローバ装置（図示せず）とを接続するための接続ユニット 7 9 とが設けられている。

[0070] 配線ユニット 7 8 は、セラミックス基板 7 7 の中央部に設けられ、セラミックス基板 7 7 と中心を共有する円盤状に形成されている。配線ユニット 7 8 は、セラミックス基板 7 7 よりも大きい厚さを有し、セラミックス基板 7 7 の一方面および他方面それぞれから張り出している。配線ユニット 7 8 の略中央部には、配線ユニット 7 8 の一方側から他方側を貫通する平面視長方

形状の貫通孔 80 が形成されている。

[0071] 配線ユニット 78 の一方側（プローブ装置への取付側）には、後述する配線 84 が接続される多数の配線受け 81 が形成されている。多数の配線受け 81 は、たとえば、検査対象である半導体チップの外部端子と同数設けられ、貫通孔 80 の外周に沿うように長方形環状に並べて配置されている。

また、配線ユニット 78 の他方側（半導体チップの検査側）には、プローブ 61 を接続するためのプラグ受け 82 が設けられている。プラグ受け 82 は、プローブ 61 のプラグ 69 と嵌合可能な形状に形成され、各配線受け 81 に対向する位置に 1 つずつ設けられている。つまり、配線ユニット 78 の他方側には、配線受け 81 と同数のプラグ受け 82 が、貫通孔 80 の外周に沿うように、長方形環状に並べて配置されている。プラグ受け 82 は、配線ユニット 78 内で配線受け 81 に電氣的に接続されている。

[0072] そして、プローブ 61 の針部 67 が配線ユニット 78 の内側へ向くように各プラグ受け 82 にプラグ 69 を挿着することにより、プローブ 61 は、本体部 68 におけるプラグ 69 側の長辺が配線ユニット 78 の他方面に対して垂直に当接された姿勢で、配線ユニット 78 に取り付けられる。これにより、全プラグ受け 82 に取り付けられた多数のプローブ 61 は、互いに隣接するプローブ 61 の先端部 70 同士が厚さ方向に対向し、全体として貫通孔 80 の周方向に沿って並べて配置される。すなわち、プローブカード 76 において、互いに隣接する先端部 70 の対向方向における間隔がプローブ 61 のピッチとなる。そして、プラグ受け 82 に取り付けられたプローブ 61 は、配線 84 を介して、接続ユニット 79 に電氣的に接続される。

[0073] 接続ユニット 79 は、プローバ装置（図示せず）との接続のための接続端子 83 と、配線受け 81 に接続される配線 84 と、接続端子 83 と配線 84 との接続を中継する中継配線 85 とを有している。

接続端子 83 は、セラミックス基板 77 の厚さ方向外側に尖る針状をなし、セラミックス基板 77 の外周縁部において、セラミックス基板 77 の全周にわたって多数（プラグ受け 82 と同数）設けられている。なお、図 9 A、

Bでは、多数の接続端子83のうち、一部のみを表している（配線84および中継配線85についても同様）。

[0074] 中継配線85は、セラミックス基板77上において、接続端子83からセラミックス基板77の中心方向に延び、その先端部に配線84が接続されている。

そして、プローブカード76を用いて半導体チップの電気特性を検査するには、たとえば、まず、半導体ウエハ上の1つの半導体チップ上にプローブカード76が位置合わせされ、半導体チップにおける1つの外部端子に1つのプローブ61が対応するように、全外部端子にプローブ61が接触させられる。次いで、半導体チップの入力端子にプローブ装置から電気信号が入力される。そして、その入力信号に応じて半導体チップの出力端子から出力される電気信号がプローブ装置で読み取られ、その信号波形と予めプローブ装置に記憶されている期待値とが比較される。この比較により、検査されたチップの電気特性についての良否が判別される。

[0075] 以上のように、プローブ61では、半導体チップを検査するための針部67において、半導体チップの外部端子に接触する先端部70が、相対的に厚さの小さい（たとえば、 $3 \sim 15 \mu\text{m}$ ）下層64からなる。また、先端部70を支持するための支持部が、下層64および相対的に厚さの大きい（たとえば、 $30 \sim 140 \mu\text{m}$ ）上層65からなる。そのため、半導体チップの外部端子のピッチに合わせてプローブ61のピッチ（互いに隣接する先端部70の間隔）を狭くしても、下層64の厚さを適当な厚さに設計しておけば、隣接するプローブ61同士の接触を防止することができる。よって、上記の方法により、半導体チップの外部端子の狭ピッチ化に対応可能なプローブ61を形成することができる。その結果、上記の方法により形成されたプローブ61を用いて、半導体チップの電気特性を、精度よく検査することができる。

[0076] さらに、相対的に厚さの小さい先端部70が、プローブ61の形成過程において、めっき法により形成される。そのため、プローブ61作製後に先端

部 70 を研磨するなどして加工する必要がない。したがって、相対的に厚さの小さい先端部 70 を有するプローブ 61 を、手間なく容易に形成することができる。

また、上記の方法では、プローブ 61 を取り囲む外枠 62、および外枠 62 とプローブ 61 とを連結する連結部 63 が形成される。プローブ 61 が連結部 63 を介して外枠 62 に支持されるので、リフトオフ工程において外枠 62 をシリコン基板 72 から分離することにより、それとともにプローブ 61 をシリコン基板 72 から容易に分離することができる。

[0077] さらに、外枠 62 が下層 64 および上層 65 からなり、連結部 63 が下層 64 からなる。したがって、外枠 62 および連結部 63 を、下層 64 および上層 65 からなるプローブ 61 と同じ工程により形成することができる。また、連結部 63 が相対的に厚さの小さい下層 64 からなることから、外枠 62（プローブ 61）とシリコン基板 72 との分離後、連結部 63 におけるプローブ 61 との接続部分を容易に切断することができる。

[0078] また、下層 64 がめっき下地層 73 と異なる金属材料を用いて形成されるため、下層 64 とめっき下地層 73 とのエッチングレートの差を利用したリフトオフ法により、下層 64 および上層 65 からなる構造物をシリコン基板 72 から容易に分離することができる。

以上、本発明の実施形態について説明したが、本発明はさらに他の形態で実施することもできる。

[0079] たとえば、検査部 4 の区画数は、適宜変更することが可能である。区画数を増加させることにより、たとえば、1 ウエハ上の半導体チップ全部（たとえば、100000 チップ程度）や、1 枚のレチクルによるパターンング 1 ショット単位分（たとえば、1000 チップ程度）のチップを一括して検査することもできる。

また、単位セル 5 の配置形態は、格子窓状に限定されない。たとえば、複数の単位セル 5 は、各列における各単位セル 5 と、当該列に隣接する列の各単位セル 5 とが交互に配置される千鳥状に配置されていてもよい。

[0080] また、たとえば、前述の実施形態では、プローブカード 1 を用いて製造される半導体装置 5 1 のパッケージタイプとして、QFN タイプの半導体装置を取り上げたが、本発明の半導体装置の製造方法は、SON (Small Outline Non-leaded Package)、QFP (Quad Flat Package)、SOP (Small Outline Package) などといった他の種類のパッケージタイプの半導体装置の製法に適用することもできる。

[0081] また、たとえば、上記プローブの形成方法の実施形態では、本発明のプローブの一例としてカンチレバー型プローブを取り上げたが、本発明のプローブの形成方法は、垂直型プローブに適用することもできる。

また、外枠 6 2 および連結部 6 3 は、形成されなくてもよい。また、上記実施形態のように外枠 6 2 および連結部 6 3 が形成される場合、外枠 6 2 は、下層 6 4 のみからなってもよい。

[0082] また、下層 6 4 および上層 6 5、ならびにめっき下地層 7 3 の材料については、上記例示した金属以外に、適当な金属を用いることができる。

本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

[0083] 本出願は、2008 年 9 月 30 日に日本国特許庁に提出された特願 2008-253083 号および 2008 年 9 月 30 日に日本国特許庁に提出された特願 2008-253700 号に対応しており、これらの出願の全開示はここに引用により組み込まれるものとする。

## 符号の説明

[0084] 1・・・プローブカード、2・・・シリコン基板、6・・・プローブ、15・・・貫通孔、16・・・貫通電極、18・・・引き回し配線、2A・・・(シリコン基板の) 一方面、2B・・・(シリコン基板の) 他方面、51・・・半導体装置、52・・・半導体ウエハ、53・・・半導体チップ、54・・・電極パッド、61・・・プローブ、62・・・外枠、63・・・連

結部、64・・・下層、65・・・上層、70・・・先端部、71・・・支持部、72・・・シリコン基板、73・・・めっき下地層、75・・・レジストマスク

## 請求の範囲

- [請求項1] 複数の半導体装置の電気特性を一括して検査するためのプローブカードの製造方法であって、
- 前記プローブカードの基体をなすボードの一方面側に、半導体装置の外部端子に接触される複数のプローブを形成する工程と、
- フォトリソグラフィおよびエッチングにより、前記ボードに、前記ボードの他方面から各前記プローブに達する複数の貫通孔を形成する工程と、
- 各前記貫通孔に、前記プローブと導通可能に接続される貫通電極を形成する工程と、
- 前記ボードの前記他方面側に、前記貫通電極と導通可能に接続される配線を形成する工程とを含む、プローブカードの製造方法。
- [請求項2] 前記プローブ、前記貫通電極および前記配線が、めっき法により形成される、請求項1に記載のプローブカードの製造方法。
- [請求項3] シリコン系ボードと、
- 前記シリコン系ボードの一方面側に形成され、半導体装置の外部端子に接触される複数のプローブと、
- 各前記プローブに対応して形成され、前記シリコン系ボードの前記一方面とその反対側の他方面との間を貫通する複数の貫通孔と、
- 前記貫通孔に埋設され、前記プローブと導通可能に接続される貫通電極と、
- 前記シリコン系ボードの前記他方面側に形成され、前記貫通電極と導通可能に接続される配線とを含み、
- 前記プローブが、所定のパターンで配置された複数の1組として、複数組設けられている、プローブカード。
- [請求項4] 半導体ウエハに、電気接続のための外部端子を複数有する半導体チップを複数形成する工程と、
- プローブカードを用いて、前記半導体チップの電気特性を検査する

工程と、

検査後、前記半導体ウエハを、各前記半導体チップに分割する工程とを含み、

前記プローブカードは、

シリコン系ボードと、

前記シリコン系ボードの一方面側に形成され、半導体チップの外部端子に接触される複数のプローブと、

各前記プローブに対応して形成され、前記シリコン系ボードの前記一方面とその反対側の他方面との間を貫通する複数の貫通孔と、

前記貫通孔に埋設され、前記プローブと導通可能に接続される貫通電極と、

前記シリコン系ボードの前記他方面側に形成され、前記貫通電極と導通可能に接続される配線とを含み、

前記プローブが、所定のパターンで配置された複数の1組として、複数組設けられており、

前記検査では、1組の前記プローブと1つの前記半導体チップの前記外部端子とを接触させ、各前記外部端子に電気信号を入力することにより、複数の前記半導体チップの電気特性を一括して検査する、半導体装置の製造方法。

[請求項5]

半導体装置の外部端子に接触する相対的に厚さの小さい先端部およびこの先端部を支持する相対的に厚さの大きい支持部を有し、半導体装置の電気特性を検査するために用いられるプローブの形成方法であって、

半導体基板の表面に、金属材料からなるめっき下地層を形成する工程と、

めっき法により、前記めっき下地層上に、前記先端部と同じ厚さの第1めっき層を選択的に形成する工程と、

前記第1めっき層における所定部分を被覆するマスクを形成する工

程と、

めっき法により、前記第1めっき層における前記マスクから露出する部分上に、前記支持部の厚さから前記先端部の厚さを差し引いた厚さの第2めっき層を形成する工程とを含む、プローブの形成方法。

[請求項6]

前記プローブとともに、前記プローブを取り囲む外枠、およびこの外枠と前記プローブとを連結する連結部が形成され、

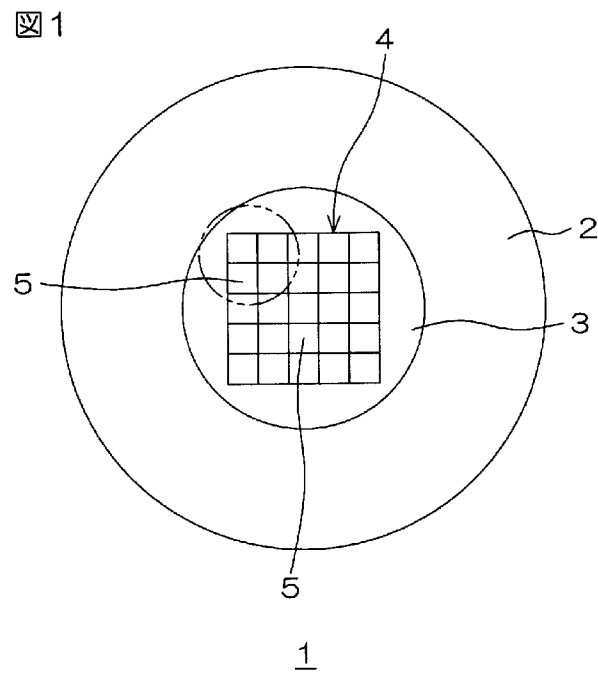
前記外枠は、前記第1めっき層および前記第2めっき層からなり、

前記連結部は、前記第1めっき層からなる、請求項5に記載のプローブの形成方法。

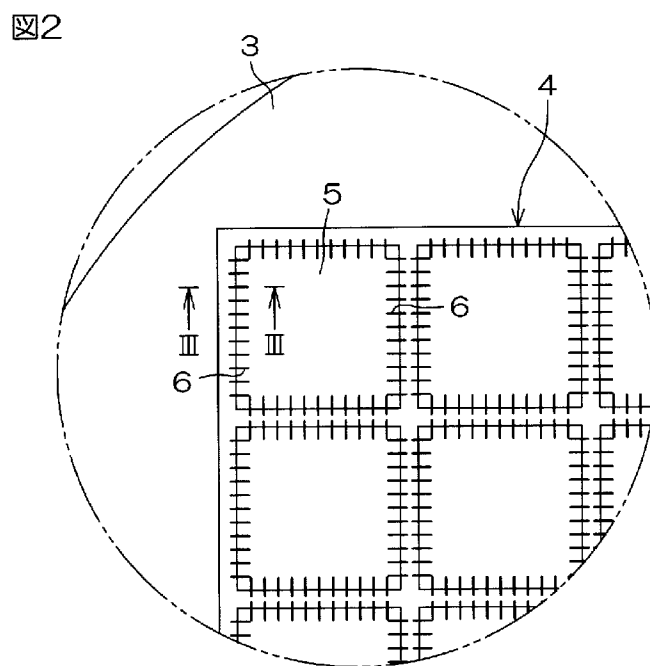
[請求項7]

前記第1めっき層を形成する工程が、前記めっき下地層と異なる金属材料を用いて前記第1めっき層を形成する工程である、請求項5または6に記載のプローブの形成方法。

[図1]

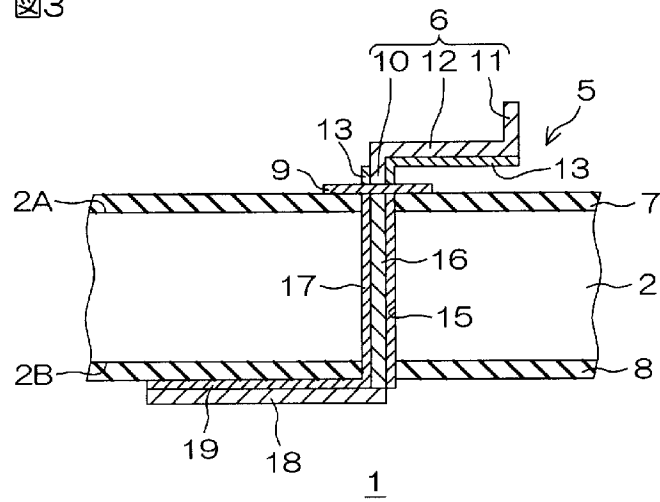


[図2]



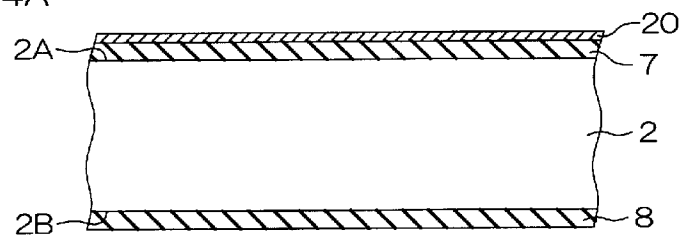
[図3]

図3



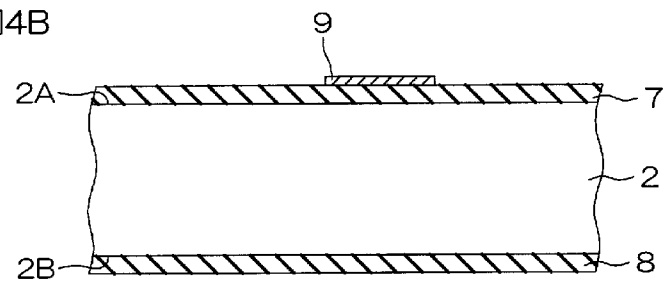
[図4A]

図4A

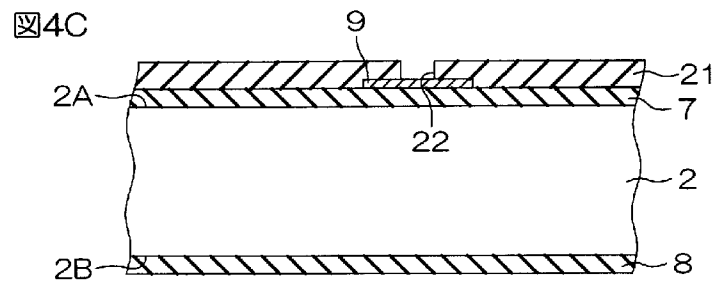


[図4B]

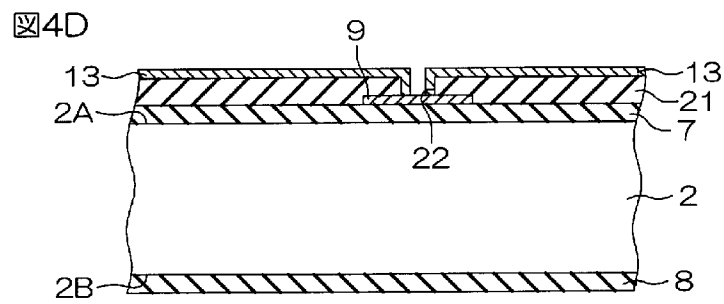
図4B



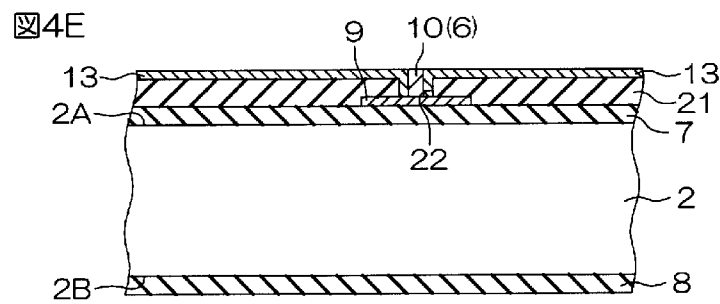
[図4C]



[図4D]

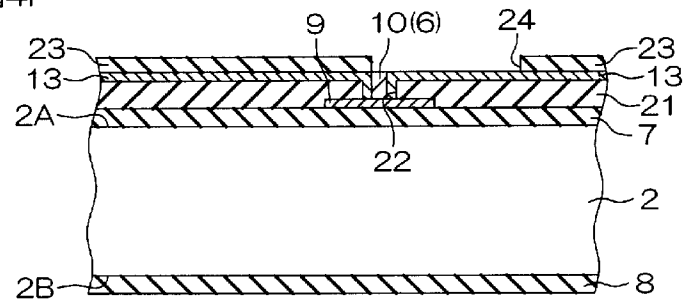


[図4E]



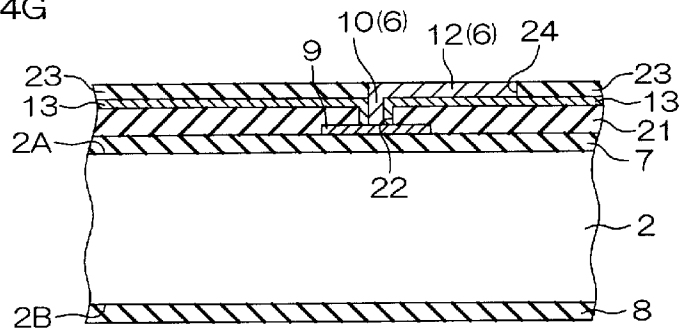
[図4F]

図4F



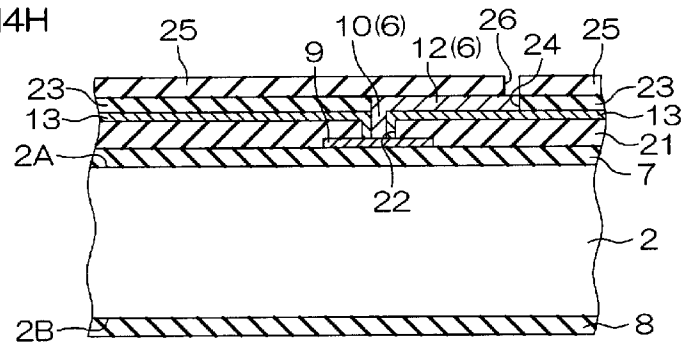
[図4G]

図4G



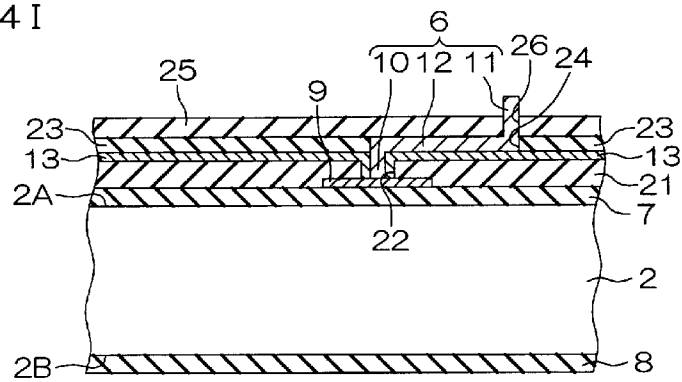
[図4H]

図4H



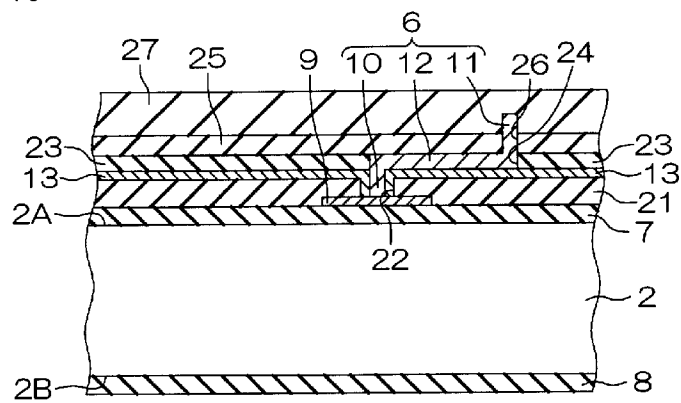
[図4I]

図4I



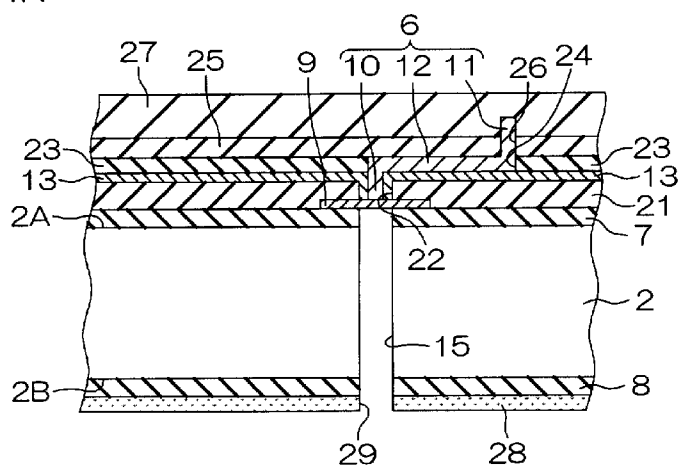
[図4J]

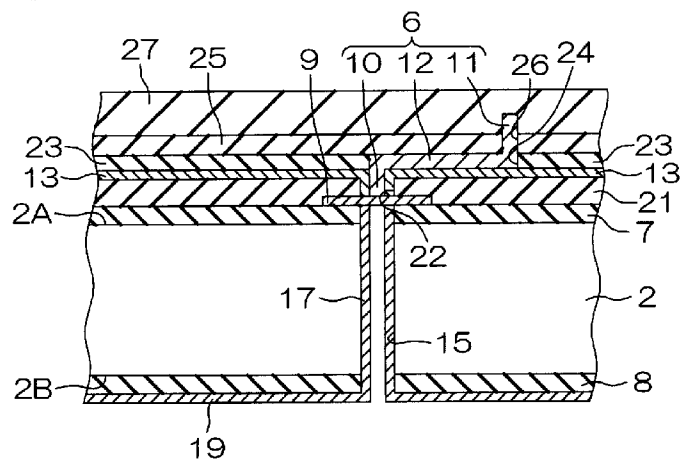
図4J



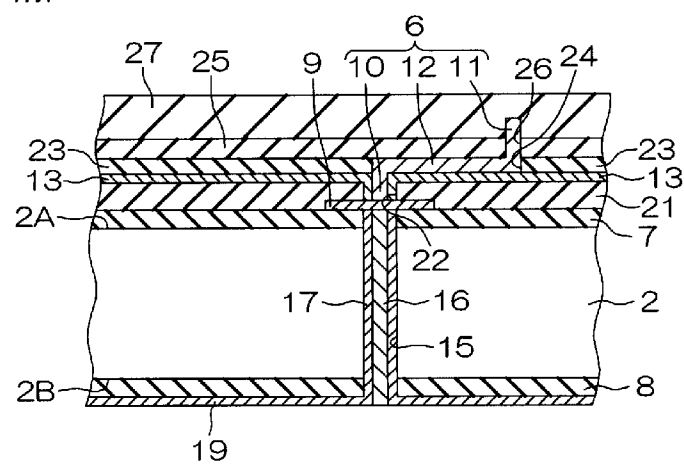
[図4K]

図4K



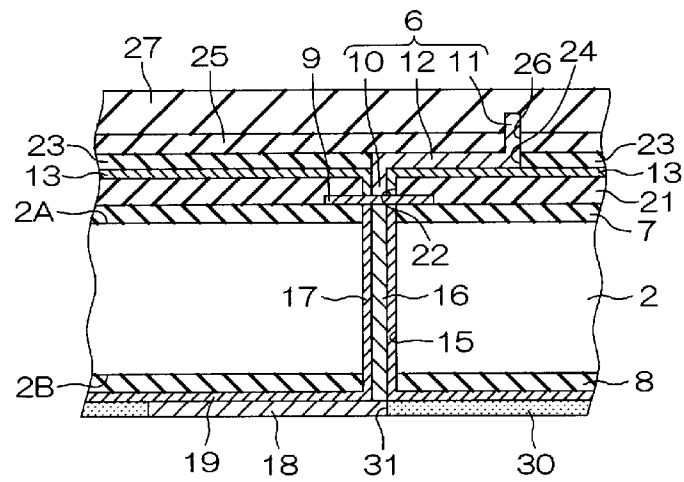


| Age Group | Percentage of Respondents |
|-----------|---------------------------|
| 18-24     | 65                        |
| 25-34     | 75                        |
| 35-44     | 85                        |
| 45-54     | 90                        |
| 55-64     | 95                        |
| 65+       | 95                        |



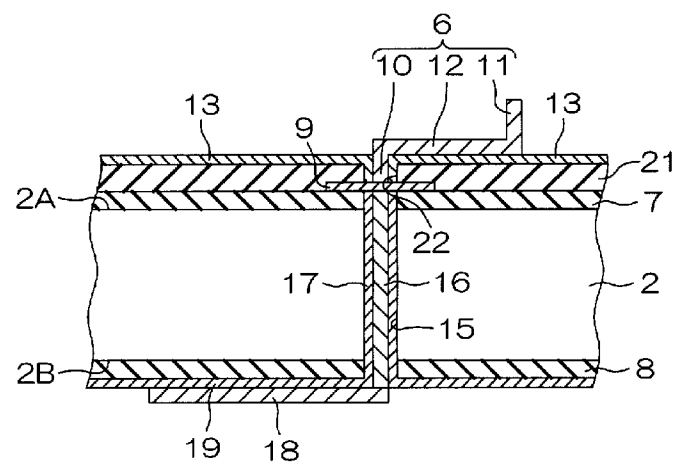
[図4N]

図4N



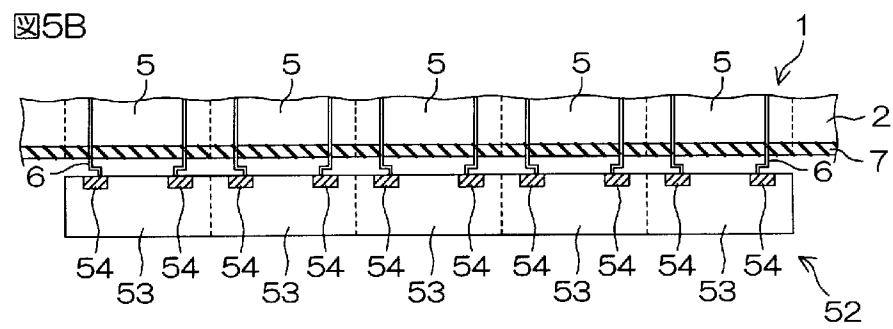
[図40]

図4O

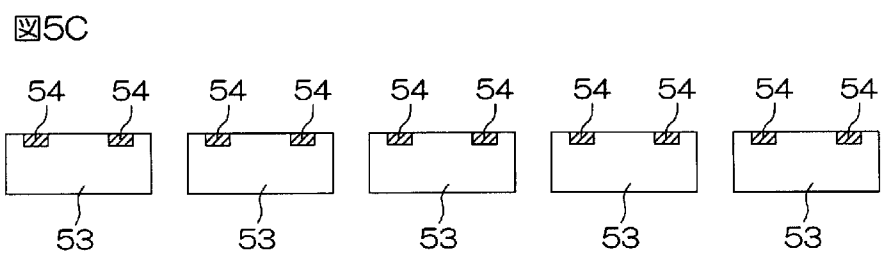




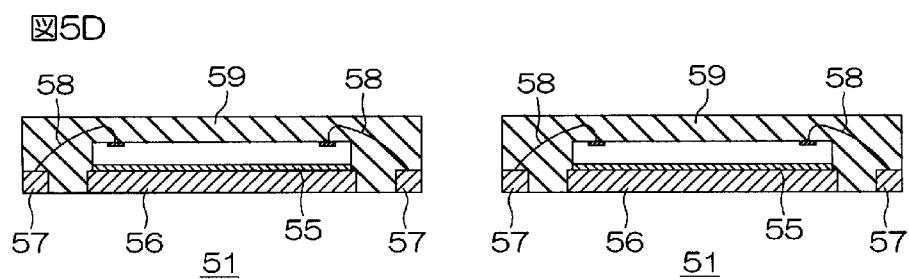
[図5B]



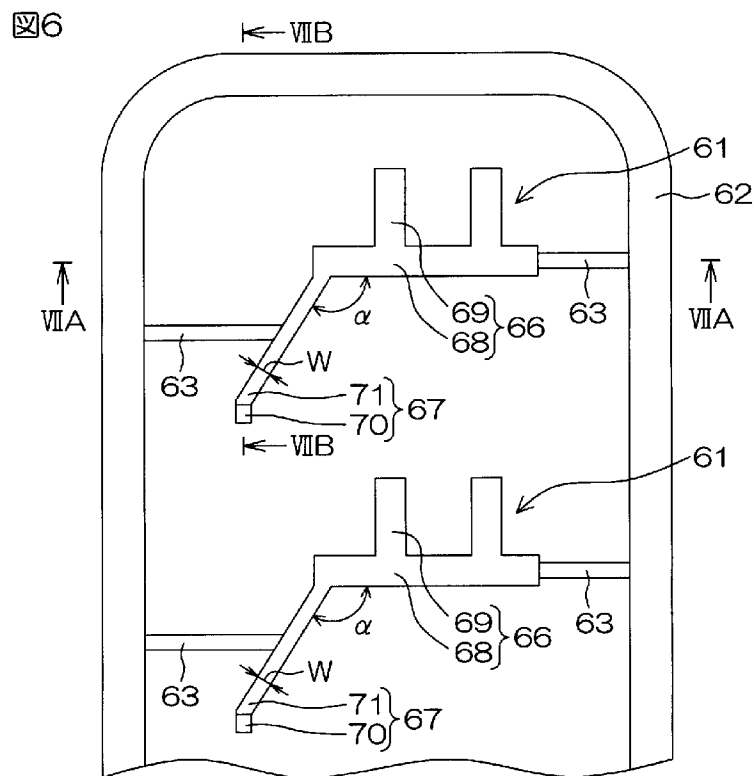
[図5C]



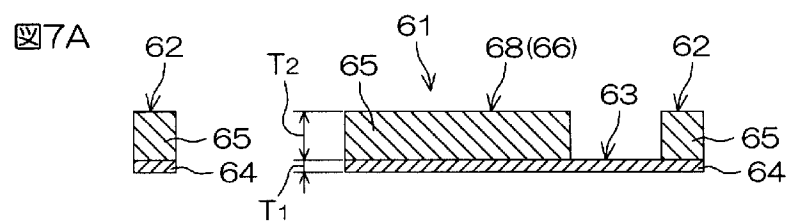
[図5D]



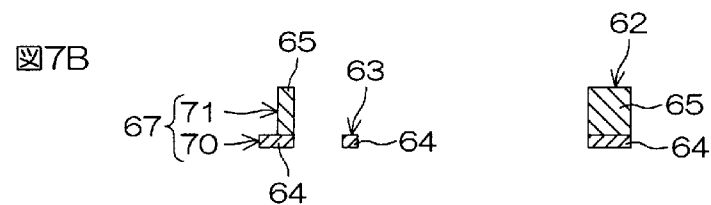
[図6]



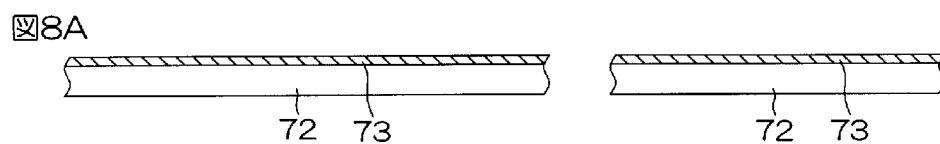
[図7A]



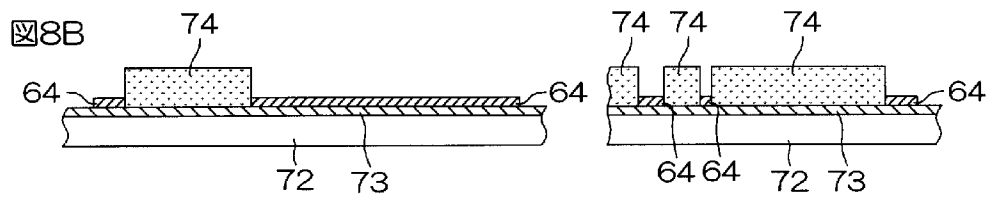
[図7B]



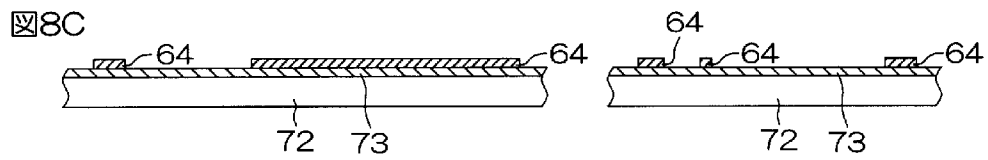
[図8A]



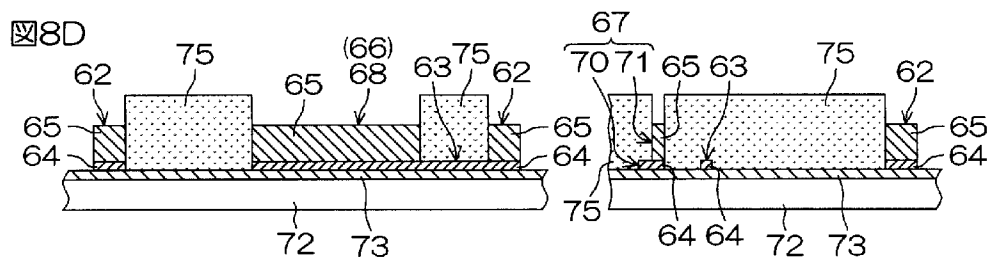
[図8B]



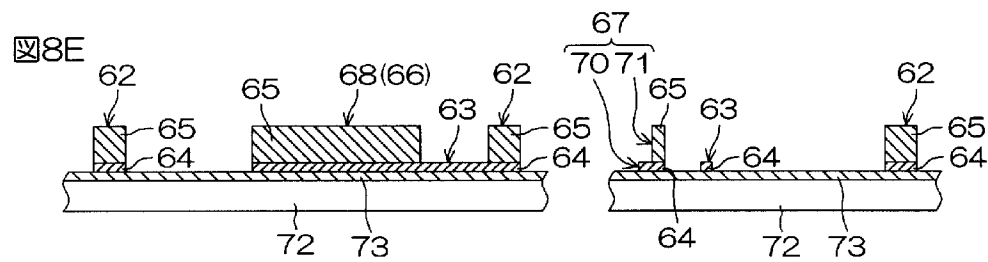
[図8C]



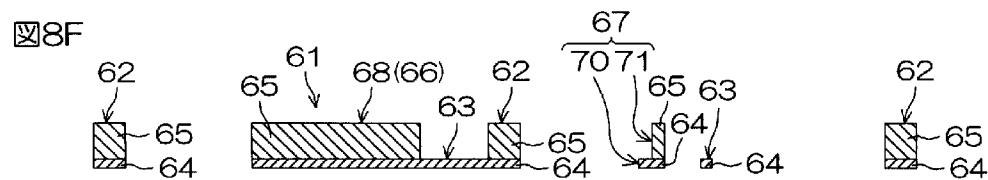
[図8D]



[図8E]

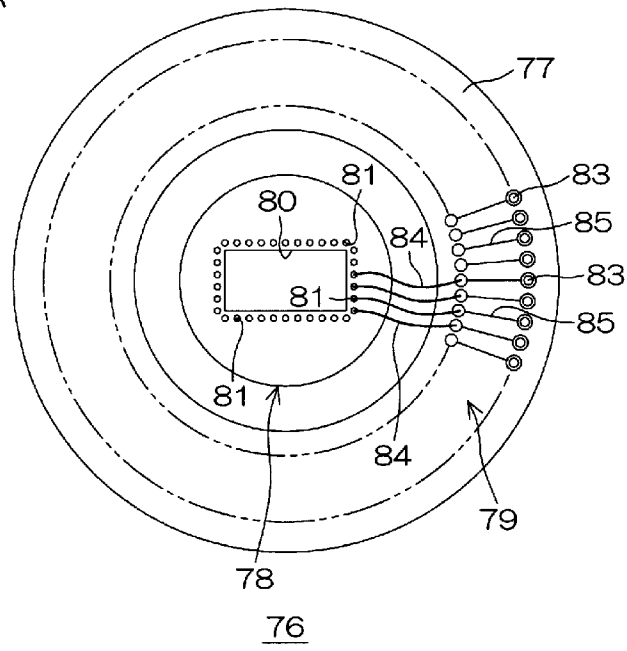


[図8F]



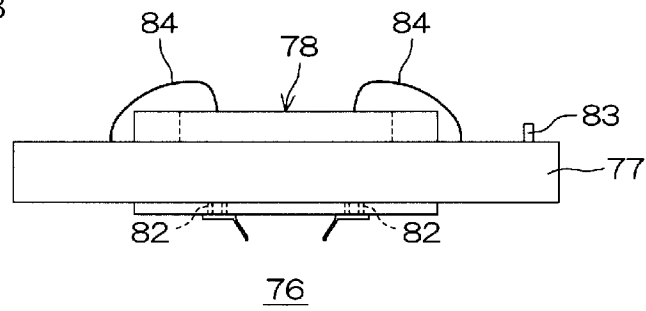
[図9A]

図9A



[図9B]

図9B



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005002

## A. CLASSIFICATION OF SUBJECT MATTER

G01R1/073(2006.01)i, H01L21/66(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R1/073, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2009 |
| Kokai Jitsuyo Shinan Koho | 1971-2009 | Toroku Jitsuyo Shinan Koho | 1994-2009 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                              | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2004-245669 A (Seiko Epson Corp.),<br>02 September 2004 (02.09.2004),<br>paragraphs [0028], [0069] to [0075]; fig. 10<br>(Family: none)      | 1-4                   |
| Y         | JP 2000-171483 A (Hitachi, Ltd.),<br>23 June 2000 (23.06.2000),<br>paragraphs [0022], [0032] to [0040], [0063];<br>fig. 4, 10<br>(Family: none) | 1-4                   |
| X<br>Y    | JP 2006-300617 A (Tokyo Electron Ltd.),<br>02 November 2006 (02.11.2006),<br>paragraphs [0032] to [0035]; fig. 3 to 5<br>& WO 2006/112354 A1    | 5, 7<br>6             |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
10 December, 2009 (10.12.09)Date of mailing of the international search report  
22 December, 2009 (22.12.09)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/005002

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                   | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2008-191027 A (Nihon Micronics Inc.),<br>21 August 2008 (21.08.2008),<br>paragraph [0050]; fig. 10<br>& US 2008/0184559 A1        | 6                     |
| Y         | JP 09-126833 A (Olympus Optical Co., Ltd.),<br>16 May 1997 (16.05.1997),<br>fig. 1, 2<br>(Family: none)                              | 6                     |
| A         | JP 2000-193682 A (Nihon Micronics Inc.),<br>14 July 2000 (14.07.2000),<br>paragraphs [0035] to [0039]; fig. 5 to 9<br>(Family: none) | 1-4                   |

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005002

## Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claims 1-4 relates to "a method for manufacturing a probe card which inspects electrical characteristics of a plurality of semiconductor devices in batch, and the method includes a step of forming a plurality of probes to be brought into contact with external terminals of the semiconductor devices, on one side of a board which forms the base body of the probe card, a step of forming on the board, by photolithography and etching, a plurality of through holes which reach the probes from the other side of the board, a step of forming, in the through holes, through electrodes to be conductively connected with the probes, respectively, (continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

### Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/005002

Continuation of Box No.III of continuation of first sheet (2)

and a step of forming wiring, which is conductively connected with the through electrodes, on the other side of the board". The invention in claims 5-7 relates to "a method for forming a probe, which has a leading end section which is brought into contact with external terminals of a semiconductor device and has a relatively small thickness and a supporting section which supports the leading end section and has a relatively large thickness, and is to be used for inspecting electrical characteristics of the semiconductor device".

A. 発明の属する分野の分類（国際特許分類（I P C））  
Int.Cl. G01R1/073(2006.01)i, H01L21/66(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G01R1/073, H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 0 9 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 0 9 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 0 9 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                    | 関連する<br>請求項の番号 |
|-----------------|--------------------------------------------------------------------------------------|----------------|
| Y               | JP 2004-245669 A（セイコーエプソン株式会社）2004.09.02,<br>段落 0028, 0069-0075, 図 10（ファミリーなし）       | 1-4            |
| Y               | JP 2000-171483 A（株式会社日立製作所）2000.06.23,<br>段落 0022, 0032-0040, 0063, 図 4, 10（ファミリーなし） | 1-4            |
| X<br>Y          | JP 2006-300617 A（東京エレクトロン株式会社）2006.11.02,<br>段落 0032-0035, 図 3-5 & WO 2006/112354 A1 | 5, 7<br>6      |

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 1 2 . 2 0 0 9

国際調査報告の発送日

2 2 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

荒井 誠

2 S

3 2 0 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8

| C (続き) . 関連すると認められる文献 |                                                                                      |                |
|-----------------------|--------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                    | 関連する<br>請求項の番号 |
| Y                     | JP 2008-191027 A (株式会社日本マイクロニクス) 2008. 08. 21,<br>段落 0050, 図 10 & US 2008/0184559 A1 | 6              |
| Y                     | JP 09-126833 A (オリンパス光学工業株式会社) 1997. 05. 16,<br>図 1, 2 (ファミリーなし)                     | 6              |
| A                     | JP 2000-193682 A (株式会社日本マイクロニクス) 2000. 07. 14,<br>段落 0035-0039, 図 5-9 (ファミリーなし)      | 1-4            |

## 第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1－4に係る発明は、「複数の半導体装置の電気特性を一括して検査するためのプローブカードの製造方法であって、前記プローブカードの基体をなすボードの一方面側に、半導体装置の外部端子に接触される複数のプローブを形成する工程と、フォトリソグラフィおよびエッチングにより、前記ボードに、前記ボードの他方面から各前記プローブに達する複数の貫通孔を形成する工程と、各前記貫通孔に、前記プローブと導通可能に接続される貫通電極を形成する工程と、前記ボードの前記他方面側に、前記貫通電極と導通可能に接続される配線を形成する工程とを含む、プローブカードの製造方法」に関するものである。請求項5－7に係る発明は、「半導体装置の外部端子に接触する相対的に厚さの小さい先端部およびこの先端部を支持する相対的に厚さの大きい支持部を有し、半導体装置の電気特性を検査するために用いられるプローブの形成方法」に関するものである。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付はあったが、異議申立てはなかった。