(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0106095
(43) 공개일자 2019년09월18일

(51) 국제특허분류(Int. Cl.)
*C23C 14/58* (2006.01) *C23C 14/00* (2018.01)
*C23C 14/18* (2006.01)
(52) CPC특허분류
*C23C 14/5846* (2013.01)
*C23C 14/0036* (2013.01)
(21) 출원번호 10-2018-0027076
(22) 출원일자 2018년03월07일
심사청구일자 2018년03월07일

(71) 출원인
**인하대학교 산학협력단**
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
**최리노**
서울특별시 마포구 월드컵북로 502-37, 1102동 305호
**지형민**
인천광역시 남구 한나루로463번길 78, 101동
(74) 대리인
**김남식, 김한, 이인행**

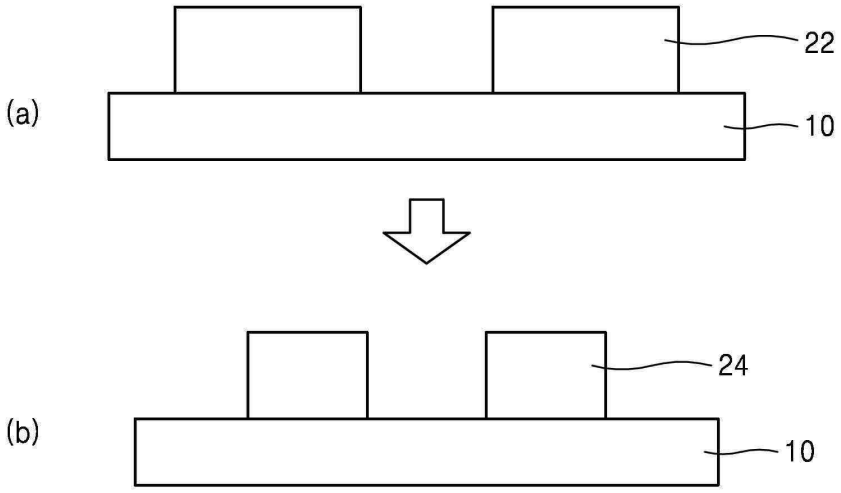
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 **질소를 함유하는 니켈 실리사이드 형성방법**

## (57) 요 약

본 발명은 질소(nitrogen) 가스 분위기에서 반응성 스퍼터링을 수행함으로써, 실리콘 기판 상에 니켈 박막을 형성하는 단계; 및 상기 니켈 박막이 형성된 상기 실리콘 기판을 열처리하여 상기 니켈 박막을 질소를 함유하는 니켈 실리사이드층으로 형성하는 단계;를 포함하고, 상기 니켈 실리사이드층 내의 상기 질소의 함량은 3.7 % 내지 4.1 % 인 질소를 함유하는 니켈 실리사이드 형성방법을 제공한다.

*대 표 도* - 도1



(52) CPC특허분류
*C23C 14/18* (2013.01)
*C23C 14/5806* (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711057659
부처명 과학기술정보통신부
연구관리전문기관 한국연구재단
연구사업명 나노·소재기술개발
연구과제명 초절전 IoT 소자 결합 3차원 플랫폼 집적 공정과 최적 아키텍처 개발, 검증
기 여 율 1/2
주관기관 인하대학교
연구기간 2017.07.01 ~ 2018.04.30
이 발명을 지원한 국가연구개발사업
과제고유번호 1711058680
부처명 과학기술정보통신부
연구관리전문기관 한국산업기술평가관리원
연구사업명 전자정보디바이스산업원천기술개발
연구과제명 시퀀셜 소자 적층을 위한 초저온 전공정 집적 기술 개발
기 여 율 1/2
주관기관 인하대학교산학협력단
연구기간 2017.06.01 ~ 2018.03.31

# 명 세 서

## 청구범위

### 청구항 1

질소(nitrogen) 가스 분위기에서 반응성 스퍼터링을 수행함으로써, 실리콘 기판 상에 니켈 박막을 형성하는 단계; 및

상기 니켈 박막이 형성된 상기 실리콘 기판을 열처리하여 상기 니켈 박막을 질소를 함유하는 니켈 실리사이드층으로 형성하는 단계;

를 포함하고,

상기 니켈 실리사이드층 내의 상기 질소의 함량은 3.7 % 내지 4.1 % 인,

질소를 함유하는 니켈 실리사이드 형성방법.

### 청구항 2

제 1 항에 있어서,

상기 열처리는 RTA(Rapid Thermal Annealing)법을 이용하는,

질소를 함유하는 니켈 실리사이드 형성방법.

### 청구항 3

제 1 항에 있어서,

상기 열처리는 450℃ 내지 550℃의 온도범위에서 50초 내지 70초 동안 수행하는,

질소를 함유하는 니켈 실리사이드 형성방법.

### 청구항 4

제 1 항에 있어서,

상기 니켈 박막은 NiNx 형태의 화합물 박막인,

질소를 함유하는 니켈 실리사이드 형성방법.

### 청구항 5

제 1 항에 있어서,

상기 반응성 스퍼터링시 챔버 내 질소 가스에 대한 전체 가스의 유량비는 4% 내지 6% 인,

질소를 함유하는 니켈 실리사이드 형성방법.

## 발명의 설명

### 기 술 분 야

[0001] 본 발명은 니켈 실리사이드 형성방법에 관한 것으로서, 더 상세하게는 질소를 함유하는 니켈 실리사이드 형성방법에 관한 것이다.

### 배 경 기 술

[0002] 실리사이드는 소자의 낮은 컨택(contact) 저항을 위해 메탈 정션(metal junction)부분에 컨택 재료(contact material)로 사용되고 있다. 60㎚ 급 컨택 재료로 쓰이는 니켈 실리사이드(nickel silicide)는 다른 실리사이드에 비해 낮은 컨택 저항, 적은 실리콘 소비(silicon consumption), 쉘로우 정션(shallow junction)등의 장점들

을 가지고 있다. 그러나, 600℃ 이상의 온도에서 응집(agglomeration) 및 $NiSi_2$ 등의 형성으로 인해 전기적 특성이 열화되는 현상이 발생한다.

[0003] 이를 해결하기 위해서, 현재 니켈에 텅스텐, 몰리브덴, 백금, 에르븀, 루테늄, 이트륨 등을 첨가하여 니켈의 열화현상을 방지하고 있다. 일반적으로 열 안정성이 가장 우수한 상용 백금이 많이 이용된다. 하지만, 상용되는 백금은 단가가 높으며, 다른 재료들을 이용한 공정 진행 후 적합한 에칭 솔루션(etching solution)을 찾기 힘들다는 문제점이 있다.

## 선행기술문헌

### 특허문헌

[0004] (특허문헌 0001) 특허공개번호 제10-2005-0032665호(2005.04.08)

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 니켈의 열화현상을 방지하고, 간단하고 효과적으로 실리사이드의 열 안정성을 증진시킬 수 있는 질소를 함유하는 니켈 실리사이드 형성방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로서, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

### 과제의 해결 수단

[0006] 본 발명의 일 관점에 따르면, 질소를 함유하는 니켈 실리사이드 형성방법을 제공한다. 상기 질소를 함유하는 니켈 실리사이드 형성방법은 질소(nitrogen) 가스 분위기에서 반응성 스퍼터링을 수행함으로써, 실리콘 기판 상에 니켈 박막을 형성하는 단계; 및 상기 니켈 박막이 형성된 상기 실리콘 기판을 열처리하여 상기 니켈 박막을 질소를 함유하는 니켈 실리사이드층으로 형성하는 단계;를 포함하고, 상기 니켈 실리사이드층 내의 상기 질소의 함량은 3.7 % 내지 4.1 % 일 수 있다.

[0007] 상기 질소를 함유하는 니켈 실리사이드 형성방법에 있어서, 상기 열처리는 RTA(Rapid Thermal Annealing)법을 이용할 수 있다.

[0008] 상기 질소를 함유하는 니켈 실리사이드 형성방법에 있어서, 상기 열처리는 $1.0 \times 10^{-3}$ torr 이하의 진공상태에서 수행하되, 2.5℃/s 내지 3.5℃/s의 승온 속도로 450℃ 내지 550℃의 온도범위에서 50초 내지 70초 동안 수행할 수 있다.

[0009] 상기 질소를 함유하는 니켈 실리사이드 형성방법에 있어서, 상기 니켈 박막은 NiNx 형태의 화합물 박막일 수 있다.

[0010] 상기 질소를 함유하는 니켈 실리사이드 형성방법에 있어서, 상기 반응성 스퍼터링시 챔버 내 질소 가스에 대한 전체 가스의 유량비는 4% 내지 6%이며, 상기 챔버 내 공정압력은 4mtorr 이하이고, 타겟에 인가되는 파워(power)는 90W 내지 110W일 수 있다.

### 발명의 효과

[0011] 상기한 바와 같이 이루어진 본 발명의 실시예에 따르면, 간단하고 효과적으로 실리사이드의 열 안정성을 증진시킬 수 있는 질소를 함유하는 니켈 실리사이드 형성방법을 구현하고, 모놀리식 3차원 집적(monolithic 3-dimensional integration)과 같이 열 안정성이 필요한 반도체 소자 구조에 새로운 공정으로 활용될 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

### 도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 질소를 함유하는 니켈 실리사이드 형성방법을 설명하기 위한 개념도이다.

도 2는 본 발명의 실험예에 따른 니켈 실리사이드 샘플들의 질소 함량에 의한 열 안정성 평가 결과를 도시한 그

래프이다.

도 3은 본 발명의 실험예에 따른 니켈 실리사이드 샘플들의 질소 함량에 의한 GIXRD(grazing-incidence X-ray diffraction) 분석 결과를 도시한 그래프이다.

도 4는 본 발명의 실험예에 따른 니켈 실리사이드 샘플들의 질소 함량에 의한 XPS(x-ray photoelectron spectroscopy) 분석 결과를 도시한 그래프이다.

도 5는 본 발명의 실험예에 따른 니켈 실리사이드 샘플들의 질소 함량에 의한 SEM(scanning electron microscope) 분석 결과를 도시한 그래프이다.

도 6은 본 발명의 실험예에 따른 니켈 실리사이드 샘플들의 질소 함량에 의한 TEM(transmission electron microscope) 분석 결과를 도시한 그래프이다.

## *발명을 실시하기 위한 구체적인 내용*

[0013] 이하, 첨부된 도면을 참조하여 본 발명의 여러 실시예들을 상세히 설명하기로 한다. 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려 이들 실시예들은 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이다.

[0014] 일반적으로 니켈 실리사이드를 형성하는 경우, 고 저항성의 디실리사이드(disilicide) 상태가 도핑된 실리콘 상에 형성되고, 그 사이에 원치 않는 거친 인터페이스가 발생하는 것으로 알려져 있다. 상기 인터페이스는 200Å 내지 1000Å 범위의 두께일 수 있고, 1㎛ 정도와 같은 짧은 간격 만큼 확장될 수 있다. 상기 인터페이스의 거칠기는 저항성 및 전기 용량에 불리하게 영향을 미치고, 소스/드레인 영역 안으로 또는 게이트 유전체층을 통하여 기판안으로의 스파이킹(spiking)을 유도할 수 있다. 이러한 문제점은 실리콘-온-절연체(SOI: silicon-on-insulator) 구조들에서 특히 심해지는 바, 상기 스파이킹은 접촉부의 저항성을 매우 높게 상승시킨다.

[0015] 이를 해결하기 위해서, 본 발명에서는 질소의 함량을 일정 수준 이하로 제어함으로써 간단하고 효과적으로 실리사이드의 열 안정성을 증진시킬 수 있으며, 낮은 저항성을 갖는 니켈 실리사이드를 구현한다.

[0016] 이하, 본 발명의 일 실시예들에 따른 질소를 함유하는 니켈 실리사이드 형성방법을 도면을 참조하여 상세히 설명한다.

[0017] 도 1은 본 발명의 일 실시예에 따른 질소를 함유하는 니켈 실리사이드 형성방법을 설명하기 위한 개념도이다.

[0018] 도 1을 참조하면, 본 발명의 일 실시예에 따른 질소를 함유하는 니켈 실리사이드 형성방법은 먼저, 도 1의 (a)에 도시된 바와 같이, 질소(nitrogen) 가스 분위기에서 반응성 스퍼터링을 수행함으로써 실리콘 기판(10) 상에 니켈 박막(22)을 형성할 수 있다. 여기서, 니켈 박막(22)은 NiNx 형태의 화합물 박막일 수 있다.

[0019] 예컨대, 상기 열안정성을 보이는 니켈 실리사이드를 제조하는 반응성 스퍼터링에서, 챔버 내 질소 가스의 유량비가 상대적으로 중요하다. 상기 질소 가스의 유량비는 챔버 내에 공급되는 전체 가스 유량 대비 질소 가스의 유량으로서, 질소 가스에 대한 전체 가스의 유량비는 4% 내지 6% 일 수 있다. 예를 들면, 불활성 가스인 아르곤(Ar) 가스 19sccm 및 질소(N) 가스 1sccm을 혼합한 가스를 챔버 내로 공급할 경우, 전체 가스의 유량은 20sccm이고, 질소 가스의 유량은 1sccm이므로 1/20로 표현될 수 있다. 즉, 질소 가스의 유량비는 5%가 된다.

[0020] 여기에서, 중요한 점은 질소 가스의 농도가 약 3% 정도만 증가하여도 해당 온도에서 전기적 특성의 열안정성 양상을 보이지 않기 때문에, 질소 가스의 유량비를 4 % 내지 6 % 정도의 농도가 되도록 제어해야 한다.

[0021] 또한, 챔버 내 공정압력은 4 mTorr 이하에서 수행될 수 있으며, 타겟에 인가되는 파워(power)는 90W 내지 110W 일 수 있다. 여기서, 상기 공정압력 및 타겟에 인가되는 파워의 크기는 챔버의 크기, 타겟의 종류 등에 따라 적절하게 조절 가능하다.

[0022] 이후에, 도 1의 (b)에 도시된 바와 같이, 니켈 박막(22)이 형성된 실리콘 기판(10)을 열처리하여 니켈 박막(22)을 질소를 함유하는 니켈 실리사이드층(24)으로 형성할 수 있다. 이때, 니켈 실리사이드층 내의 상기 질소의 함량은 3.7 % 내지 4.1 %일 수 있다.

[0023] 상기 질소의 함량 범위는 반응성 스퍼터링을 통해서 니켈 실리사이드층(24)을 형성하되, MFC(Mass flow

controller)에 의해 제어된 질소의 농도에 따라 니켈 실리사이드층(24)의 질소 함량이 결정된다. 예를 들어, 일반적으로 상용화된 MFC의 경우, 대략 0.5 sccm 내지 1.5 sccm 정도의 오차가 발생하게 됨에 따라 니켈 실리사이드층(24) 내의 질소 함량이 변하게 되어 상기 범위를 만족하게 된다. 여기서, 상기 오차는 MFC 자체에 따른 오차를 의미한다.

[0024] 또한, 상기 질소의 함량 범위는 니켈 실리사이드층(24)을 형성한 이후, XPS depth profile 분석을 통해서 니켈 실리사이드 영역과 결합한 질소의 바인딩 에너지(binding energy) 값 영역을 참고한 후 결합한 분자수(atomic count)를 추출함에 따라 설정할 수 있다. 예를 들어, 질소가 실리콘과 결합하는 바인딩 에너지가 약 398 eV 이기 때문에 오차 범위를 고려하여 상기 질소 함량의 범위를 결정할 수 있다.

[0025] 상기 질소의 함량은 니켈 실리사이드층(24)의 전기적 특성 열화를 억제하는데 가장 중요한 요소로서, 본 발명의 실험예 및 도면을 참조하여 니켈 실리사이드층(24) 내에 함유된 질소의 함량에 따른 효과에 대해서 후술한다.

[0026] 상기 열처리는 RTA(Rapid Thermal Annealing)법을 이용하며, 450℃ 내지 550℃의 온도범위에서 약 50초 내지 70초 동안 열처리를 수행할 수 있다. 이 때, 2.5℃/s 내지 3.5℃/s의 승온 속도로 수행하되, $1.0\times10^{-3}$ torr 이하의 진공상태에서 열처리를 진행할 수 있다. 여기에서, 상기 승온 속도 및 진공도는 열처리 장치의 크기, 니켈 실리사이드층(24)을 형성하는 온도 및 시간 조건에 따라 적절하게 제어될 수 있다.

[0027] 이하에서는, 본 발명의 질소를 함유하는 니켈 실리사이드 형성방법에 의해 구현된 니켈 실리사이드 샘플의 특성 및 니켈 실리사이드 내 질소의 적정 함유량을 파악하기 위한 실험예들을 설명한다. 다만, 하기의 실험예들은 본 발명의 이해를 돕기 위한 것일 뿐, 본 발명의 실시예들이 아래의 실험예들만으로 한정되는 것은 아니다.

[0028] 본 발명의 실험예에 의한 샘플은 p-type 실리콘 웨이퍼를 사용하였고, 반응성 스퍼터링 방법을 이용하되, 상기 반응성 스퍼터링의 질소의 함량을 다양하게 조절(질소 가스의 유량비를 각각 0%, 5%, 15% 및 25%로 제어)하여 상기 실리콘 웨이퍼 상에 NiNx 층을 약 16㎚의 두께로 증착하였다. RTA법을 이용하여 500℃에서 열처리를 하여 질소를 함유하는 니켈 실리사이드 샘플들을 제조하였다. 이와 비교하기 위하여, 500℃ 열처리 이외에도 600℃에서 포스트 어닐링을 실시하여 니켈 실리사이드 샘플을 제조하였다.

[0029] 이후에 상기 샘플들의 열 안정성을 확인하기 위해서, 전류밀도(current density), 면저항(sheet resistance), GIXRD(grazing-incidence X-ray diffraction), XPS(x-ray photoelectron spectroscopy) 및 SEM (Scanning electron microscope), TEM(Transmission electron microscope) 분석을 차례대로 진행하였다.

[0030] 도 2는 본 발명의 실험예에 따른 니켈 실리사이드 샘플들의 질소 함량에 의한 열 안정성 평가 결과를 도시한 그래프이다.

[0031] 도 2의 (a)는 질소의 함량에 따른 니켈 실리사이드 샘플들을 RTA를 이용하여 500℃에서 1분간 열처리 한 이후의 전류밀도를 측정한 그래프이고, 도 2의 (b)는 질소의 함량에 따른 니켈 실리사이드 샘플들을 600℃에서 30분간 포스트 어닐링(post annealing) 한 이후의 전류밀도를 측정한 그래프이며, 도 2의 (c)는 도 2의 (a) 및 (b)의 샘플들의 면저항을 측정한 그래프이다.

[0032] 도 2에 의하면, 질소를 첨가하지 않은 니켈 실리사이드 샘플, 질소 농도 4.4 % 내지 4.8 %와 4.9 % 내지 5.3 %를 함유하는 니켈 실리사이드 샘플 대비, 질소 농도 3.7 % 내지 4.1 %를 함유하는 니켈 실리사이드 샘플에서의 전류밀도 및 면저항 두 조건 모두 전기적 특성 열화가 가장 완화된 것을 확인할 수 있었다.

[0033] 도 3은 본 발명의 실험예에 따른 니켈 실리사이드 샘플들의 질소 함량에 의한 GIXRD(grazing-incidence X-ray diffraction) 분석 결과를 도시한 그래프이다.

[0034] 도 3의 (a)는 질소의 함량에 따른 니켈 실리사이드 샘플들을 RTA를 이용하여 500℃에서 1분간 열처리 한 이후의 GIXRD 분석 결과이고, 도 3의 (b)는 질소의 함량에 따른 니켈 실리사이드 샘플들을 600℃에서 30분간 포스트 어닐링(post annealing) 한 이후의 GIXRD 분석 결과이다.

[0035] 도 3에 의하면, 질소를 첨가하지 않은 니켈 실리사이드 샘플의 경우, 포스트 어닐링 이후에 저항이 높은 결정상인 $NiSi_2$ 피크(peak)가 나타났다. 그러나, 질소 농도 3.7 % 내지 4.1 %를 함유하는 니켈 실리사이드 샘플의 경우에는 $NiSi_2$ 피크(peak) 강도가 많이 완화된 것을 관찰할 수 있었다.

[0036] 도 4는 본 발명의 실험예에 따른 니켈 실리사이드 샘플들의 질소 함량에 의한 XPS(x-ray photoelectron spectroscopy) 분석 결과를 도시한 그래프이다.

[0037] 도 4의 (a)는 질소를 첨가하지 않은 니켈 실리사이드 샘플을 RTA를 이용하여 500℃에서 1분간 열처리하고 난 후 XPS를 이용하여 깊이에 따른 프로파일(depth profile)을 분석한 결과이고, 도 4의 (b)는 질소 농도 3.7 % 내지 4.1 %를 함유하는 니켈 실리사이드 샘플을 RTA를 이용하여 500℃에서 1분간 열처리하고 난 후 XPS를 이용하여 깊이에 따른 프로파일(depth profile)을 분석한 결과이며, 도 4의 (c)는 질소를 첨가하지 않은 니켈 실리사이드 샘플을 600℃에서 30분간 포스트 어닐링하고 난 후 XPS를 이용하여 깊이에 따른 프로파일(depth profile)을 분석한 결과이고, 도 4의 (d)는 질소 농도 3.7 % 내지 4.1 %를 함유하는 니켈 실리사이드 샘플을 600℃에서 30분간 포스트 어닐링하고 난 후 XPS를 이용하여 깊이에 따른 프로파일(depth profile)을 분석한 결과이다.

[0038] 도 4의 (a) 및 (b)와 같이, RTA 열처리 이후에 NiSi 화합물이 형성된 것을 확인 했으며, 질소 농도 3.7 % 내지 4.1 %를 함유하는 니켈 실리사이드 샘플에서는 NiSi 화합물 상(phase) 내에 질소 원자가 포함된 것을 관찰하였다. 또, 도 4의 (c) 및 (d)와 같이, 포스트 어닐링 이후에 $NiSi_2$ 화합물 상으로 대부분 변화된 것을 확인하였다 도 4의 (c)의 경우, Ni 영역에 Si이 더 많기 때문에 $NiSi_2$ 화합물로의 변화가 더 심한 것을 확인 할 수 있다.

[0039] 도 5는 본 발명의 실험예에 따른 니켈 실리사이드 샘플들의 질소 함량에 의한 SEM(scanning electron microscope) 분석 결과를 도시한 그래프이다.

[0040] 도 5의 (a)는 질소를 첨가하지 않은 니켈 실리사이드 샘플을 RTA를 이용하여 500℃에서 1분간 열처리하고 난 후 SEM을 이용하여 샘플의 단면을 분석한 결과이고, 도 5의 (b)는 질소 농도 3.7 % 내지 4.1 %를 함유하는 니켈 실리사이드 샘플을 RTA를 이용하여 500℃에서 1분간 열처리하고 난 후 SEM을 이용하여 샘플의 단면을 분석한 결과이며, 도 5의 (c)는 질소를 첨가하지 않은 니켈 실리사이드 샘플을 600℃에서 30분간 포스트 어닐링하고 난 후 SEM을 이용하여 샘플의 단면을 분석한 결과이고, 도 5의 (d)는 질소 농도 3.7 % 내지 4.1 %를 함유하는 니켈 실리사이드 샘플을 600℃에서 3분간 포스트 어닐링하고 난 후 SEM을 이용하여 샘플의 단면을 분석한 결과이다.

[0041] 도 5의 (a) 및 (b)와 같이, RTA 열처리 이후에 NiSi 화합물이 형성된 것을 확인 했으며, 질소 농도 3.7 % 내지 4.1 %를 함유하는 니켈 실리사이드 샘플에서는 표면 및 계면의 모폴로지(morphology)가 매끈한 것(smooth)을 관찰할 수 있었다. 또, 도 5의 (c) 및 (d)와 같이, 포스트 어닐링 이후에 질소를 첨가하지 않은 니켈 실리사이드 샘플의 계면 모폴로지가 질소 농도 3.7 % 내지 4.1 %를 함유하는 니켈 실리사이드 샘플 대비 더 거친 것(rough)을 확인하였다.

[0042] 도 6의 (a) 및 (b)와 같이 포스트 어닐링 이후에 질소를 첨가하지 않은 니켈 실리사이드의 니켈 확산영역을 보면 질소를 첨가하지 않은 도 6의 (a)와 같이, 확산이 심하게 일어나 전기적 특성이 감소한 형태인 $NiSi_2$ 상(phase)이 형성된 것을 확인 할 수 있다. 이와 반대로 질소를 포함한 니켈 실리사이드는 도 6의 (b)와 같이, 포스트 어닐링 후에도 비교적 확산이 일어나지 않았으며 안정한 형태를 유지하고 있다.

[0043] 상술한 바와 같이, 본 발명은 실리콘 웨이퍼 기판 상에 NiNx 층을 반응성 스퍼터링 방식을 이용하여 증착 후 RTA 공정을 통해 니켈 실리사이드층을 형성함으로써 비교적 간단하고 효과적으로 실리사이드의 열 안정성을 증진시키는 방법을 제공한다.

[0044] 이때, 니켈 실리사이드층 내에 함유된 질소의 함량은 3.7 % 내지 4.1 % 이내로 조절되어야 NiSi 층의 형성 온도 450℃ 내지 550℃에서 열안정성이 우수한 NiSi 층을 형성할 수 있다. 반면, 질소의 함량이 3.7 % 내지 4.1 % 보다 높을 경우, 형성된 NiNx 층이 NiSi 층의 형성온도에서 실리콘과 반응하지 않아 NiSi 층의 형성이 잘 이루어지지 않게 되고, 만약, NiSi 층이 형성되더라도 저항이 높아지게 되므로, 니켈의 증착시 질소의 함량을 조절하는 것이 매우 중요하다.

[0045] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

## *부호의 설명*

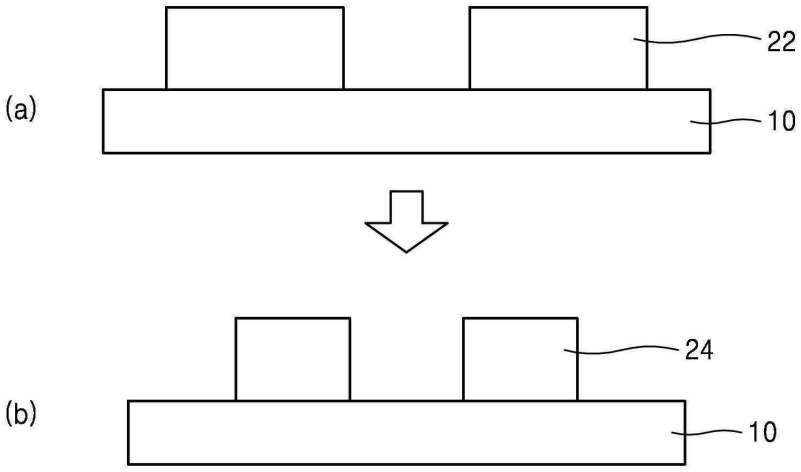
[0046] 10 : 실리콘 기판

22 : 니켈 박막

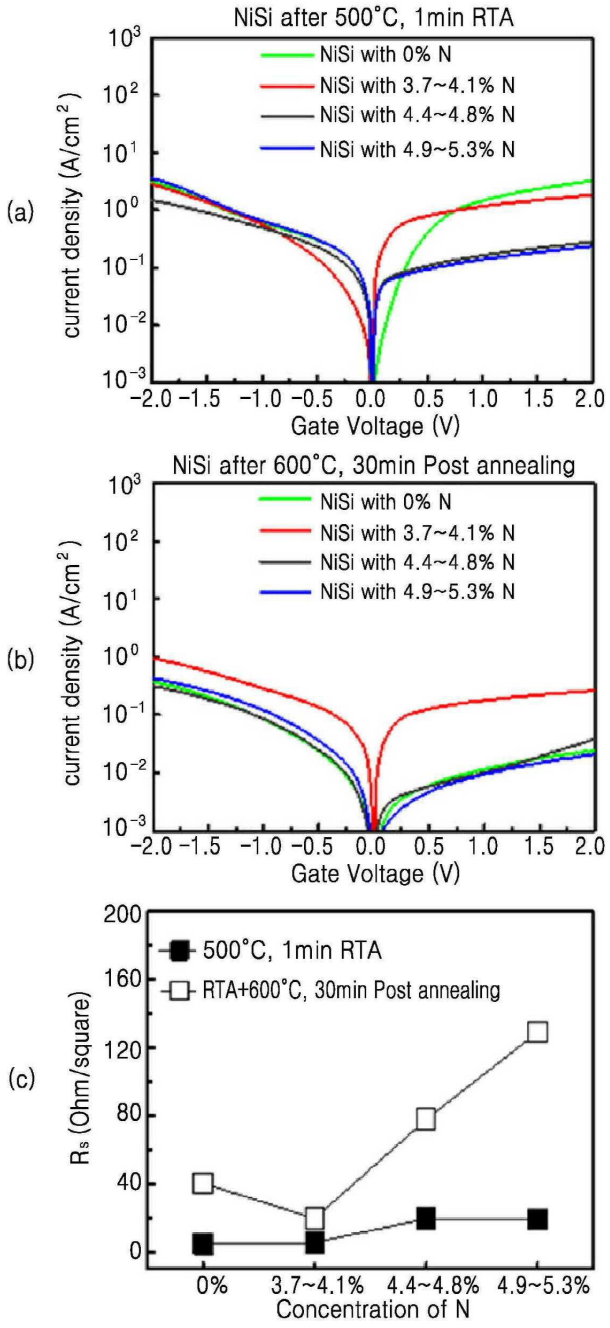
24 : 니켈 실리사이드층

도면

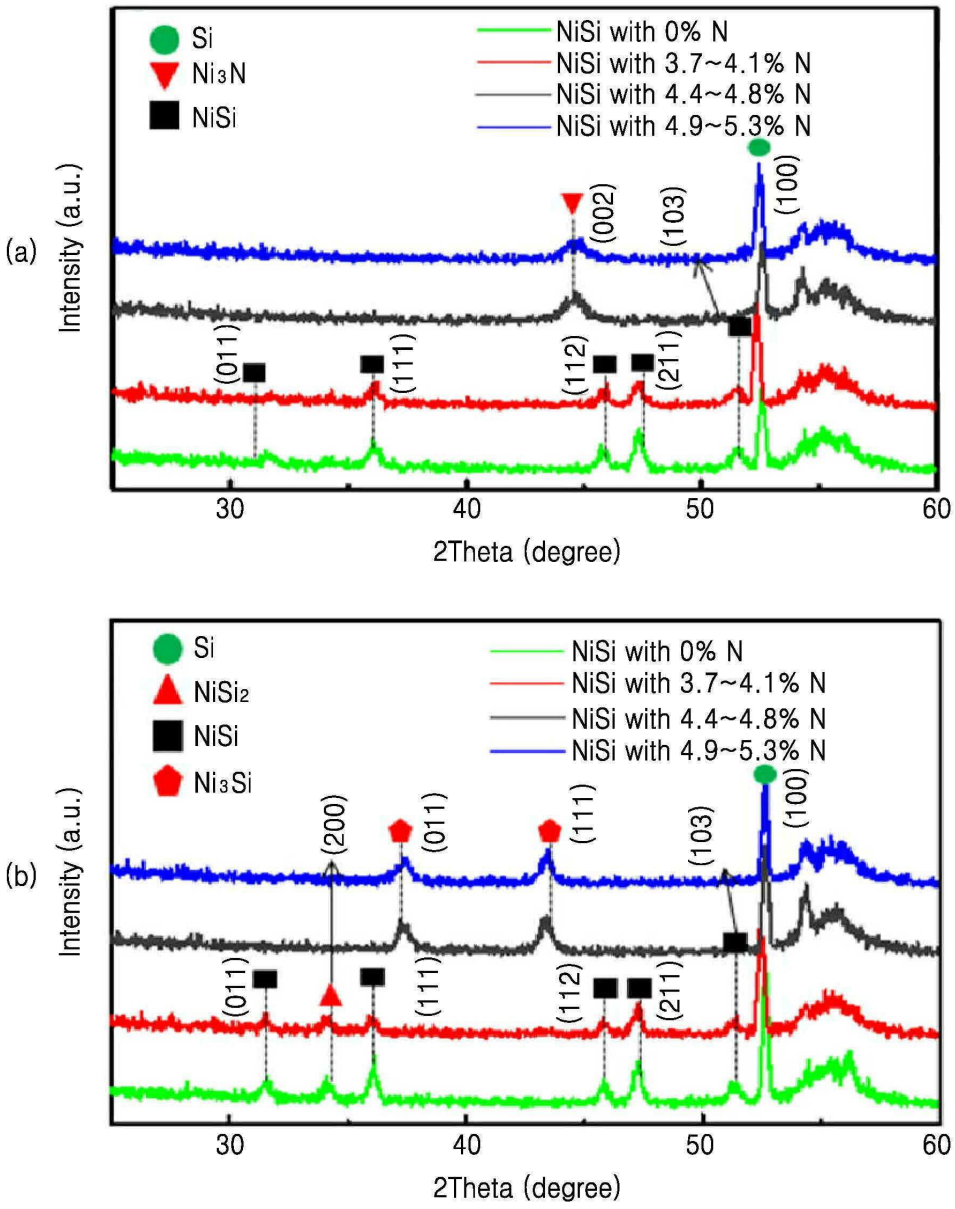
도면1



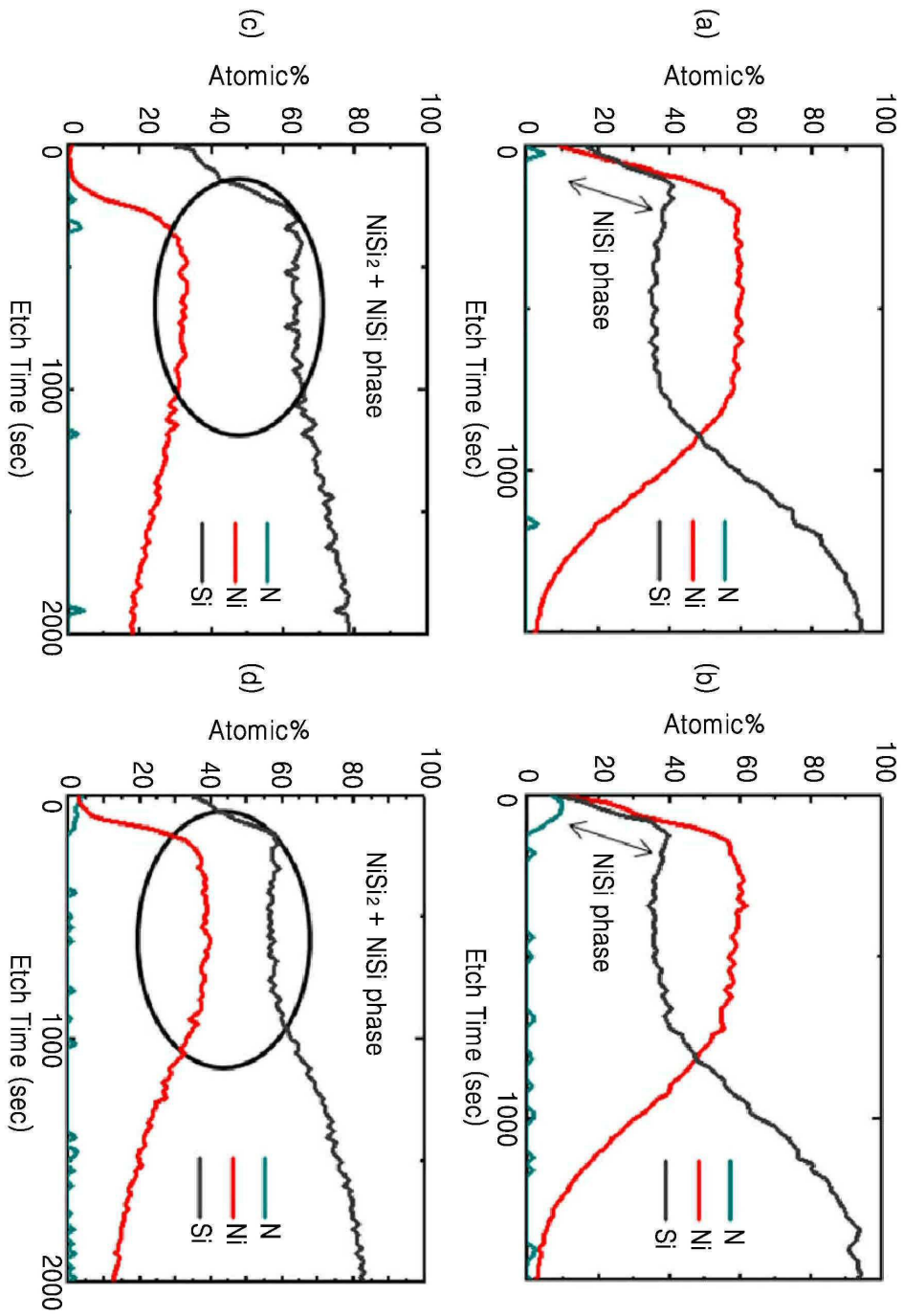
도면2


(a)
NiSi after 500°C, 1min RTA
NiSi with 0% N
NiSi with 3.7~4.1% N
NiSi with 4.4~4.8% N
NiSi with 4.9~5.3% N
current density (A/cm²)
Gate Voltage (V)
(b)
NiSi after 600°C, 30min Post annealing
NiSi with 0% N
NiSi with 3.7~4.1% N
NiSi with 4.4~4.8% N
NiSi with 4.9~5.3% N
current density (A/cm²)
Gate Voltage (V)
(c)
500°C, 1min RTA
RTA+600°C, 30min Post annealing
Rs (Ohm/square)
0%
3.7~4.1%
4.4~4.8%
4.9~5.3%
Concentration of N

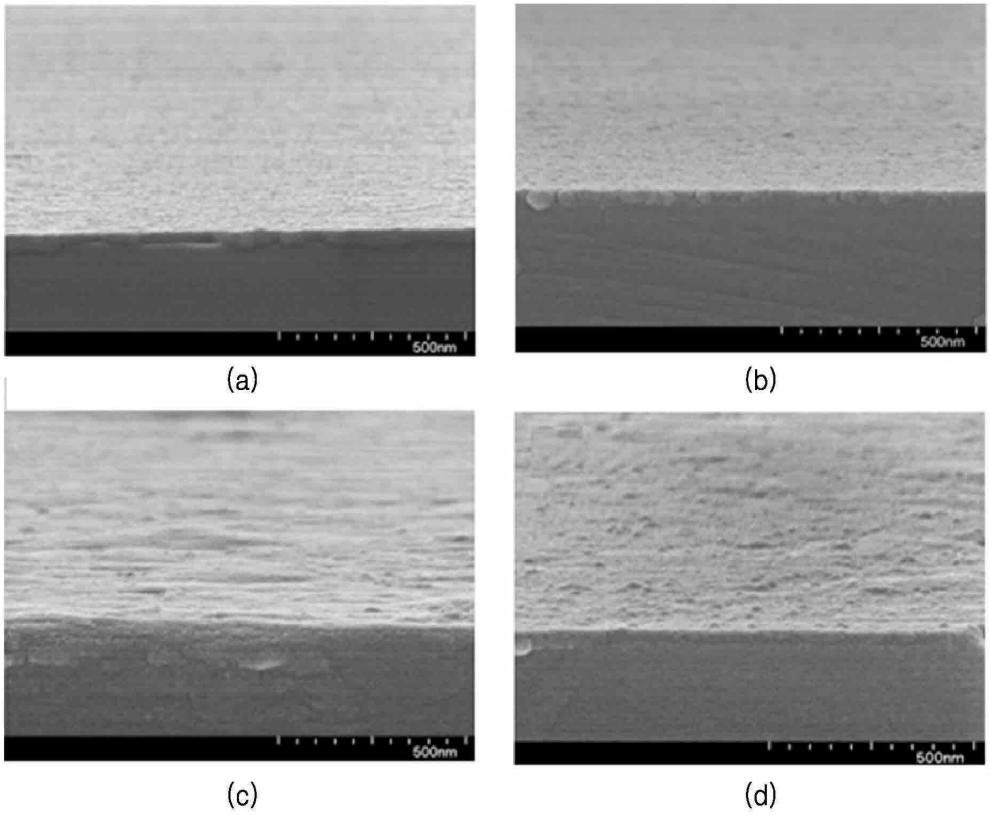
도면3


(a)
Si
Ni3N
NiSi
NiSi with 0% N
NiSi with 3.7~4.1% N
NiSi with 4.4~4.8% N
NiSi with 4.9~5.3% N
(002)
(103)
(100)
(011)
(111)
(112)
(211)
Intensity (a.u.)
30
40
50
60
2Theta (degree)
(b)
Si
NiSi2
NiSi
Ni3Si
NiSi with 0% N
NiSi with 3.7~4.1% N
NiSi with 4.4~4.8% N
NiSi with 4.9~5.3% N
(200)
(011)
(111)
(103)
(100)
(011)
(111)
(112)
(211)
Intensity (a.u.)
30
40
50
60
2Theta (degree)

도면4


(a)
Atomic%
NiSi phase
Etch Time (sec)
Si
Ni
N
(b)
Atomic%
NiSi phase
Etch Time (sec)
Si
Ni
N
(c)
Atomic%
NiSi2 + NiSi phase
Etch Time (sec)
Si
Ni
N
(d)
Atomic%
NiSi2 + NiSi phase
Etch Time (sec)
Si
Ni
N

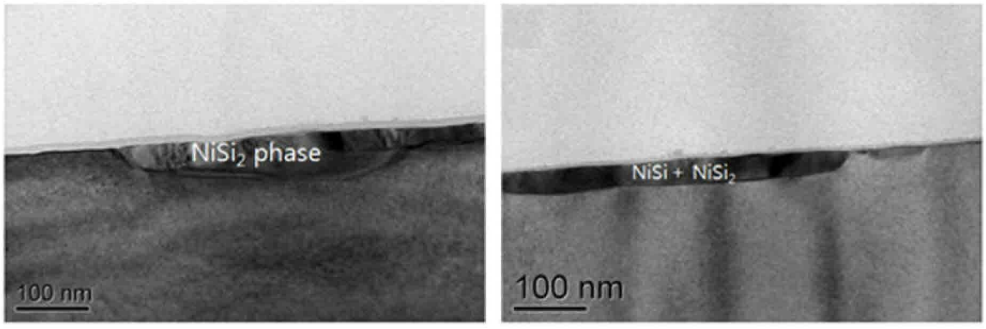
도면5




(a) (b)

(c) (d)

도면6




(a) (b)