

發明專利說明書

587347

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：92103281 ※IPC分類：H01L 45/00 1611 C11/60

※申請日期：92.2.18

壹、發明名稱

(中文)多資料狀態記憶單元

(英文)MULTIPLE DATA STATE MEMORY CELL

貳、發明人 (共 1 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文)泰瑞 L. 吉爾頓

(英文)TERRY L. GILTON

住居所地址：(中文)美國愛達荷州鮑西市東自然大道3149號

(英文)3149 E. NATURE DRIVE, BOISE, IDAHO 83706, U.S.A.

國籍：(中文)美國

(英文)U.S.A.

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文)美商麥克隆科技公司

(英文)MICRON TECHNOLOGY, INC.

住居所或營業所地址：(中文)美國愛達荷州鮑西市南菲德洛路8000號

(英文)8000 S. FEDERAL WAY, P.O. BOX 6, BOISE,

IDAHO 83707-0006, U.S.A.

國籍：(中文)美國

(英文)U.S.A.

代表人：(中文)麥克 L. 林契

(英文)MICHAEL L. LYNCH

捌、聲明事項

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 美國；2002年02月20日；10/081,594

2. _____

3. _____

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國；2002年02月20日；10/081,594

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

技術領域

本發明和隨機存取記憶體("RAMs")有關，且更特別的是和能夠以多資料儲存狀態儲存資料之一RAM記憶單元有關。

先前技術

隨機存取記憶體裝置為任何計算環境下之一整體部份，若無此等記憶體裝置，於計算裝置內處理資料將近乎不可行，因此，現存有大量研究及發展正朝向隨機存取計算機記憶體領域進行，此等研究及發展已朝向計算機記憶體相關之不同領域，例如增加記憶體裝置對儲存資料之存取速度、設計具有低耗電量之記憶體、以及在工程記憶體裝置中具有更長之資料留駐時間等，再者，另有一已投入大量研究努力之特別領域為增加記憶體密度及資料容量之領域。

一增加記憶體密度之傳統方式為縮減記憶體裝置之大小，且更特別的是縮減記憶單元之大小，因此，記憶單元之大小在近年來已大幅縮減，然而，記憶單元大小之縮減已面臨到一界點，即當以此等特徵大小製造記憶體裝置時，現行處理技術之裝置經常會面臨困難挑戰。另一種處理記憶體密度及資料容量問題之方法，為對於能以多於傳統二進位記憶體狀態進行儲存資料之記憶體裝置之實驗，亦即，傳統記憶體以二進位格式儲存資料，其中資料係以兩種不同資料狀態之一儲存，而就多資料狀態記憶體

而言，資料可採許多不同狀態之一儲存，其中該等不同狀態之數目大於二，因此，就多資料狀態記憶體而言，通常所需用於儲存資料之記憶單元數目較少，例如，一具有四種不同資料狀態之記憶單元可替代僅具有兩種不同資料狀態之兩個傳統記憶單元，因此，僅需半數之記憶單元即可儲存相同數量之資料，而相對地，若該多資料狀態記憶體具有和傳統記憶單元相同大小，則可儲存兩倍資料。

數項由 Ovshinsky 等人所有之美國專利對多資料狀態記憶單元之領域已提供相關研究範例，例如在 Ovshinsky 等人所有之美國專利案號 5,296,716 中，其描述使用電可寫入及可消除式相變材料對於電子記憶體之應用，再者，在 Ovshinsky 等人所有之美國專利案號 5,912,839 中，其描述程式化奧夫辛斯基作用記憶體多狀態數位多位元記憶體元件及其在資料儲存上之使用，如該專利案中所述，一包含相變材料之記憶元件(即可在一般非晶性及一般結晶性間電轉換之材料)可藉由使用複數個電流脈衝程式化。在決定記憶元件之資料狀態時，複數個脈衝可藉由計算使記憶元件之電阻程度回復第一狀態所需之脈衝數而決定，該脈衝數代表記憶元件所儲存資料之資料狀態。而如在前述專利案中所進一步描述者，讀取該記憶元件之目前狀態之作業係為破壞性的，因此該資料需在讀取後重新程式化。

另一種已用於設計多資料狀態記憶體之方法係描述於 Kozicki 等人所有之美國專利案中，如該專利所描述，一程式化導體化單元 (PMC) 係由一快離子導體形成，像是一內

(3)

含硫、硒及碲化合物之硫屬材料置於兩電極間。一非易逝性金屬樹狀突可藉由在兩電極間之電壓差之應用而促作，該非易逝性樹狀突數量改變PMC之電阻，其可用於以不同狀態儲存資料之裝置。在前述專利中進一步描述者為一在不同應用中之PMC之不同結構具體實施例。

儘管現行在多資料狀態及可變電阻記憶體領域中已有發展，吾人應瞭解對此領域之新式及不同方法仍有可能存在，例如，對具有真實資料狀態量之多資料狀態記憶體單元領域中之進一步發展，因此，對以多資料狀態儲存資料之不同方法之研究是有必要的。

發明內容

本發明係針對一多資料狀態記憶單元，該記憶單元包含一由第一電導材料形成之第一電極層、一由第二電導材料形成之第二電極層、以及沈積於該第一及第二電極層間之第一金屬摻雜硫屬材料層，該第一層提供一媒介，使電導生成可據以形成俾電耦合該第一及第二電極層。該記憶單元進一步包含一由第三電導材料形成之第三電極層，以及沈積於該第二及第三電極層間之第二金屬摻雜硫屬材料層，該第二層提供一媒介，使電導生成可據以形成俾電耦合該第一及第二電極層。

實施方式

本發明之具體實施例提出一多狀態記憶單元，某些詳細內容係描述於下俾對本發明提供足夠之瞭解，然而，對熟知本領域之人士而言很明顯地毋需此等特定詳細描述仍

(4)

可加以實踐。在其他例子中，眾所週知之製造技術、處理方法、電路、控制訊號及時序協定並未詳細描述以避免無謂地模糊本發明焦點。

圖1說明依據本發明具體實施例之多狀態記憶單元200之部份橫切圖，一金屬電極層202之形成係對所施電壓提供一陰極層，吾人可瞭解該金屬層200可形成於一將支撐該多狀態記憶單元200之基板上或材料層上，形成於該金屬層200上為一金屬摻雜硫屬層204，如將於以下所詳述，透過該層對浮動電極層206之一電導鏈結將在加諸電壓後形成，在此所使用之硫屬材料包含硫、硒、及碲之化合物，該金屬材料摻雜之硫屬材料通常為群屬I或群屬II金屬，像是銀、銅、鋅及該等之化合物，該浮動電極層206一般係由一諸如銀之金屬材料形成。

於該浮動電極層206之上形成者為另一金屬摻雜硫屬層208，層208之材料組成可為(但不限於)和層204相同之材料。如圖2說明，層208之厚度 t_2 大於層204之厚度 t_1 ，然而在本發明之其他具體實施例中，厚度 t_2 及 t_1 可相近或幾乎相同，或厚度 t_2 可小於 t_1 ，如將於以下詳述的，個別金屬摻雜硫屬層206及208之合成物可能需修改以容納具有不同厚度之層面206及208。形成於金屬摻雜硫屬層208之上為另一金屬電極層210，其表示該多狀態記憶單元200之陽極，金屬電極層210及浮動電極層206一般由相同材料形成。如圖1所示，陰極形成於陽極之下，然而，吾人應瞭解兩層面之排置亦可轉換而不會偏離本發明之範圍，再

(5)

者，說明於圖1之垂直方向可予以改變以使不同層面以水平方向形成於一水平相間之陰極及一陽極之間。

吾人應瞭解由熟知本領域之人士所認識之許多材料可用於作為金屬摻雜硫屬層，例如可使用硒化鍺(Ge_xSe_y)，而可使用之比例可由 $\text{Ge}_{20}\text{Se}_{80}$ 至 GeSe ，硫化砷、碲化鍺及硫化鍺等化合物亦可用於作為金屬摻雜硫屬層。同樣地，可用於作為電極層之材料亦是眾所週知的，例如銀、硒化銀、銅、硒化鍺等類似化合物皆可使用。吾人應瞭解近來發展之材料其顯現和已知材料相同特性者亦可用於作為該金屬摻雜硫屬化合物及電極層而不會偏離本發明之範圍。

在運作時，圖1說明之多狀態記憶單元200可藉由以相對數位方式改變或程式化介於陽極及陰極間之整體電阻而儲存多種狀態，該記憶單元200之電阻然後可加以衡量或比較以決定記憶單元200所儲存之資料值，由於該電阻之相對離散方式之改變結果，使多狀態可儲存於記憶單元200內。

電阻之改變係藉由來自金屬電極層202(亦即陰極)透過層面204以電接浮動電極層206之電導生成、以及自該浮動電極層206透過層面208以電接金屬電極層210(亦即陽極)之生成而達成，該電導生成之形成係藉由介於陰極及陽極間之電壓差而促成，像是藉由將一電壓施於陽極及地接陰極。

每次一電導生成即產生一短路，介於該陽極及陰極間之

(6)

電阻改變將會相對明顯變化，開始時如圖 2a 所示，其中並無任何電導生成，介於該陽極及陰極間之電阻 R_{cell} 近似於 $R_1 + R_2$ ，其中 R_1 為層面 204 之電阻，且 R_2 為層面 208 之電阻，然而，將一位差之影響加諸於金屬摻雜硫屬層 202、210 時，電導生成 304 及 308 開始分別透過層面 204 及 208 形成，當電導生成 308 橫越層面 208、且在該浮動電極層 206 及陽極間形成一短路時（其中層面 210 所示，顯示於圖 2b 中），介於陽極及陰極間之電阻 R_{cell} 改變為一小於 R_1 但大於一短路之值，在此點之電阻 R_{cell} 為可重製的，且因此可用於代表一資料狀態。當一電導生成 304 橫越層面 204 且於陰極（由層面 202 所示）及該浮動電極層 206 間形成一短路時，該電阻 R_{cell} 再次改變（如圖 2c 所示）為一相對低之電阻。

由記憶單元 200 提供之每一不同電阻狀態 R_{cell} 表示不同資料或邏輯，亦即，由 R_{cell} 表示之第一資料狀態近似於整體電阻 ($R_1 + R_2$)；由 R_{cell} 表示之第二資料狀態為介於 R_1 及低電阻間之數值，其當該浮動電極層 206 藉由電導生成 308 而對金屬電極層 210 短路時產生；在金屬電極層 202 藉由電導生成 304 而對該浮動電極層 206 短路之後，其由一低電阻表示第三資料狀態。一和該記憶單元 200 耦合之讀取電路量測記憶單元 200 之電阻以決定該單元儲存之資料。

電導生成 304 及 308 之形成係依加諸於記憶單元 200 之電場方向而定，亦即，如至目前所描述的，一加諸該金屬電極層 210（即陽極）之電壓相對於加諸金屬電極層 202（即陰極）之電壓為正，因此，生成之方向係自該金屬電極層 202

(7)

至該浮動電極層 206，同樣地，一電導生成將可自該浮動電極層 206 至該金屬電極層 210 之方向延展，然而，吾人應瞭解將電壓加諸於一正極將減少先前已形成之電導生成，因此，記憶單元 200 可藉由在讀取或寫入作業時改變加諸記憶單元 200 電壓之極性以改變記憶單元 200 之電阻而予以程式化以儲存不同資料狀態。

吾人應更進一步瞭解，使用於本發明之具體實施例中之讀取及寫入電路對熟知本領域之人士應是十分熟悉的，且可使用傳統電路及設計加以運用，吾人應進一步瞭解，在此之描述已足使熟知本領域之人士實踐本發明。

如圖 2b 所示，將一電壓加諸該陽極非僅促成電導生成 304，且促成電導生成 308，然而，因為層面 208 之厚度大於層面 204 之厚度，對一加諸電壓橫跨該多狀態記憶單元 200 而言，通過層面 208 之電壓將大於通過層面 204 之電壓，因此，該浮動電極 206 在該陰極對該浮動電極 206 短路之前即已對該陽極短路。藉由持續將一電壓加諸該陽極，該電導生成 304 最終於該陰極及該浮動電極 206 間產生一短路，因此將介於該陽極及陰極間之電阻減少為一低電阻，再者，吾人應瞭解在電導生成 308 使該浮動電極 206 對陽極 210 短路之後，跨越陽極及陰極之電阻 R_{cell} 係介於 R_1 及一短路之間，因為層面 204 之電阻在電導生成 304 向該浮動電極 206 生成時將實際降低，然而在此點之電阻 R_{cell} 是可重製的且對該短路狀態有足夠區別，使傳統讀取電路可對多狀態記憶單元持續識別資料狀態。

吾人應進一步瞭解，電阻範圍或自一電阻相對於另一電阻之轉換可藉由改變層面 204 及 / 或 208 之厚度而調整，再者如前述，層面 204 及 208 之金屬摻雜硫屬材料化合物亦可加以變化以調整電阻中之轉換點。

圖 3 說明依據本發明另一具體實施例之記憶單元 400 之一部份，該記憶單元 400 包含類同於記憶單元 200 (圖 1) 之層面，然而記憶單元 400 除了描述於記憶單元 200 之層面外，進一步包含一第二浮動電極 420 及一第三金屬摻雜硫屬層 424，該第二浮動電極 420 及一第三金屬摻雜硫屬層 424 之加入促使記憶單元 400 具有附加之記憶體狀態以儲存資料，亦即，記憶單元 200 提供三種不同狀態或電阻 $R_{cell} : (R_2 + R_1)$ 、介於 R_1 及低電阻間、及低電阻，該記憶單元 400 提供四種不同狀態或電阻 $R_{cell} : (R_3 + R_2 + R_1)$ 、介於 $(R_2 + R_1)$ 及 R_1 間、介於 R_1 及低電阻間、及低電阻，如前述，每一不同電阻等級可用於表示不同資料狀態。

如前述說明，吾人應瞭解包含形成自金屬摻雜硫屬材料及一浮動電極之附加層面可用於產生具有多於記憶單元 400 所提供狀態之記憶單元。

圖 4 說明依據本發明具體實施例之具有記憶單元之一記憶裝置 500 其包含記憶陣列 502，該記憶裝置 500 包含一通用解碼器 506，其透過指令匯流排 508 接收記憶體指令並產生相關控制訊號，一列或行址係透過位址匯流排 520 加諸記憶裝置 500，並分別由一列址解碼器 524 或一行址解碼器 528 解碼，記憶陣列讀 / 寫電路 530 耦合至陣列 502 以藉由一

輸入-輸出資料匯流排 540 將讀取資料提供至資料輸出緩衝區 534，寫入資料透過資料輸入緩衝區 544 及記憶陣列讀/寫電路 530 輸入至記憶陣列。

經由前述吾人可瞭解儘管本發明之特定具體實施例已為說明之目的而描述，其可加諸各種修改而不會偏離本發明之精神及範圍，因此，本發明非受限於此而是規範於所附申請專利範圍內。

圖示簡單說明

圖 1 為本發明具體實施例橫切面圖；

圖 2a-c 為圖 1 具體實施例橫切面圖說明其運作；

圖 3 為本發明另一具體實施例之橫切面圖；

圖 4 為本發明之包含一或多記憶陣列之典型記憶體裝置方塊圖。

如同傳統上和積體電路表示領域一般，各層之長度及厚度並非依真實比例繪製，其可加以放大或縮減俾增加繪製之可讀性。

圖式代表符號說明

| | |
|---------------|---------|
| 200 | 多狀態記憶單元 |
| 202, 210 | 金屬電極層 |
| 204, 208, 424 | 金屬摻雜硫屬層 |
| 206, 420 | 浮動電極層 |
| 304, 308 | 電導生成 |
| 400 | 記憶單元 |
| 500 | 記憶裝置 |

(10)

| | |
|-----|-------|
| 502 | 記憶陣列 |
| 506 | 指令解碼器 |
| 508 | 指令 |
| 520 | 行址 |
| 524 | 列解碼器 |
| 528 | 行解碼器 |
| 530 | 讀/寫電路 |
| 540 | 資料匯流排 |

肆、中文發明摘要

本發明係揭示一種可程式多資料狀態記憶單元，包含一由第一電導材料形成之第一電極層、一由第二電導材料形成之第二電極層、以及沈積於該第一及第二電極層間之第一金屬摻雜硫屬材料層，該第一層提供一媒介，使電導生成可據以形成俾電耦合該第一及第二電極層。該記憶單元進一步包含一由第三電導材料形成之第三電極層，以及沈積於該第二及第三電極層間之第二金屬摻雜硫屬材料層，該第二層提供一媒介，使電導生成可據以形成俾電耦合該第二及第三電極層。

伍、英文發明摘要

A programmable multiple data state memory cell including a first electrode layer formed from a first conductive material, a second electrode layer formed from a second conductive material, and a first layer of a metal-doped chalcogenide material disposed between the first and second electrode layers. The first layer providing a medium in which a conductive growth can be formed to electrically couple together the first and second electrode layers. The memory cell further includes a third electrode layer formed from a third conductive material, and a second layer of a metal-doped chalcogenide material disposed between the second and third electrode layers, the second layer providing a medium in which a conductive growth can be formed to electrically couple together the second and third electrode layers.

陸、(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

| | |
|----------|---------|
| 200 | 多狀態記憶單元 |
| 202, 210 | 金屬電極層 |
| 204, 208 | 金屬摻雜硫屬層 |
| 206 | 浮動電極層 |

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1. 一種多狀態記憶單元，包含：
 - 一由第一電導材料形成之第一電極層；
 - 一由第二電導材料形成之第二電極層；
 - 一沈積於該第一及第二電極層間之第一金屬摻雜硫屬材料層，該第一層提供一媒介，使一電導生成可據以形成俾電耦合該第一及第二電極層；
 - 一由第三電導材料形成之第三電極層；以及
 - 一沈積於該第二及第三電極層間之第二金屬摻雜硫屬材料層，該第二層提供一媒介，使一電導生成可據以形成俾電耦合該第二及第三電極層。
2. 如申請專利範圍第1項之記憶單元，其中該第一電導材料包含一銀屬材料化合物。
3. 如申請專利範圍第1項之記憶單元，其中至少該第一或第二金屬摻雜硫屬材料層其中之一為一自硒化鍺、硫化砷、碲化鍺、及硫化鍺構成之群屬中所選出之一材料。
4. 如申請專利範圍第1項之記憶單元，其中至少該第一或第二金屬摻雜硫屬材料層其中之一包含硒化鍺化合物。
5. 如申請專利範圍第1項之記憶單元，其中該第一、第二及第三電極之電導材料相同。
6. 如申請專利範圍第1項之記憶單元，其中該第一金屬摻雜硫屬材料層之厚度小於該第二金屬摻雜硫屬材料層之厚度。

7. 如申請專利範圍第1項之記憶單元，其中該第二金屬摻雜硫屬材料層之厚度小於該第一金屬摻雜硫屬材料層之厚度。
8. 如申請專利範圍第1項之記憶單元，進一步包含：
 - 一由第四電導材料形成之第四電極層；以及
 - 一沈積於該第三及第四電極層間之第三金屬摻雜硫屬材料層，該第三層提供一媒介，使一電導生成可據以形成俾電耦合該第三及第四電極層。
9. 如申請專利範圍第1項之記憶單元，其中該第一及第二層之金屬摻雜硫屬材料相同。
10. 如申請專利範圍第1項之記憶單元，其中該第一及第二層之金屬摻雜硫屬材料包含一銀玻璃材料。
11. 一種多狀態記憶單元，包含：
 - 一耦合第一電壓之第一電極；
 - 一耦合第二電壓之第二電極；
 - 一多層資料狀態堆疊，其中儲存多資料狀態，該資料狀態堆疊包含：
 - 連結該第一電極之金屬摻雜硫屬材料之第一部份，該第一部份具有一第一厚度；
 - 連結該第一部份之電導材料之第三電極；以及
 - 連結該第三電極之金屬摻雜硫屬材料之第二部份，該第二部份具有一第二厚度；其中，將一程式化電壓加諸該第一電極促成一由該第三電極至該第一電極之第一電導生成，以及由該第二

電極至該第三電極之電導生成。

12. 如申請專利範圍第11項之記憶單元，其中該第一電壓相對於該第二電壓為正。
13. 如申請專利範圍第11項之記憶單元，其中該第一電壓相對於該第二電壓為負。
14. 如申請專利範圍第11項之記憶單元，其中該第一部份係置於該第三電極下方，且該第三電極係置於該第二部份下方。
15. 如申請專利範圍第11項之記憶單元，其中該第一部份係置於和該第三電極鄰接處，且該第三電極係置於和該第二部份鄰接處。
16. 如申請專利範圍第11項之記憶單元，其中該第一厚度小於該第二厚度。
17. 如申請專利範圍第11項之記憶單元，其中當加諸程式化電壓時，在該第二電導生成將該第二電極耦合至該第三電極之前，該第一電導生成將該第三電極耦合至該第一電極。
18. 一種多狀態記憶單元，包含：
 - 一由第一電導材料形成之第一電極層；
 - 一由第二電導材料形成之第二電極層；
 - 一沈積於該第一及第二電極層間之第一金屬摻雜硫屬材料層，該第一層提供一媒介，使一電導生成可據以形成俾電耦合該第一及第二電極層；
 - 一由第三電導材料形成之第三電極層；

一沈積於該第二及第三電極層間之第二金屬摻雜硫屬材料層，該第二層提供一媒介，使一電導生成可據以形成俾電耦合該第二及第三電極層；

一由第四電導材料形成之第四電極層；以及

一沈積於該第三及第四電極層間之第三金屬摻雜硫屬材料層，該第三層提供一媒介，使一電導生成可據以形成俾電耦合該第三及第四電極層。

19. 如申請專利範圍第 18 項之記憶單元，其中至少該第一、第二、第三及第四電極層之一包含一銀屬材料化合物。
20. 如申請專利範圍第 18 項之記憶單元，其中該第一、第二、第三、及第四電導材料相同。
21. 如申請專利範圍第 18 項之記憶單元，其中該第一金屬摻雜硫屬材料層之厚度小於該第二金屬摻雜硫屬材料層之厚度，且該第二金屬摻雜硫屬材料層之厚度小於該第三金屬摻雜硫屬材料層之厚度。
22. 如申請專利範圍第 18 項之記憶單元，其中該第一、第二、及第三層之金屬摻雜硫屬材料相同。
23. 如申請專利範圍第 18 項之記憶單元，其中至少該第一、第二、第三金屬摻雜硫屬材料層其中之一包含一自硒化鍺、硫化砷、碲化鍺及硫化鍺組成之群屬中所選出之材料。
24. 如申請專利範圍第 18 項之記憶單元，其中至少該第一、第二、第三金屬摻雜硫屬材料層其中之一包含硒

- 化鍺化合物。
25. 如申請專利範圍第 18 項之記憶單元，其中該第一電極置於該第二電極下方，該第二電極置於該第三電極下方，且該第三電極置於該第四電極下方。
26. 如申請專利範圍第 18 項之記憶單元，其中當加諸程式化電壓時，在該第二電導生成將該第二電極耦合至該第三電極之前，該第一電導生成將該第三電極耦合至該第一電極。
27. 一種記憶裝置，包含：
- 一包含複數個以列及行排列之記憶陣列，每一記憶單元包含：
 - 由第一電導材料生成之第一電極層並和個別列耦合；
 - 由第二電導材料生成之第二電極層；
 - 沈積於鄰接第一及第二電極層間之第一金屬摻雜硫屬材料層，該第一層提供一媒介，使一電導生成可據以形成以電耦合至該第一及第二電極層；
 - 由第三電導材料生成之第三電極層並和個別行耦合；以及
 - 沈積於鄰接第二及第三電極層間之第二金屬摻雜硫屬材料層，該第二層提供一媒介，使一電導生成可據以形成以電耦合至該第二及第三電極層；
 - 一列址解碼器，用於選取和一系列址有關之記憶單元列；

一行址解碼器，用於選取和一行址有關之記憶單元行；

和該記憶陣列耦合之讀取及寫入電路，以對該列址及行址解碼器所選取之該記憶單元讀取資料及寫入資料；

一於該記憶裝置之讀取及寫入電路及一外部資料終端機間耦合之資料路徑；以及

一指令解碼器，其用於產生控制訊號以回應加諸該記憶裝置之記憶體指令。

28. 如申請專利範圍第27項之記憶裝置，其中每一記憶單元之第一電導層係由一銀屬材料化合物所形成。

29. 如申請專利範圍第27項之記憶裝置，其中該第一、第二及第三電極之電導材料相同。

30. 如申請專利範圍第27項之記憶裝置，其中該第一金屬摻雜硫屬材料層之厚度小於該第二金屬摻雜硫屬材料層之厚度。

31. 如申請專利範圍第27項之記憶裝置，其中每一記憶單元進一步包含：

一由第四電導材料形成之第四電極；以及

一沈積於該第三及第四電極層間之第三金屬摻雜硫屬材料層，該第三層提供一媒介，使一電導生成可據以形成以電耦合該第三及第四電極。

32. 如申請專利範圍第27項之記憶裝置，其中該第一及第二層之金屬摻雜硫屬材料相同。

33. 如申請專利範圍第27項之記憶裝置，其中該第一及第二金屬摻雜硫屬材料包含一銀玻璃材料。
34. 如申請專利範圍第27項之記憶裝置，其中至少該第一或第二金屬摻雜硫屬材料層其中之一包含一自硒化鍺、硫化砷、碲化鍺、及硫化鍺組成之群屬中所選出之材料。
35. 如申請專利範圍第27項之記憶裝置，其中至少該第一或第二金屬摻雜硫屬材料層其中之一包含硒化鍺化合物。
36. 一種記憶裝置，包含：
- 一包含複數個以列及行排置之記憶單元之記憶體陣列，該記憶單元包含：
 - 一耦合一個別列之第一電極；
 - 一耦合一個別行之第二電極；
 - 一儲存多資料狀態之多層資料狀態堆疊，該資料狀態堆疊包含：
 - 一和該第一電極鄰接之第一金屬摻雜硫屬材料層，該第一層具有第一厚度；
 - 一和該第一層鄰接之第三電導材料電極層；以及
 - 一和該第三電極鄰接之第二金屬摻雜硫屬材料層，該第二層具有第二厚度；
 - 其中加諸該第一電極之程式化電壓促成由第三電極層至第一電層之第一電導生成，且以及由第二電極至該第三電極層之第二電導生成；

一列址解碼器，用於選取和一系列址有關之記憶單元列；

一行址解碼器，用於選取和一行址有關之記憶單元行；

和該記憶陣列耦合之讀取及寫入電路，以對該列址及行址解碼器所選取之該記憶單元讀取資料及寫入資料；

一於該記憶裝置之讀取及寫入電路及一外部資料終端機間耦合之資料路徑；以及

一指令解碼器，其用於產生控制訊號以回應加諸該記憶裝置之記憶體指令。

37. 如申請專利範圍第36項之記憶裝置，其中該第一電壓相對於該第二電壓為正。

38. 如申請專利範圍第36項之記憶裝置，其中該第一部份置於該第三電極下方，且該第三電極置於該第二部份下方。

39. 如申請專利範圍第36項之記憶裝置，其中該第一部份置於和該第三電極鄰接處，且該第三電極置於和該第二部份鄰接處。

40. 如申請專利範圍第36項之記憶裝置，其中該第一厚度小於該第二厚度。

41. 如申請專利範圍第36項之記憶裝置，其中當加諸程式化電壓時，在該第二電導生成將該第二電極耦合至該第三電極之前，該第一電導生成將該第三電極耦合至

該第一電極。

42. 一種儲存多資料狀態於一記憶體之方法，包含：

儲存一第一資料狀態，使一第一電極對一第二電極短路以將一電阻由一初始電阻改變至第一電阻；

儲存一第二資料狀態，使該第二電極對一第三電極短路以將該第一電阻改變至第二電阻；

儲存一第三資料狀態，實體上維持介於該第一及第二電極以及該第二電極及第三電極間之該初始電阻。

43. 如申請專利範圍第42項之方法，其中該第一電極對第二電極之短路包含加諸一程式化電壓以促使來自該第一電極之電導生成，其耦合該第一電極至該第二電極，且其中第二電極對第三電極之短路包含加諸一程式化電壓以促使來自該第一電極之電導生成，其耦合該第二電極至該第三電極。

44. 如申請專利範圍第43項之方法，其中當加諸程式化電壓時，在該第二電極對該第三電極短路之前，該第一電極對該第二電極短路。

45. 如申請專利範圍第42項之方法，進一步包含儲存一第四資料狀態，使該第三電極對一第四電極短路以將該第二電阻改變至該第三電阻。

46. 一種形成多狀態記憶單元之方法，包含：

由一第一電導材料形成一第一電極層；

於該第一電極層上由一金屬摻雜硫屬材料形成一第一層；

於該第一層上由一第二電導材料形成一第二電極層；

於該第二電極層上由一金屬摻雜硫屬材料形成一第二層；以及

於該第二層上由一第三電導材料形成一第三電極層；

該第一層提供一媒介促使一電導生成可據以形成以電耦合該第一及第二電極層，且該第二層提供一媒介促使一電導生成可據以形成以電耦合該第二及第三電極層。

47. 如申請專利範圍第46項之方法，其中形成該第一電極層包含由一銀屬材料化合物形成該第一電極層。

48. 如申請專利範圍第46項之方法，其中形成該第一及第二電極層包含由相同型式材料形成之第一及第二電極。

49. 如申請專利範圍第46項之方法，其中形成該第一層及形成該第二層包含形成該第一層其厚度小於該第二層之厚度。

50. 如申請專利範圍第46項之方法，其中形成該第一層及形成該第二層包含形成該第一層其厚度大於該第二層之厚度。

51. 如申請專利範圍第46項之方法，進一步包含：

於該第三電極層上形成一第三金屬摻雜硫屬材料層；以及

於該第三層上由一第四電導材料形成一第四電極層，該第三層提供一媒介，使一電導生成可據以形成俾電耦合該第三及第四電極層。

52. 如申請專利範圍第46項之方法，其中該第一及第二層之金屬摻雜硫屬材料相同。
53. 如申請專利範圍第46項之方法，其中至少該第一或第二層其中之一之金屬摻雜硫屬材料包含一自硒化鍍、硫化砷、碲化鍍、及硫化鍍組成群屬中所選出之材料。
54. 如申請專利範圍第46項之方法，其中至少該第一或第二層其中之一之該金屬摻雜硫屬材料包含硒化鍍之化合物。
55. 如申請專利範圍第46項之方法，其中該第一電極形成於第一層下方，該第一層形成於該第二電極下方，該第二電極形成於第二層下方，該第二層形成於該第三電極層下方。
56. 如申請專利範圍第46項之方法，其中該第一電極鄰接該第一層形成，該第一層鄰接該第二電極形成，該第二電極鄰接該第二層形成，且該第二層鄰接該第三電極層形成。

拾壹、圖式

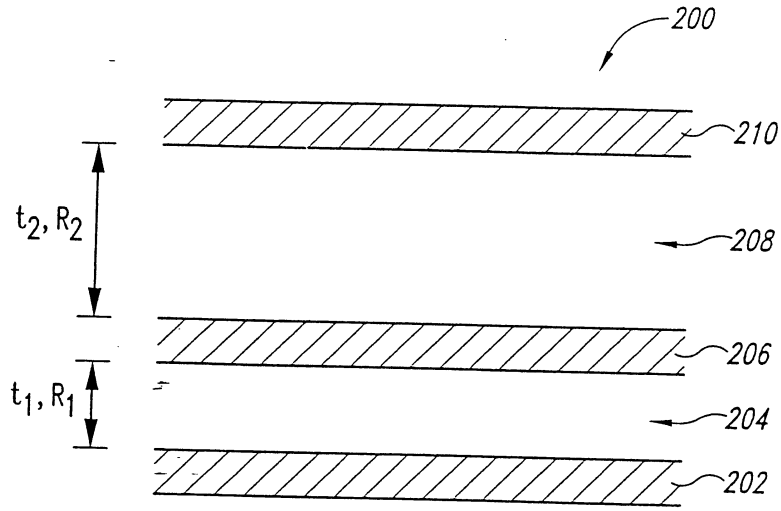


圖 1

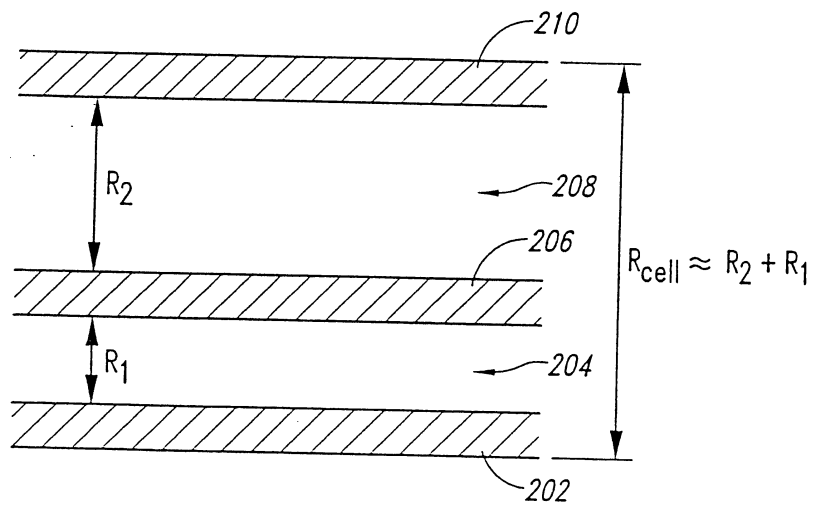


圖 2A

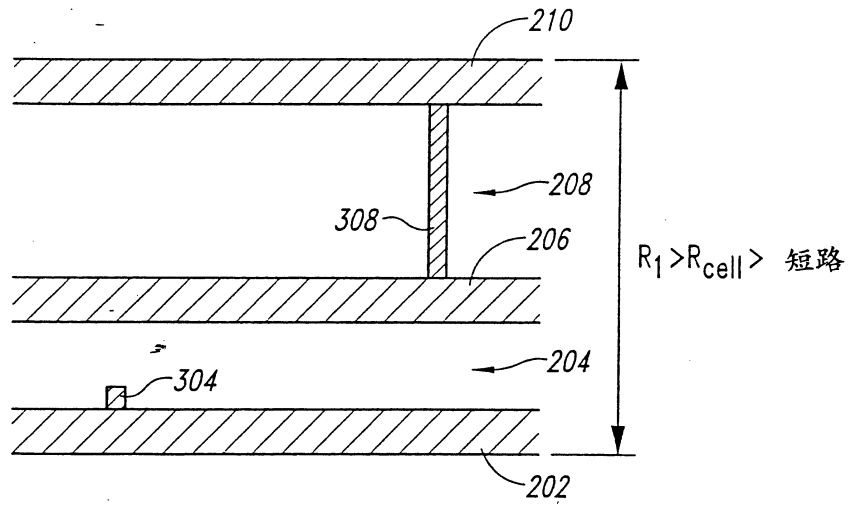


圖 2B

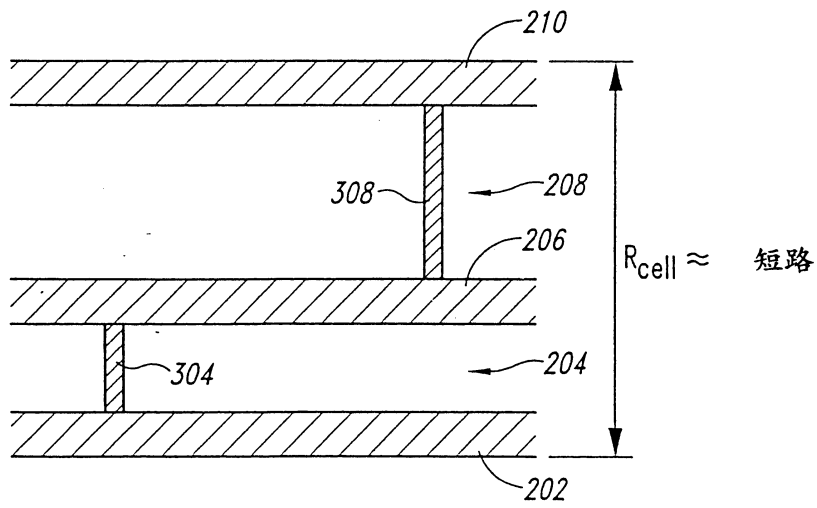


圖 2C

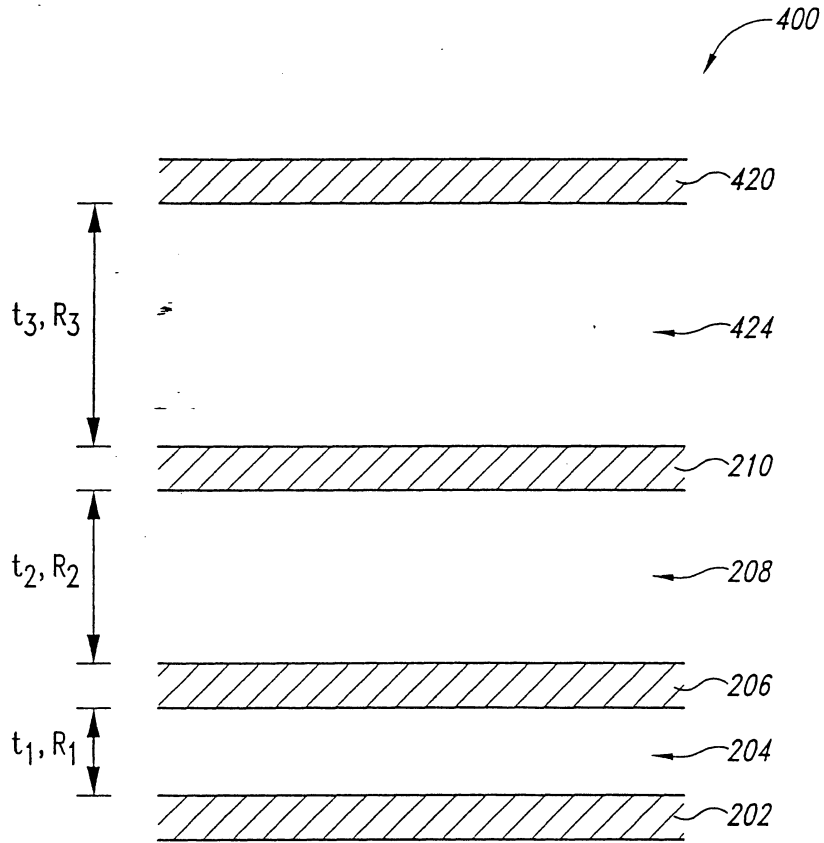


圖 3

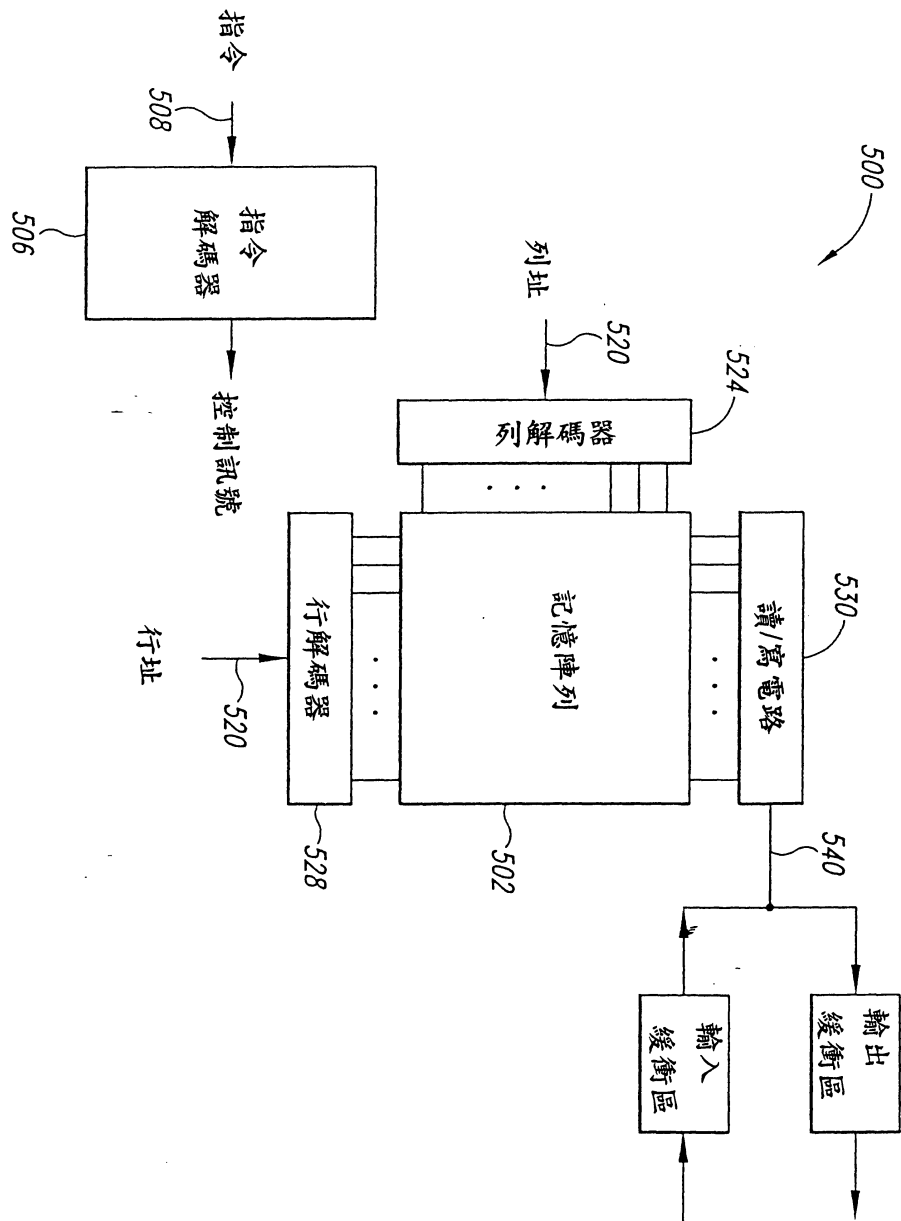


圖 4