(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 11 月 12 日(12.11.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/170491 A1

(51) 国際特許分類:
H03M 1/56 (2006.01)

(21) 国際出願番号: PCT/JP2015/053754

(22) 国際出願日: 2015 年 2 月 12 日(12.02.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-096467 2014 年 5 月 8 日(08.05.2014) JP

(71) 出願人: 住友電気工業株式会社(SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 前畠 貴(MAEHATA, Takashi); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP).

(74) 代理人: 特許業務法人サンクレスト国際特許事務所(SUNCREST PATENT AND TRADEMARK ATTORNEYS); 〒6500023 兵庫県神戸市中央区栄町通四丁目１番１１号 Hyogo (JP).

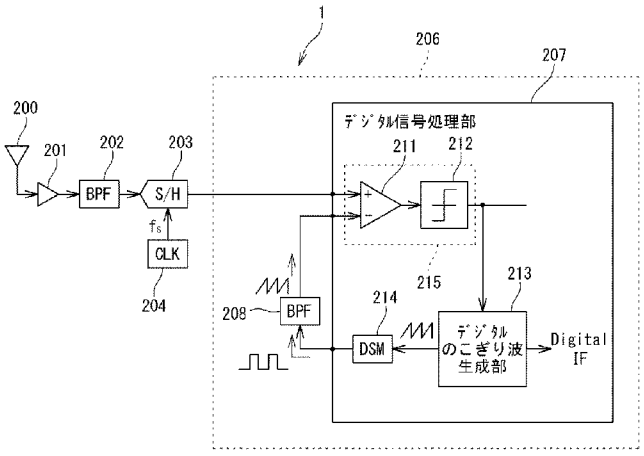
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SIGNAL PROCESSING DEVICE AND COMMUNICATION DEVICE

(54) 発明の名称 : 信号処理装置及び通信装置



207 Digital signal processing unit
213 Digital sawtooth wave generation unit

(57) **Abstract**: The present invention reduces an analog element when performing an AD conversion. To this end, a signal processing device is equipped with: a comparator (215) for comparing an analog input signal and an analog reference signal; a generator (213) for generating a digital reference signal which corresponds to the analog reference signal, and outputting, as a digital value of the analog input signal, the value of the digital reference signal when the comparator (215) detects a match between the analog input signal and the analog reference signal; a ΔΣ modulator (214) for ΔΣ modulating the digital reference signal generated by the generator (213); and a first filter (208) which is configured so as to allow transmission of an analog reference signal component included in the output signal from the ΔΣ modulator (214), and provided so as to impart the transmitted signal to the comparator (215) as the analog reference signal.

(57) 要約:

[続葉有]

WO 2015/170491 A1

ＡＤ変換を行う場合のアナログ要素を低減する。アナログ入力信号とアナログ参照信号との比較を行う比較器２１５と、アナログ参照信号に対応するデジタル参照信号を生成するとともに、比較器２１５によりアナログ入力信号とアナログ参照信号との一致が検出されたときのデジタル参照信号の値をアナログ入力信号のデジタル値として出力する生成器２１３と、生成器２１３により生成されたデジタル参照信号をΔΣ変調するΔΣ変調器２１４と、ΔΣ変調器２１４の出力信号のうち、出力信号に含まれるアナログ参照信号の成分を通過させるよう構成され、通過信号をアナログ参照信号として比較器２１５に与えるよう設けられた第１フィルタ２０８と、を備えている信号処理装置。

明　細　書

発明の名称 ： 信号処理装置及び通信装置

技術分野

[0001] 本発明は、ΔΣ変調器を有する信号処理装置及び通信装置に関するものである。

背景技術

[0002] 非特許文献１には、ダイレクトＲＦアンダーサンプリング受信方法が記載されている。図６は、非特許文献１記載の受信機を示している。この受信機１００は、ローノイズアンプ１０１と、バンドパスフィルタ（アンチエイリアシングフィルタ）１０２と、サンプルアンドホールド回路１０３と、ＡＤコンバータ１０４と、を備えている。図５の受信機１００は、受信したＲＦ信号を、アンダーサンプリングによって、中間周波数（Ｉｎｔｅｒｍｅｄｉａｔｅ　Ｆｒｅｑｕｅｎｃｙ；ＩＦ）信号へダウンコンバートする。受信機１００のサンプルアンドホールド回路１０３は、バンドパスフィルタからの出力信号をサンプリング周波数ｆｓにてサンプリングし、サンプリング時の信号値を維持する。サンプルアンドホールド回路１０３からの出力信号が入力されるＡＤコンバータ１０４は、デジタルＩＦ信号を出力する。

[0003] 非特許文献１の受信機では、アンダーサンプリングを行うため、サンプルアンドホールド回路のサンプリング周波数ｆｓは、ＲＦ信号のキャリア周波数ｆｃよりも小さくても良い。したがって、ＡＤコンバータ１０４などの処理速度を抑えて、省電力化を図ることができる。

先行技術文献

非特許文献

[0004] 非特許文献1：Ｄａｌｉｓｏ　ＢＡＮＤＡ　ｅｔ　ａｌ．，”Ｄｉｒｅｃｔ　ＲＦ　Ｕｎｄｅｒ　Ｓａｍｐｌｉｎｇ　Ｒｅｃｅｐｔｉｏｎ　Ｍｅｔｈｏｄ　ｗｉｔｈ　Ｌｏｗｅｒ　Ｓａｍｐｌｉｎｇ　Ｆｒｅｑｕｅｎｃｙ”，２０１３　Ａｓｉａ－Ｐａｃｉｆｉｃ　Ｍｉｃｏｒｗａｖｅ　Ｃｏｎｆｅｒｅｎ

ｃｅ Ｐｒｏｃｅｅｄｉｎｇｓ，ＩＥＥＥ， ２０１３

発明の概要

発明が解決しようとする課題

[0005] 図６に示す受信機１００では、サンプルアンドホールド回路１０３の次にＡＤコンバータ１０４が必要である。ＡＤコンバータ１０４から出力されたデジタルＩＦ信号を処理することになるデジタル信号処理部とは別にＡＤコンバータ１０４というアナログ要素を含む回路が必要となる。一般的なＡＤコンバータは、アナログ要素を含むため、ＡＤコンバータ１０４が必要であると、回路のデジタル化が妨げられる。

[0006] そこで、本発明は、ＡＤ変換を行う場合のアナログ要素を低減することを目的とする。

課題を解決するための手段

[0007] 一の観点からみた本発明は、アナログ入力信号とアナログ参照信号との比較を行う比較器と、前記アナログ参照信号に対応するデジタル参照信号を生成するとともに、前記比較器により前記アナログ入力信号と前記アナログ参照信号との一致が検出されたときの前記デジタル参照信号の値を前記アナログ入力信号のデジタル値として出力する生成器と、前記生成器により生成された前記デジタル参照信号をΔΣ変調するΔΣ変調器と、前記ΔΣ変調器の出力信号のうち、前記出力信号に含まれる前記アナログ参照信号の成分を通過させるよう構成され、通過信号を前記アナログ参照信号として前記比較器に与えるよう設けられた第１フィルタと、を備えている信号処理装置である。

発明の効果

[0008] 本発明によれば、アナログ要素を低減することができる。

図面の簡単な説明

[0009] [図1]第１実施形態に係る通信装置の構成図である。

[図2]（ａ）ＡＤコンバータの構成図であり、（ｂ）はＡＤ変換の原理図であ

る。

[図3]デジタル信号処理部による処理の説明図である。

[図4]第２実施形態に係る通信装置の構成図である。

[図5]３入力ΔΣ変調器の構成図である。

[図6]従来の受信機の構成図である。

発明を実施するための形態

[0010] 以下、本発明の好ましい実施形態について図面を参照しながら説明する。

[0011] ［１．実施形態の概要］

（１）実施形態に係る信号処理装置は、アナログ入力信号とアナログ参照信号との比較を行う比較器と、前記アナログ参照信号に対応するデジタル参照信号を生成するとともに、前記比較器により前記アナログ入力信号と前記アナログ参照信号との一致が検出されたときの前記デジタル参照信号の値を前記アナログ入力信号のデジタル値として出力する生成器と、前記生成器により生成された前記デジタル参照信号をΔΣ変調するΔΣ変調器と、前記ΔΣ変調器の出力信号のうち、前記出力信号に含まれる前記アナログ参照信号の成分を通過させるよう構成され、通過信号を前記アナログ参照信号として前記比較器に与えるよう設けられた第１フィルタと、を備えている。上記構成によれば、ΔΣ変調器と第１フィルタとで、ＤＡコンバータと同様の動作を行うことができ、したがって、ＤＡコンバータを利用したＡＤコンバータと同様の動作を行うことができる。そして、ΔΣ変調器はデジタル回路で構成できるため、ＤＡコンバータを用いる場合に比べてアナログ要素を少なくできる。

[0012] （２）実施形態に係る通信装置は、受信信号が入力されるサンプルアンドホールド回路と、前記（１）の信号処理装置と、を備え、前記サンプルアンドホール回路の出力信号が、前記アナログ入力信号として前記比較器に与えられる。上記構成によれば従来の受信機に比べてアナログ要素の少ない通信装置が得られる。

[0013] （３）前記ΔΣ変調器は、前記デジタル参照信号が入力される第１入力ポー

トと、サンプリングクロックが入力される第２入力ポートと、第１ループフィルタと、第２ループフィルタと、前記第１ループフィルタ及び前記第２ループフィルタの出力を加算する加算器と、前記加算器の出力を量子化する量子化器と、を備え、前記第１ループフィルタは、前記第１入力ポートに入力された前記デジタル参照信号と、前記量子化器の出力のフィードバック信号と、が入力されるように設けられ、前記第２ループフィルタは、前記第２入力ポートに入力された前記サンプリングクロックと、前記量子化器の出力の前記フィードバック信号と、が入力されるように設けられ、前記第１ループフィルタは、前記デジタル参照信号の周波数付近の雑音を阻止する特性を有し、前記第２ループフィルタは、前記サンプリングクロックの周波数付近の雑音を阻止する特性を有し、前記ΔΣ変調器の出力信号のうち、前記出力信号に含まれる前記サンプリングクロックの成分を通過させるよう構成され、通過信号をサンプリングクロックとして前記サンプルアンドホールド回路に与えるよう設けられた第２フィルタを更に備えているのが好ましい。上記構成によれば、ΔΣ変調器から参照信号だけでなくサンプルアンドホールド回路のサンプリングクロックも出力することができる。

[0014] （４）前記ΔΣ変調器は、前記デジタル参照信号が入力される第１入力ポートと、前記通信装置から送信されるアナログ送信信号に対応したデジタル送信信号が入力される第３ポートと、第１ループフィルタと、第３ループフィルタと、前記第１ループフィルタ及び前記第３ループフィルタの出力を加算する加算器と、前記加算器の出力を量子化する量子化器と、を備え、前記第１ループフィルタは、前記第１入力ポートに入力された前記デジタル参照信号と、前記量子化器の出力のフィードバック信号と、が入力されるよう設けられ、前記第３ループフィルタは、前記第３ポートに入力された前記デジタル送信信号と、前記量子化器の出力のフィードバック信号と、が入力されるよう設けられ、前記第１ループフィルタは、前記デジタル参照信号の周波数付近の雑音を阻止する特性を有し、前記第３ループフィルタは、前記デジタル送信信号の周波数付近の雑音を阻止する特性を有し、前記ΔΣ変調器の出

力信号のうち、前記出力信号に含まれる前記アナログ送信信号の成分を通過させるよう構成された、通過信号が前記通信装置から送信される前記アナログ送信信号となるように設けられた第３フィルタを更に備えているのが好ましい。上記構成によれば、ΔΣ変調器から参照信号だけでなく送信信号も出力することができる。

[0015] ［２．実施形態の詳細］

［２．１　第１実施形態］

図１は、第１実施形態に係る通信装置（受信機）１を示している。通信装置１は、例えば、無線信号（ＲＦ信号）の送受信を行う。図１に示す通信装置１は、アンテナ２００、ローノイズアンプ（ＬＮＡ）２０１、バンドパスフィルタ（アンチエイリアシングフィルタ）２０２、サンプルアンドホールド回路（Ｓ／Ｈ）２０３、クロック発生器２０４、及び信号処理装置２０６を備えている。サンプルアンドホールド回路２０３のサンプリングクロック（周波数ｆｓ）は、クロック発生器２０４によって生成される。

[0016] 図１に示す通信装置１は、図６に示す受信機１００のＡＤコンバータ１０４を、信号処理装置２０６に置換したものであり、図６に示す受信機１００と同様に、受信したＲＦ信号を、アンダーサンプリングによって、ＩＦ信号へダウンコンバートする。

[0017] サンプルアンドホールド回路２０３は、バンドパスフィルタ２０２からの出力信号（ＲＦ信号（受信信号））をサンプリング周波数ｆｓにてサンプルアンドホールドする処理を行う。サンプルアンドホールド回路２０３からの出力信号が入力される信号処理装置２０６は、サンプルアンドホールド回路２０３の出力信号から、デジタルＩＦ信号を生成し、デジタルＩＦ信号に対してデジタル信号処理を行う。この通信装置１も、アンダーサンプリングを行うため、サンプルアンドホールド回路２０３のサンプリング周波数ｆｓは、ＲＦ信号のキャリア周波数ｆｃよりも小さくても良い。

[0018] 信号処理装置２０６は、デジタル信号処理部２０７と、第１バンドパスフィルタ（アナログＢＰＦ）２０８と、を備えている。デジタル信号処理部２

０７は、デジタルＩＦ信号の生成のために、差分器２１１と、量子化器２１２と、デジタルのこぎり波（デジタル参照信号）生成部２１３と、バンドパスΔΣ変調器（ＤＳＭ）２１４と、を備えている。図１に示す信号処理装置２０６（第１バンドパスフィルタ２０８、差分器２１１、量子化器２１２、デジタルのこぎり波生成部２１３、及びΔΣ変調器２１４）は、図２（ａ）に示すようなＡＤコンバータ３００におけるＤＡコンバータ３０４を、ΔΣ変調器２１４及び第１バンドパスフィルタ２０８に置換したものとして理解することができる。

[0019] 図２（ａ）に示すＡＤコンバータ３００は、差分器３０１と、量子化器３０２と、デジタルのこぎり波生成部３０３と、ＤＡコンバータ３０４と、を備えている。差分器３０１は、アナログ入力信号と、アナログのこぎり波（アナログ参照信号）と、が入力され、アナログ入力信号とアナログ参照信号との差分を出力する。量子化器３０２は、差分器３０１の出力をＬｏｗ又はＨｉｇｈの２レベルに量子化する。デジタルのこぎり波生成部３０３が生成したデジタルのこぎり波は、ＤＡコンバータ２０４によって、アナログのこぎり波に変換され、差分器３０１の一方の入力に与えられる。量子化器３０２は、例えば、差分化器３０１の出力がゼロよりも大きければＨｉｇｈレベルを出力し、差分化器３０１の出力がゼロよりも小さければＬｏｗレベルを出力する。したがって、アナログ入力信号の大きさとアナログのこぎり波の大きさと、が一致したときに量子化器３０２の出力は、Ｈｉｇｈ－Ｌｏｗレベル間で切り替わることになる（図２（ｂ）参照）。図２（ｂ）では、アナログ入力信号の大きさとアナログのこぎり波の大きさと、が一致したタイミングは、量子化器３０２の出力信号の立下りのタイミングt_1，t_2，t_3となる。量子化器３０２の出力信号は、デジタルのこぎり波生成部２０４に与えられる。生成部３０３は、これらのタイミングt_1，t_2，t_3におけるデジタルのこぎり波の大きさ（デジタル値）を、アナログ入力信号のデジタル値として出力する。

[0020] 図２（ａ）に示すＡＤコンバータ３００は、ＤＡコンバータ３０４を利用

したものであり、ＤＡコンバータ３０４は比較的多くのアナログ要素を含む。これに対し、図１では、ＤＡコンバータ３０４に代えて、ΔΣ変調器２１４及び第１バンドパスフィルタ２０８が採用されている。ΔΣ変調器２１４は、デジタル処理を行うものであり、デジタル信号処理部２０７中に設けることができる。したがって、ＤＡコンバータ３０４に代えて、ΔΣ変調器２１４及び第１バンドパスフィルタ２０８を採用すると、アナログ要素は第１バンドパスフィルタ２０８があればよく、アナログ要素の削減が可能である。

[0021] 図１の差分器２１１には、サンプルアンドホールド回路２０３の出力信号（Ｓ／Ｈ信号；アナログ入力信号）と、バンドパスフィルタ２０８の通過信号（アナログのこぎり波；アナログ参照信号）と、が入力され、差分器２１１は、両入力信号の差分を出力する。量子化器２１２は、差分器２１１の出力をＬｏｗ又はＨｉｇｈの２レベルに量子化する。

[0022] 量子化器２１２は、例えば、差分化器２１１の出力がゼロよりも大きければＨｉｇｈレベルを出力し、差分化器２１１の出力がゼロよりも小さければＬｏｗレベルを出力する。

[0023] このように、差分器２１１及び量子化器２１２は、Ｓ／Ｈ信号と、バンドパスフィルタ２１の通過信号（アナログのこぎり波；アナログ参照信号）と、を比較し、両信号の一致を検出する比較器２１５となっている。

[0024] 図３に示すように、Ｓ／Ｈ信号と、アナログのこぎり波と、が一致するタイミングは、量子化器２１２の出力信号におけるタイミングt_1，t_2，t_3となる。量子化器２１２の出力信号は、デジタルのこぎり波生成部２１３に与えられる。生成部２１３は、これらのタイミングt_1，t_2，t_3におけるデジタルのこぎり波の大きさ（デジタル値）を、アナログ入力信号のデジタル値として出力する。このデジタル値は、通信装置１が受信したＲＦ信号（受信信号）をダウンコンバートしたデジタルＩＦ信号となっている。なお、デジタルのこぎり波生成部２１３から出力される信号は、ＩＦ信号である必要はなく、ベースバンド信号であってもよい。

[0025] バンドパスΔΣ変調器２１４は、デジタルのこぎり波（デジタル参照信号）を入力として受け取って、アナログのこぎり波（アナログ参照信号）を信号成分として有するパルス信号を出力する。第１バンドパスフィルタ２０８は、ΔΣ変調器２１４から出力されたパルス信号に含まれる量子化雑音成分の通過を阻止し、アナログのこぎり波の信号成分を通過させるよう構成されている。第１バンドパスフィルタ２０８は、差分器２１１の一方の入力と接続されており、第１バンドパスフィルタ２０８の通過信号（アナログのこぎり波）を、差分器２１１に与えることができる。

[0026] ［２．２ 第２実施形態］

図４は第２実施形態に係る通信機１を示している。図１に示す通信機１は、主に、通信機１における受信機としての機能だけを示したが、図４では、通信機１における受信機及び送信機としての機能を示している。なお、第２実施形態において特に説明しない点については第１実施形態と同様である。

[0027] 図４のΔΣ変調器２１４は、複数（３つ）の入力ポート１０ａ，１０ｂ，１０ｃを有している。第２実施形態のΔΣ変調器２１４は、複数の入力ポート１０ａ，１０ｂ，１０ｃから入力されたデジタル信号それぞれに対応するアナログ信号成分全てを有するパルス信号を単一の出力ポート１０ｄから出力することができる。ΔΣ変調器２１４の詳細は後述する。

[0028] ΔΣ変調器２１４の第１入力ポート１０ａには、デジタルのこぎり波生成部２１３によって生成されたデジタルのこぎり波（第１入力信号）が入力される。同じく第２入力ポート１０ｂには、クロック生成器２１７によって生成された周波数ｆｓのクロック（第２入力信号）が入力される。同じく第３入力ポート１０ｃには、直交変調器２１６によって生成されたデジタル送信信号（デジタル変調信号；デジタルＲＦ信号）が入力される。直交変調器２１６は、ベースバンド信号Ｉ，Ｑに対するデジタル直交変調を行って、デジタル送信信号（デジタル変調信号）を生成する。なお、直交変調器２１６は、他の方式による変調を行う変調器であってもよい。

[0029] したがって、ΔΣ変調器２１４の出力ポート１０ｄから出力されるパルス

信号には、アナログのこぎり波の信号成分と、周波数ｆｓのクロックの信号成分と、アナログ送信信号（アナログ変調信号；アナログＲＦ信号）の信号成分と、が含まれる。

[0030] ΔΣ変調器２１４から出力されたパルス信号は、第１バンドパスフィルタ（第１フィルタ）２０８ａのほか、第２バンドパスフィルタ（第２フィルタ）２０８ｂ及び第３バンドパスフィルタ（第３フィルタ）２０８ｃに与えられる。第１バンドパスフィルタ２０８ａは、図１の第１バンドパスフィルタ２０８と同様に、差分器２１１の一方の入力と接続されている。第１バンドパスフィルタ２０８ａは、ΔΣ変調器２１４から出力されたパルス信号に含まれる量子化雑音成分及び他の不必要な信号成分の通過を阻止し、アナログのこぎり波の信号成分を通過させるよう構成されている。

[0031] 第２バンドパスフィルタ２０８ｂは、ΔΣ変調器２１４から出力されたパルス信号に含まれる量子化雑音成分及び他の不必要な信号成分の通過を阻止し、周波数ｆｓのクロック成分を通過させるよう構成されている。第２バンドパスフィルタ２０８ｂの通過信号（周波数ｆｓのクロック）は、サンプルアンドホールド回路２０３のサンプリングクロックとして与えられる。

[0032] 第３バンドパスフィルタ２０８ｃは、ΔΣ変調器２１４から出力されたパルス信号に含まれる量子化雑音成分及び他の不必要な信号成分の通過を阻止し、アナログ送信信号成分を通過させるよう構成されている。第３バンドパスフィルタ２０８ｃの通過信号（アナログ送信信号）は、アンプ２０９などを介して、アンテナ２００から出力される。このように、アンテナ２００から、デジタルのこぎり波生成部２１３に至る経路は、受信機としての機能を有しているのに対し、直交変調部２１６からアンテナ２００に至る経路は送信機としての機能を有している。そして、ΔΣ変調器２１４は、受信機及び送信機の双方に共用されているため、回路規模の増大を抑制することができる。

[0033] また、ΔΣ変調器２１４からは、サンプルアンドホールド回路２０３のサンプリングクロックも出力することができるため、図１におけるクロック生

成器２０４を別途設ける必要がなくなる。また、のこぎり波とサンプリングクロックとがいずれも信号処理部２０６によって生成されるため、図１のように信号処理部２０６とクロック生成器２０４とが分かれている場合に比べて、のこぎり波とサンプリングクロックを同期させるのが容易である。

[0034] ［２．３　３入力ΔΣ変調器］

図５は、図４に示すΔΣ変調器２１４として用いられる３入力ΔΣ変調器２１４を示している。図５のΔΣ変調器２１４は、第１入力信号U_1が入力される第１入力ポート１０ａ、第２入力信号U_2が入力される第２入力ポート１０ｂ、第３入力信号U_3が入力される第３入力ポート１０ｃ、及びパルス信号を出力する単一の出力ポート１０ｄを備えている。ΔΣ変調器２１４は、複数の入力ポート１０ａ，１０ｂ，１０ｃそれぞれに対応する複数のループフィルタ（第１ループフィルタ１１、第２ループフィルタ１２、第３ループフィルタ１３）と、加算器１５と、量子化器１６と、を備えている。複数のループフィルタ１１，１２，１３は、それぞれ、対応する入力ポート１０ａ，１０ｂ，１０ｃに接続された第１入力部１１ａ，１２ａ，１３ａと、フィードバック経路１８ａ，１８ｂ，１８ｃを介して量子化器１６の出力側に接続された第２入力部１１ｂ，１２ｂ，１３ｂと、を備えている。

[0035] 第１入力部１１ａ，１２ａ，１３ａには、対応する入力ポート１０ａ，１０ｂ，１０ｃに入力された入力信号U_1，U_2，U_3が入力される。第２入力部１１ｂ，１２ｂ，１３ｂには、量子化器１６の出力Ｖのフィードバック信号Ｖが入力される。

[0036] 複数のループフィルタ１１，１２，１３は、それぞれ、差分器１１０ａ，１２０ａ，１３０ａを備えている。差分器１１０ａ，１２０ａ，１３０ａには、それぞれ、第１入力部１１ａ，１２ａ，１３ａに接続された第１経路１１０ｄ，１２０ｄ，１３０ｄと、第２入力部１１ｂ，１２ｂ，１３ｂに接続された第２経路１１０ｅ，１２０ｅ，１３０ｅと、が接続されている。差分器１１０ａ，１２０ａ，１３０ａは、それぞれ、入力信号U_1，U_2，U_3と、量子化器１６からのフィードバック信号Ｖとの差分U_1-V，U_2-V，U_3-

Ｖを求める。

[0037] 差分器１１０ａ，１２０ａ，１３０ａによって求められた差分U_1-V，U_2-V，U_3-Vは、各ループフィルタ１１，１２，１３に設けられた内部フィルタ１１０ｂ，１２０ｂ，１３０ｂに入力される。なお、第１ループフィルタ１１の内部フィルタ１１０ｂの伝達関数を$L_1(z)$と表現し、第２ループフィルタ１２の内部フィルタ１２０ｂの伝達関数を$L_2(z)$と表現し、第３ループフィルタ１３の内部フィルタ１３０ｂの伝達関数を$L_3(z)$と表現する。

[0038] 各内部フィルタ１１０ｂ，１２０ｂ、１３０ｂの出力$L_1(z)(U_1(z)-V(z))$，$L_2(z)(U_2(z)-V(z))$，$L_3(z)(U_3(z)-V(z))$は、各ループフィルタ１１，１２，１３に設けられた加算器１１０ｃ，１２０ｃ，１３０ｃに与えられる。各加算器１１０ｃ，１２０ｃ，１３０ｃには、第１入力部１１ａ，１２ａ，１３ａに入力される入力信号U_1，U_2，U_3を加算器１１０ｃ，１２０ｃ，１３０ｃに入力させるためのフィードフォワード経路１１０ｆ，１２０ｆ，１３０ｆが接続されている。したがって、各加算器１１０ｃ，１２０ｃ、１３０ｃは、入力信号U_1，U_2，U_3と、内部フィルタ１１０ｂ，１２０ｂ，１３０ｂの出力$L_1(z)(U_1(z)-V(z))$，$L_2(z)(U_2(z)-V(z))$，$L_3(z)(U_3(z)-V(z))$と、を加算する。

[0039] 各加算器１１０ｃ，１２０ｃ，１３０ｃの出力（各ループフィルタ１１，１２，１３の出力）Y_1，Y_2，Y_3は、加算器１５によって加算される。

[0040] 加算器１５の出力Ｙは、量子化器１６に与えられる。本実施形態の量子化器１６は、２レベル量子化器であり、１ｂｉｔのパルス列を量子化信号（ΔΣ変調信号）Ｖとして出力する。この量子化信号ＶがΔΣ変調器１の出力信号となる。なお、出力信号Ｖは、フィードバック経路１８ａ，１８ｂ，１８ｃを介して各ループフィルタ１１，１２，１３に与えられる。

[0041] 図５のΔΣ変調器１の出力Ｖは、下記の式（１）のように表される（式（１）においてＮ＝３の場合）。式（１）において、$STF_i(z)$は第ｉ入力

信号U_i（ｚ）についての第ｉ信号伝達関数であり、ＮＴＦ（ｚ）は、ΔΣ変調器２１４全体での雑音伝達関数であり、Ｅ（ｚ）は雑音伝達関数である。

[数1]

$$V(z) = \sum_{i=1}^{N} STFi(z)Ui(z) + NTF(z)E(z),\ N\text{は入力信号の数} \quad \cdots\cdots(1)$$

ここで、

[数2]

$$STFi(z) = \{1 + Li(z)\}/\{1 + \sum_{x=1}^{N} Lx(z)\} \quad \cdots\cdots(2)$$

[数3]

$$NTF(z) = 1/\{1 + \sum_{x=1}^{N} Lx(z)\} \quad \cdots\cdots(3)$$

[数4]

$$Lx(z) = (1/NTFx(z)) - 1 \quad \cdots\cdots(4)$$

[数5]

$$NTFx(z) = \prod_{i=1}^{M} \frac{z - z_{xi}}{z - p_{xi}},\ x=1\sim N\ ,\ M\text{はΔΣ変調器の次数、} \quad \cdots\cdots(5)$$

z_{xi}は零点、p_{xi}は極

[0042] 第１ループフィルタ１１の内部フィルタ１１０ｂは、第１雑音伝達関数ＮＴＦ$_1$（ｚ）を用いて示される伝達関数Ｌ$_1$（ｚ）を持つ。第１雑音伝達関数ＮＴＦ$_1$（ｚ）は、第１ループフィルタ１１に入力される第１入力信号（デジタルのこぎり波）Ｕ$_1$（ｚ）の周波数（帯域）における量子化雑音を抑制する特性（バンドストップ特性）を有するものである。

第２ループフィルタ１２の内部フィルタ１２０ｂは、第２雑音伝達関数ＮＴＦ$_2$（ｚ）を用いて示される伝達関数Ｌ$_2$（ｚ）を持つ。第２雑音伝達関数ＮＴＦ$_2$（ｚ）は、第２ループフィルタ１２に入力される第２入力信号（クロック）Ｕ$_2$（ｚ）の周波数（帯域）における量子化雑音を抑制する特性（バンドストップ特性）を有するものである。

第３ループフィルタ１２の内部フィルタ１３０ｂは、第３雑音伝達関数Ｎ

$ＴＦ_3$（ｚ）を用いて示される伝達関数$Ｌ_3$（ｚ）を持つ。第３雑音伝達関数$ＮＴＦ_3$（ｚ）は、第３ループフィルタ１３に入力される第３入力信号（デジタル送信信号）$Ｕ_3$（ｚ）の周波数（帯域）における量子化雑音を抑制する特性（バンドストップ特性）を有するものである。

[0043] 以上のように構成されたΔΣ変調器２１４は、複数の入力ポート１０ａ，１０ｂ，１０ｃに入力された信号を、同時に一つの単一の出力信号Ｖ（ｚ）に含めて出力することができる。

[0044] ［３．付記］

なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味ではなく、請求の範囲によって示され、請求の範囲と均等の意味、及び範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0045] １　通信装置

１０ａ　第１入力ポート

１０ｂ　第２入力ポート

１０ｃ　第３入力ポート

１０ｄ　出力ポート

２００　アンテナ

２０１　ローノイズアンプ

２０２　バンドパスフィルタ

２０３　サンプルアンドホールド回路

２０４　クロック発生器

２０６　信号処理装置

２０７　デジタル信号処理部

２０８　バンドパスフィルタ

２０８ａ　第１バンドパスフィルタ

２０８ｂ　第２バンドパスフィルタ

２０８ｂ　第３バンドパスフィルタ

２０９　アンプ

２１１　差分器

２１２　量子化器

２１３　デジタルのこぎり波生成部

２１４　ΔΣ変調器

２１５　比較器

２１７　直交変調部

請求の範囲

[請求項1] アナログ入力信号とアナログ参照信号との比較を行う比較器と、

前記アナログ参照信号に対応するデジタル参照信号を生成するとともに、前記比較器により前記アナログ入力信号と前記アナログ参照信号との一致が検出されたときの前記デジタル参照信号の値を前記アナログ入力信号のデジタル値として出力する生成器と、

前記生成器により生成された前記デジタル参照信号をΔΣ変調するΔΣ変調器と、

前記ΔΣ変調器の出力信号のうち、前記出力信号に含まれる前記アナログ参照信号の成分を通過させるよう構成され、通過信号を前記アナログ参照信号として前記比較器に与えるよう設けられた第１フィルタと、

を備えている信号処理装置。

[請求項2] 受信信号が入力されるサンプルアンドホールド回路と、

請求項１記載の信号処理装置と、

を備え、

前記サンプルアンドホール回路の出力信号が、前記アナログ入力信号として前記比較器に与えられる

通信装置。

[請求項3] 前記ΔΣ変調器は、

前記デジタル参照信号が入力される第１入力ポートと、

サンプリングクロックが入力される第２入力ポートと、

第１ループフィルタと、

第２ループフィルタと、

前記第１ループフィルタ及び前記第２ループフィルタの出力を加算する加算器と、

前記加算器の出力を量子化する量子化器と、

を備え、

前記第１ループフィルタは、前記第１入力ポートに入力された前記デジタル参照信号と、前記量子化器の出力のフィードバック信号と、が入力されるように設けられ、

前記第２ループフィルタは、前記第２入力ポートに入力された前記サンプリングクロックと、前記量子化器の出力の前記フィードバック信号と、が入力されるように設けられ、

前記第１ループフィルタは、前記デジタル参照信号の周波数付近の雑音を阻止する特性を有し、

前記第２ループフィルタは、前記サンプリングクロックの周波数付近の雑音を阻止する特性を有し、

前記ΔΣ変調器の出力信号のうち、前記出力信号に含まれる前記サンプリングクロックの成分を通過させるよう構成され、通過信号をサンプリングクロックとして前記サンプルアンドホールド回路に与えるよう設けられた第２フィルタを更に備えている

請求項２記載の通信装置。

[請求項4] 前記ΔΣ変調器は、

前記デジタル参照信号が入力される第１入力ポートと、

前記通信装置から送信されるアナログ送信信号に対応したデジタル送信信号が入力される第３ポートと、

第１ループフィルタと、

第３ループフィルタと、

前記第１ループフィルタ及び前記第３ループフィルタの出力を加算する加算器と、

前記加算器の出力を量子化する量子化器と、

を備え、

前記第１ループフィルタは、前記第１入力ポートに入力された前記デジタル参照信号と、前記量子化器の出力のフィードバック信号と、が入力されるよう設けられ、

前記第３ループフィルタは、前記第３ポートに入力された前記デジタル送信信号と、前記量子化器の出力のフィードバック信号と、が入力されるよう設けられ、

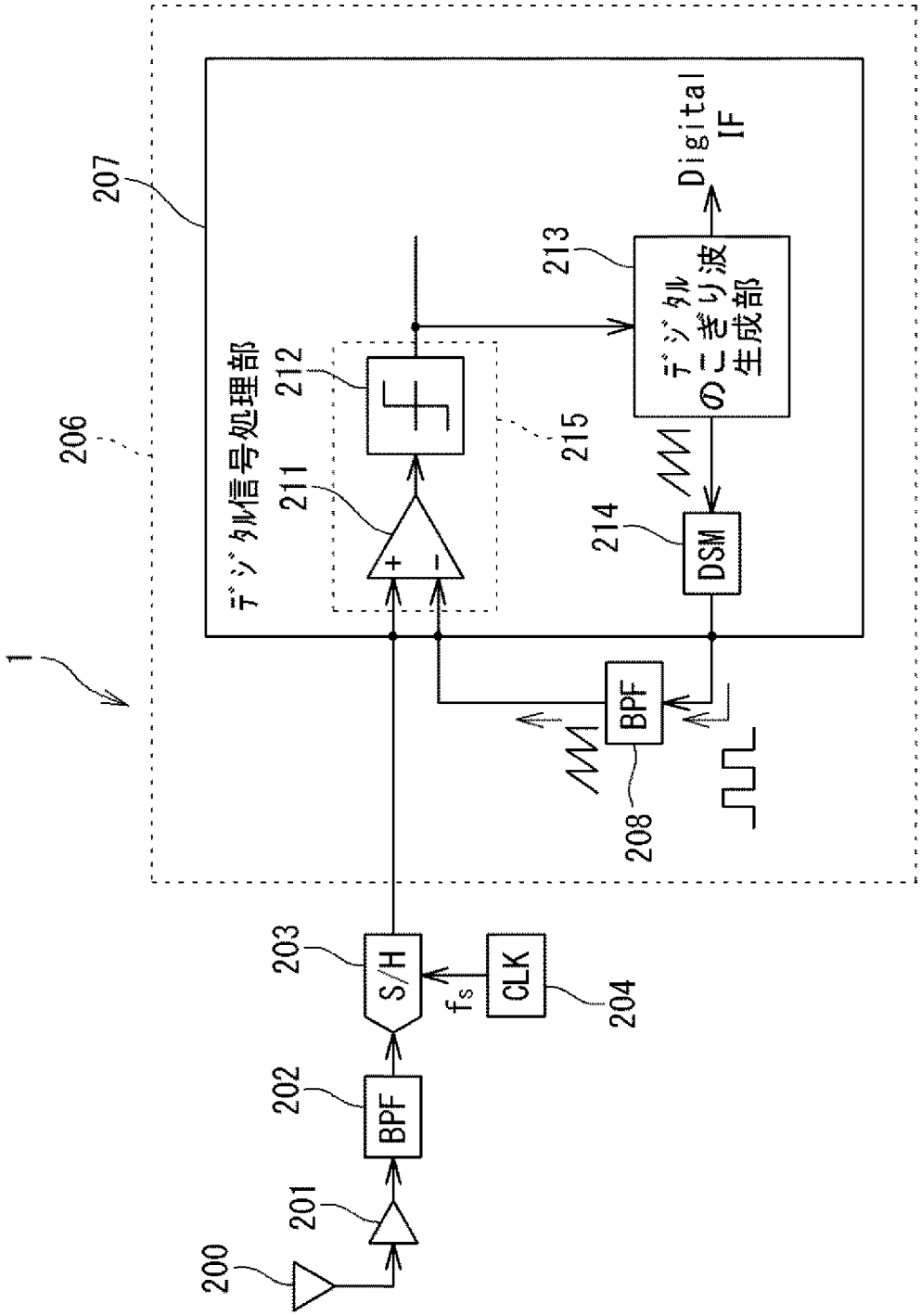
前記第１ループフィルタは、前記デジタル参照信号の周波数付近の雑音を阻止する特性を有し、

前記第３ループフィルタは、前記デジタル送信信号の周波数付近の雑音を阻止する特性を有し、

前記ΔΣ変調器の出力信号のうち、前記出力信号に含まれる前記アナログ送信信号の成分を通過させるよう構成された、通過信号が前記通信装置から送信される前記アナログ送信信号となるように設けられた第３フィルタを更に備えている

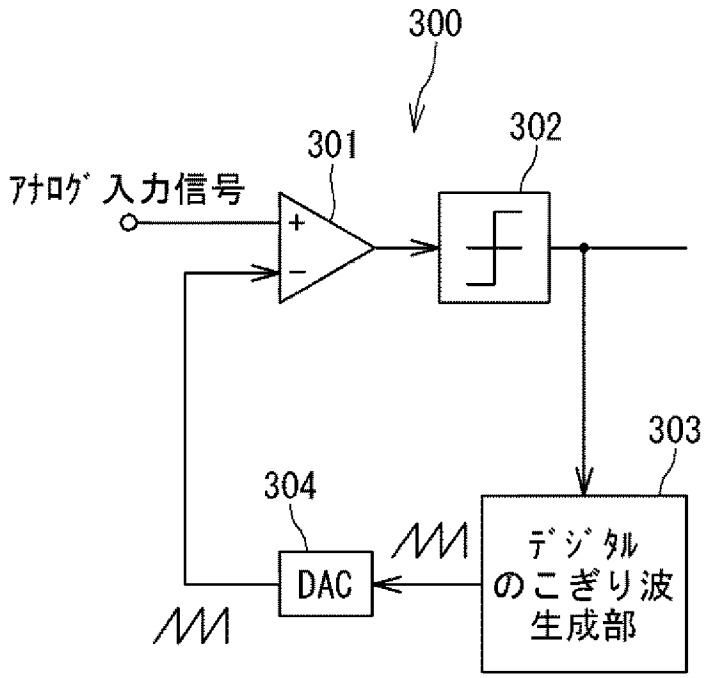
請求項２記載の通信装置。

[図1]

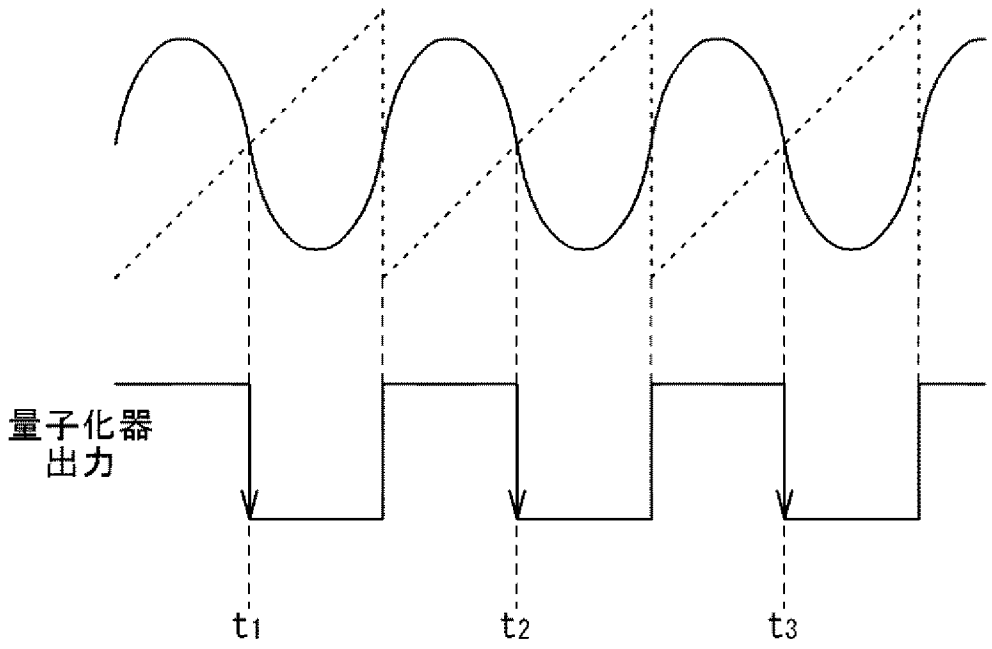

1
200
201
202
BPF
203
S/H
f_s
CLK
204
206
207
デジタル信号処理部
208
BPF
211
212
215
213
デジタル のこぎり波 生成部
214
DSM
Digital IF

[図2]

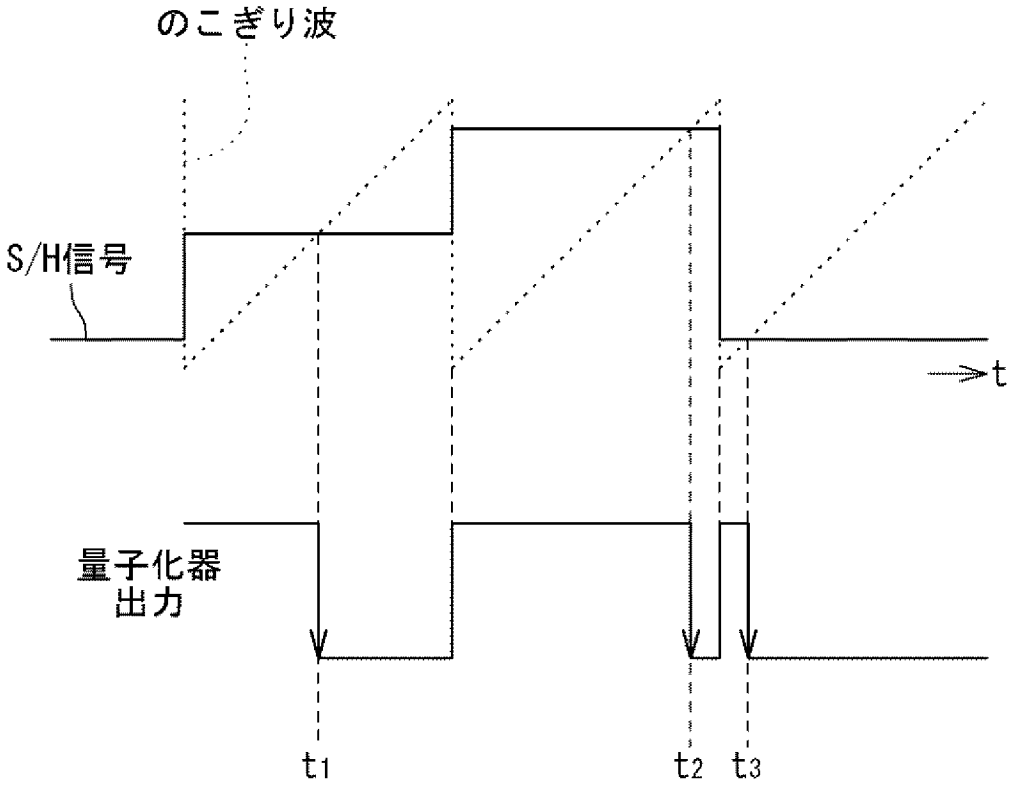
(a)


300
301
302
アナログ 入力信号
+
−
303
304
DAC
デジタル
のこぎり波
生成部

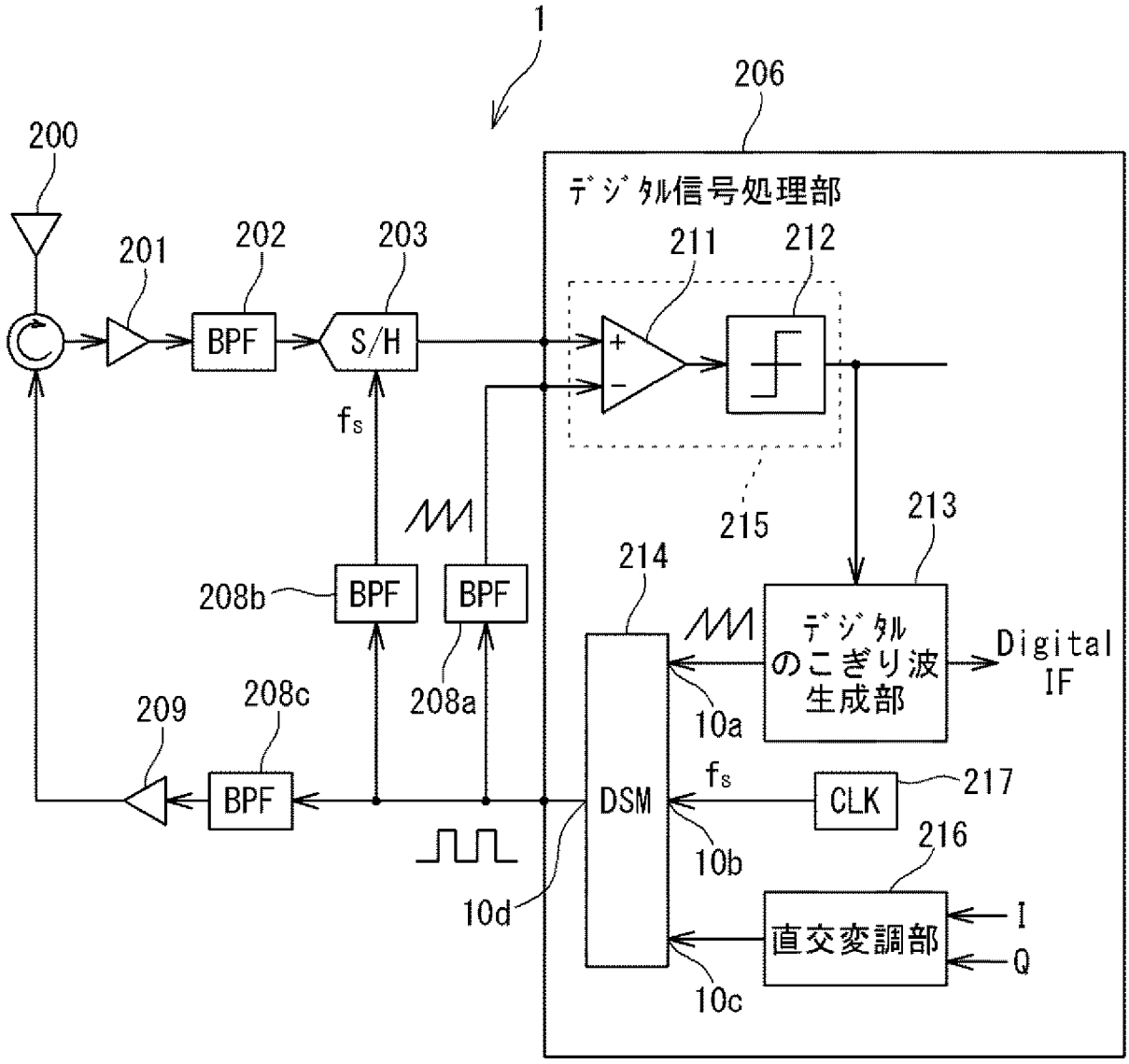
(b)


量子化器
出力
t1
t2
t3

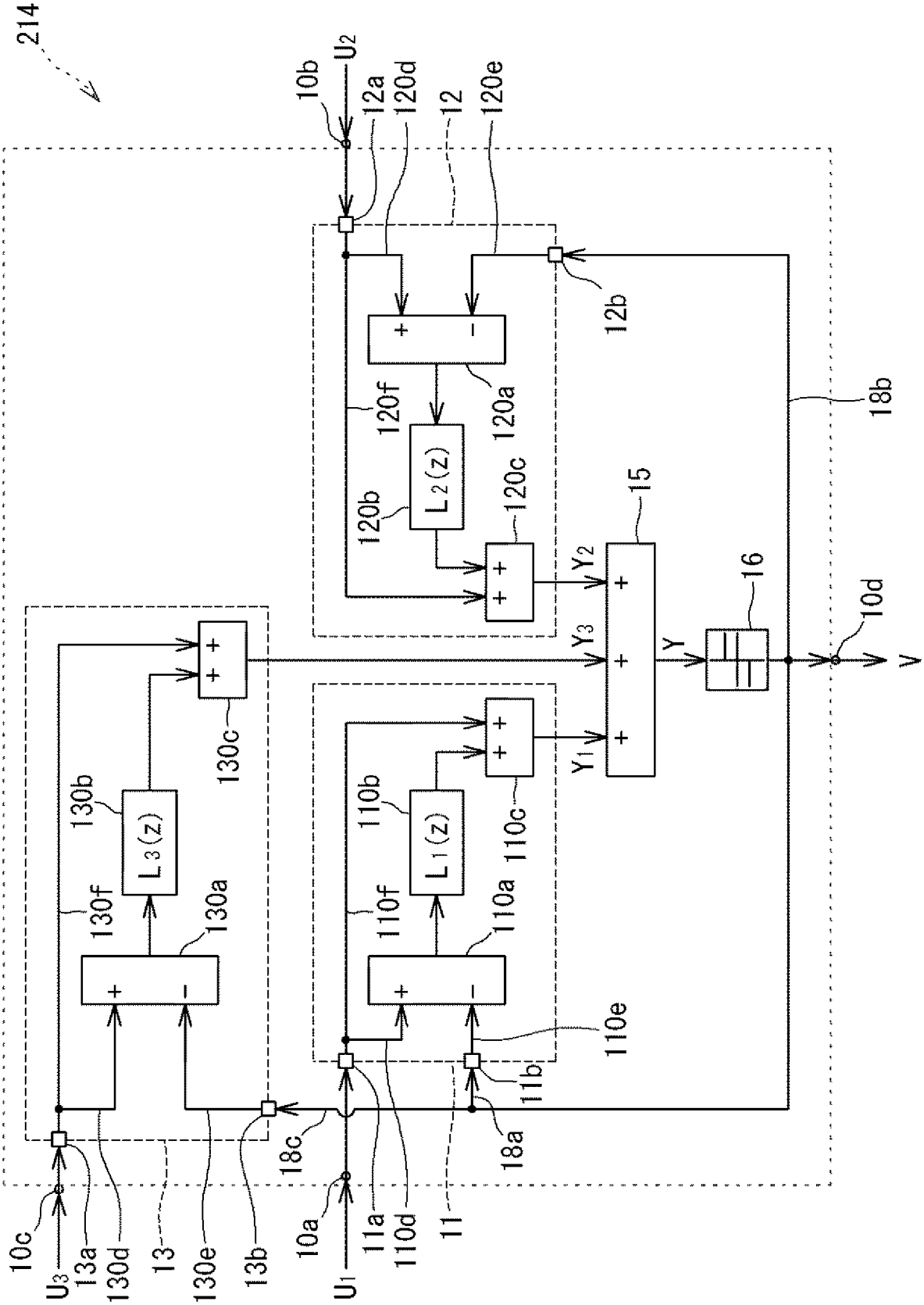
[図3]



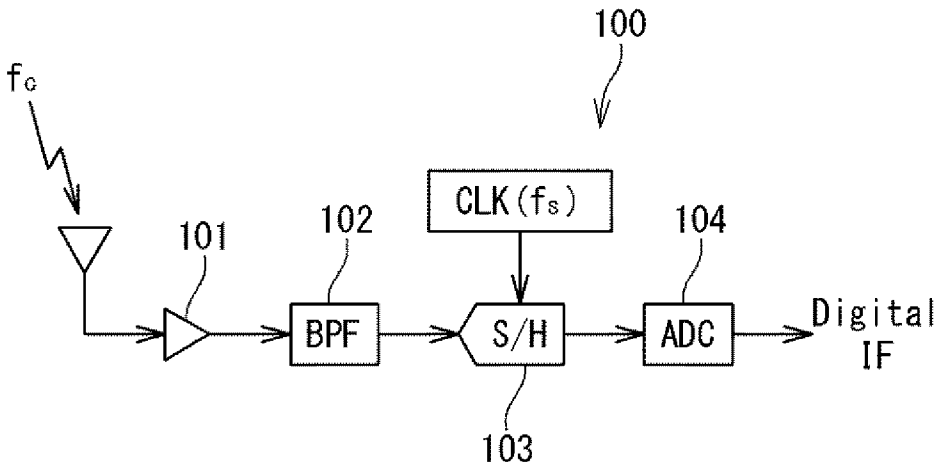
[図4]


1
206
200
デジタル信号処理部
201
202
203
211
212
BPF
S/H
+
−
fs
215
213
214
208b
BPF
BPF
デジタル
のこぎり波
生成部
Digital
IF
208a
10a
209
208c
BPF
DSM
fs
CLK
217
10b
216
10d
直交変調部
I
Q
10c

[図5]


214
10b
U2
12a
120d
12
120e
12b
18b
120f
120a
L2(z)
120b
120c
15
Y2
16
10d
Y3
Y
V
130c
130b
L3(z)
130f
130a
110b
110c
L1(z)
110f
110a
Y1
110e
11b
18a
18c
10c
U3
13a
130d
13
130e
13b
10a
U1
11a
110d
11

[図6]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/053754

A. CLASSIFICATION OF SUBJECT MATTER
H03M1/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2012-005126 A (Foveon, Inc.), 05 January 2012 (05.01.2012), fig. 4, 7; paragraphs [0010], [0030] & US 8823427 B & DE 102011102554 A1	1 2 3,4
Y A	JP 2000-078012 A (Lucent Technologies Inc.), 14 March 2000 (14.03.2000), fig. 1 & US 6346907 B1	2 3,4
A	Takashi Maehata; Kazuyuki Totani; Suguru Kameda; Noriharu Suematsu, Concurrent Dual-band 1-bit Digital Transmitter Using Band-Pass Delta-Sigma Modulator, Proceedings of the 43rd European Microwave Conference, 2013.10.07, pp.1523-1526	1-4

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 March 2015 (18.03.15)	31 March 2015 (31.03.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０５３７５４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03M1/56(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03M1/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE Xplore

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2012-005126 A (フォベオン・インコーポレーテッド) 2012.01.05, 図 4,7, 段落 0010,0030 & US 8823427 B & DE 102011102554 A1	1 2 3，4
Y A A	JP 2000-078012 A (ルーセント　テクノロジーズ　インコーポレイテッド) 2000.03.14, 図 1 & US 6346907 B1	2 3，4
A	Takashi Maehata; Kazuyuki Totani; Suguru Kameda; Noriharu Suematsu, Concurrent Dual-band 1-bit Digital Transmitter Using Band-Pass Delta-Sigma Modulator, Proceedings of the 43rd European Microwave Conference, 2013.10.07, pp.1523-1526	1－4

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１８．０３．２０１５	３１．０３．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｘ　５２９０
角田　慎治
電話番号　０３－３５８１－１１０１　内線　３５９６