

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 10 月 11 日 (11.10.2012) WIPO | PCT



(10) 国际公布号
WO 2012/136027 A1

- (51) 国际专利分类号:
H01L 27/115 (2006.01) H01L 29/792 (2006.01)
H01L 27/108 (2006.01) H01L 21/8247 (2006.01)
- (21) 国际申请号: PCT/CN2011/077199
- (22) 国际申请日: 2011 年 7 月 15 日 (15.07.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110087509.0 2011 年 4 月 8 日 (08.04.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 北京大学 (PEKING UNIVERSITY) [CN/CN]; 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 蔡一茂 (CAI, Yimao) [CN/CN]; 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。黄如 (HUANG, Ru) [CN/CN]; 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。秦石强 (QIN, Shiqiang) [CN/CN]; 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。田明 (TIAN, Ming) [CN/CN]; 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。唐柏人 (TANG, Poren) [CN/CN]; 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。唐昱 (TANG, Yu) [CN/CN]; 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。
- (74) 代理人: 北京万象新悦知识产权代理事务所 (普通合伙) (BEIJING WANXIANGXINYUE INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀路 50 号北大资源东楼 1330 室, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: SONOS FLASH MEMORY DEVICE, MANUFACTURING METHOD AND OPERATION METHOD THEREFOR

(54) 发明名称: 一种 SONOS 快闪存储器及其制备方法和操作方法

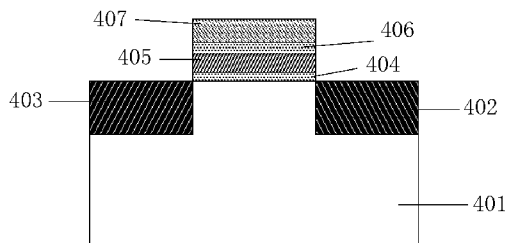


图 4 / FIG. 4

(57) Abstract: A SONOS flash memory device, a manufacturing method and an operation method therefor, comprising a substrate (401), a source and drain (402 and 403), and a channel. Sequentially provided on the channel are a tunnel oxide layer (404), a silicon nitride trap layer (405), a blocking oxide layer (406), and a polycrystalline control gate (407). The SONOS flash memory device is characterized in that: the substrate (401) is of lightly doped silicon, and the source and drain (402 and 403) are of different doping types, being respectively a P+ region and an N+ region. The device is provided with improved compatibility with existing standard CMOS techniques, thus allowing for effectively increased programming efficiency, reduced power consumption, inhibited feed-through effect, and a compact size.

[见续页]

WO 2012/136027 A1



(57) 摘要:

一种 SONOS 快闪存储器及其制备方法和操作方法，包括衬底（401），源漏（402，403）和沟道，沟道之上依次为隧穿氧化层（404），氮化硅陷阱层（405），阻挡氧化层（406）和多晶硅控制栅（407）；其特征在于，衬底（401）为轻掺杂硅，源漏（402，403）的掺杂类型不同，分别为 P+区和 N+区。该器件与现有标准 CMOS 工艺有较好的兼容性，有效地提高编程效率，降低功耗，抑制穿通效应，尺寸小。

一种 SONOS 快闪存储器及其制备方法和操作方法

技术领域

本发明属于超大规模集成电路中的非挥发型半导体存储器技术领域，具体涉及一种采用了 TFET（Tunneling Field Effective Transistor）的 SONOS 型快闪存储器。

背景技术

在当前各种消费类电子产品广泛兴起之际，市场对非挥发性半导体存储器的需求也在不断增加。作为一种非常重要的非挥发性存储器，快闪存储器近来成为了业界的宠儿。

快闪存储器（Flash Memory，也称为闪存）自从其出现到今天已有几十年的时间了。在这期间，在得到广泛应用的同时，也在不断地做出改进。按照时间的先后顺序，依次出现如下两种基本形态：

1. 浮栅型闪存（Floating Gate Flash Memory）

这种结构的快闪存储器使用多晶硅浮栅实现电子的存储。其具体结构如图 1 所示，在体硅衬底 101 上，除了源 102、漏 103 之外，沟道以上依次为隧穿氧化层 104、多晶硅浮栅 105、阻挡氧化层 106 和控制栅 107。需要指出的是，该结构快闪存储器的电子在浮栅上是连续分布的。

2. 分离陷阱型闪存（Discrete Trap Flash Memory）

与浮栅型闪存的区别之处在于，分离陷阱型闪存用于存储电子的结构为氮化硅陷阱层而非多晶硅浮栅，其余结构与浮栅型闪存基本相同（参见图 1），因此，浮栅型闪存也被称为 SONOS（silicon-oxide-nitride-oxide-silicon）型快闪。氮化硅陷阱层中存入的电子是局域化的，并不连续。因此，如果隧穿氧化层受到损伤而出现泄漏通道时，仅仅是通道区域的电子通过该泄漏通道泄漏掉，而其他部分存储的电子并不减少，这样就提高了整个器件的保持特性。

需要说明的是后一种结构相比于前一种有着较大的性能改进，尤其是在保持特性方面，因此近年来成为了一大研究热点。但由于最基本的编程机理限制，这种 SONOS 结构的快闪存储器也和第一类闪存一样存在编程效率低、功耗高和难以继续等比例缩小等问题。

另一方面，隧穿场效应晶体管（Tunneling Filed Effect Transistor，记作 TFET）是一种基于量子隧穿效应的晶体管。在结构上区别于传统的 MOS 晶体管之处在于源、漏为两种不同的掺杂类型，并且轻掺杂的 N 型硅（N-型硅）和轻掺杂的 P 型硅（P-型硅）都可以作为衬底使用。图 2 为以 N-型硅作衬底 201 的 TFET 结构示意图，在硅平面的两端分别为 N+端 202

和 P+端 203，沟道之上依次为栅氧化层 204 和多晶硅栅 205。在各端未接外部电压的情况下，其沿沟道方向的能带如图 3（a）所示，此时整个晶体管处于关断状态。当分别在 P+端 203 和 N+端 202 施加足够负偏压和正偏压，且多晶硅栅 205 加适当正偏压的情况下，沿沟道方向的能带如图 3（b）所示。如果施加的偏压足以让 P+端 203 和沟道交接处的能带弯曲以致发生带带隧穿（Band to Band tunneling）时，电子会从 P+端 203 的价带隧穿到沟道区的导带上，进而在沿沟道方向的电场作用下漂移至 N+端 202。此时，该晶体管是作为 N 型 TFET 使用，其中 N+端 202 作为漏，P+端 203 作为源。当分别在 P+端 203 和 N+端 202 施加足够负偏压和正偏压，且多晶硅栅 205 加适当负偏压的情况下，沿沟道方向的能带如图 3（c）所示。如果施加的偏压足以让 N+端 202 和沟道交接处的能带弯曲以致发生带带隧穿（Band to Band tunneling）时，电子会从沟道区的价带隧穿到 N+端 202，留下的空穴会在强电场的作用下迅速扫至 P+端 203。此时，该晶体管是作为 P 型 TFET 使用，其中 P+端 203 作为漏，N+端 202 作为源。

发明内容

本发明针对传统快闪存储器面临的众多挑战，结合隧穿场效应晶体管提出一种高性能 SONOS 快闪存储器，在改善保持特性的同时，可以有效提高编程效率、降低工作功耗、抑制穿通效应等。

本发明的技术方案如下：

一种 SONOS 快闪存储器，包括衬底、源漏和沟道，沟道位于源漏之间，沟道之上依次为隧穿氧化层、氮化硅陷阱层、阻挡氧化层和多晶硅控制栅；其特征在于，所述衬底为轻掺杂硅；源漏的掺杂类型不同，源端为 P+区，漏端为 N+区。

上述快闪存储器，轻掺杂 P 型硅（P-型硅）和轻掺杂 N 型硅（N-型硅）都可以作为衬底使用。

本发明还提供了一种制备上述 SONOS 快闪存储器的方法，包括以下步骤：

- 1) 浅槽隔离轻掺杂硅衬底形成有源区；
- 2) 在衬底上依次形成第一二氧化硅层（隧穿氧化层）、氮化硅层（陷阱层）、第二二氧化硅层（阻挡氧化层）和多晶硅层（控制栅）；
- 3) 对多晶硅层进行重掺杂和热退火（RTA）激活杂质；
- 4) 刻蚀步骤 2) 形成的多晶硅层、第二二氧化硅层、氮化硅层和第一二氧化硅层，形成栅堆栈结构；
- 5) 在栅堆栈结构的两端分别进行 P+注入和 N+注入，形成源漏。

上述步骤 1) 可以采用 P-型或 N-型体硅衬底。

上述步骤 2) 中第一二氧化硅层可以通过淀积或热生长的方式形成。为改善沟道表面性质, 在形成第一二氧化硅层之前可以在硅衬底上先热生长一层牺牲氧化层, 并湿法腐蚀去掉该牺牲氧化层, 然后再热生长或淀积一层二氧化硅层作为隧穿氧化层。

本发明的 SONOS 快闪存储器, 无论是 P-型硅衬底还是 N-型硅衬底, 具体的操作方法是一样的, 简述如下:

编程时, P+区接地, N+区施加正偏压, 控制栅施加正偏压。在这种偏压作用下, 类似于 N 型 TFET, 电子将从 P+区的价带隧穿到沟道的导带上。进入沟道区域的电子在横向电场的作用下沿沟道方向朝 N+区漂移。在这一过程中由于外加电场的作用, 会有部分电子获得的能量足够高, 以至于超过 Si/SiO₂ 的势垒高度, 穿过隧穿氧化层进入到氮化硅陷阱层中, 并被捕获, 完成存储单元的编程。

擦除时, N+区、P+区施加正偏压, 控制栅施加负偏压。这样的偏置条件下将会发生 FN 隧穿, 使得氮化硅陷阱层中的电子进入硅衬底, 完成对存储单元的擦除。

读取时, 在 N+区施加正偏压, P+区接地, 控制栅施加较小的正偏压。控制偏压的设置, 要求在不进行误编程的前提下从 N+区读出电流。氮化硅陷阱层捕获电子的多少会影响漏端 (N+区) 读出的电流。这样, 漏端读出的电流就反映了氮化硅陷阱层捕获电子的多少, 完成了两个状态的区分, 实现了存储的功能。

本发明结合隧穿场效应晶体管 (TFET) 提出了一种 SONOS 快闪存储器结构, 其与现有的标准 CMOS 工艺有着较好的兼容性, 并且在具有一般 SONOS 快闪存储器保持特性较好的优势的同时, 可以有效地提高编程效率、降低功耗、抑制穿通效应等, 且小尺寸特性理想。

以 P-型硅衬底的 SONOS 快闪存储器为例, 在编程偏置条件下, P+区与沟道交接处的能带将发生很明显的弯曲, 并出现带带隧穿 (Band to Band tunneling) 现象。此时在能带的弯曲处, 将有很大的电压降, 即横向电场的峰值位于源端 P+区附近, 这样就使得电子刚进入沟道时, 就可以获得很大的能量以便越过 Si/SiO₂ 的势垒进入氮化硅层。而传统的 SONOS 型快闪存储器在编程时, 沿沟道方向的横向电场峰值位于漏端附近, 电子在到达该峰值位置之前, 能量非常低, 不足以越过 Si/SiO₂ 势垒, 而当到达此峰值位置, 获得较大的能量时, 由于非常靠近漏端, 又会有很大的几率被漏端吸走, 大大降低了编程效率。

在编程效率大大提高的情况下, 本发明的快闪存储器从源端 P+区出来的电子被高效率的注入进氮化硅陷阱层, 大大降低了对编程无效的漏端电流, 缩短了编程时间, 达到了降低功耗的目的。同时由于采用了 SONOS 结构相比于浮栅型的快闪存储器具有更好的保持特性。

另外, 传统的基于 MOS 场效应晶体管的快闪存储器在小尺寸下, 会发生源结和漏结耗尽

区相连通，产生很大的从源流向漏的电流，影响功能的正常实现。而本发明的快闪存储器，由于源结和漏结不会同时存在，可以在很大程度上抑制穿通效应（Punch-Through Effect）。

附图说明

图 1 是传统快闪存储器（浮栅型和分离陷阱型）的剖面结构示意图，其中：

101—体硅衬底；102—漏端；103—源端；104—隧穿氧化层；105—多晶硅浮栅（对应于浮栅型闪存）或氮化硅陷阱层（对应于分离陷阱型闪存）；106—阻挡氧化层；107—多晶硅控制栅。

图 2 是 TFET 的剖面结构示意图，其中：

201—体硅衬底（N-掺杂）；202—N+端（N 型 TFET 时做漏端，P 型 TFET 时做源端）；203—P+端（P 型 TFET 时做漏端，N 型 TFET 时做源端）；204—栅氧化层；205—多晶硅栅。

图 3 是图 2 所示 TFET 在各种偏置条件下沿沟道方向的能带图，其中：

(a)为各端未接偏置时的能带图；

(b)为图 2 中的器件作为 N 型 TFET 时的能带图（N+端 202 接正向电压，P+端 203 接地或负向电压，多晶硅栅 205 接较高的正向电压）；

(c)为图 2 中的器件作为 P 型 TFET 时的能带图（N+端 202 接正向电压，P+端 203 接地或负向电压，多晶硅栅 205 接较高的负向电压）。

图 4 是本发明的 SONOS 快闪存储器的结构示意图，其中：

401—N-或 P-型硅衬底；402—N+区；403—P+区；404—隧穿氧化层；405—氮化硅陷阱层；406—阻挡氧化层；407—多晶硅控制栅。

图 5(a)-(c)是实施例制备 P-型硅衬底的 SONOS 快闪存储器的工艺流程各步骤对应的产品结构示意图，其中：

401—P-型硅衬底；402—N+区；403—P+区；404—隧穿氧化层；405—氮化硅陷阱层；406—阻挡氧化层；407—多晶硅控制栅。

具体实施方式

以下结合附图，以 P-型硅衬底的快闪存储器为例，来进一步说明本发明快闪存储器的制备，以及这种快闪存储器的基本工作模式，但并不因此限制本发明的范围，本发明同样适用于以 N-型硅为衬底的快闪存储器。

本实施例所制备的快闪存储器的结构如图 4 所示，P-型硅 401 作为衬底使用，在硅平面的两端为 P+区域和 N+区，中间为沟道区域，沟道上面依次为隧穿氧化层，氮化硅陷阱层，

阻挡氧化层和多晶硅控制栅。整个器件为一种 TFET 型的 SONOS 快闪存储器。

上述快闪存储器的制备包括以下步骤：

- (1) 对单抛 P-型硅衬底 401 进行浅槽隔离 (STI)，形成有源区；
- (2) 热生长一层牺牲氧化层以改善沟道表面质量，随后氢氟酸漂洗掉该牺牲氧化层；然后热生长氧化层 404，厚度 5 纳米，再依次淀积氮化硅层 405 (厚度 8 纳米)、氧化层 406 (厚度 9 纳米) 和多晶硅层 407 (厚度 50 纳米)，如图 5 (a) 所示；
- (3) 对顶层多晶硅 407 进行重掺杂，接着快速热退火 (RTA) 激活杂质；
- (4) 刻蚀多晶硅层 407、二氧化硅层 406、氮化硅层 405 和二氧化硅层 404 形成图 5 (b) 所示的栅堆栈结构；
- (5) 在栅的两侧分别进行砷 (402) 和硼 (403) 注入，形成重掺杂的 N+区 402 和 P+区 403，如图 5 (c) 所示。

之后的步骤都是常规的工艺流程：淀积低氧层，刻蚀引线孔，溅射金属，形成金属线，合金，钝化等，最后形成可测试的闪存单元。

以下用来说明上述器件的具体工作模式。

编程：本器件在编程时，控制栅 407 施加合适的正电压，P+区 403 接地，N+区 402 施加正电压。在这样的偏置条件下，P+区 403 的电子会通过隧穿进入到沟道区域，然后沿着沟道方向朝 N+区 402 流动。当所加偏置合适时，就会有部分电子获得足够的能量，越过 Si/SiO₂ 的势垒进入到氮化硅陷阱层 405 中，并被其中的陷阱捕获，完成器件的编程。

擦除：本器件的擦除通过 FN 的方式实施。控制栅 407 施加合适的负电压，P+区 403 和 N+区 402 施加正电压。在这样的偏置条件下，位于氮化硅陷阱层 405 中的电子就会隧穿进入衬底中去，完成对器件的擦除。

读取：器件存储状态的读取采用类似 N-TFET 的方式。读取时，控制栅 407 加较小的正电压，P+区 403 接地，N+区 402 加较小的正向电压，偏压的设置要求在不进行误编程的前提下读出 N+区 402 的电流。当氮化硅陷阱层 405 中捕获有电子时，从 N+区 402 端读出的电流较小；当氮化硅陷阱层 405 中的电子被擦除后，从 N+区 402 端读出的电流较大，这样就实现了两种存储状态的读取。

通过上述的编程、擦除和读取操作，整个器件就可以正常的工作，完成存储的功能。

权 利 要 求 书

1. 一种 SONOS 快闪存储器，包括衬底、源漏和沟道，沟道位于源漏之间，沟道之上依次为隧穿氧化层、氮化硅陷阱层、阻挡氧化层和多晶硅控制栅；其特征在于，所述衬底为轻掺杂硅；源漏的掺杂类型不同，源端为 P+区，漏端为 N+区。
2. 如权利要求 1 所述的快闪存储器，其特征在于，所述衬底为轻掺杂 P 型硅或轻掺杂 N 型硅。
3. 一种 SONOS 快闪存储器的制备方法，包括以下步骤：
 - 1) 浅槽隔离轻掺杂硅衬底形成有源区；
 - 2) 在衬底上依次形成第一二氧化硅层、氮化硅层、第二二氧化硅层和多晶硅层；
 - 3) 对多晶硅层进行重掺杂和热退火激活杂质；
 - 4) 刻蚀步骤 2) 形成的多晶硅层、第二二氧化硅层、氮化硅层和第一二氧化硅层，形成栅堆栈结构；
 - 5) 在栅堆栈结构的两端分别进行 P+注入和 N+注入，形成源漏。
4. 如权利要求 3 所述的制备方法，其特征在于，步骤 1) 所述轻掺杂硅衬底是 P-型或 N-型体硅衬底。
5. 如权利要求 3 所述的制备方法，其特征在于，步骤 2) 通过淀积或热生长的方式形成第一二氧化硅层。
6. 如权利要求 3 所述的制备方法，其特征在于，步骤 2) 在形成第一二氧化硅层之前，在硅衬底上先热生长一层牺牲氧化层，然后湿法腐蚀去掉该牺牲氧化层。
7. 权利要求 1 所述 SONOS 快闪存储器的操作方法，包括：编程时，P+区接地，N+区施加正偏压，多晶硅控制栅施加正偏压，使部分电子穿过隧穿氧化层进入到氮化硅陷阱层中，并被捕获；擦除时，N+区、P+区施加正偏压，多晶硅控制栅施加负偏压，使氮化硅陷阱层中的电子进入衬底；读取时，在 N+区施加正偏压，P+区接地，多晶硅控制栅施加正偏压，控制偏压大小，在不进行误编程的前提下从 N+区读出电流。

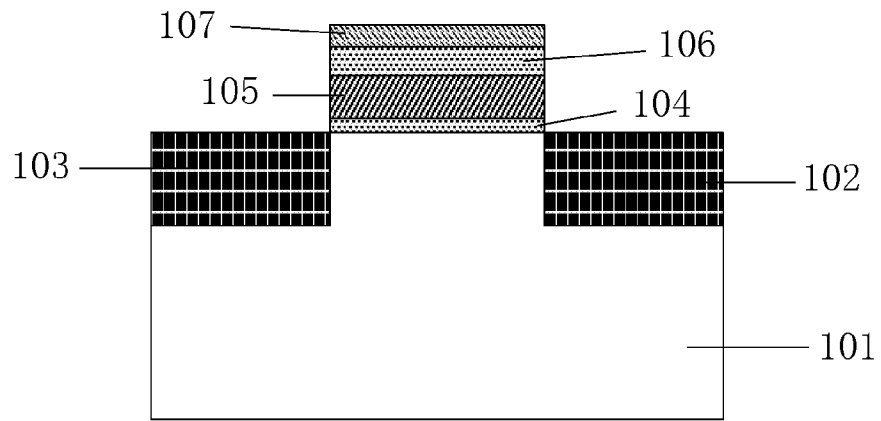


图 1

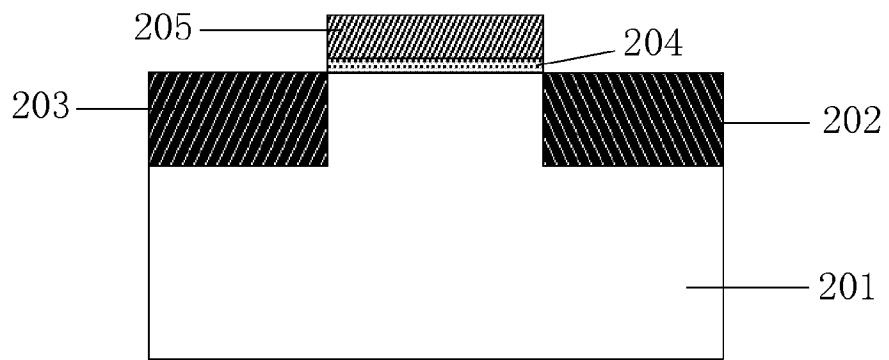


图 2

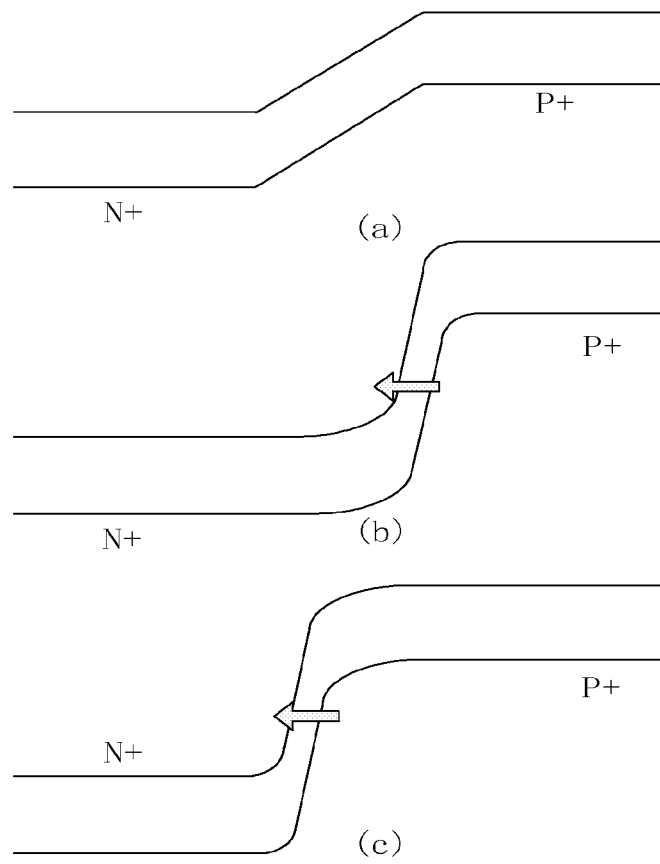


图 3

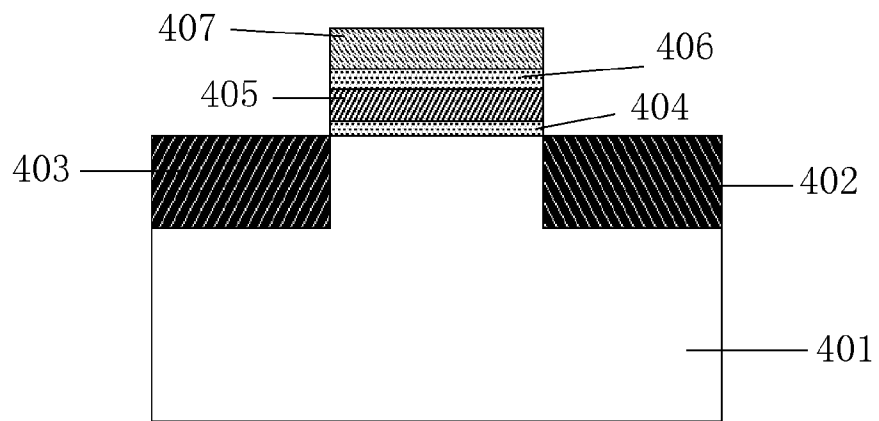
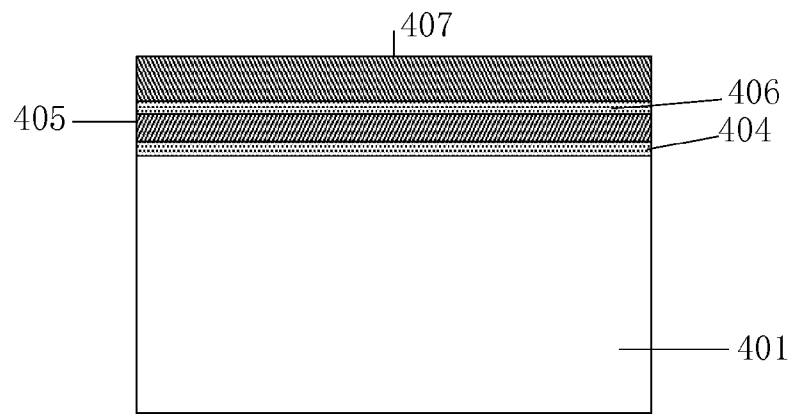
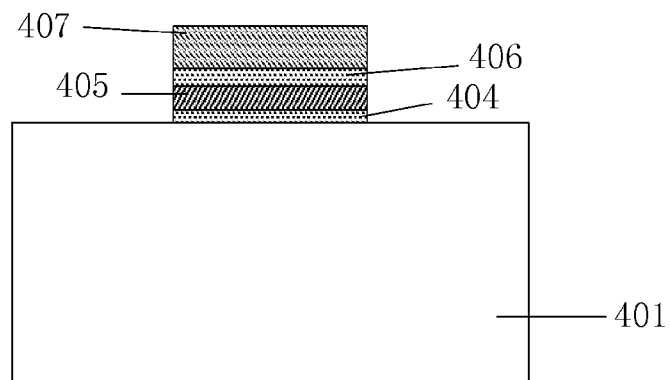


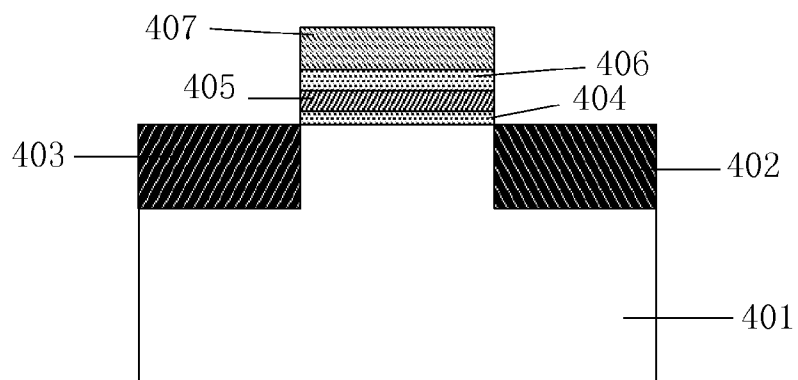
图 4



(a)



(b)



(c)

图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/077199

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRS, CNKI, WPI, EPODOC: tunneling oxide layer trap layer blocking oxide layer control gate TFET flash memory memory sonos

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 100536168 C (PEKING UNIVERSITY), 02 September 2009 (02.09.2009), description, page 4, and figure 1	1-2
A		7
Y	CN 1750170 A (INFINEON TECHNOLOGIES AG), 22 March 2006 (22.03.2006), description, page 2, paragraph 3, and page 14, paragraph 3, and figure 3	1-6
A		7
Y	CN 100483716 C (SAMSUNG ELECTRONICS CO., LTD.), 29 April 2009 (29.04.2009), description, pages 7-9, and figures 6-8	1-6
A		7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 December 2011 (26.12.2011)	Date of mailing of the international search report 12 January 2012 (12.01.2012)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHONG, Yi Telephone No.: (86-10) 62411594

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/077199

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 100536168 C	02.09.2009	CN 101110449 A	23.01.2008
CN 1750170 A	22.03.2006	GB 2417131 A	15.02.2006
		JP 2006054435 A	23.02.2006
		US 2006033145 A1	16.02.2006
		DE 102005029493 A1	23.02.2006
		FR 2879800 A1	23.06.2006
		GB 2417131 B	11.10.2006
		JP 4571544 B2	27.10.2010
		US 2011171803 A1	14.07.2011
CN 100483716 C	29.04.2009	EP 1487013 A2	15.12.2004
		US 2004251489 A1	16.12.2004
		JP 2005005715 A	06.01.2005
		KR 20040108309 A	23.12.2004
		CN 1574361 A	02.02.2005
		US 2007296026 A1	27.12.2007
		KR 100973281 B1	30.07.2010

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/077199

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/115 (2006.01) i

H01L 27/108 (2006.01) i

H01L 29/792 (2006.01) i

H01L 21/8247 (2006.01) i

国际检索报告

国际申请号

PCT/CN2011/077199

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CPRS, CNKI, WPI, EPODOC: 隧穿氧化层 陷阱层 阻挡氧化层 控制栅 TFET 闪存 memory sonos

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN100536168C (北京大学) 02.9 月 2009 (02.09.2009) 说明书第 4 页, 附图 1	1-2
A		7
Y	CN1750170A (因芬尼昂技术股份公司) 22.3 月 2006 (22.03.2006) 说明书第 2 页第 3 段, 第 14 页第 3 段, 附图 3	1-6
A		7
Y	CN100483716C (三星电子株式会社) 29.4 月 2009 (29.04.2009) 说明书第 7-9 页, 附图 6-8	1-6
A		7

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

26.12 月 2011 (26.12.2011)

国际检索报告邮寄日期

12.1 月 2012 (12.01.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

钟翊

电话号码: (86-10) **62411594**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/077199

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN100536168C	02.09.2009	CN101110449A	23.01.2008
CN1750170A	22.03.2006	GB2417131A	15.02.2006
		JP2006054435A	23.02.2006
		US2006033145A1	16.02.2006
		DE102005029493A1	23.02.2006
		FR2879800A1	23.06.2006
		GB2417131B	11.10.2006
		JP4571544B2	27.10.2010
		US2011171803A1	14.07.2011
CN100483716C	29.04.2009	EP1487013A2	15.12.2004
		US2004251489A1	16.12.2004
		JP2005005715A	06.01.2005
		KR20040108309A	23.12.2004
		CN1574361A	02.02.2005
		US2007296026A1	27.12.2007
		KR100973281B1	30.07.2010

A. 主题的分类

H01L27/115 (2006.01) i

H01L27/108 (2006.01) i

H01L29/792 (2006.01) i

H01L21/8247 (2006.01) i