

公告本

申請日期	90 - 06 - 26
案 號	90115884
類 別	H04N 1/387

A4
C4

522723

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	對一數位像素感測器輸出之像素加以重排的電路及方法
	英 文	CIRCUIT AND METHOD FOR PIXEL REARRANGEMENT IN A DIGITAL PIXEL SENSOR READOUT
二、發明 人	姓 名	1.歐都多拉歐露賽艾黛咪 2.鄧中翰 3.李嘉圖詹松摩塔 4.楊曉東
	國 籍	1.美國 2.中華人民共和國 3.巴西 4.中華人民共和國
住、居所		1.美國加州聖荷西市#636 南三街 144 號 2.美國加州山景城加利福尼亞大街 2020 號 3.美國加州帕羅奧多希爾巴巷 539 號 4.美國加州山景城加利福尼亞大街 2020 號
三、申請人	姓 名 (名稱)	美商·派克斯股份有限公司
	國 籍	美國
	住、居所 (事務所)	美國加州山景城 C-200 北海岸大道 883 號
	代 表 人 姓 名	楊曉東(大衛)

第 1 頁

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ☒有 ☐無主張優先權

本案已向美國申請專利；申請日：2000 年 8 月 15 日 案號：09/638,503 號

有關微生物已寄存於： 寄存日期： 寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

發明領域：

本發明大致關係於影像感測器系統；特別是，本發明關係於利用數位像素感測器架構之影像感測器。

發明背景：

數位照相術係為近年來最進步之技術之一。以適當硬體及軟體(及一點知識)，任何人均可以使數位照相之原理動作。例如，數位相機正流行於數位照相。近來產品引入，技術進步，及價格下降伴隨著電子郵件及全球資訊網的出現，已經使數位相機成為消費電子產品之最熱門的項目。

然而，數位相機並不如同傳統軟片型相機般地動作。事實上，它們更相當接近於電腦掃描器，影印機，或傳真機。多數數位相機使用影像感測器或光感應裝置，例如電荷耦合裝置(CCD)或互補金屬氧化物半導體(CMOS)以感應一景象。光感應裝置可以對反射自景象之光作反應，並可以將該反應之強度轉換為電子充電信號，其隨後進一步被數位化。藉由例如令光通過紅，綠，及藍濾色片，該反應可以被用以計數每一分別之色彩光譜。當讀值被軟體所組合及估計時，相機可以決定每一圖案區段之特定顏色。因為影像係實際為數值資料的集合，所以其可以容易下載至電腦，並被操控以作藝術效果。

然而，數位相機並沒有傳統軟片技術可以取得之解析度。雖然傳統軟片型技術為化學為主軟片之顆粒所限定，但典型具有數以千萬計之像素的解析度，但對於一般消費

五、發明說明()

者可接受之商用數位相機的影像感測器具有略多於一百萬或兩百萬像素之解析度。雖然可以購得具有至六百萬像素之解析度之數位相機，但這些高解析度相機係特別地昂貴。再者，數位影像感測器之動態範圍經常係不如軟片為主傳統照相術寬。這對於 CMOS 影像感測器特別是如此，其一般係具有較 CCD 為低之動態範圍。

由佛勒等人所領證之美國專利第 5,461,425 號描述一具有像素位準類比至數位轉換之 CMOS 影像感測器。此一下稱為數位像素感測器(DPS)之影像感測器於代表該像素元件所檢測之光強度之每一像素處，提供一數位輸出信號。光電晶體及類比至數位(A/D)轉換器之組合協助加強檢測的正確性並降低功率消耗，及改良整體系統效能。再者，美國專利申請第 09/567,638 號描述一整合型 DPS 感測器，整合有一晶片型記憶體，用以儲存至少影像資料之一圖幅。晶片型記憶體的加入免除了有於使用非晶片型記憶體儲存像素資料有關之資料傳輸瓶頸的問題。特別是，記憶體之整合以一 DPS 感測器使得多重取樣容易進行，用以改良所捕獲之影像之品質。多重取樣係被認為是能完成寬動態範圍，而沒有其他動態範圍加強技術之缺點，例如於信雜比之劣化及增加實施之複雜性。美國專利申請第 09/567,786 號描述一種方法，用以使用時間索引法完成影像多重取樣。上述專利及專利申請案係併入本案作為參考。

於第 425 專利案中之 DPS 感測器，類比至數位轉換

五、發明說明()

(ADC)係基於第一階 $\Sigma\Delta$ 調變。雖然此ADC法需要相當簡單及堅固之電路，但其具有產生太多資料及具有低光效能之缺點。美國專利第5,801,657號及美國專利申請第09/274,202號案提供其他之ADC機制，可以大量地改良整體系統效能，同時減少了A/D轉換器之尺寸。上述專利及專利申請案係併入作為參考。

現在需要的是一數位影像感測器，其具有整合之支援電路，用以改良影像感測器之效能。

發明目的及概述：

依據本發明之一方面，一影像感測器包含一感測器陣列，一資料記憶體，及一像素正規化電路。該感測器陣列具有一二維陣列之像素元件並輸出數位信號作為代表一景象影像之像素資料。由感測器陣列所輸出之像素資料係被安排於一感測器位元排列中。資料記憶體係與感測器陣列相通訊並儲存像素資料。像素正規化電路係連接至資料記憶體，用以重排像素資料成為一像素位元順序，並提供重排像素資料作為輸出信號。

依據本發明之另一方面，一影像感測器包含一感測器陣列，一資料記憶體，及一像素正規化電路，均製作於一單一積體電路上。該感測器陣列具有一二維陣列之像素元件並輸出數位信號作為表一景象影像之像素資料。資料記憶體係與感測器陣列相通，用以儲存像素資料。像素正規化電路係連接至資料記憶體，用以正規化像素資料並提供

五、發明說明()

正規化像素資料作為輸出信號。於一實施例中，感測器陣列以一感測器位元排列輸出該像素資料及像素正規化電路包含一像素重排電路，用以重排該像素資料成為一像素位元排列。於另一實施例中，感測器陣列輸出以格雷碼為代表之像素資料及像素正規化電路包含一轉換電路，用以將像素資料轉換為二進位代表值。於另一實施例中，資料記憶體儲存用於感測器陣列中之每一像素元件之重置值，及像素正規化電路包含一重置減法電路，用以由每一像素元件之像素資料減去重置值。於另一實施例中，感測器陣列使用多重取樣，用以建立用於該感測器陣列之寬動態範圍，資料記憶體包含一時間索引記憶體，用以儲存用於每一像素元件之時間索引值。於另一實施例中，像素正規化電路包含一多取樣正規化電路，用以基於像素資料及時間索引值，來計算每一像素元件之正規化像素資料。

依據本發明另一方面，描述了一種用以建立 n 位元格雷碼至二進位轉換電路之方法。一種用以將 n -位元格雷碼數轉換為一 n 位元二進制數之方法包含(1)使用一互斥或閘(XOR)樹，計算 n 位元格雷碼之最低效位元(LSB)之二進制值；該互斥或樹包含第一組 XOR 閘，用以計算 n 位元格雷碼數並以最短閘延遲時間，產生 LSB 之二進制值；(2)於 XOR 樹中，決定 LSB 以外之一第一群位元，第一群位元之二進制值同時也產生；及(3)提供第二組 XOR 閘，用以計算第一群位元及 LSB 以外之 n 位元格雷碼數之第二群位元的二進制值，該第二組 XOR 閘以少於 XOR 樹之最短

五、發明說明()

閘延遲時間為少或相等之閘延遲時間，來計算二進制值。

依據本發明之另一方面，一種將 n 位元格雷碼數轉換成 n 位元二進制碼數之方法包含：(1)提供多數建構方塊，用以轉換 2 位元，3 位元及 4 位元格雷碼數，每一建構方塊包含一或多數 XOR 閘並具有用於轉換 2 位元，3 位元或 4 位元格雷碼數之最短閘延遲時間；(2)選擇建構方塊之組合，用以轉換該 n 位元格雷碼數；及(3)於建構方塊之輸出端，提供第一組 XOR 閘，當有必要時，用以轉換 n 位元格雷碼數之低階位元。依據本發明之格雷碼至二進制轉換電路提供高速轉換及保留電路面積。

本發明係藉由參考以下詳細說明配合上附圖而更容易了解。

圖式簡單說明：

第 1 圖為依據本發明之一實施例之影像感測器之方塊圖。

第 2 圖為依據本發明之一實施例之第 1 圖之影像感測器之記憶體之記憶體架構。

第 3 圖為於第 1 圖之影像感測器中之記憶體的記憶體架構，其中像素資料係被儲存於一感測器位元排列中。

第 4 圖為第 1 圖之影像感測器之想要像素位元配置。

第 5 圖為使用遞迴 XOR 等式之前向法，作為 n 位元格雷碼至二進制轉換電路之電路圖。

第 6 圖為第 1 圖之影像感測器之影像陣列中之四代表像素

五、發明說明()

之像素強度值對時間圖。

第 7 圖為用於第 1 圖之影像感測器之多重取樣更新電路 104 之一實施例。

第 8 圖為依據本發明之一實施例之像素正規化電路。

第 9 圖為依據本發明之一實施例之 4 位元格雷碼至二進制轉換電路之電路圖。

第 10 圖為一重疊 XOR 樹，用以計算依據本發明之一實施例 15 位元格雷碼之最低效位元之二進制值。

第 11 圖為一 XOR 樹，用以依據本發明之一實施例，將一 15 位元格雷碼輸入值全部轉換為 15 位元二進制輸出值。

第 12 圖為依據本發明之另一實施例之 15 位元格雷碼至二進制轉換電路。

第 13 圖為依據本發明之另一實施例之 15 位元格雷碼至二進制轉換電路。

第 14 圖為依據本發明之一實施例之建構 n 位元格雷碼至二進制轉換電路之若干方塊圖。

第 15 圖為使用依據本發明之一實施例之第 14 圖之建構方塊所建立之 15 位元格雷碼至二進制轉換電路。

於本揭示中，於圖中之相同元件係以相同元件號表示。

圖號對照說明：

100 影像感測器

102 數位像素感測器陣列

五、發明說明()

103	輸出匯流排	104	多重取樣
107	匯流排	108	匯流排
109	匯流排	110	記憶體
112	像素正規化電路	220	記憶體位置
222	記憶體位置	224	記憶體位置
226	記憶體位置	220a-p	位元平面
500	轉換電路	830	緩衝器
832	格雷碼轉換電路	834	CDS減法電路
836	多重取樣正規化電路	900	轉換電路
1010	XOR樹	1110	XOR樹
1210	轉換電路	1310	轉換電路
1510	轉換電路		

發明詳細說明：

依據本發明，一基於數位像素感測器(DPS)架構之影像感測器係整合以一像素正規化電路，用以加強影像感測器之效率及效能。於本發明中之影像感測器中之像素正規化電路執行一或多數像素正規化功能，其包含像素位元重排，格雷碼至二進制轉換，數位共相關雙重取樣操作，多重取樣正規化操作。第1圖例示一依據本發明之一實施例之影像感測器之一方塊圖。影像感測器100產生數位影像資料作為在匯流排109上之輸出信號。

影像感測器100之影像感測器核心為一數位像素感測器(DPS)陣列102。DPS陣列102係為一二維陣列之光檢測

五、發明說明()

元件，也被稱為光檢測器。於第 1 圖中，DPS 陣列 102 係被安排呈 N 列×M 行之光檢測器並具有 N×M 像素之影像解析度。對於彩色應用，一選擇透光濾色器之馬賽克係重疊於對準每一光檢測器，使得第一，第二及第三選擇群光檢測器係感應不同三色範圍，例如，分別為可見光譜之紅，綠，及藍範圍。DPS 陣列 102 產生數位信號，作為在輸出匯流排 103 上之感測器讀出值。

於本說明中，一 DPS 陣列或一感測器陣列表示一影像感測器具有一陣列之光檢測器，其中每一光檢測器產生一數位輸出信號。於本實施例中，DPS 陣列 102 描述前述美國專利第 5,461,425 號(425'專利)中之數位像素感測器架構，其利用像素位準類比至數位轉換。一 DPS 陣列之光檢測器有時被稱為一感測器像素或一感測器元件或一數位像素，諸名詞均用以表示一 DPS 陣列之每一光檢測器，其包含一類比至數位(A/D)轉換電路，及與一傳統光檢測器可區別，該傳統光檢測器包含一光感測器並產生一類比信號。DPS 陣列之數位輸出信號具有優於傳統類比信號之優點，在於數位信號可以以較高速度讀出。當然，用以於一平面影像感測器中，實施一像素位準 A/D 轉換的其他設計也可以用於本發明之影像感測器中。

再者，於本實施例中，DPS 陣列 102 利用於前述美國專利第 5,801,657 號案中之多通道位元串列(MCBS)類比至數位轉換。DPS 陣列 102 使用一 k 位元 MCBS ADC 並輸出以格雷碼表示之數位信號。MCBS ADC 具有很多可以應用

五、發明說明()

於影像取得及之優點，更重要是其完成了高速讀出。當然，其他 ADC 技術也可以使用，例如第一階 $\Sigma \Delta$ 調變 ADC。

影像感測器 100 更包含一整合晶片型記憶體 110，用以儲存來自 DPS 陣列 102 之至少一幅影像資料。因此，記憶體 110 具有儲存至少於 K 位元之 $N \times M$ 像素之像素資料的能力。於本實施例中，記憶體 110 同時包含其他儲存容量，用以儲存其他為影像感測器 110 所使用之參數，這些係如以下所詳述者。於一實施例中，DPS 陣列於 10 位元中具有 100×1000 像素，記憶體 110 具有至少 1.2 百萬位元組之大小，以該圖幅率，儲存來自 DPS 陣列 102 中之所有像素單元中之數位信號。如於前述申請第 09/567,638 號案中所述，積合一晶片型記憶體與一數位像素感測器陣列解決了資料傳輸瓶頸之問題，並允許了由感測器陣列之快速資料讀出。第 2 圖例示依據本發明之記憶體 110 之記憶體儲存架構。記憶體 110 包含一記憶體位置 220，用以儲存由 DPS 陣列 102 所產生之 k 位元像素資料。記憶體 110 同時也包含記憶體位置 222 及 224，用以當多重取樣被使用作為如下所詳述時，儲存用於每一像素臨限指示器及時間索引資訊。再者，記憶體 110 包含一記憶體位置 226，用以儲存於 DPS 陣列 102 中之每一像素之重置值。諸重置值係被用於一共相關雙重取樣(CDS)方法中，以消除如後所詳述之感測器陣列中之非均勻性。只有當影像感測器 110 利用 CDS 方法，才包含有記憶體位置 226。於其他實

五、發明說明()

施例中，當未使用 CDS 法時，並不需要記憶體位置 226。

於操作中，一影像係被對焦於 DPS 陣列 102，使得對焦影像之不同部份係衝擊於該陣列之每一感測器像素上。每一感測器像素包含一光電晶體，其導電率係相關於碰接於該光電晶體基極上之光強度而定。經由光電晶體之類比電流係相關於碰撞於光電晶體上之光強度。來自陣列 102 中之所有光電晶體之類心信號係同時被位於每一感測器像素之專屬 A/D 轉換器轉換為串列位元流。產生於一幅週期上之串列位元流係被提供於匯流排 103 上，作為碰撞於光電晶體上之平均光強度的數位輸出信號代表值。

於影像感測器 100 中，來自 DPS 陣列 102 之感測器讀出係被提供經一多重取樣更新電路 104 至記憶體 110 作儲存用。多重取樣更新邏輯電路 104 係被使用用以實施用以改良影像感測器 100 之動態範圍之多重取樣並將詳細如下。當多重取樣未使用時，來自 DPS 陣列 102 之感測器讀出可以直接連接至記憶體 110。DPS 陣列 102 以位元平面形式提供感測器讀出。第 3 圖例示於記憶體 110 中之記憶體位置 220 之記憶體架構，其係直接將來自 DPS 陣列 102 之感測器讀出儲存於記憶體 110 中造成。於 DPS 陣列 102 中，光檢測器同時產生一位元之數位像素資料並提供一位元數位資料作為在匯流排 103 上之輸出信號。對於感測器陣列中之所有像素，數位像素資料之第一位元(即位元 0)係被寫入於記憶體 110 中，形成用於像素位元 0 之位元平面 220a。然後，光檢測器產生用於每一感測器像素之 k 位

五、發明說明()

元像素資料之下一位元，及包含所有像素之位元 1 之下一位元平面係被寫入記憶體 110，作為用於像素位元 1 之位元平面 220b。DPS 陣列 102 之光檢測器連續產生用於每一感測器像素之數位像素資料之 k 位元，該資料係被寫入至記憶體 110 作為連續位元平面 220a 至 220p，如於第 3 圖所示。記憶體 110 之記憶體位置 220 包含儲存容量，用以儲存用於 k 位元數位像素資料之所有位元平面。

因為 DPS 陣列 102 以感測器位元陣列輸出像素資料，所以像素資料係以位元平面形式被儲存於記憶體 110 中。然而，於記憶體 110 中之像素資料的感測器位元配置並不適用於與影像感測器 100 相關之應用中，因為用於一像素之 k 位元像素資料係被分散於整個記憶體 110 中。為了提供與其他接收為影像感測器 100 所捕捉之影像的影像處理裝置之相容能力，所需要的是像素資料予以於像素位元配置中，即所有用於一像素之位元係彼此相接近。於記憶體 100 中，用於 4 位元像素之想要像素位元配置係如於第 4 圖所示。記憶體位置 220 之前四位元儲存像素 0 之 4 位元像素資料，其後係有像素 1 之 4 位元像素資料，及像素 2 之 4 位元像素資料，等等。雖然第 4 圖例示像素 0 至 4 被依序排列，像素順序對於像素位元配置並不重要。即，相鄰像素排成彼此相鄰並不重要。對於像素位元排列，重要的只是用於一像素中所有之位元均被集合一連續位元順序。諸像素的順序可以被安排成為特定應用所想要者。因此，於一實施例中，於像素位元排列中，像素 0 之所有位

五、發明說明()

元係為像素 3 之所有位元所跟隨，其然後為像素 2 之所有位元所跟隨。儲存於記憶體 110 中之像素資料可以使用適當記憶體定址設計加以讀出。

依據本發明，一像素正規化電路 112 係被提供用以執行儲存於記憶體 110 中之像素資料之像素重排操作。像素正規化操作電路 112 係與影像感測器 100 之電路晶片整合於同一積體電路上。於影像感測器 100 上之像素正規化電路 112 之整合改良了影像感測器 100 之速度及效能。於一實施例中，像素正規化電路 112 只操作以重排於記憶體 110 中之像素資料的架構。重排像素資料可以寫回到記憶體 110，使得記憶體 110 具有儲存一影像之想要像素位元排列。於另一實施例中，重排像素資料可以簡單地被輸出在匯流排 109 上，至其他連接以接收來自影像感測器 100 之影像資料之裝置上，於記憶體 110 中之資料並未被更新於像素位元排列中。於本發明之另一實施例中，除了像素重排外，像素正規化電路 112 包含用以執行由 DPS 陣列 102 所讀出之像素資料上之其他正規化功能之電路。正規化功能可以包含但並不限定於格雷碼轉換，CDS 減法，及多重取樣正規化。於這些例子中，於像素位元排列中之正規化像素資料可以寫回至記憶體 110，用以儲存或輸出於匯流排 109 上。

於本實施例中，像素正規化電路 112 之像素重排操作係藉由發送或硬體接線於記憶體 110 及像素正規化電路 112 間之連接，而整個加以執行。第 8 圖例示依據本發明

五、發明說明()

之一實施例的像素正規化電路 112。於第 8 圖中，像素正規化電路 112 執行像素重排操作及其他像素正規化功能。然而，這只作例示用，熟習於本技藝者可以了解，像素正規化電路 112 可以建構只作像素重排的目的。

參考第 8 圖，像素正規化電路 112 包含一緩衝器 830，用以儲存來自記憶體 110 之像素資料方塊，作正規化處理。於每一處理週期中，於緩衝器 830 中之像素資料的一部份係被操作並被稱為一轉換窗。於第 8 圖中，轉換窗係為 4 位元寬，即，其包含四行之緩衝器 830。當電路 112 在轉換窗內完成像素資料的處理，電路 112 進行以在下一轉換窗內操作一像素資料，即緩衝器 830 之下四列。於第 8 圖中，緩衝器 830 係被例示以被分為三個分離方塊。這係想要例示電路 112 之轉換窗的操作。於實際實施中，緩衝器 830 可以被任何方式實施，並且，於每一轉換窗之諸行間，沒有實體分離之必要。

於本實施例中，像素正規化電路 112 由記憶體 110 中之每一位元平面讀出第一列之像素資料，並儲存該資料於電路 112 之緩衝器 830 中。於本實施例中，假設記憶體 110 及緩衝器 830 均為 12 位元寬及每一像素資料具有 4 位元。藉由自每一位元平面讀出第一列之像素資料，緩衝器 830 保持用於每一像素中之 4 位元像素資料於緩衝器 830 之垂直行中。例如，於緩衝器 830 之行一中，像素 0 之位元 0 至 3 係被儲存；及於行二中，像素 1 之位元 0 至 3 係被儲存，以此類推。於第 8 圖中，緩衝器緩衝器 830 同時也包

五、發明說明()

含用於其他正規化功能之資料值，其係如於以下所詳述。藉由連接緩衝器 830 之輸出端至匯流排 109 或匯流排 108，使得緩衝器 830 以行順序輸出像素資料，像素資料可以重排呈一像素位元排列。被重排像素資料可以然後被輸出於匯流排 109 上或以像素位元順序，被寫回至記憶體記憶體 110 中。於緩衝器 830 中之所有像素資料被處理後，重排操作藉由裝載來自儲存於記憶體記憶體 110 中之每一位元平面之第二列像素資料進入緩衝器 830，及以想要之像素位元順序輸出像素資料於匯流排 109 或匯流排 108 上，用以寫回至記憶體 110。

當重排像素資料被寫回到記憶體 110 中時，資料將被寫至像素位元被讀出之位址位置。例如，於第 8 圖中，來自第一列之每一位元平面之像素資料係被讀入至緩衝器 830 中。重排資料將以適當像素順序被寫回到每一位元平面之第一列。即使像素資料之像素位元並未定位於記憶體 110 中之連續列中，但它們係為已知量之列所分離，像素資料可以藉由修改記憶體 110 之定址設計，而依據記憶體定址中已知之方式，以連續順序讀出。

依據本發明之另一實施例，來自 DPS 陣列 102 之感測器讀出可以使用一修改定址設計，被寫入至記憶體 110 中，使得相鄰像素位元係被寫入至記憶體 110 中之連續列中。此時，當一位元平面被輸出於匯流排 103 上時，第一列之位元係被寫入記憶體位置 220 中之第一列中，及來自 DPS 陣列 102 之後續列係被寫入自離開前一列之列 k 數之

五、發明說明()

列上。下一位元平面係被寫入於記憶體位置 220 中之第二列，及後續列同時被寫入列 k 數相隔處。當為一 4 位元像素時，所得記憶體架構係相同於第 8 圖之緩衝器 830 中之像素架構。當像素位元被使用一修改定址設計寫入於記憶體記憶體 110 中時，像素正規化電路 112 僅讀取像素資料之連續列進入緩衝器 830 中，並執行所需之像素正規化操作。於此時，當重排像素資料被以像素位元順序寫回到記憶體 110 時，使得記憶體 110 假設如於第 4 圖所示之像素位元架構。

於上述說明中，記憶體 110 及緩衝器 830 係均為 12 位元寬及像素資料具有 4 位元。這只是作例示用，本發明之像素正規化電路可以用於一 k 位元像素資料及記憶體 110 及緩衝器 830 可以具有其他尺寸。

於一實施例中，用於像素重排操作之程序係由硬體接線於記憶體 110 中之像素資料至匯流排 107 上之像素正規化電路 112 加以執行，使得資料係被由記憶體 110 之列讀入至緩衝器 830，然後，硬體接線緩衝器 830 中之像素資料至匯流排 108 中之記憶體 110，使得像素資料係以行為單位由緩衝器 830 讀出。

為了影像感測器 100 之最佳效能及有效操作，DPS 陣列 102 之寬度及記憶體 110 之寬度應被選擇為像素位元 k 數量的整數倍。於此時，於記憶體 110 及像素正規化電路 112 間之邏輯連接係被大量減化。若 DPS 陣列 102 之寬度不是 k 的整數倍，則記憶體 110 之寬度必須被選擇為 k 的

五、發明說明()

下一整數倍，其係大於 DPS 陣列 102 之寬度者。雖然，像素重排操作將以與上述相同方式操作，但將會有未使用列之記憶體 110 殘留在像素重排操作之結束時。

依據本發明之另一方面，像素正規化電路 112 包含電路，用以執行其他像素資正規化操作，如於第 8 圖所示。像素正規化電路 112 整合所有正規化功能與影像感測器之同一積體電路晶片上，因而，改良了影像感測器之速度及效率。於本實施例中，除了像素重排外，像素正規化電路 112 包含用以執行格雷轉換，數位共相關雙重取樣(CDS)操作，及多重取樣正規化之電路。然而，本實施例係只作例示，像素正規化電路 112 可以包含任一或任意數量之正規化操作。

如上所述，像素正規化電路 112 包含緩衝器 830，用以儲存予以處理之像素資。電路 112 更包含一排格雷碼轉換電路 832，一排 CDS 減法電路 834，及一排多重取樣正規化電路 836(以 MS Norm 電路表示)。如上所述，像素正規化電路 112 之正規化操作係執行於儲存在轉換窗內之緩衝器 830 中之像素資料的部份。於轉換窗中之像素資料係由緩衝器 830 讀出。每當轉換窗中之像素資料被處理時，資料係被輸出於匯流排 109 上或被寫回到 108 上之記憶體 110 中。電路 112 然後進行至轉換窗內之下一群像素資料，並以相同方式執行正規化。處理持續直到所有儲存於緩衝器 830 中之像素資料被處理為止。於示於第 8 圖之實施例中，轉換窗係為 4 位元寬。雖然轉換窗可以具有任何

五、發明說明()

尺寸，但為了有效操作，轉換窗較佳係緩衝器 830 寬度之整數商數。

第 8 圖之緩衝器 830 中，被裝載入緩衝器 830 中之資料不只包含用於記憶體 110 中之一列之像素資料，同時也包含與該像素資料相關之時間索引資訊及 CDS 減法值。於此，2 位元時間索引資訊係被裝載入緩衝器 830 之列 5 及 6 中，及兩位元 CDS 減法值係被裝載入緩衝器 830 中之列 7 及 8。

如上所述，由 DPS 陣列 102 所產生之像素資料係被以格雷碼表示。格雷碼係因為其較不易受到雜訊誤差而被使用。代表像素資料之格雷碼需要被轉換為二進制代表值，以有用於其他影像處理操作。一例示之 4 位元格雷碼至二進制轉換表係例示如下。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 ()

格 雷 碼	二 進 制
0000	0000
0001	0001
0011	0010
0010	0011
0110	0100
0111	0101
0101	0110
0100	0111
1100	1000
1101	1001
1111	1010
1110	1011
1010	1100
1011	1101
1001	1110
1000	1111

用以執行格雷碼之電路係為已知的，熟習於本技藝者可以知道如何實現一 n 位元格雷碼至二進制轉換的電路。例如，格雷碼至二進制轉換可以使用一遞迴 XOR 運算於每一位元之最高效位元(MSB)與下一 MSB 加以進行。遞迴 XOR 運算持續使用前一與格雷碼數中之下一位元作互斥或運算(XOR)位元之結果，直到到達最低效位元(LSB)為

五、發明說明()

止。用以轉換 n 位元格雷碼值之遞迴邏輯等式係如下：

二進制 $MSB = \text{格雷 } MSB$ ；

二進制 $MSB-1 = \text{二進制 } MSB \text{ XOR 格雷 } MSB-1$

二進制 $MSB-2 = \text{二進制 } MSB-1 \text{ XOR 格雷 } MSB-2$

....

二進制 $MSB-(n-2) = \text{二進制 } MSB-(n-3) \text{ XOR 格雷 } MSB-(n-2)$ ；及

二進制 $LSB = \text{二進制 } LSB+1 \text{ XOR 格雷 } LSB$

其中二進制 MSB 代表用於 MSB 之二進制位元值及格雷 MSB 代表用於 MSB 之格雷碼等等。第 5 圖例示上述用以轉換 15 位元格雷碼數之遞迴邏輯等式之順向實施法。於順向實施法中，第 5 圖之轉換電路包含一串列之 XOR 閘，其中前一轉換的結果係被串級至最低效位元。而轉換電路轉換電路 500 係為簡單的並使用最少量之 XOR 閘，用於 LSB 之延遲時間係遠久於 MSB 之延遲時間，因為轉換之時間取決於連波至 LSB 之最後 XOR 之 XOR 的結果。於轉換電路轉換電路 500 中，只需要 14 個 XOR 閘，以實現格雷碼轉換，但用於 LSB 之閘延遲的數量也是 14 XOR 閘。對於一 n 位元轉換，順序實施法需要 $n-1$ XOR 閘極並具有 $n-1$ XOR 閘延遲。順序實施法有時係不想要的，因為用於 LSB 之延遲時間可能遠久於 MSB 者，特別是對於大量之位元時更是如此。

依據本發明之一實施例，影像感測器 100 之像素正規化電路 112 使用示於第 5 圖之電路，來實現格雷碼至二進

五、發明說明()

制轉換。對於一 4 位元像素資料，只需要 3 個 XOR 閘，及每一轉換電路 832 係被實現為第 5 圖之電路轉換電路 500 中之用於位元 MSB 至 MSB-3 之 XOR 電路。轉換電路 832 之 LSB 具有 3 個 XOR 閘之閘延遲。依據本發明之另一方面，一用以執行 n 位元格雷碼至二進制轉換之電路係被提供，其操作於高轉換速度並最小化於格雷碼值之最高效位元(MSB)及最低效位元(LSB)間之轉換延遲時間中之失匹配。第 9 圖顯示依據本發明之一實施例的 4 位元格雷碼轉換電路。於影像感測器 100 之另一實施例中，像素正規化電路 112 實現 4 位元像素資料的格雷碼轉換，使用示於第 9 圖之轉換電路 900，以加強影像感測器 100 之操作。轉換電路 900 使用 4XOR 閘，但對於 LSB(B0)只具有 2XOR 閘的閘延遲時間，一閘延遲係少於第 5 圖之順序實施法。包含 n 位元轉換電路之實施法的本發明之新穎格雷碼至二進制轉換電路將參考第 10 至 15 圖加以詳細說明如下。

如於第 8 圖所示，像素正規化電路 112 更包含一排 CDS 減法電路 834，用以實現共相關雙重取樣(CDS)法。CDS 為一種用以消除由於固定圖案雜訊造成之感測器中之不均勻性。於此例子中，CDS 係被用以校正於陣列中之光檢測器間之可變比較器偏置。於本案實施例中，數位 CDS 法係被實現。於感測器陣列被重置時，每一光檢測器之重置值係被量測並被儲存於記憶體 110 之記憶體位置 226 中。隨後，對於每一為感測器陣列所捕捉之像素資料的圖案，被儲存之重置值係由像素值減去，以正規化該像

五、發明說明()

素資料。於像素正規化電路 112 中，CDS 減法電路 834 係被建構以執行對像素資料之減法操作。於第 8 圖中，在轉換窗內之像素資料(即用於像素 0 至 3 之像素資料)係首先被由格雷碼代表值轉換至二進制代表值。二進制像素資料係然後被提供至 CDS 減法電路 834。儲存在緩衝器 830 中之重置值係同時也被提供給 CDS 減法電路 834。CDS 減法電路 834 對於每一像素由像素資料減去重置值。CDS 減法電路 834 之減法運算可以依據熟習於此技藝者所知之方法加以實現。

於本實施例中，在 CDS 減法電路 834 操作於二進制像素資料後，CDS 正規化像素資料係被提供給多重取樣正規化電路 836。如上所述，多重取樣係為一演繹法，用以增加感測器之動態範圍，藉由在時間上執行由感測器陣列之多重讀出，然後，基於多重取樣資訊，來正規化讀出值。基於正規化像素資料之影像可以以模擬靈敏度範圍大於感測器元件的實際靈敏度範圍加以建立。於本實施例中，影像感測器 100 依據述於美國專利申請第 09/567,786 號案所述之方法加以執行多重取樣，該案於多重取樣中，使用一時間索引法。當然，其他之多重取樣演繹法也可以用於本發明之影像感測器中。

於影像感測器 100 中之多重取樣的動作將簡要說明如下。所述之多重取樣操作可以於上述參考專利申請案中找到。第 6 圖顯示用於 DPS 陣列 102 中之四代表像素 A, B, C, D 之像素強度值對曝光時間。當多重取樣被使用時，

五、發明說明()

像素值係首先被讀於曝光時間 $1T$ 及多重取樣更新電路 104 對像素值執行一飽和比較操作。飽和比較操作可以以各種方式加以執行。於一實施例中，一 50%飽和臨限係被使用。因此，於時間 $1T$ ，多重取樣更新電路 104 比較來自 DPS 陣列 102 之像素值，並決定哪一像素強度值超出該 50%之飽和臨限。例如，於第 6 圖中，像素 A 具有超出 50% 像素飽和臨限之強度值，而像素 B 至 D 則具有低於該飽和臨限之強度值。多重取樣更新電路 104 寫入像素 A 至 D 之像素值進入記憶體 110。多重取樣更新電路 104 同時將相應於記憶體位置 222 中之像素 A 之臨限指示位元設定至一預定值，例如 "1"，以表示像素 A 已到達飽和。藉由設定像素 A 之臨限指示位元，多重取樣更新電路 104 將防止像素 A 之進一步更新入記憶體 110 中之像素值。多重取樣更新電路 104 同時儲存像素 A 之時間索引 $1T$ 於記憶體位置 224。用於像素 A 之像素值及時間索引值將被像素正規化電路 112 所使用，以導出像素 A 之模擬強度值。於第 6 圖中，在曝露時間 $2T$ ， $4T$ ， $8T$ 及 $16T$ 後，多重取樣處理持續感測器讀出。每當用於一像素之像素強度值超出 50% 之飽和臨限時，臨限指示位元係被重置及用於該像素之飽和時間索引係與量測像素值被一起儲存於記憶體 110 中。第 7 圖例示用於一影像感測器 100 中之多重取樣更新電路 104 之一實施例。其他實施法也可能為熟習此技藝者所了解。

於另一實施例中，飽和臨限位準係被選擇，為接近光

五、發明說明()

檢測器之飽和位準之一值。例如，90%飽和臨限可以被使用。當90%飽和臨限被使用時，多重取樣更新電路104將寫入及更新像素值於記憶體110中，直到一像素值超出該90%飽和臨限為止。於記憶體110中，記憶體位置222儲存於感測器陣列102中之每一像素的飽和位元。只要用於一像素之像素值超出90%臨限時，該飽和位元係被設定至一預定值，例如"1"。於此時，飽和像素值將不會被寫入記憶體110中。相反地，當飽和被檢出時，多重取樣更新電路104將儲存時間索引。例如，假設於第6圖中之像素飽和位準為90%位準，則於時間1T，像素A已經被飽和及一預定像素值將被寫入至記憶體110及時間索引1T將被儲存用於像素A及用於像素A之飽和位元將被設定至"1"。另一方面，像素B並不會成為飽和，直時間4T為止。於時間4T，多重取樣更新電路104將不會寫於已經儲存於像素B上之像素值上，而將更新用於像素B之時間索引及飽和位元。用於像素B之像素值飽和前及發生飽和之時間索引將為像素正規化電路112所使用，以決定用於像素B之模擬像素值。於多重取樣更新電路之另一實施例中，飽和位元可以被使用作為用於記憶體110之寫入遮罩。因此，飽和位元作為用於每一像素之寫入致能信號，並決定是否像素資料係予以寫入記憶體110中。

在一想要數量之取樣後，影像感測器100已經捕捉該影像中之所有像素的光強度值。於光檢測飽和前，記憶體110已儲存每一像素之像素值。記憶體110也儲存了用於

五、發明說明()

每一像素相應於像素變飽和時的之時間索引值。像素正規化電路 112 基於儲存用於每一像素之像素值及時間索引值，而對像素資料執行多重取樣正規化操作。多重取樣正規化假設像素值對光於時間上之反應係呈線性的。對於 CMOS 感測器，線性反應近似法係為良好近似法。多重取樣正規化係藉由將像素值乘以一相當於一總曝光時間對像素飽和時間之比例的常數加以完成。

參考第 6 圖，用於像素 A 之正規化像素值將會是於像素 A 飽和後(即於時間 1T)之時間段之像素陣列所讀出之像素值乘以總曝光時間(16T)對飽和時間段(1T)之時間比例。因此，以下等式給定用於像素 A 之正規值：

$$\begin{aligned}\text{像素 A(正規)} &= \text{像素 A(讀出)} \times (\text{總曝光時間} / \text{飽和曝光時間}) \\ &= \text{像素 A(讀出)} \times (16/1) = \text{像素 A(讀出)} \times 16\end{aligned}$$

同樣地，用於像素 B 至 D 之正規化值將給定為：

$$\text{像素 B(正規)} = \text{像素 B(讀出)} \times (16/4) = \text{像素 B(讀出)} \times 4;$$

$$\text{像素 C(正規)} = \text{像素 C(讀出)} \times (16/8) = \text{像素 C(讀出)} \times 2; \text{及}$$

$$\text{像素 D(正規)} = \text{像素 D(讀出)} \times (16/16) = \text{像素 D(讀出)}。$$

上述等式例示當 50%飽和臨限值被選擇時之正規化操作。當然，相同正規化操作可以應用於 90%之飽和臨限值。於像素正規化電路 112 中，多重取樣正規化電路 836 實行上述之多重取樣正規化操作，以提供具有寬動態範圍之像素資料輸出。電路 836 使用儲存於像素正規化電路 112 中之緩衝器 830 中之時間索引值，例如緩衝器 830 之列 5 及 6，用於正規化計算。多重取樣正規化電路 836 操

五、發明說明()

作於像素資料及時間索引值，以計算正規化像素資料。

依據本發明之另一方面，提供一用以執行 n 位元格雷碼至二進制轉換之電路。本發明之格雷碼轉換電路完成了用以轉換 n 位元格雷碼值之較低順序位元，於閘延遲時間上之重大節省。於一實施例中，依據本發明之 15 位元格雷碼轉換電路只具有 4 個 XOR 閘延遲，相較於順序實施法之 14 個 XOR 閘延遲。本發明之影像感測器 100 併入本發明之格雷碼轉換電路加強了影像感測器 100 之操作速度。

格雷碼對二進制轉換可以使用上述之遞迴 XOR 等式加以實施。相反於遞迴 XOR 等式之順序實施法，而造成用於 LSB 之長延遲時間，本發明之格雷碼至二進制轉換電路使用一疊置 XOR 樹狀架構以最小化用於 LSB 之延遲時間。用於一 n 位元格雷碼數之 LSB 之延遲時間係為轉換電路之要徑，因為其係為經由一 n 位元格雷碼轉換電路之最大延遲。依據本發明，一種用以產生用於 n 位元格雷碼數之格雷碼對二進制轉換電路之方法係被提供，其最小化要徑之延遲時間。再者，本發明之方法同時也允許 XOR 閘的數量或電路面積，同時，也保有於要徑中之最短延遲時間。

轉換電路及建立該電路的方法將參考 15 位元格雷碼數加以說明。當然，本發明之電路及方法可以應用至任何之 n 位元格雷碼數。首先，一疊置 XOR 樹係被建立，用以使用 15 位元格雷碼數，轉換二進制值之 LSB B0。XOR

五、發明說明()

樹係以最小化要徑的延遲時間的目標加以建立。第 10 圖顯示用於 15 位元格雷碼數之疊置 XOR 樹 1010。使用 2 輸入 XOR 閘，以轉換 n 位元格雷碼至二進制轉換電路的閘延遲的最小數量為 $\log_2 n$ 。如於第 10 圖所示，對於 15 位元格雷碼數，閘延遲之數量係為 4。為了藉由轉換 15 位元格雷碼數之位元 G0 至 G14，以取得二進制 LSB B0，第 10 圖之 XOR 樹 1010 包含四層之 XOR 閘。於第一層中，七個 2 輸入 XOR 閘執行該 15 位元格雷碼輸入值之位元 G14 至 G1 之呈對之 XOR 運算。於第二層中，四個 2 輸入 XOR 執行第一層之 XOR 結果與 LSB 位元 G0 之 XOR 運算。若 n 為一偶數，則第一層操作於所有輸入值之 n 位元，及第二層操作於第一層之 XOR 結果。轉換處理持續於第三層中，以第二層之第四 XOR 結果的 XOR 運算。最後，LSB 之二進制值 B0 係為於第 4 層中之 XOR 閘產生。於此方中，XOR 樹 1010 係被建立用以轉換 15 位元格雷碼輸入值之 LSB，其中要徑只具有 4 XOR 閘之延遲。

雖然有可能對於每一二進制輸出位元，產生一 XOR 樹，但此一實現法係不符實際的，因為若每一位元具有其本身 XOR 樹的話，則每一位元之轉換共享邏輯條件及邏輯電路的重製。相反地，於建立 15 位元格雷碼輸入用之轉換電路的下一步驟涉及辨識第 10 圖之 XOR 樹 1010，其包含用於輸出位元之被轉換二進制值，而不包含 LSB(位元 B0)。參考第 10 圖，XOR 樹 1010 同時也產生用於 B14，B13，B11 及 B8 之二進制值。因此，所剩下的是藉由填入

五、發明說明()

於 XOR 閘完成轉換電路，用以轉換殘留位元。

再者，XOR 閘係被加入於 XOR 樹 1010 中，用以轉換未被轉換之諸位元。於第 10 圖中，未轉換位元為 B12，B10，B9 及 B7 至 B1。於此之主要限制為用以轉換剩餘位元之 XOR 的加入並不會創造用於 LSB 為多之閘延遲。即，對於 15 位元格雷碼值，所有殘留位元均被以 $\log_2 n$ 或 4 閘延遲之最大延遲。該目標係儘可能被再使用為很多產生於 XOR 樹 1010 中之邏輯條件。第 11 圖例示用以轉換格雷碼輸入值之所有 15 位元成為 15 位元二進制輸出值之 XOR 樹 1110。XOR 樹 1110 包含第 10 圖之 XOR 樹 1010 及其他 XOR 閘，用以轉換剩餘之位元。於 XOR 樹 1110 中，總數 28 個 XOR 閘係被使用，及保有 4-XOR 閘之延遲。

於某些應用中，吾人想要使實施本發明之格雷碼轉換電路所需之面積最小化。於此時，本發明之轉換電路可以最佳化最小面積及要徑延遲時間。最佳化係藉由重排 XOR 電路之一或多數位元，而不是 LSB 加以執行，使得較少 XOR 閘被使用以產生位元之二進制值。這係藉由最大化於產生二進制位元之共享條件加以完成。即使 XOR 閘之重排可能造成一特定位元之增加閘延遲，即整個延遲時間，即要徑之延遲時間被保持。第 12 圖顯示 15 位元格雷碼至二進制轉換電路之一實施例，其中用於位元 B8 之轉換電路已經被重排以最小化電路面積。於第 11 圖中，電路 1110 使用 28 個閘及具有 4-XOR 閘延遲。電路 1110 於 3 XOR 閘延遲計算位元 B8。明確地說，位元 G10 及 G9 被作 XOR

五、發明說明()

運算。結果係與位元 G8 作 XOR 計算。結果被再次與 XOR 位元 G14, G13, G12, 及 G11 之結果作 XOR 運算。然而, 電路 1110 可以藉由免除至少一 XOR 閘, 以最佳化面積。參考第 12 圖之電路 1210, 二進制輸出位元 B8 係使用 XOR 閘 1214 之輸出加以產生。第 11 圖之 XOR 閘 1113 係被免除。結果, 電路 1210 只使用 27 閘加以實施, 少於第 11 圖之電路 1110 一個, 並於要徑中維持 4-XOR 閘延遲。雖然 B8 不同於前一電路之 3 個, 而具有一 4XOR 閘延遲, 但用於要徑之延遲時間係相同的, 所以整個轉換電路的效能並未被影響。以此方式, 本發明之 n 位元格雷碼至二進制轉換電路可以於電路面積及要徑延遲時間上最佳化。

於某些例子中, 即使要徑閘延遲需要被延長, 也有必要使本發明之格雷碼轉換電路的電路面積最小化。第 13 圖例示一依據本發明之另一實施例的 15 位元格雷碼至二進制轉換電路。轉換電路 1310 具有 5XOR 閘延遲於產生 LSB(位元 MSB-14), 但只使用總數 23XOR 閘。電路 1310 降低 XOR 閘的數量 4, 同時, 只增加了要徑延遲時間一 XOR 閘。轉換電路 130 係為適當的, 當想要一最小電路面積及可以犧牲部份延遲時間時。

總結, 於上述本發明之方法中, n 位元格雷碼至二進制轉換電路係藉由建立一疊置 XOR 樹加以實施。XOR 樹係首先最佳化用於要徑之延遲時間加以建立, 其係為最低效位元(LSB)之轉換。對於未在要徑上之位元, XOR 樹係藉由最小化電路面積加以建立。因此, XOR 樹係藉由重新

五、發明說明()

使用用於 LSB 或其他位元之最近邏輯條件加以建立。藉由儘可能地在要徑之閘延遲內，回答實施條件及連波邏輯，可以完成最小之電路面積。當然，不同變化之本發明的 n 位元格雷碼至二進制轉換電路可以最佳化要徑延遲時間或電路面積或兩者加以實施。

依據本發明之另一方面，提供了有用以建立一 n 位元格雷碼至二進制轉換電路的另一方法。該 n 位元格雷碼至二進制轉換電路係藉由選擇及組合若干建築方塊加以實施。雖然建築方塊之幾項組合有可能用於相同 n 位元轉換電路，但諸組合具有不同數量之總 XOR 閘及不同數量之 XOR 閘延遲。依據本發明，一格雷碼轉換電路可以被建構以取得想要之最小電路面積及用於要徑之想要最小閘延遲。第 14 圖例示若干建築方塊，其可以使用以建築依據本發明之一實施例之 n 位元格雷碼至二進制轉換電路。於第 14 圖中，係顯示有用以轉換 2 位元，3 位元，4 位元，及 8 位元格雷碼數之六個不同建築方塊。方塊 C2 係為一 2 位元轉換電路。方塊 C3 係為具有 2XOR 閘延遲之 3 位元轉換電路。方塊 C41 及 C42 均為 4 位元轉換電路，其中方塊 C41 係最佳於閘延遲及方塊 C42 係最佳於電路面積。當需要一 4 位元轉換電路時，方塊 C41 或 C42 均可以被使用，這係取決於想要最短延遲時間或最小電路面積而定。

第 14 圖之建築方塊更包含兩個 8 位元轉換電路。方塊 C81 及方塊 C82 顯示前一建築方塊可以如何被使用，以利於建築具有更大量位元之更複雜的轉換電路。例如，方

五、發明說明 ()

塊 C81 使用兩個方塊 C41，用於 8 位元格雷碼轉換。於方塊 C81 中，第 4 個最高效位元係被使用作為漣波經最低效輸出位元。方塊 C81 使用 12 個 XOR 閘並具有 3-XOR 閘延遲。另一方面，方塊 C82 使用一方塊 C41。於方塊 C82 中，用以產生四個最低效位元之邏輯電路係最佳於面積，而不是於延遲時間。因此，方塊 C82 使用 11 個 XOR 閘，但具有 4-XOR 閘延遲。於方塊 C82 中，要徑係實際位元 1，即最低效位元的下一個。方塊 C82 之 LSB 實質只具有 3XOR 閘延遲。

藉由提供若干建築方塊，一 n 位元格雷碼至二進制轉換電路可以藉由選擇及組合適當數量之建築方塊及加入漣波邏輯，以完成較低順序位元之計算，加以完成。例如，第 12 圖之轉換電路 1210 可以使用如於第 15 圖所示之建築方塊 C82，C41 及 C3 加以建立。轉換電路 1510 係相同於電路 1210 並具有 27XOR 閘及 4XOR 閘延遲。27 個 XOR 閘實施法係為用於 15 位元格雷碼轉換電路的最小實施法。用於任一 n 位元數之轉換電路可以以類似方式加以建立。

於本實施例中，建築方塊係使用兩輸入 XOR 閘加以建立。當然，其他建築方塊也可以使用三或四輸入 XOR 閘加以建立。示於第 1 圖之建築方塊係只作例示。

總結，於本發明之一實施例中，加入像素正規化電路 112 之影像感測器 100 之操作係如下。首先，影像感測器 100 執行一 CDS 啟始，以重置 DPS 陣列 102。在感測器陣

五、發明說明()

列重置後，重置值係被讀出並被儲存於記憶體之記憶體位置 226 中(第 2 圖)。DPS 陣列 102 然後曝光，用以捕捉一影像。於第一曝光時間間隔(時間 1T)後，多重取樣更新電路 104 執行飽和位準比較並儲存像素值，時間索引，及臨限指示位元於記憶體 110 中，這係取決於是否像素值變成飽和否而定。多重取樣處理持續整個曝光時間。記憶體 110 已儲存所有安排於位元平面配置中之像素值，並同時，已儲存臨限指示值(記憶體位置 222)，時間索引值(記憶體位置 224)，及重置值(記憶體位置 226)。像素正規化電路 112 然後藉由首先由每一位元平面裝載像素資料之第一列進入緩衝器 830 中，執行正規化操作。相關於像素之時間索引資訊及重置減法值也被裝載入緩衝器 830 中。於轉換窗內之像素資料的部份係被提供給格雷碼轉換電路 832，用以將資料由格雷碼代表轉換為二進制代表。二進制像素資料然後被耦合至 CDS 減法電路 834，其中重置值係由二進制像素資料減去。CDS 正規化資料然後提供給多重取樣正規化電路 836，其中，像素資料係使用時間索引資訊加以正規化。最終正規化資料係以像素位元排列被輸出於匯流排 109 上，或以像素位元排列經由匯流排 108 寫至記憶體 110。像素正規化電路 112 然後進行以處理在轉換窗內之下一群之像素資料。正規化處理持續，直到所有於緩衝器 830 中之像素資料被正規化為止。再者，像素正規化電路 112 裝載來自記憶體 110 中之每一位元平面中之下一列之像素資料，及正規化處理如上述地重覆，直到所有像素資

五、發明說明()

料被正規化為止。

依據本發明之原理，一影像感測器整合感測器陣列，一記憶體，及一像素正規化電路於一積體電路上。該單晶片實施法改良了影像感測器之效率並使影像感測器迅速地相容於外部系統。本發明之影像感測器以連接至任一攝像系統，用以接收所捕捉影像，而不必交連電路，以處理該像素資料。這些依據本發明之影像感測器的能力並未為傳統影像感測器所實現。

上述詳細說明係提供以例示本發明之特定實施例並不是作限制用。在本發明之範圍內各種修改及變化能有可能。本發明係為隨附之申請專利範圍所定義。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：)

對一數位像素感測器輸出之像素加以重排的電路及方法

一種影像感測器，包含一感測器陣列，一資料記憶體，用以儲存像素資料及一像素正規化電路。該感測器陣列具有一二維陣列像素元件並輸出數位信號作為代表一景象影之像素資料。由感測器陣列所輸出之像素資料係被安排於感測器位元排列中，及像素正規化電路重新安排像素資料成為一像素位元順序。於另一實施例中，一影像感測器包含一感測器陣列，一資料記憶體，及一像素正規化電路，所有均製作於單一積體電路中。像素正規化電路包含一或多數像素重配置電路，一格雷至二進位轉換電路，一重置減法電路，及一多重取樣正規化電路。最後，一格雷碼至二進位轉換電路係被提供用以高速轉換。

英文發明摘要(發明之名稱：Circuit and Method for Pixel Rearrangement

in a Digital Pixel Sensor Readout

An image sensor includes a sensor array, a data memory for storing pixel data and a pixel normalization circuit. The sensor array has a two-dimensional array of pixel elements and outputs digital signals as pixel data representing an image of a scene. The pixel data outputted by the sensor array are arranged in a sensor-bit arrangement and the pixel normalization circuit rearranges the pixel data into a pixel-bit order. In another embodiment, an image sensor includes a sensor array, a data memory, and a pixel normalization circuit, all fabricated on a single integrated circuit. The pixel normalization circuit includes one or more of a pixel rearrangement circuit, a Gray code to binary conversion circuit, a reset subtract circuit, and a multiple sampling normalization circuit. Finally, a Gray code to binary conversion circuit is provided for high speed conversion.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種影像感測器，至少包含：

一感測器陣列，包含一二維陣列之像素元件，其輸出數位信號成為一代表一景象之影像的像素資料，該像素資料係被安排呈一感測器位元排列；

一資料記憶體，與該感測器陣列相通訊，用以儲存該像素資料；及

一像素正規化電路，連接至該資料記憶體，用以重排該像素資料成為該像素位元順序並提供該重排像素資料成為輸出信號。

2. 如申請專利範圍第 1 項所述之影像感測器，其中上述之感測器陣列，該資料記憶體及該像素正規化電路係被用以製造於單一積體電路中。

3. 如申請專利範圍第 1 項所述之影像感測器，其中上述之像素正規化電路重排該像素資料，經由發送信號線於資料記憶體及該像素正規化電路之間。

4. 如申請專利範圍第 1 項所述之影像感測器，其中上述之像素正規化電路重排該像素資料，經由硬接線該等信號線於該資料記憶體及該像素正規化電路之間。

5. 如申請專利範圍第 1 項所述之影像感測器，其中上述之重排像素資料係被提供為該影像感測器之輸出信號。

六、申請專利範圍

- 6.如申請專利範圍第1項所述之影像感測器，其中上述之重排像素資料係被寫入該資料記憶體中。
- 7.如申請專利範圍第1項所述之影像感測器，其中上述之像素資料具有k位元及該重排像素資料具有第一像素之k位元，其係以連續方式為第二像素之k位元所跟隨。
- 8.如申請專利範圍第1項所述之影像感測器，其中上述之像素正規化電路包含一緩衝器，用以儲存來自資料記憶體之像素資料的一部份，及該像素正規化電路藉由將信號線分配於資料記憶體與該緩衝器間，而重排該像素資料。
- 9.如申請專利範圍第1項所述之影像感測器，其中上述之感測器陣列為 $N \times M$ 像素及每一像素元件具有k位元。
- 10.如申請專利範圍第9項所述之影像感測器，其中上述之資料記憶體係為 $N \times M \times k$ 位元及該資料記憶體連續儲存每一像素元件之第一位元，其後，為每一像素元件的第二位元所跟隨。
- 11.如申請專利範圍第10項所述之影像感測器，其中上述之重排像素資料具有以連續位元順序之第一像素元件之k位元，其係為第二像素元件之k位元所跟隨。

六、申請專利範圍

12.如申請專利範圍第 11 項所述之影像感測器，其中上述之第一像素元件及第二像素元件於該感測器陣列中，並不是相鄰之像素元件。

13.一種於影像感測器中之方法，至少包含步驟：

使用一感測器陣列，捕捉一景象之影像；
以感測器位元順序輸出代表該影像之像素資料；
儲存該像素資料於該資料記憶體中；及
重排該像素資料成為一像素位元順序。

14.如申請專利範圍第 13 項所述之方法，更包含步驟：

儲存該重排像素資料於該資料記憶體中。

15.如申請專利範圍第 13 項所述之方法，更包含：

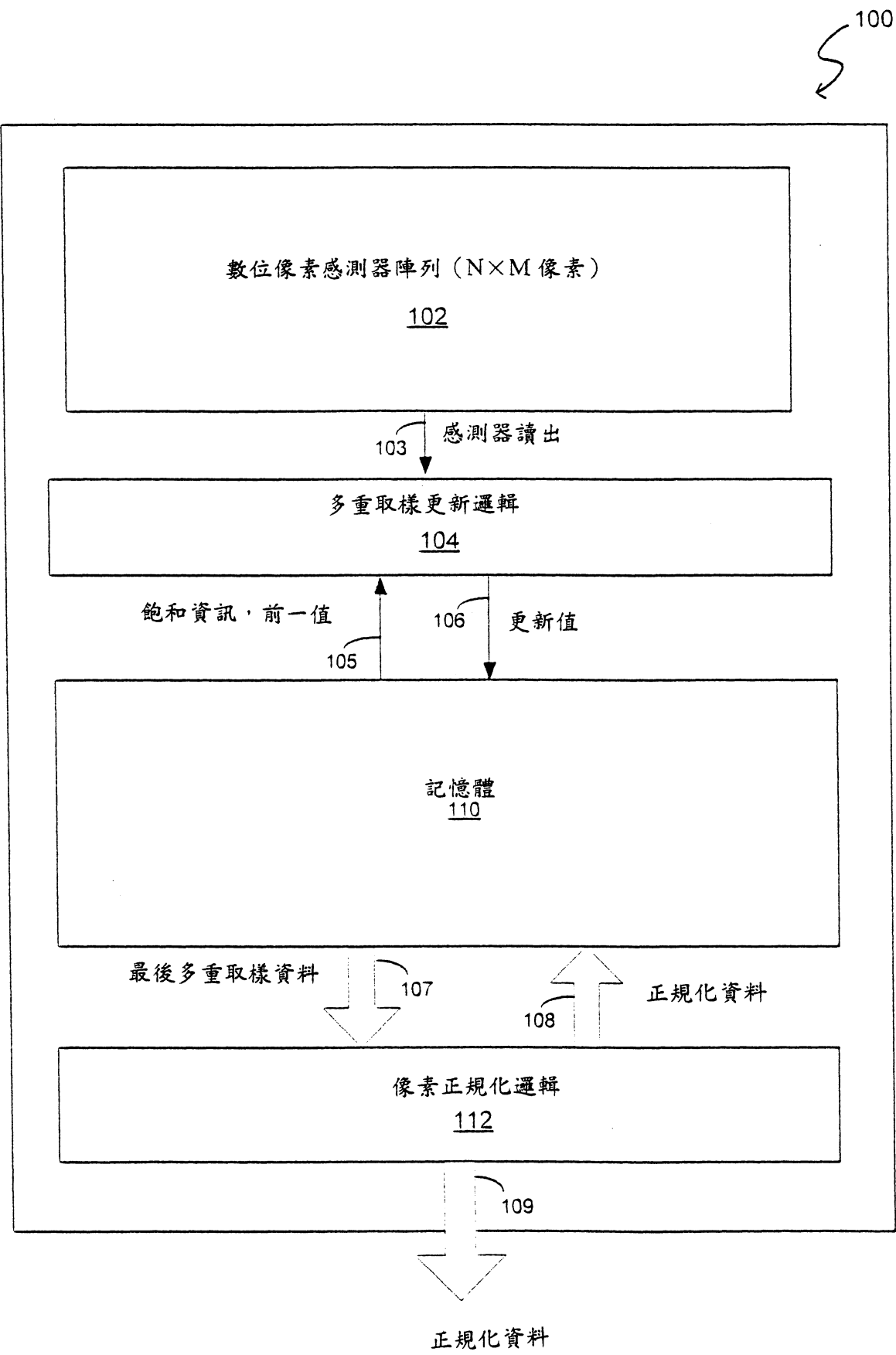
提供該重排像素資料成為來自該影像感測器之輸出信號。

16.如申請專利範圍第 13 項所述之方法，其中上述之重排

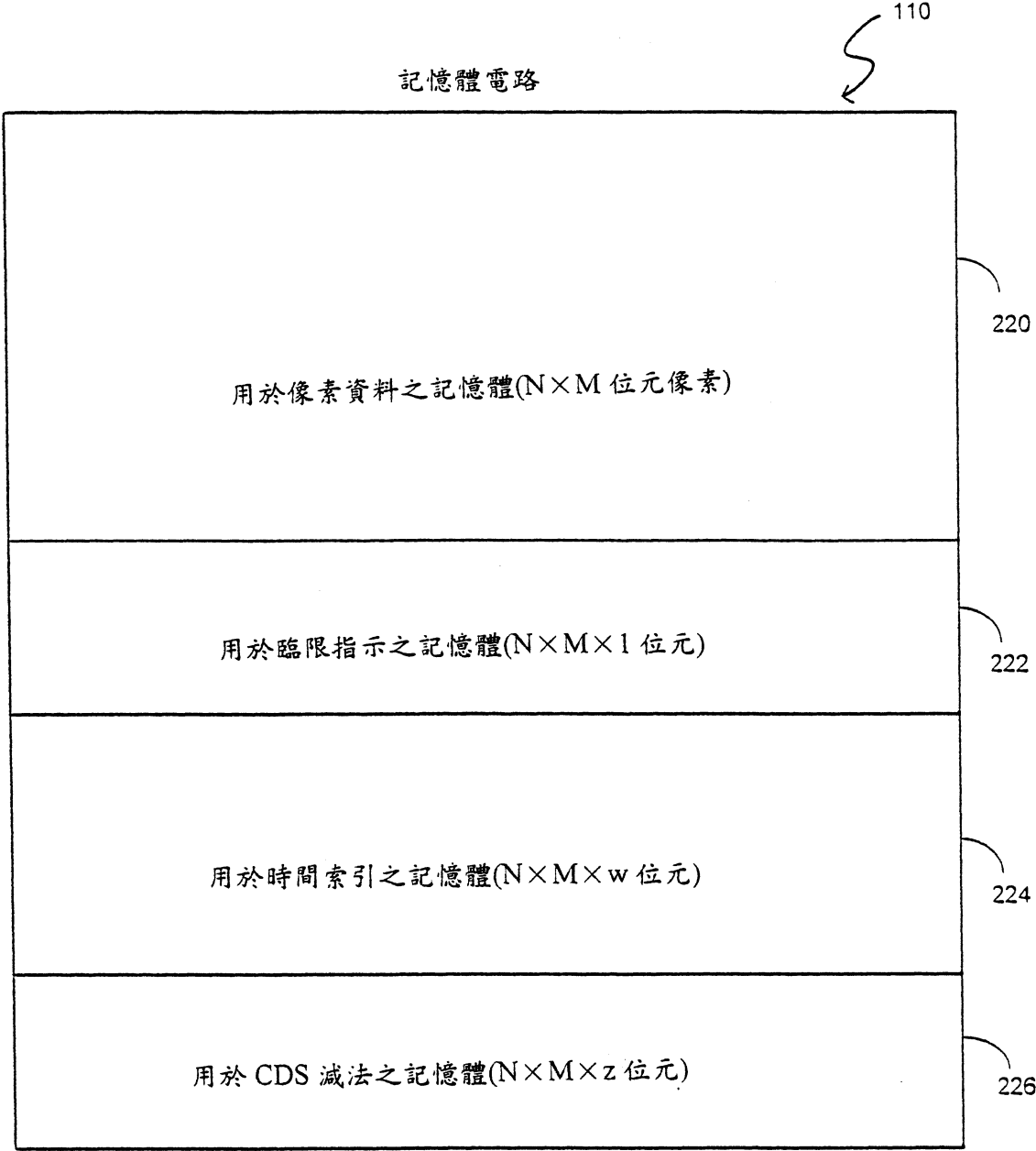
該像素資料的動作係藉由發送該等信號線加以執行。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

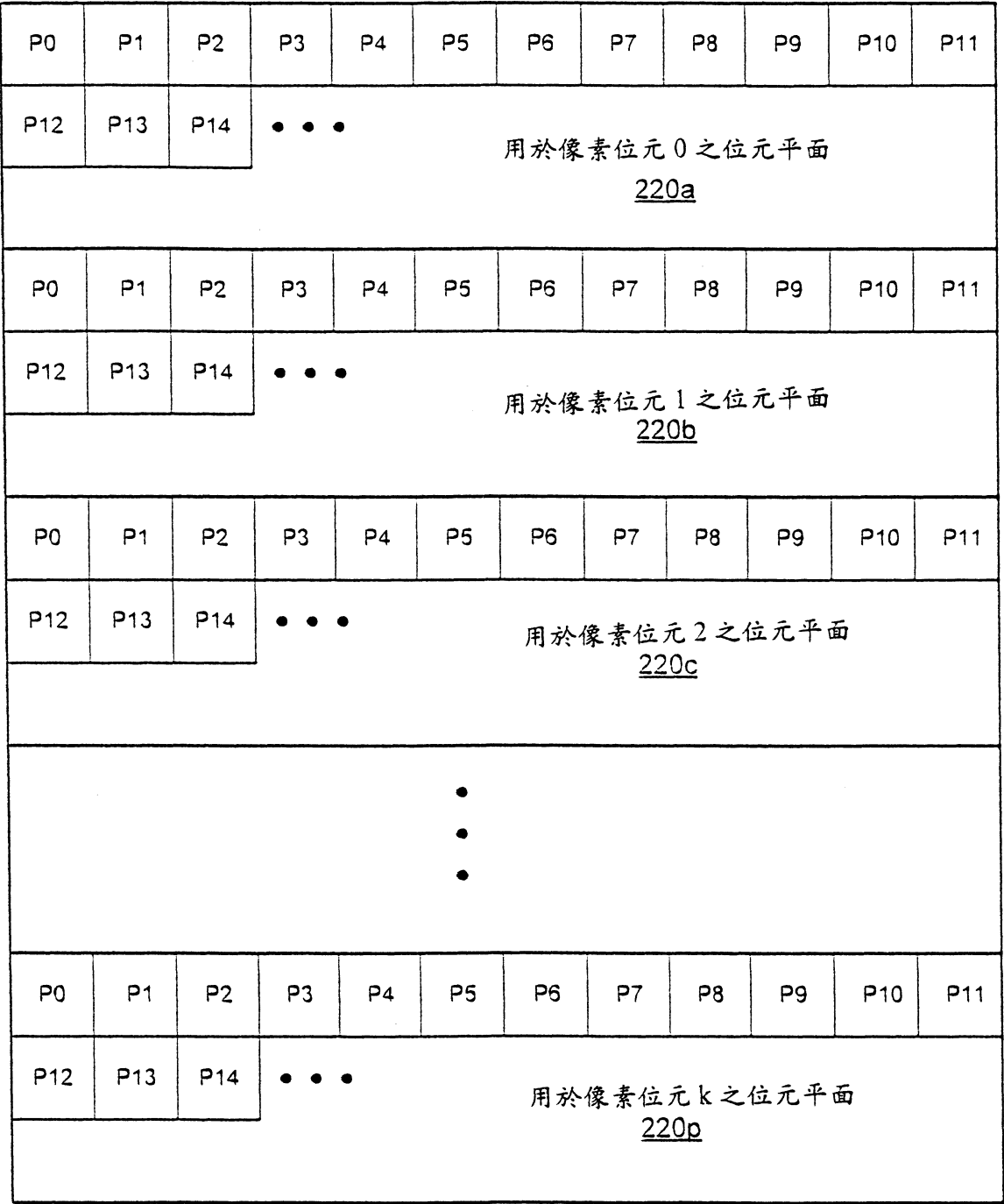
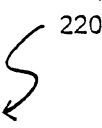


第 1 圖



第 2 圖

220



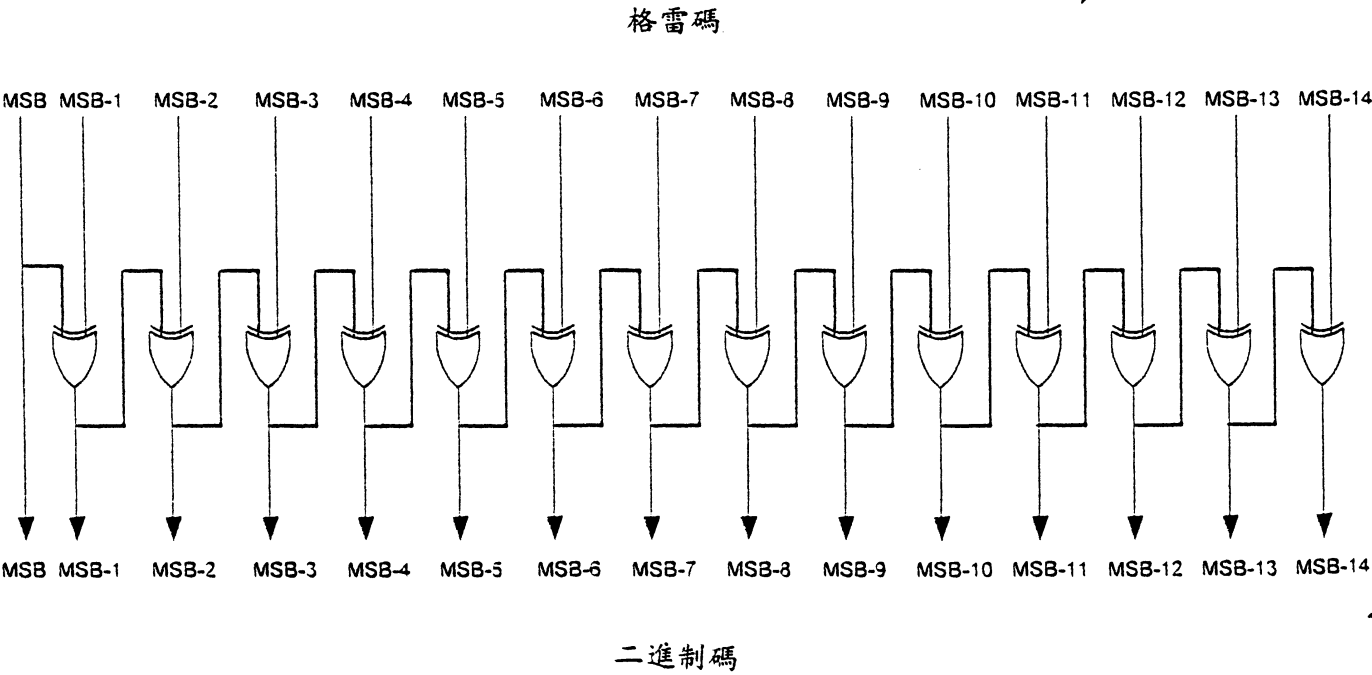
第 3 圖

220

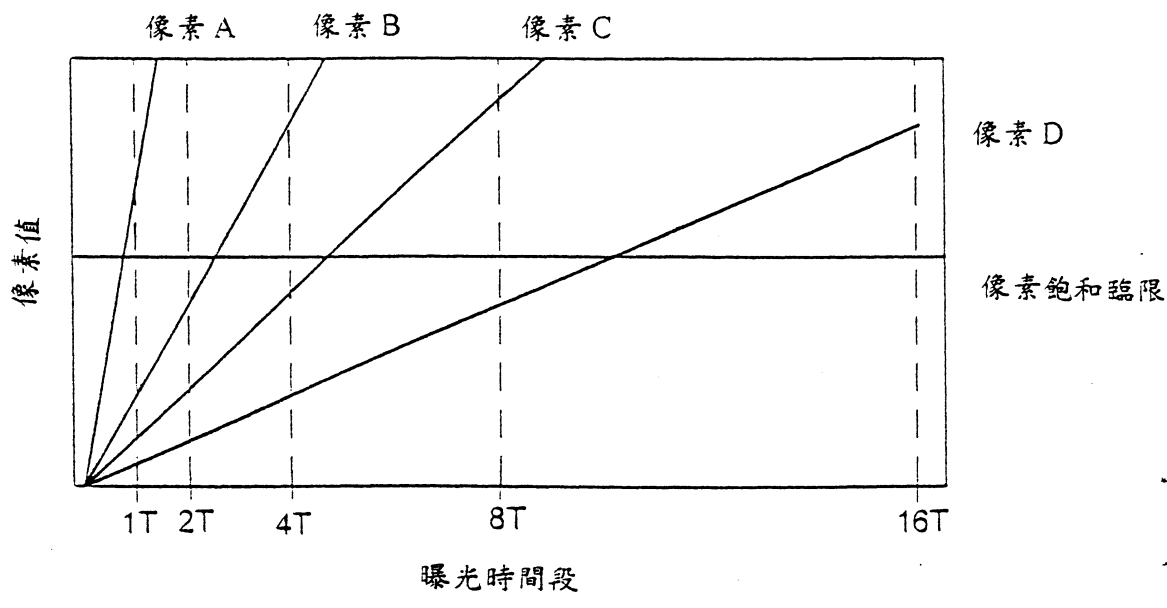
P0B0	P0B1	P0B2	P0B3	P1B0	P1B1	P1B2	P1B3	P2B0	P2B1	P2B2	P2B3
P3B0	P3B1	P3B2	P3B3	P4B0	P4B1	P4B2	P4B3	P5B0	P5B1	P5B2	P5B3
...											

第 4 圖

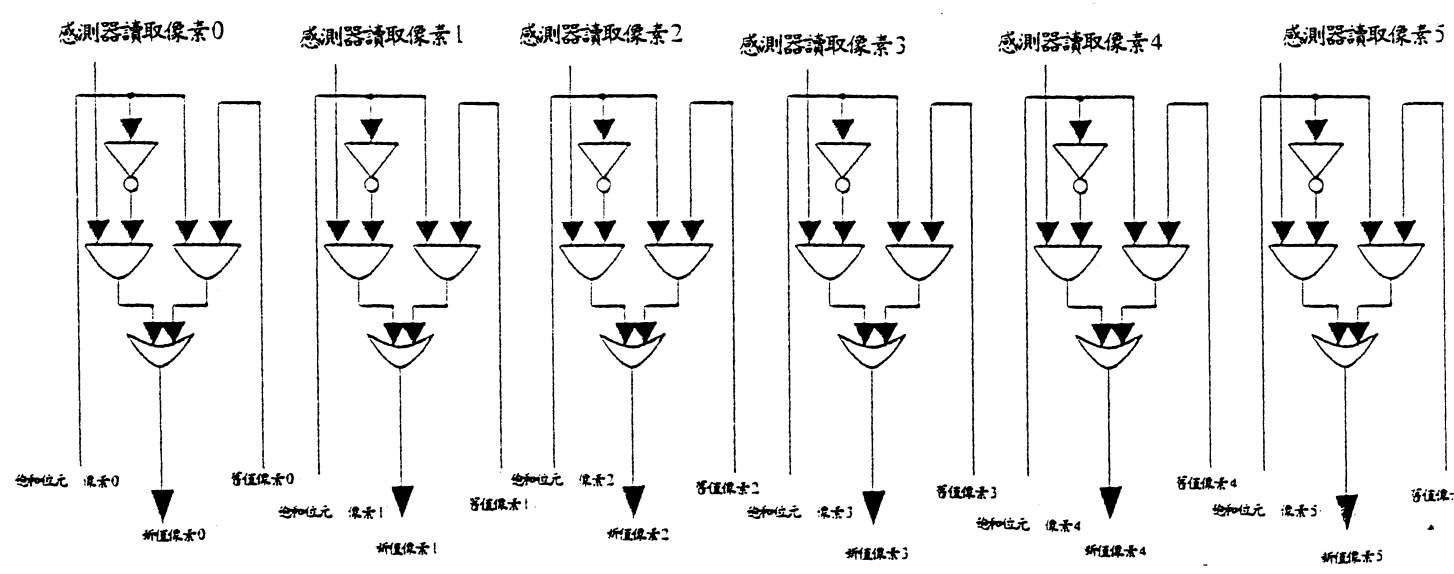
500



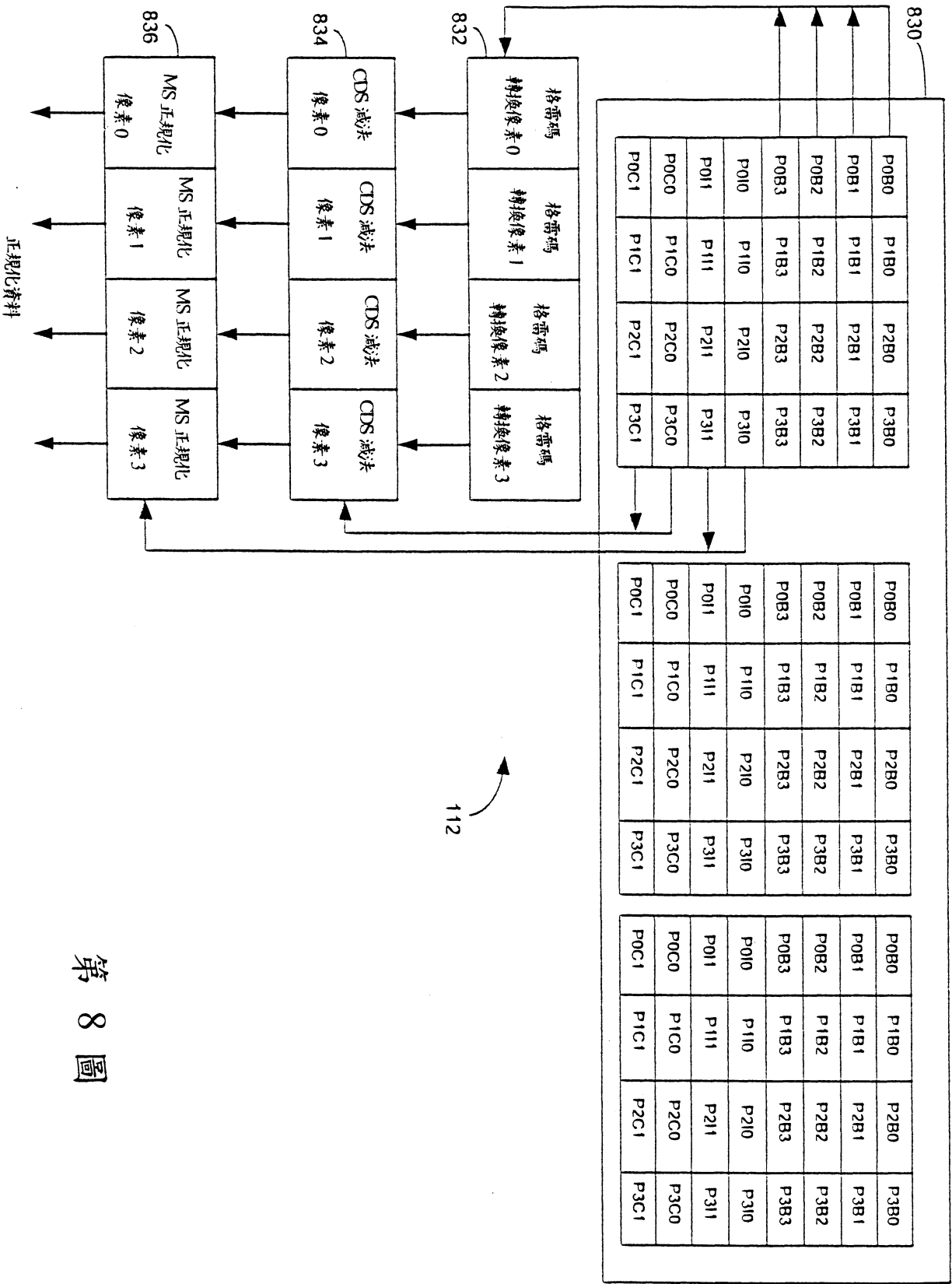
第 5 圖



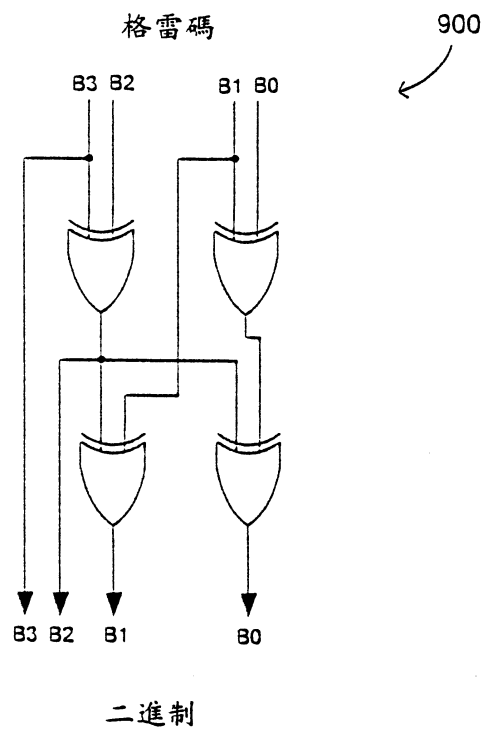
第 6 圖



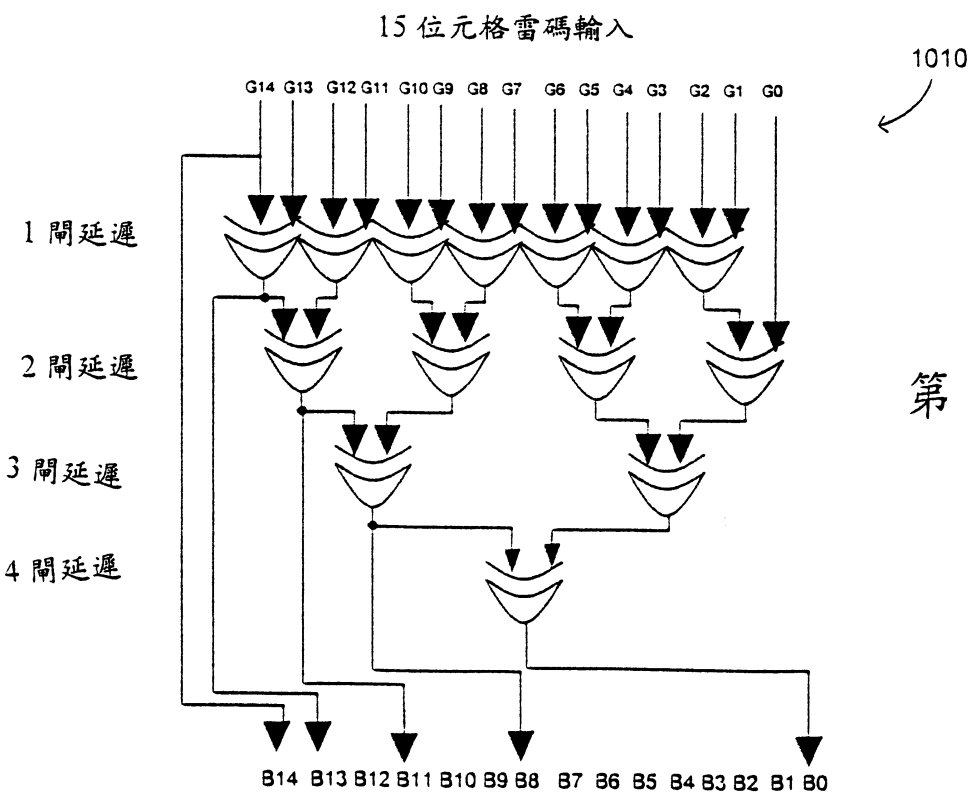
第 7 圖



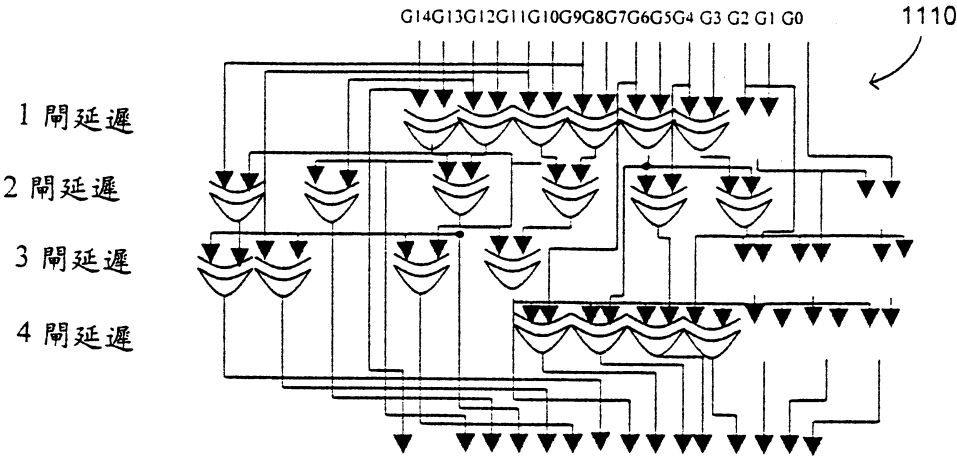
第 8 圖



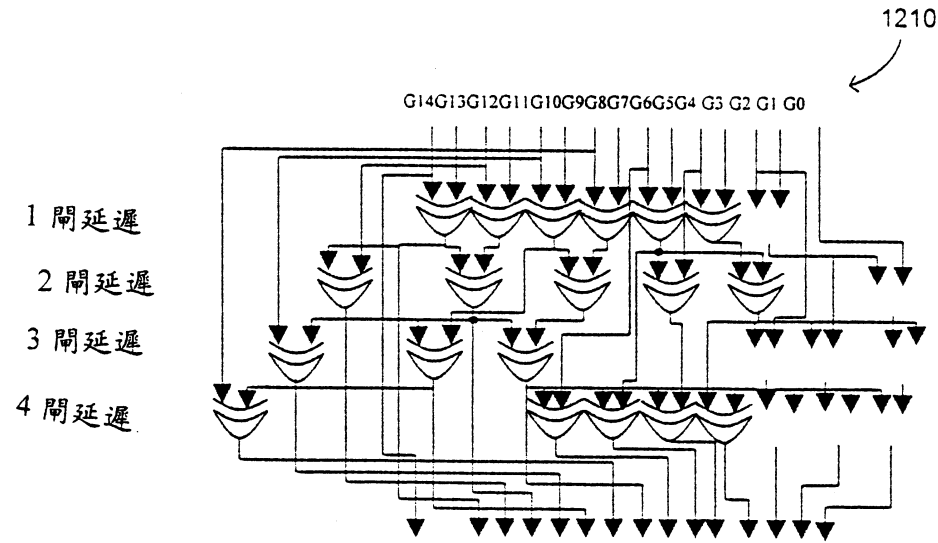
第 9 圖



第 10 圖



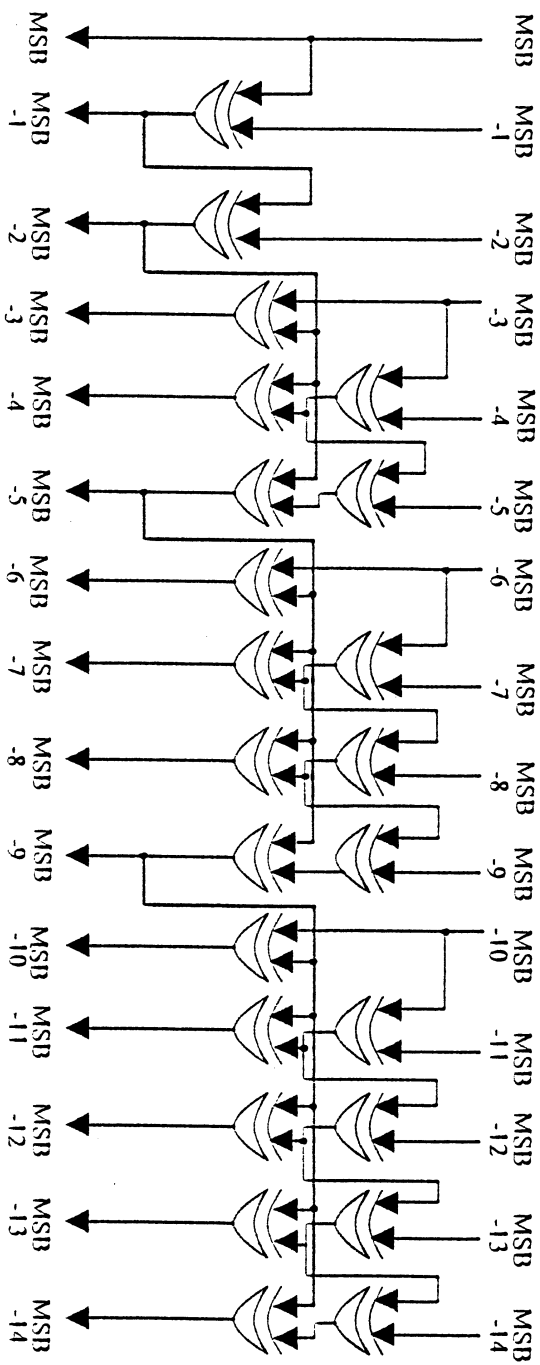
第 11 圖



第 12 圖

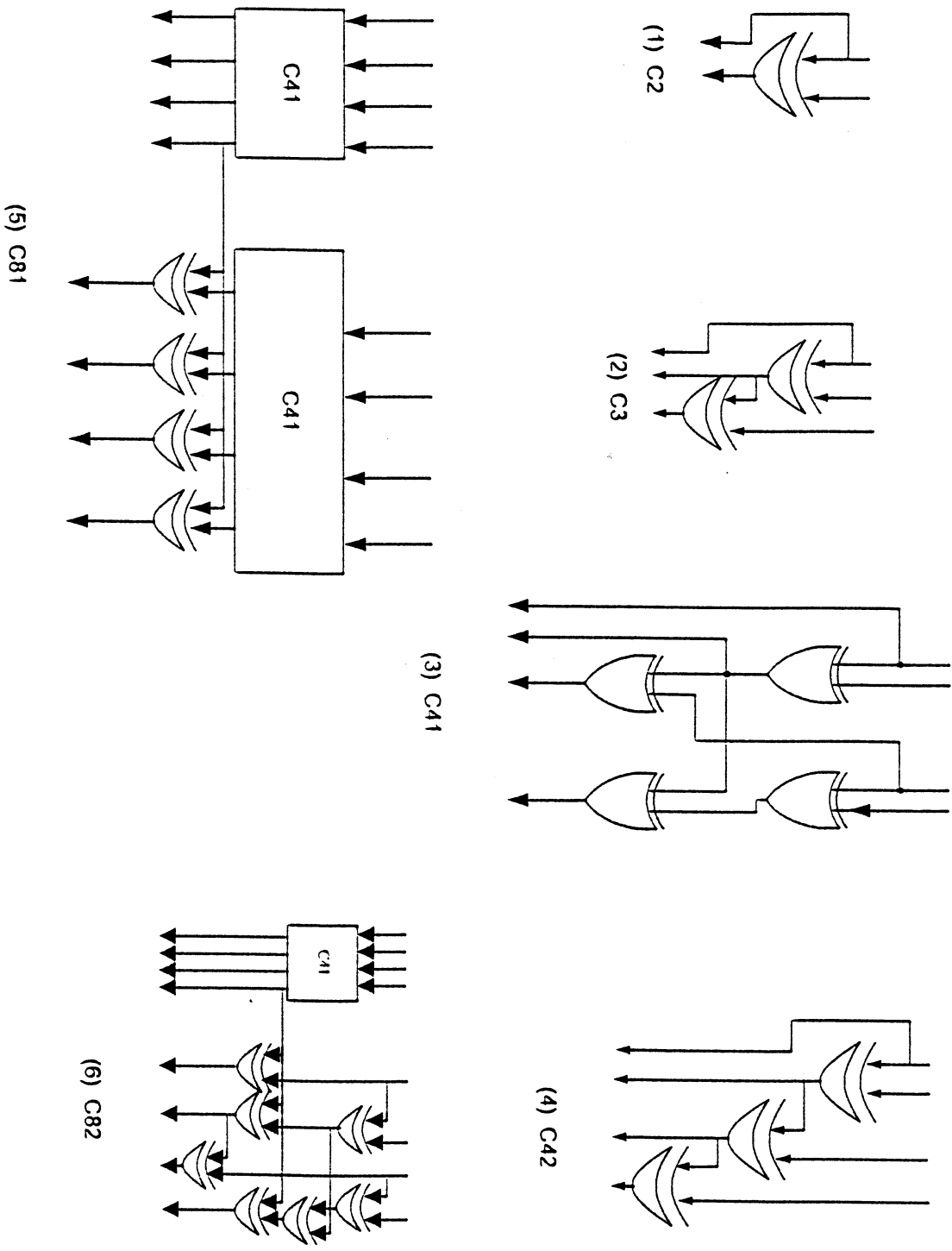
1310

15 位元格雷碼

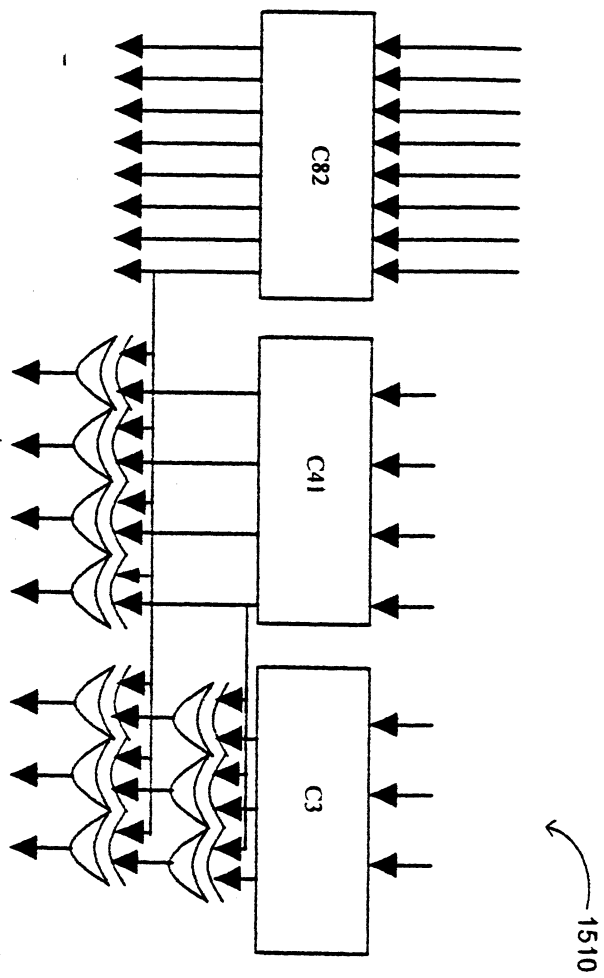


15 位元二進制

第 13 圖



第 14 圖



第 15 圖