



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202425355 A

(43)公開日：中華民國 113 (2024) 年 06 月 16 日

(21)申請案號：112142147

(22)申請日：中華民國 112 (2023) 年 11 月 02 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/336 (2006.01)

H01L21/8234(2006.01)

H01L21/768 (2006.01)

H10B12/00 (2023.01)

(30)優先權：2022/11/04 日本

2022-176862

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：肥塚純一 KOEZUKA, JUNICHI (JP)；神長正美 JINTYOU, MASAMI (JP)；島行
德 SHIMA, YUKINORI (JP)；吉住健輔 YOSHIKUMI, KENSUKE (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：7 項 圖式數：34 共 152 頁

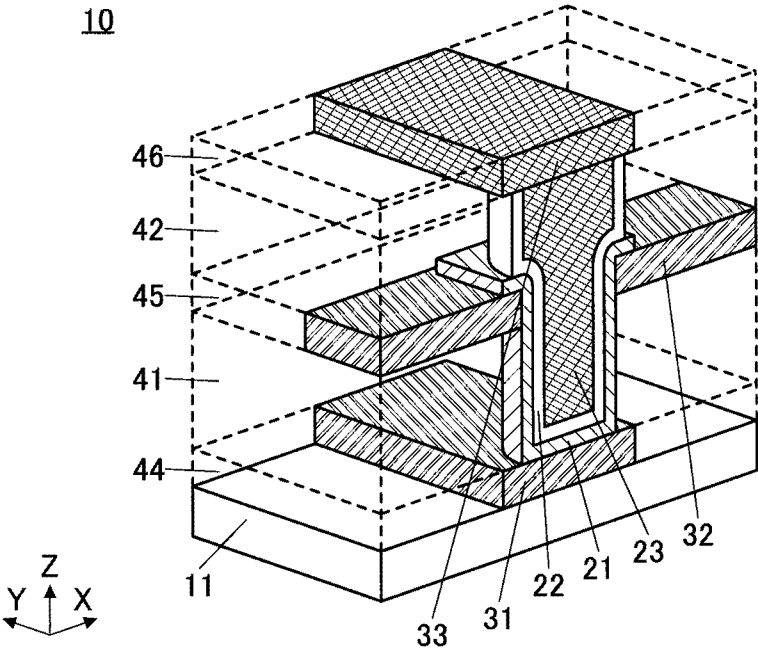
(54)名稱

半導體裝置及其製造方法

(57)摘要

提供易於微型化或降低寄生電容的半導體裝置，包括電晶體、第一及第二絕緣層、佈線。電晶體包括第一至第三導電層、半導體層及第三絕緣層。第一絕緣層具有到達第一導電層的第一開口。半導體層接觸第一絕緣層上的第二導電層、第一開口的第一絕緣層的側面以及第一導電層的頂面。第二絕緣層在與第一開口重疊的位置具有到達半導體層的第二開口。第三絕緣層接觸第二開口的第二絕緣層的側面及第一開口內的半導體層。第三導電層嵌入第二及第一開口。佈線位於第二絕緣層上，接觸第三導電層並具有隔著第二絕緣層與半導體層或第二導電層重疊的部分。

指定代表圖：



符號簡單說明：

- 10:電晶體
- 11:絕緣層
- 21:半導體層
- 22:絕緣層
- 23:導電層
- 31:導電層
- 32:導電層
- 33:導電層
- 41:絕緣層
- 42:絕緣層
- 44:絕緣層
- 45:絕緣層
- 46:絕緣層

【圖1B】



【發明摘要】

【中文發明名稱】

半導體裝置及其製造方法

【中文】

提供易於微型化或降低寄生電容的半導體裝置，包括電晶體、第一及第二絕緣層、佈線。電晶體包括第一至第三導電層、半導體層及第三絕緣層。第一絕緣層具有到達第一導電層的第一開口。半導體層接觸第一絕緣層上的第二導電層、第一開口的第一絕緣層的側面以及第一導電層的頂面。第二絕緣層在與第一開口重疊的位置具有到達半導體層的第二開口。第三絕緣層接觸第二開口的第二絕緣層的側面及第一開口內的半導體層。第三導電層嵌入第二及第一開口。佈線位於第二絕緣層上，接觸第三導電層並具有隔著第二絕緣層與半導體層或第二導電層重疊的部分。

【指定代表圖】圖 1B
【代表圖之符號簡單說明】

- 10:電晶體
- 11:絕緣層
- 21:半導體層
- 22:絕緣層
- 23:導電層
- 31:導電層
- 32:導電層
- 33:導電層
- 41:絕緣層
- 42:絕緣層
- 44:絕緣層
- 45:絕緣層
- 46:絕緣層

【特徵化學式】無

【發明說明書】

【中文發明名稱】

半導體裝置及其製造方法

【技術領域】

【0001】本發明的一個實施方式係關於一種電晶體、半導體裝置、記憶體裝置、顯示裝置以及電子裝置。

【0002】注意，本發明的一個實施方式不侷限於上述技術領域。作為本說明書等所公開的本發明的一個實施方式的技術領域的例子，可以舉出半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、電子裝置、照明設備、輸入裝置、輸入輸出裝置、這些裝置的驅動方法或這些裝置的製造方法。半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。

【先前技術】

【0003】近年來，已對半導體裝置進行開發，CPU、記憶體或除了這些以外的LSI主要用於半導體裝置。CPU是包括將半導體晶圓加工來形成晶片而成的半導體積體電路(至少包括電晶體及記憶體)且形成有作為連接端子的電極的半導體元件的集合體。

【0004】CPU、記憶體或除了這些以外的LSI的半導體電路(IC晶片)被安裝在電路板上，例如安裝在印刷線路板上，並被用作各種電子裝置的構件之一。

【0005】此外，藉由使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到矚目。該電晶體被廣泛地應用於積體電路及影像顯示裝置(簡單地記載為顯示裝置)等電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。作為其他材料，氧化物半導體受到矚目。

【0006】此外，已知使用氧化物半導體的電晶體的洩漏電流在非導通狀態下極小。例如，專利文獻1公開了應用洩漏電流小的特性的低功耗CPU等。此外，例如，專利文獻2公開了實現存儲內容的長期保持的記憶體裝置等。

【0007】近年來，隨著電子裝置的小型化和輕量化，對積體電路的進一步高密度化的要求提高。此外，被要求提高包括積體電路的半導體裝置的生產率。例如，專利文獻3及非專利文獻1公開了一種技術，其中藉由層疊使用氧化物半導體膜的第一電晶體和使用氧化物半導體膜的第二電晶體，重疊地設置多個記憶單元，由此提高積體電路的密度。例如，專利文獻4公開了一種垂直電晶體，其中閘極電極隔著閘極絕緣體覆蓋氧化物半導體的側面。

【0008】

[專利文獻1]日本專利申請公開第2012-257187號公報

[專利文獻2]日本專利申請公開第2011-151383號公報

[專利文獻3]國際專利申請公開第2021/053473號

[專利文獻4]日本專利申請公開第2013-211537號公報

【0009】

[非專利文獻 1]M.Oota et.al, “3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”, IEDM Tech. Dig., 2019, pp.50-53

【發明內容】

【0010】本發明的一個實施方式的目的是提供一種易於微型化的半導體裝置。此外，本發明的一個實施方式的目的是提供一種能夠實現高積體化的半導體裝置。此外，本發明的一個實施方式的目的是提供一種降低寄生電容的半導體裝置。此外，本發明的一個實施方式的目的是提供一種降低佈線負荷的半導體裝置。此外，本發明的一個實施方式的目的是提供一種具有良好電特性的半導體裝置。此外，本發明的一個實施方式的目的是提供一種工作速度快的半導體裝置。

【0011】本發明的一個實施方式的目的是提供一種具有新穎結構的半導體裝置、記憶體裝置、表示裝置或電子裝置。本發明的一個實施方式的目的是至少減輕先行技術的問題中的至少一個。

【0012】注意，這些目的的記載不妨礙其他目的的存在。注意，本發明的一個實施方式並不需要實現所有上述目的。此外，可以從說明書、圖式、申請專利範圍等的記載衍生上述以外的目的。

【0013】本發明的一個實施方式是一種包括電晶體、第一絕緣層、第二絕緣層以及佈線的半導體裝置。電晶體

包括第一導電層、第二導電層、第三導電層、半導體層以及第三絕緣層。第一絕緣層位於第一導電層上方並具有到達第一導電層的第一開口。第二導電層位於第一絕緣層上方。半導體層與第二導電層、第一開口中的第一絕緣層的側面以及第一導電層的頂面接觸。第二絕緣層位於半導體層上方並在與第一開口重疊的位置具有到達半導體層的第二開口。第三絕緣層與第二開口中的第二絕緣層的側面及第一開口內的半導體層接觸。第三導電層以嵌入第二開口及第一開口中的方式設置。佈線與第三導電層的頂面接觸並具有隔著第二絕緣層與半導體層或第二導電層重疊的部分。

【0014】此外，在上述實施方式中，第二絕緣層較佳為具有比第三絕緣層厚的部分。

【0015】此外，在上述實施方式中，較佳為包括第二導電層與第二絕緣層之間的第四絕緣層。此時，第四絕緣層的組成與第二絕緣層的組成較佳為不同。再者，此時，第四絕緣層較佳為覆蓋半導體層的端部。

【0016】此外，在上述實施方式中，第一開口上端的開口徑較佳為大於第一開口下端的開口徑。

【0017】此外，本發明的另一個實施方式是一種半導體裝置的製造方法，包括如下步驟：形成具有第一開口的第一絕緣層；以與第一絕緣層的第一開口中的側面接觸的方式形成半導體層；以覆蓋第一絕緣層及半導體層的方式形成第二絕緣層；在第二絕緣層中形成與第一開口重疊且

到達半導體層的第二開口；在第二開口及第一開口內依次形成第三絕緣層及導電層；以及在第二絕緣層上形成與導電層接觸的佈線。

【0018】此外，本發明的另一個實施方式是一種半導體裝置的製造方法，包括如下步驟：形成具有第一開口的第一絕緣層；以與第一絕緣層的第一開口中的側面接觸的方式形成半導體層；形成覆蓋半導體層的保護層；以覆蓋第一絕緣層及保護層的方式形成第二絕緣層；在第二絕緣層中形成與第一開口重疊且到達保護層的第二開口；蝕刻與第二開口重疊的保護層，使得半導體層露出；在第二開口及第一開口內依次形成第三絕緣層及導電層；以及在第二絕緣層上形成與導電層接觸的佈線。

【0019】根據本發明的一個實施方式，可以提供一種易於微型化的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種能夠實現高積體化的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種降低寄生電容的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種降低佈線負荷的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種具有良好電特性的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種工作速度快的半導體裝置。

【0020】根據本發明的一個實施方式，可以提供一種具有新穎結構的半導體裝置、記憶體裝置、表示裝置或電子裝置。根據本發明的一個實施方式，可以至少減輕先行

技術的問題中的至少一個。

【0021】注意，這些效果的記載不妨礙其他效果的存在。注意，本發明的一個實施方式並不需要具有所有上述效果。此外，可以從說明書、圖式、申請專利範圍等的記載衍生上述以外的效果。

【圖式簡單說明】

【0022】

[圖1A]及[圖1B]是半導體裝置的結構例子；
[圖2A]至[圖2C]是半導體裝置的結構例子；
[圖3A]及[圖3B]是半導體裝置的結構例子；
[圖4A]至[圖4D]是半導體裝置的結構例子；
[圖5A]至[圖5D]是半導體裝置的結構例子；
[圖6A]至[圖6D]是半導體裝置的結構例子；
[圖7A]至[圖7D]是半導體裝置的結構例子；
[圖8A]至[圖8D]是說明半導體裝置的製造方法例子的圖；

[圖9A]至[圖9C]是說明半導體裝置的製造方法例子的圖；

[圖10A]及[圖10B]是說明半導體裝置的製造方法例子的圖；

[圖11A]及[圖11B]是說明半導體裝置的製造方法例子的圖；

[圖12A]至[圖12C]是說明半導體裝置的製造方法例子

的圖；

[圖 13A]及[圖 13B]是說明半導體裝置的製造方法例子的圖；

[圖 14A]至[圖 14C]是記憶體裝置的結構例子；

[圖 15A]及[圖 15B]是記憶體裝置的結構例子；

[圖 16A]及[圖 16B]是記憶體裝置的結構例子；

[圖 17A]及[圖 17B]是記憶體裝置的結構例子；

[圖 18]是記憶體裝置的結構例子；

[圖 19]是記憶體裝置的結構例子；

[圖 20A]及[圖 20B]是記憶體裝置的結構例子；

[圖 21A]至[圖 21D]是記憶體裝置的結構例子；

[圖 22]是記憶體裝置的結構例子；

[圖 23A]及[圖 23B]是顯示裝置的結構例子；

[圖 24]是顯示裝置的結構例子；

[圖 25]是顯示裝置的結構例子；

[圖 26]是顯示裝置的結構例子；

[圖 27A]至[圖 27C]是顯示裝置的結構例子；

[圖 28A]及[圖 28B]是顯示裝置的結構例子；

[圖 29A]至[圖 29D]是電子裝置的結構例子；

[圖 30A]至[圖 30F]是電子裝置的結構例子；

[圖 31A]至[圖 31G]是電子裝置的結構例子；

[圖 32A]及[圖 32B]是電子構件的結構例子；

[圖 33A]至[圖 33C]是大型電腦的結構例子；

[圖 34A]是太空設備的結構例子，[圖 34B]是儲存系統

的結構例子。

【實施方式】

【0023】下面，參照圖式對實施方式進行說明。但是，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。

【0024】注意，在以下說明的發明的結構中，在不同的圖式之間共同使用相同的符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加符號。

【0025】注意，在本說明書所說明的各個圖式中，有時為了明確起見，誇大表示各組件的大小、層的厚度、區域。因此，本發明並不侷限於圖式中的尺寸。

【0026】在本說明書等中使用的“第一”、“第二”等序數詞是為了避免組件的混淆而附記的，而不是為了在數目方面上進行限定的。

【0027】電晶體是半導體元件的一種，並且可以實現放大電流或電壓的功能、控制導通或非導通的切換工作等。本說明書中的電晶體包括IGFET(Insulated Gate Field Effect Transistor：絕緣閘場效電晶體)和薄膜電晶體

(TFT：Thin Film Transistor)。

【0028】此外，在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，“源極”及“汲極”的功能有時被互相調換。因此，在本說明書中，可以互相調換使用“源極”和“汲極”。

【0029】此外，在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”連接的情況。在此，“具有某種電作用的元件”只要可以進行連接對象間的電信號的接收，就對其沒有特別的限制。例如，“具有某種電作用的元件”除了電極或佈線以外還包括電晶體等切換元件、電阻器、線圈、電容器、其他具有各種功能的元件等。

【0030】注意，在本說明書等中，組件的頂面形狀是指在從平面看時的該組件的輪廓形狀。此外，從平面看是指從該組件的被形成面或形成有該組件的支撐體(例如基板)的表面的法線方向看的情況。

【0031】注意，在本說明書等中，“頂面形狀大致一致”是指疊層中的每一個層的邊緣的至少一部分重疊。例如，包括上層及下層藉由同一的遮罩圖案或其一部分同一的遮罩圖案被加工的情況。但是，嚴格地說有邊緣不重疊的情況，例如，上層位於下層的內側或者上層位於下層的外側，這種情況有時也可以說“頂面形狀大致一致”。

【0032】注意，以下，“上”、“下”等方向的表現基本上按照圖式的方向而使用。但是，為了簡化起見，說明書中的“上”或“下”表示的方向有時與圖式不一致。例如，當

說明疊層體等的疊層順序(或者形成順序)等時，即使圖式中的設置該疊層體的一側的面(被形成面、支撐面、黏合面、平坦面等)位於該疊層體的上側，有時也將該方向記載為“下”，或者將與此相反的方向記載為“上”等。

【0033】此外，在本說明書等中，“膜”和“層”可以相互調換。例如，有時“絕緣層”和“絕緣膜”可以相互調換。

【0034】

實施方式1

在本實施方式中說明本發明的一個實施方式的半導體裝置的結構例子及製造方法例子。以下說明電晶體作為半導體裝置的一個例子。

【0035】本發明的一個實施方式的電晶體的源極和汲極電極位於不同的高度(例如與電晶體被設置的基板面或絕緣平面垂直的方向上的高度)，因此流過半導體層的電流在高度方向上流過。也就可以說，通道長度方向具有高度(垂直)成分，因此本發明的一個實施方式可以被稱為垂直電晶體、垂直通道電晶體等。

【0036】更明確而言，在電晶體的源極和汲極電極中的一個的下部電極與另一個的上部電極之間設置用作第一間隔物的絕緣層，設置於該絕緣層中的第一開口內部以下部電極與上部電極連接的方式設置形成通道的半導體層。在第一開口內部設置重疊於半導體層的閘極絕緣層及閘極電極。由於可以重疊設置源極、半導體層及汲極電極，所以與在平面上配置半導體層的所謂平面型電晶體相比，可

以大幅度縮小佔有面積。

【0037】再者，設置與閘極電極電連接的閘極佈線。此時，在閘極佈線與上部電極之間設置用作第二間隔物的絕緣層。例如，第二間隔物較佳為比閘極絕緣層厚。此外，第二間隔物較佳為使用氧化矽、氧氮化矽等低介電常數材料。由此，可以有效地降低閘極佈線與上部電極之間的寄生電容。

【0038】閘極電極及閘極絕緣層設置在第二開口及第一開口各自的內部，該第二開口及該第一開口分別設置在第二間隔物及第一間隔物中。閘極電極的頂面可以與設置在第二間隔物上的閘極佈線接觸。

【0039】在此，可以根據用作第一間隔物的絕緣層的厚度精密控制電晶體的通道長度，所以與平面型電晶體相比可以顯著地減小通道長度不均勻。再者，藉由減薄該絕緣層，還可以製造通道長度極短的電晶體。例如，可以製造通道長度為 $2\mu\text{m}$ 以下、 $1\mu\text{m}$ 以下、 500nm 以下、 300nm 以下、 200nm 以下、 100nm 以下、 50nm 以下、 30nm 以下或 20nm 以下且為 5nm 以上、 7nm 以上或 10nm 以上的電晶體。由此，可以實現量產用曝光裝置不能實現的通道長度極小的電晶體。此外，還可以不用最先進的LSI技術中使用的非常昂貴的曝光裝置實現通道長度小於 10nm 的電晶體。

【0040】本發明的一個實施方式的電晶體可以使通道長度極小，縮小佔有面積，使大電流流過，減少寄生電容，並進行高速工作。本發明的一個實施方式的電晶體可

以應用於各種各樣的半導體裝置。例如，可以應用於記憶體裝置、運算裝置、顯示裝置、攝像裝置等。

【0041】下面，參照圖式說明具體例子。

【0042】

[結構例子]

圖1A及圖1B分別是電晶體10的立體示意圖。圖1B是去除圖1A的一部分的立體圖。此外，在圖1A及圖1B中，關於部分組件(層間絕緣層等)，只示出由虛線表示的輪廓。

【0043】圖1A及圖1B以箭頭示出X方向、Y方向及Z方向。注意，在圖1A及圖1B中以相同的X、Y、Z的符號表示方向，但不一定需要在這些圖式之間方向一致。

【0044】圖2A是電晶體10的平面圖，圖2B、圖2C分別是沿著圖2A中的截斷線A1-A2、B1-B2的剖面示意圖。注意，在圖2A中省略部分組件(絕緣層等)。

【0045】電晶體10設置在絕緣層11上，該絕緣層11設置在基板(未圖示)上。電晶體10包括用作源極和汲極電極中的一個的導電層31、半導體層21、用作閘極絕緣層的絕緣層22、用作閘極電極的導電層23以及用作源極和汲極電極中的另一個的導電層32。導電層31及導電層32也被用作佈線。

【0046】導電層31設置在絕緣層11上，絕緣層41設置在導電層31上。導電層32設置在絕緣層41上。絕緣層41具有到達導電層31的開口20a。半導體層21以與絕緣層41的

開口 20a 的內壁(也稱為側面、側壁)接觸的方式設置，並與導電層 31 的頂面及導電層 32 的頂面及側面分別接觸。

【0047】絕緣層 42 設置在半導體層 21 及導電層 32 上。絕緣層 42 具有到達半導體層 21 的開口 20b。絕緣層 22 位於開口 20a 及開口 20b 的內部。絕緣層 22 位於開口 20a 內側的部分沿著半導體層 21 的頂面設置。此外，絕緣層 22 位於開口 20b 內側的部分沿著絕緣層 42 的開口 20b 的內壁設置。再者，導電層 23 以嵌入開口 20a 及開口 20b 內的方式設置。

【0048】絕緣層 42、絕緣層 22 以及導電層 23 各自的頂面被平坦化，並且頂面的高度大致一致。用作佈線的導電層 33 設置在絕緣層 42 上。導電層 33 以與導電層 23 的頂面接觸的方式設置。導電層 33 例如被用作閘極佈線。

【0049】在此，導電層 31 嵌入絕緣層 44 中，導電層 32 嵌入絕緣層 45 中，並且導電層 33 嵌入絕緣層 46 中。再者，它們的頂面被平坦化，並且導電層及絕緣層的頂面的高度大致一致。藉由採用這種結構，可以不受步階的影響，因此是較佳的。絕緣層 44、絕緣層 45 以及絕緣層 46 被用作層間絕緣層。例如，較佳為使用氧化矽、氧氮化矽等低介電常數無機絕緣材料。

【0050】具有上述結構的電晶體 10 的源極和汲極電極位於不同的高度，因此流過半導體的電流在高度方向上流過。也就是說，通道長度方向可以具有高度方向(垂直方向)的成分，因此本發明的一個實施方式的電晶體也可以被稱為 VFET(Vertical Field Effect Transistor：垂直場效應

電晶體)、垂直電晶體、垂直通道電晶體等。在上述電晶體10中，可以重疊設置源極、半導體和汲極電極，所以與在平面上配置半導體的所謂平面型電晶體(也可以稱為橫向電晶體、LFET(Lateral FET)等)相比，可以大幅度縮小佔有面積。

【0051】此外，可以根據用作間隔物的絕緣層41的厚度精密控制電晶體10的通道長度，所以與平面型電晶體相比可以顯著地減小通道長度不均勻。再者，藉由減薄絕緣層41，還可以製造通道長度極短的電晶體。例如，可以製造通道長度為50nm以下、30nm以下或20nm以下且為5nm以上、7nm以上或10nm以上的電晶體。因此，即使使用習知的量產用曝光裝置而不用最先進的LSI技術中使用的非常昂貴的曝光裝置，也可以實現通道長度小於10nm的電晶體。

【0052】半導體層21可以使用各種半導體材料，尤其較佳為使用包括金屬氧化物的氧化物半導體。藉由使用在適當的條件下形成的氧化物半導體，可以以低成本實現兼具高通態電流(on-state current)及極低的關態電流(off-state current)的電晶體。下面，在沒有特別強調的情況下，說明作為半導體層21使用氧化物半導體的情況的較佳為結構例子。

【0053】導電層31及導電層32的各頂面與半導體層21接觸。因此，在作為半導體層21使用氧化物半導體時，由於將成為半導體層21的半導體膜的沉積製程或此後的加熱

的影響等，導電層31及導電層32露出的表面附近氧化，與半導體層21之間形成絕緣氧化物膜，有時接觸電阻會增大。於是，導電層31及導電層32的至少最上部較佳為使用包含導電氧化物的氧化物導電體。由此，可以防止因導電層31及導電層32的表面氧化導致的接觸電阻的上升。導電層31及導電層32也可以稱為氧化物層、金屬氧化物層或氧化物導電體層等。

【0054】導電層31可以被用作源極佈線及汲極佈線中的一個。此外，導電層32可以被用作源極佈線及汲極佈線中的另一個。如此，在導電層31及導電層32中的一個或兩個被用作佈線的情況下，較佳為電阻較低。為此，較佳為使用金屬、合金或它們的氮化物等與氧化物導電體相比導電性高的材料。尤其是，導電層31及導電層32中的一個或兩個較佳為具有包括由該導電性高的材料構成的層的疊層結構，其中至少最上部使用上述氧化物導電體。

【0055】在此，電晶體10設置在用作閘極佈線的導電層33與用作源極佈線或汲極佈線的導電層32的交叉部。因此，在導電層33與導電層32的交叉部，它們重疊的部分產生寄生電容。但是，在本發明的一個實施方式中，導電層33與導電層32之間設置有絕緣層42，由此與沒有絕緣層42的情況(例如導電層33與導電層32隔著絕緣層22重疊的情況)相比寄生電容大幅度減少。

【0056】再者，藉由增加絕緣層42的厚度，可以減少導電層33與導電層32之間的寄生電容。例如，絕緣層42可

以比絕緣層22厚。此外，絕緣層42更佳為比絕緣層44、絕緣層45以及絕緣層46中的至少一個厚。絕緣層42越厚越佳，由此可以減少導電層33與導電層32之間的寄生電容，只要考慮生產率即可。例如，絕緣層42的厚度可以為絕緣層41的厚度的2倍以下或3倍以下。

【0057】在圖2B及圖2C中，示出使用絕緣層41a、絕緣層41b以及絕緣層41c的疊層膜作為圖1A及圖1B中的絕緣層41的情況。此外，圖3A是圖2B的放大圖。

【0058】半導體層21以與開口20a內的絕緣層41b的側面(也稱為內壁)接觸的方式設置。絕緣層41b較佳為使用氧化物絕緣膜。尤其是，較佳為使用藉由加熱釋放氧的氧化物絕緣膜。此外，較佳為採用絕緣層41b被對氧具有阻擋性的絕緣層41a及絕緣層41c夾持的結構。由此，可以使絕緣層41b所包含的氧封閉在由絕緣層41a、絕緣層41c及半導體層21圍繞的區域，可以防止絕緣層41b中的氧在製程中脫離並減少，從而可以更高效地將氧從絕緣層41b供應給半導體層21。

【0059】半導體層21中與絕緣層41b接觸的部分為氧空位得到降低的區域，可以說是i型區域。另一方面，不與絕緣層41b接觸的部分較佳為包含多個載子的n型區域。就是說，半導體層21的與絕緣層41b接觸的部分可以被稱為通道形成區域，其外側區域可以被稱為低電阻區域(也稱為源極區域或汲極區域)。在圖3A中，對半導體層21的通道形成區域21i及低電阻區域21n附上不同陰影線。

【0060】此時，如圖3A所示，電晶體10的通道長度L可以說是位於連接半導體層21中的接觸於導電層31的部分與接觸於導電層32的部分的最短距離的路徑上且接觸於絕緣層41b的部分的長度。絕緣層41b的開口20a的側壁的角度(θ)為90度時，通道長度L與絕緣層41b的厚度一致。藉由使 θ 小於(或大於)90度，可以增大通道長度L。

【0061】另一方面，電晶體10的通道寬度W依賴於開口20a的形狀。圖3B是從Z方向看沿著圖3A中的位於設置有絕緣層41b的高度的截斷線C1-C2截斷時的截斷面的平面圖。在此，示出開口20a具有圓筒形狀時的情況。在開口20a的輪廓為直徑R的圓時，通道寬度W可以看作開口20a的圓周(亦即， $W=\pi \times R$)。在此，在絕緣層41b的開口20a的側壁的角度 θ 從90度錯開時，根據高度開口20a的圓周不同。此時，既可以將開口20a的徑最小的的高度的圓周看作通道寬度W，也可以將開口20a的上端的高度的圓周看作通道寬度W。

【0062】半導體層21及絕緣層22由於沿著絕緣層41b的開口20a的內壁形成，所以根據沉積方法有時該部分的厚度減薄。例如在濺射法或電漿CVD法等沉積方法中，沉積在傾斜於或垂直於基板面的面上的膜的厚度傾向於比沉積在平行於基板面的面上的膜的厚度薄。另一方面，當利用原子層沉積(ALD: Atomic Layer Deposition)法或熱CVD法等沉積方法時，不管被形成面的角度如何都可以沉積厚度均勻的膜。例如，在絕緣層41b的開口20a的側壁的角度

θ 為 75 度以上、80 度以上或 85 度以上時，較佳為利用 ALD 法形成半導體層 21 及絕緣層 22。

【0063】設置在絕緣層 42 中的開口 20b 的徑較佳為等於或大於設置在絕緣層 41b 中的開口 20a 的徑。藉由使開口 20b 大於開口 20a，可以防止由於形成開口 20b 時的位置錯開等開口 20a 與開口 20b 不重疊而充塞開口 20a。

【0064】在此，絕緣層 42 的厚度也可以為通道長度 L 以上。例如，藉由將絕緣層 42 的厚度設定為絕緣層 41b 的厚度以上，可以更有效地降低寄生電容。

【0065】

[組件]

<基板>

作為形成電晶體的基板例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板(釔安定氧化鋯基板等)、樹脂基板等。此外，作為半導體基板，例如可以舉出以矽、鍺為材料的半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銮、氧化鋅或氧化鎵構成的化合物半導體基板等。並且，還可以舉出在上述半導體基板內部具有絕緣體區域的半導體基板，例如 SOI(Silicon On Insulator：絕緣層上覆矽)基板等。作為導電體基板，可以舉出石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，也可以使用包含金屬氮化物的基板、包含金屬氧化物的基板等。此外，還可以舉出設置有導電層或半導

體層的絕緣體基板、設置有導電層或絕緣層的半導體基板、設置有半導體層或絕緣層的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為設置在基板上的元件，可以舉出電容器、電阻器、切換元件、發光元件、記憶元件等。

【0066】

<半導體層>

半導體層21較佳為包含金屬氧化物(氧化物半導體)。

【0067】作為可用於半導體層21的金屬氧化物，例如可以舉出In氧化物、Ga氧化物及Zn氧化物。金屬氧化物較佳為至少包含In或Zn。此外，金屬氧化物較佳為包含選自In、元素M和Zn中的兩個或三個。注意，元素M為與氧的鍵能高的金屬元素或半金屬元素，例如為與氧的鍵能比In高的金屬元素或半金屬元素。作為元素M，具體地可以舉出Al、Ga、Sn、Y、Ti、V、Cr、Mn、Fe、Co、Ni、Zr、Mo、Hf、Ta、W、La、Ce、Nd、Mg、Ca、Sr、Ba、B、Si、Ge及Sb等。金屬氧化物所包含的元素M較佳為上述元素中的任一種或多種，尤其較佳為選自Al、Ga、Y和Sn中的一種或多種，其中更佳為Ga。注意，以下有時將包含In、M及Zn的金屬氧化物稱為In-M-Zn氧化物。注意，在本說明書等中，有時將金屬元素與半金屬元素統稱為“金屬元素”，本說明書等所記載的“金屬元素”有時包括半金屬元素。

【0068】在金屬氧化物使用In-M-Zn氧化物時，該In-

M-Zn氧化物中的In的原子數比較佳為M的原子數比以上。例如，作為這種In-M-Zn氧化物的金屬元素的原子數比，可以舉出In：M：Zn=1：1：1、In：M：Zn=1：1：1.2、In：M：Zn=2：1：3、In：M：Zn=3：1：2、In：M：Zn=4：2：3、In：M：Zn=4：2：4.1、In：M：Zn=5：1：3、In：M：Zn=5：1：6、In：M：Zn=5：1：7、In：M：Zn=5：1：8、In：M：Zn=6：1：6、In：M：Zn=5：2：5或者它們附近的組成等。注意，附近的組成包括所希望的原子數比的 $\pm 30\%$ 的範圍。藉由增大金屬氧化物中的In的原子數比，可以提高電晶體的通態電流或場效移動率等。

【0069】In-M-Zn氧化物中的In的原子數比也可以小於元素M的原子數比。例如，作為這種In-M-Zn氧化物的金屬元素的原子數比，可以舉出In：M：Zn=1：3：2、In：M：Zn=1：3：3、In：M：Zn=1：3：4或者它們附近的組成等。藉由提高金屬氧化物中的M的原子數比，可以抑制氧空位的生成。

【0070】半導體層21例如可以使用In-Zn氧化物、In-Ga氧化物、In-Sn氧化物、In-Ti氧化物、In-Ga-Al氧化物、In-Ga-Sn氧化物、In-Ga-Zn氧化物、In-Sn-Zn氧化物、In-Al-Zn氧化物、In-Ti-Zn氧化物、In-Ga-Sn-Zn氧化物、In-Ga-Al-Zn氧化物等。此外，也可以使用Ga-Zn氧化物。

【0071】金屬氧化物也可以代替In或除了In以外還包含一種或多種週期數大的金屬元素。有金屬元素的軌域的

重疊越大金屬氧化物中的載子傳導越大的趨勢。因此，在包含週期數大的金屬元素時有時可以提高電晶體的場效移動率。作為週期數大的金屬元素，可以舉出屬於第5週期的金屬元素以及屬於第6週期的金屬元素等。作為該金屬元素，具體地可以舉出Y、Zr、Ag、Cd、Sn、Sb、Ba、Pb、Bi、La、Ce、Pr、Nd、Pm、Sm及Eu等。注意，La、Ce、Pr、Nd、Pm、Sm及Eu被稱為輕稀土元素。

【0072】此外，金屬氧化物也可以包含非金屬元素的一種或多種。在金屬氧化物包含非金屬元素時有時可以提高電晶體的場效移動率。作為非金屬元素，例如可以舉出碳、氮、磷、硫、硒、氟、氯、溴及氫等。

【0073】金屬氧化物可以適當地利用濺射法或原子層沉積法形成。注意，在利用濺射法形成金屬氧化物的情況下，沉積後的金屬氧化物的組成有時與靶材的組成不同。尤其是，沉積後的金屬氧化物中的鋅的含有率有時減少到靶材中的鋅的含有率的50%左右。

【0074】在本說明書等中，金屬元素中的某種金屬氧化物的含有率是指相對於包含在金屬氧化物中的金屬元素的原子總數的該元素的原子數之比例。例如，在金屬氧化物包含金屬元素X、金屬元素Y、金屬元素Z且包含在該金屬氧化物中的金屬元素X、金屬元素Y、金屬元素Z的各原子數分別為 A_X 、 A_Y 、 A_Z 時，可以將金屬元素X的含有率表示為 $A_X/(A_X+A_Y+A_Z)$ 。此外，當金屬氧化物中的金屬元素X、金屬元素Y、金屬元素Z的各原子數之比(原子數比)被

表示為 $B_X : B_Y : B_Z$ 時，可以將金屬元素 X 的含有率表示為 $B_X / (B_X + B_Y + B_Z)$ 。

【0075】例如，在使用包含 In 的金屬氧化物時，藉由提高 In 的含有率，可以實現通態電流大的電晶體。

【0076】藉由在半導體層 21 中使用不包含 Ga 或 Ga 含有率低的金屬氧化物，可以實現對於正偏壓施加的可靠性高的電晶體。也就是說，可以實現 PBTS (Positive Bias Temperature Stress：正偏壓溫度應力) 測試中的臨界電壓的變動量小的電晶體。此外，在使用含 Ga 的金屬氧化物時，Ga 含有率較佳為比 In 含有率低。由此，可以實現移動率高且可靠性高的電晶體。

【0077】另一方面，藉由提高 Ga 含有率，可以實現對於光具有高可靠性的電晶體。也就是說，可以實現 NBTIS (Negative Bias Temperature Illumination Stress：負偏壓溫度照明應力) 測試中的臨界電壓的變動量小的電晶體。明確而言，Ga 的原子數比為 In 的原子數比以上的金屬氧化物的能帶間隙更大，可以使電晶體的 NBTIS 測試中的臨界電壓的變動量減少。

【0078】此外，藉由提高鋅的含有率，成為結晶性高的金屬氧化物，可以抑制金屬氧化物中的雜質擴散。由此，電晶體的電特性的變動得到抑制，而可以提高可靠性。

【0079】半導體層 21 也可以具有包括兩個以上的金屬氧化物層的疊層結構。半導體層 21 所包括的兩個以上的金

屬氧化物層的組成也可以彼此相同或大致相同。藉由採用組成相同的金屬氧化物層的疊層結構，例如可以使用相同的濺射靶材形成，因此可以降低製造成本。注意，也可以採用層疊組成不同的兩個以上的氧化物半導體層的疊層結構。此外，藉由利用ALD法，可以形成組成在厚度方向上連續變化的金屬氧化物層。由此，與使用預定的組成的膜的情況相比，不僅可以擴大設計選擇範圍，也可以防止在組成不同的兩層之間產生的界面態等的生成，因此可以提高電特性及可靠性。

【0080】在半導體層21具有兩層結構的情況下，較佳為在第二層，即接近閘極電極一側的層中使用其移動率比第一層高的材料(導電性高的材料)。由此，可以形成常關閉(normally off)且通態電流大的電晶體。因此，可以兼具低功耗及高性能。此外，也可以在第一層，即與源極及汲極電極接觸的一側的層中使用其移動率比第二層高的材料。由此，可以降低半導體層21與源極或汲極電極的接觸電阻，從而可以降低寄生電阻，可以形成通態電流大的電晶體。

【0081】此外，在半導體層21具有三層結構的情況下，較佳為在第二層中使用其移動率比第一及第三層高的材料。由此，可以實現通態電流高且可靠性高的電晶體。

【0082】例如，可以將上述移動率的高低或導電性的高低置換為銦含有率的高低。除此之外，如下因素也影響移動率及導電性：銦以外的有助於提高導電性的元素的有

無或該元素的含量等。作為高移動率材料的一個例子，例如可以舉出 $\text{In} : \text{Ga} : \text{Zn} = 4 : 3 : 2$ [原子數比] 及附近的材料、 $\text{In} : \text{Zn} = 1 : 1$ [原子數比] 及附近的材料、 $\text{In} : \text{Zn} = 4 : 1$ [原子數比] 及附近的材料、 $\text{In} : \text{Sn} : \text{Zn} = 40 : \text{X} : 10$ [原子數比] (X 為 0.1 以上且 5 以下，典型為 $\text{X} = 1$) 及附近的材料等。另一方面，作為其移動率或導電性低於上述材料的材料，可以舉出 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ [原子數比] 及附近的材料、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子數比] 及附近的材料、 $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ [原子數比] 及附近的材料、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子數比] 及附近的材料、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [原子數比] 及附近的材料等。

【0083】作為半導體層21較佳為使用具有結晶性的金屬氧化物層。例如，可以使用具有後面說明的CAAC(c-axis aligned crystal)結構、多晶結構、微晶(nc:nano-crystal)結構等的金屬氧化物層。藉由將具有結晶性的金屬氧化物層用於半導體層21，可以降低半導體層21中的缺陷態密度，由此可以實現可靠性高的半導體裝置。

【0084】用於半導體層21的金屬氧化物層的結晶性越高，越可以降低半導體層21中的缺陷態密度。另一方面，藉由使用結晶性低的金屬氧化物層，可以實現能夠流過大電流的電晶體。

【0085】與使用非晶矽的電晶體相比，使用氧化物半導體的電晶體(以下記為OS電晶體)的場效移動率非常高。此外，OS電晶體的關閉狀態下的源極和汲極間的洩漏電

流(以下，也稱為關態電流)極低，可以長期間保持與該電晶體串聯連接的電容器中儲存的電荷。此外，藉由使用OS電晶體，可以降低半導體裝置的功耗。

【0086】本發明的一個實施方式的半導體裝置例如可以應用於顯示裝置。在提高顯示裝置的像素電路所包括的發光器件的發光亮度時，需要增大流過發光器件的電流量。為此，需要提高像素電路所包括的驅動電晶體的源極-汲極間電壓。因為OS電晶體的源極-汲極間的耐壓比使用矽的電晶體(以下記為Si電晶體)高，所以可以對OS電晶體的源極-汲極間施加高電壓。由此，藉由作為像素電路所包括的驅動電晶體使用OS電晶體，可以增大流過發光器件的電流量而提高發光器件的發光亮度。

【0087】當電晶體在飽和區域中工作時，與Si電晶體相比，OS電晶體可以使對於閘極-源極間電壓的變化的源極-汲極間電流的變化細小。因此，藉由作為像素電路所包括的驅動電晶體使用OS電晶體，可以緻密控制流過發光器件的電流量。由此，可以增大像素電路的灰階數。此外，即使發生發光器件的電特性(例如電阻)變動或者電特性不均勻也可以使穩定的電流流過。

【0088】如上所述，藉由作為像素電路所包括的驅動電晶體使用OS電晶體，可以實現“黑色模糊的抑制”、“發光亮度的上升”、“多灰階化”、“發光器件的製造不均勻的影響的抑制”等。

【0089】OS電晶體的因被照射放射線而引起的電特

性變動小，即對於放射線的耐受性高，因此可以在有可能入射放射線的環境下也適當地使用。OS電晶體也可以說是對於放射線具有高可靠性。例如，可以適當地使用OS電晶體作為X射線的平板探測器的像素電路。此外，OS電晶體可以適當地用於在宇宙空間中使用的半導體裝置。作為放射線，可以舉出電磁輻射線(例如，X射線及 γ 射線)及粒子放射線(例如， α 射線、 β 射線、質子輻射及中子輻射)。

【0090】注意，可用於半導體層21的半導體材料不限於氧化物半導體。例如，可以使用由單個元素構成的半導體或者化合物半導體。作為由單個元素構成的半導體，可以舉出矽(包括單晶矽、多晶矽、微晶矽、非晶矽)或鍺等。作為化合物半導體例如可以舉出砷化鎵、矽鍺。作為化合物半導體例如可以舉出有機半導體、氮化物半導體或氧化物半導體等。注意，這些半導體材料也可以包含雜質作為摻雜物。

【0091】或者，半導體層21也可以具有用作半導體的層狀物質。層狀物質是具有層狀結晶結構的材料群的總稱。層狀結晶結構是由共價鍵或離子鍵形成的層藉由如范德華鍵合那樣的比共價鍵及離子鍵弱的鍵合層疊的結構。層狀物質在單位層中具有高導電性，亦即，具有高二維導電性。藉由將被用作半導體並具有高二維導電性的材料用於通道形成區域，可以提供通態電流大的電晶體。

【0092】作為上述層狀物質，例如可以舉出石墨烯、

矽烯、硫族化物等。硫族化物是包含氧族元素(屬於第16族的元素)的化合物。此外，作為硫族化物，可以舉出過渡金屬硫族化物、第13族硫族化物等。作為能夠用作電晶體的半導體層的過渡金屬硫族化物，具體地可以舉出硫化鉬(典型的是 MoS_2)、硒化鉬(典型的是 MoSe_2)、碲化鉬(典型的是 MoTe_2)、硫化鎢(典型的是 WS_2)、硒化鎢(典型的是 WSe_2)、碲化鎢(典型的是 WTe_2)、硫化鈦(典型的是 HfS_2)、硒化鈦(典型的是 HfSe_2)、硫化鋇(典型的是 ZrS_2)、硒化鋇(典型的是 ZrSe_2)等。

【0093】對用於半導體層21的半導體材料的結晶性沒有特別的限制，可以使用非晶半導體、單晶半導體或具有單晶以外的結晶性的半導體(多晶半導體、微晶半導體或其一部分具有結晶區域的半導體)。當使用具有結晶性的半導體時可以抑制電晶體的特性劣化，所以是較佳的。

【0094】

<閘極絕緣層>

絕緣層22被用作電晶體的閘極絕緣層，也被用作電容器的介電層。在將氧化物半導體用於半導體層21時，作為絕緣層22中的至少與半導體層21接觸的膜較佳為使用氧化物絕緣膜。例如，可以使用氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氧化鈦、氧氮化鈦、氧化鋇、氧氮化鋇、氧化釷、氧氮化釷和Ga-Zn氧化物中的一個或多個。除此之外，作為絕緣層22也可以使用氮化矽、氮氧化矽、氮化鋁、氮氧化鋁等氮化物絕緣膜。此外，絕緣層22也可以具

有疊層結構，例如也可以具有包括一個以上的氧化物絕緣膜和一個以上的氮化物絕緣膜的疊層結構。

【0095】在本說明書等中，氧氮化物是指含氧量多於含氮量的材料。氮氧化物是指含氮量多於含氧量的材料。

【0096】此外，絕緣層22較佳為層疊由high-k材料構成的絕緣材料而使用，較佳為使用高相對介電常數(high-k)材料與介電強度大於該high-k材料的材料的疊層結構。例如，作為絕緣層22，可以使用依次層疊有氧化鋯、氧化鋁及氧化鋯的絕緣膜(也稱為ZAZ)。此外，例如，可以使用依次層疊有氧化鋯、氧化鋁、氧化鋯及氧化鋁的絕緣膜(也稱為ZAZA)。此外，例如，可以使用依次層疊有鉛鋯氧化物、氧化鋁、鉛鋯氧化物、氧化鋁的絕緣膜。藉由層疊氧化鋁等介電強度較大的絕緣體而使用，可以提高介電強度而可以抑制電容器的靜電破壞。

【0097】此外，作為絕緣層22也可以使用呈現鐵電性的材料。作為呈現鐵電性的材料，可以舉出氧化鉛、氧化鋯、 HfZrO_x (x 為大於0的實數)等金屬氧化物。

【0098】

<導電層>

導電層31及導電層32的各頂面接觸於半導體層21。這裡，在作為半導體層21使用氧化物半導體的情況下，在將如鋁等易於被氧化的金屬用於導電層31或導電層32的上部時，絕緣氧化物(例如氧化鋁)有可能形成在導電層31或導電層32與半導體層21之間而妨礙它們之間的導通。因此，

導電層31及導電層32的至少最上部較佳為使用不易被氧化的導電材料、即使被氧化也保持低電阻的導電材料或者氧化物導電材料。

【0099】作為導電層31及導電層32，較佳為例如使用鈦、氮化鈮、氮化鈦、含有鈦及鋁的氮化物、含有鈮及鋁的氮化物、鈮、氧化鈮、氮化鈮、含有鋇及鈮的氧化物、含有鐳及鋇的氧化物等。它們是不易被氧化的導電材料或者即使被氧化也維持導電性的材料，所以是較佳的。

【0100】或者，可以使用氧化銦、氧化鋅、In-Sn氧化物、In-Zn氧化物、In-W氧化物、In-W-Zn氧化物、In-Ti氧化物、In-Ti-Sn氧化物、In-Sn-Si氧化物、Ga-Zn氧化物等導電氧化物。尤其是，較佳為使用包含銦的導電氧化物，因為其導電性高。此外，可以應用於上述半導體層21的In-Ga-Zn氧化物等氧化物材料也可以藉由提高載子濃度而用於導電層。

【0101】導電層23用作閘極電極，可以使用各種導電材料。作為導電層23，例如較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉛、釩、鈮、錳、鎂、鋅、銻、銮、釷、銦、鐿、鐳等中的金屬元素、以該金屬元素為成分的合金。此外，也可以使用上述金屬或合金的氮化物或者上述金屬或合金的氧化物。例如，較佳為使用氮化鉭、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釷、氮化釷、包含銦和釷的氧化物、包含鐳和鎳的氧化物等。此外，也可以使用以包含磷等雜

質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0102】此外，導電層23也可以使用上述可用於導電層31及導電層32的氮化物及氧化物。

【0103】由於導電層31及導電層32還被用作佈線，所以也可以層疊使用低電阻的導電材料。此外，導電層33的電阻越低越佳。作為導電層31、導電層32及導電層33，可以使用與上述導電層23同樣的導電材料。

【0104】

<絕緣層>

絕緣層41(或絕緣層41b)具有與半導體層21接觸的部分。在將氧化物半導體用於半導體層21時，為了提高半導體層21與絕緣層41的界面特性，較佳的是，絕緣層41中的至少與半導體層21接觸的部分使用氧化物。例如，可以適當地使用氧化矽或氧氮化矽。

【0105】此外，絕緣層41更佳為使用藉由加熱釋放氧的膜。由此，可以藉由電晶體10的製程中施加的熱對半導體層21供應氧，可以降低半導體層21中的氧空位，而可以提高可靠性。作為對絕緣層41供應氧的方法，可以舉出氧氛圍下的加熱處理、氧氛圍下的電漿處理等。此外，也可以藉由利用濺射法在氧氛圍下在絕緣層41的頂面上沉積氧化物膜來對絕緣層41供應氧。然後，也可以去除該氧化物膜。

【0106】絕緣層41較佳為利用濺射法或電漿CVD法等

沉積方法形成。尤其是，藉由利用濺射法經不將氫氣體用於沉積氣體的沉積方法進行沉積，可以形成含氫量極少的膜。由此，可以抑制對半導體層21供應氫而實現電晶體10的電特性的穩定化。

【0107】作為絕緣層41a及絕緣層41c，較佳為使用不容易擴散氧的膜。由此，可以防止絕緣層41b中的氧因加熱而經由絕緣層41a向絕緣層11一側透過以及經由絕緣層41c向絕緣層45一側透過。換言之，藉由使用不容易擴散氧的絕緣層41a及絕緣層41c夾持絕緣層41b的上下，可以封閉絕緣層41b中的氧。由此，可以有效地對半導體層21供應氧。

【0108】作為絕緣層41a及絕緣層41c，例如可以使用氮化矽、氮氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氮化鋁、氧化鈣和鋁酸鈣中的一個或多個。尤其是，氮化矽及氮氧化矽具有很少釋放雜質(例如水及氫)且不容易使氧及氫透過的特徵，所以可以適當地用作絕緣層41a及絕緣層41c。

【0109】

[變形例子]

以下說明其一部分與上述結構例子不同的例子。注意，有時省略與上述內容重複的部分的說明。

【0110】

<變形例子1>

圖4A及圖4B是電晶體10a的剖面示意圖。電晶體10a

與上述電晶體 10 的不同之處主要在於開口 20b 的形狀。

【0111】在電晶體 10a 中，半導體層 21 的端部位於開口 20b 的內側。此外，開口 20b 不僅到達半導體層 21，也到達導電層 32 的一部分及絕緣層 45 的一部分。由此，絕緣層 22 的一部分以與導電層 32 及絕緣層 45 接觸的方式設置。

【0112】如此，藉由增加開口 20b 的徑，可以增加導電層 23 與導電層 33 的接觸面積，由此可以降低導電層 23 與導電層 33 的接觸電阻。

【0113】

<變形例子 2>

圖 4C 及圖 4D 是電晶體 10b 的剖面示意圖。電晶體 10b 與上述電晶體 10 的不同之處主要在於：電晶體 10b 包括絕緣層 47。

【0114】絕緣層 47 位於導電層 32 與絕緣層 42 之間及絕緣層 45 與絕緣層 42 之間。此外，絕緣層 47 以覆蓋半導體層 21 的端部的方式設置。

【0115】絕緣層 47 可以被用作在絕緣層 42 中形成開口 20b 時的蝕刻停止層。藉由設置絕緣層 47，可以在形成開口 20b 時減輕半導體層 21 的損傷。

【0116】作為絕緣層 47，可以使用可以增大與絕緣層 42 的蝕刻速率之間的選擇比的絕緣材料。絕緣層 47 至少使用其組成或密度與絕緣層 42 不同的絕緣膜。可以採用如下結構：絕緣層 47 包含與絕緣層 42 不同的構成元素；絕緣層 42 包含與絕緣層 47 不同的構成元素；絕緣層 47 與絕緣層 42

包含相同構成元素。

【0117】例如，絕緣層42可以使用氧化矽膜或氮化矽膜，絕緣層47可以使用如氮化矽膜、氮氧化矽膜、氧化鋁膜、氧化鉛膜等其組成及構成元素中的至少一個與絕緣層42不同的絕緣膜。此外，藉由使用藉由濺射法形成的絕緣膜作為絕緣層42，並使用藉由CVD法或ALD法等沉積方法形成的緻密的絕緣膜作為絕緣層47，也可以採用包含相同構成元素的絕緣膜(例如氧化矽膜)。

【0118】

<變形例子3>

圖5A及圖5B所示的電晶體10c為開口20a的側壁具有錐形形狀的情況的例子。在電晶體10c中，開口20a的上端的徑(開口徑)比下端的徑(開口徑)大。

【0119】藉由開口20a的側壁具有錐形形狀，半導體層21、絕緣層22等的覆蓋性得到提高，即使採用濺射法等沉積方法，也可以抑制膜中的低密度的區域等的缺陷的生成。例如角度 θ 可以為45度以上且90度以下、60度以上且小於90度或70度以上且小於90度。此外，在使用ALD法等覆蓋性極高的沉積方法時，角度 θ 也可以大於90度。

【0120】在開口20a的側壁具有錐形形狀時，對應電晶體10c的通道寬度的開口20a的徑從導電層31一側向導電層32一側變大。此時，電晶體10c中流過的電流的大小被最小的徑的部分限制。因此，電晶體10c的通道寬度可以看作最小的徑的部分的周長。因此，藉由開口20a的側壁

具有錐形形狀，可以製造具有比開口20a的上端的徑小的通道寬度的電晶體。

【0121】此外，圖5C及圖5D所示的電晶體10d為開口20a和開口20b都具有錐形形狀的情況的例子。再者，電晶體10d包括絕緣層46。

【0122】如圖5C及圖5D所示，開口20b上端的徑較佳為大於開口20b下端的徑，由此可以增加導電層23與導電層33的接觸面積。

【0123】

<變形例子4>

圖6A及圖6B所示的電晶體10e與上述電晶體10及電晶體10a等的不同之處主要在於：電晶體10e包括導電層26及絕緣層27。

【0124】導電層26被用作第二閘極電極(或背閘極電極)。此外，絕緣層27位於導電層26與半導體層21之間並被用作第二閘極絕緣層(或背閘極絕緣層)。導電層26可以被供應固定電位或任意信號。藉由設置導電層26並對導電層26供應適當電位，可以固定半導體層21的背通道一側的電位，由此可以減少電特性的不均勻。此外，導電層26也可以與導電層31、導電層32及導電層23中的任一個電連接，以被供應相同電位。

【0125】導電層26嵌入絕緣層41b中。因此，導電層26設置在絕緣層41a與絕緣層41c之間。絕緣層27沿著導電層32、絕緣層41c、導電層26以及絕緣層41a的側面設置。

例如，在導電層32、絕緣層41c、導電層26以及絕緣層41a中形成開口，使用覆蓋性高的沉積方法形成覆蓋該開口的絕緣膜，然後，進行各向異性蝕刻，由此可以形成絕緣層27。

【0126】

<變形例子5>

圖6C及圖6D所示的電晶體10f與電晶體10及電晶體10a等的不同之處主要在於導電層31的形狀。

【0127】導電層31中設置有凹部，沿該凹部設置有半導體層21、絕緣層22以及導電層23。此時，導電層23的下端的高度較佳為比導電層31的頂面的高度低。

【0128】在電晶體10f中，半導體層21的與導電層31接觸的部分為其電阻比通道形成區域低的區域。因此，藉由導電層23的下端的高度比導電層31的頂面低，可以對半導體層21的通道形成區域整體均勻地施加閘極電場，由此可以防止由於半導體層21中不容易施加閘極電場而形成高電阻區域(偏置區域)。因此，可以實現通態電流得到提高的電晶體。為了實現這種結構，例如導電層31的厚度較佳為至少比半導體層21的厚度和絕緣層22的厚度的總和厚。

【0129】

<變形例子6>

圖7A及圖7B所示的電晶體10g與電晶體10等的不同之處主要在於絕緣層22的結構。

【0130】絕緣層22不僅覆蓋半導體層21，也覆蓋導電

層32及絕緣層45。絕緣層22的一部分位於導電層32與絕緣層42之間，另一部分位於絕緣層45與絕緣層42之間。絕緣層42中設置有到達絕緣層22的開口20b，以嵌入該開口20b中的方式設置有導電層23。導電層23的一部分以與絕緣層42的開口20b中的側面接觸的方式設置。

【0131】在採用電晶體10g的結構的情況下，有如下憂慮：當形成絕緣層42的開口20b時，絕緣層22被蝕刻而消失。因此，作為絕緣層22的至少最上部，較佳為使用可以增大與絕緣層42的蝕刻速率之間的選擇比的材料。明確而言，可以使用與上述絕緣層47同樣的絕緣材料。例如，絕緣層22既可具有包含該絕緣材料的單層結構又可具有將該絕緣材料用於最上部的膜的疊層結構。

【0132】此外，絕緣層22有時在形成開口20b時部分被蝕刻而減薄，因此也可以預先形成較厚的膜來使用。

【0133】圖7C及圖7D所示的電晶體10h為將本變形例子所示的絕緣層22應用於上述變形例子3所示的電晶體10c的情況的例子。此外，不侷限於此，也可以將本變形例子所示的絕緣層22應用於以上所示的各結構。

【0134】以上是變形例子的說明。

【0135】

[製造方法例子1]

接著，說明本發明的一個實施方式的半導體裝置的製造方法。在此，說明上述電晶體10的製造方法的一個例子。

【0136】圖8A至圖11B是以下所示的半導體裝置的製造方法的各製程中的剖面示意圖。在各圖式中，在左側和右側分別排列來示出對應於圖2B和圖2C的剖面。

【0137】以下，用來形成絕緣層的絕緣材料、用來形成導電層的導電材料或用來形成半導體層的二半導體材料可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。

【0138】作為濺射法，可以舉出將高頻電源用於濺射用電源的RF濺射法、利用直流電源的DC濺射法、以脈衝方式改變施加到電極的電壓的脈衝DC濺射法。RF濺射法主要在沉積絕緣膜時使用，DC濺射法主要在沉積金屬導電膜時使用。此外，脈衝DC濺射法主要在利用反應性濺射法沉積氧化物、氮化物、碳化物等化合物時使用。

【0139】注意，CVD法可以分為利用電漿的電漿CVD法(PECVD)、利用熱的熱CVD(TCVD：Thermal CVD)法、利用光的光CVD(Photo CVD)法等。再者，可以根據使用的源氣體分為金屬CVD(MCVD：Metal CVD)法、有機金屬CVD(MOCVD：Metal Organic CVD)法。

【0140】藉由利用電漿增強CVD法，可以以較低的溫度得到高質量的膜。此外，因為在熱CVD法中不使用電漿，所以能夠減少對被處理物造成的電漿損傷。此外，在熱CVD法中，不產生沉積時的電漿損傷，因此能夠得到缺陷較少的膜。

【0141】作為ALD法，採用只利用熱能使前驅物及反

應物起反應的熱ALD法、使用受到電漿激發的反應物的PEALD法等。

【0142】CVD法及ALD法不同於濺射法，CVD法及ALD法是具有有良好的步階覆蓋性而不易受被處理物的形狀的影響的沉積方法。尤其是，ALD法具有良好的步階覆蓋性和厚度均勻性，所以ALD法適合用於形成覆蓋縱橫比高的開口部的表面的膜等。但是，ALD法的沉積速率比較慢，所以有時較佳為與沉積速率快的CVD法等其他沉積方法組合而使用。

【0143】此外，當使用CVD法時，可以根據源氣體的流量比沉積任意組成的膜。例如，當使用CVD法時，可以藉由在進行沉積的同時改變源氣體的流量比來沉積其組成連續變化的膜。當在改變源氣體的流量比的同時進行沉積時，因為不需要傳送或調整壓力所需的時間，所以與使用多個沉積室進行沉積的情況相比可以縮短沉積時間。因此，有時可以提高半導體裝置的生產率。

【0144】當使用ALD法時，藉由同時導入不同的多種前驅物，可以沉積任意組成的膜。或者，在導入不同的多種前驅物時，藉由控制各前驅物的循環次數可以沉積任意組成的膜。此外，與CVD法同樣，可以沉積組成連續變化的膜。

【0145】首先，準備基板(未圖示)，在該基板上形成絕緣層11。作為絕緣層11，可以使用氧化矽膜、氧氮化矽膜等無機絕緣膜。絕緣層11的沉積可以利用濺射法、CVD

法、MBE法、PLD法、ALD法等。在絕緣層11的被形成面不平坦時，較佳為在沉積絕緣層11之後以使絕緣層11的頂面成為平坦的方式進行平坦化處理。

【0146】接著，在絕緣層11上形成將成為導電層31的導電膜。接著，藉由光微影法等在该導電膜上形成光阻遮罩，藉由蝕刻去除導電膜的不被該光阻遮罩覆蓋的部分，然後去除光阻遮罩。由此，可以形成導電層31。接著，藉由沉積將成為絕緣層44的絕緣膜並去除與導電層31重疊的部分，可以形成絕緣層44及嵌入在絕緣層44中的導電層31(圖8A)。將成為絕緣層44的絕緣膜的加工較佳為利用CMP(Chemical Mechanical Polishing：化學機械拋光)法，例如藉由直到使導電層31的頂面露出為止加工該絕緣膜，可以形成圖8A所示的絕緣層44。

【0147】此外，也可以先形成將成為絕緣層44的絕緣膜後在該絕緣膜中形成開口，以嵌入該開口中的方式形成導電膜來進行利用CMP法的拋光處理(平坦化處理)直到絕緣膜的頂面露出為止，由此形成絕緣層44及導電層31。

【0148】藉由以絕緣層44與導電層31的頂面的高度一致的方式進行平坦化處理，可以使之後形成的絕緣層41的頂面平坦。注意，也可以不設置絕緣層44而覆蓋導電層31設置絕緣層41，此時較佳為對絕緣層41的頂面進行利用CMP法的平坦化處理使頂面平坦化。

【0149】接著，在導電層31及絕緣層44上形成絕緣層41a、絕緣層41b及絕緣層41c(以下有時統稱為絕緣層

41)(圖 8B)。絕緣層 41a、絕緣層 41b 及絕緣層 41c 各自適當地使用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等而形成即可。

【0150】在此，由於絕緣層 41 的厚度影響電晶體的通道長度，所以絕緣層 41 的厚度不產生不均勻是很重要的。

【0151】藉由在含氧氛圍下利用濺射法沉積絕緣層 41b，可以形成其中包含多個氧的絕緣層 41b。此外，藉由利用作為沉積氣體不需要使用包含氫的分子的濺射法，可以降低絕緣層 41b 中的氫濃度。如此，藉由沉積絕緣層 41b，氧從絕緣層 41b 供應給半導體層 21 的通道形成區域，由此可以減少氧空位。

【0152】接著，在絕緣層 41 上形成導電層 32 及絕緣層 45(圖 8C)。導電層 32 及絕緣層 45 可以使用與上述導電層 31 及絕緣層 44 同樣的方法形成。

【0153】接著，在導電層 32 及絕緣層 41 中形成到達導電層 31 的開口 20a(圖 8D)。

【0154】開口 20a 的側壁較佳為垂直於導電層 31 的頂面。藉由採用這種結構，可以製造佔有面積小的電晶體。或者，開口 20a 的側壁也可以具有錐形形狀。藉由具有錐形形狀，可以提高形成於開口 20a 的內部的膜的覆蓋性。

【0155】開口 20a 的最大寬度(在從平面看時開口 20a 為圓形的情況下，開口 20a 的最大徑)較佳為儘可能是微細的。例如，開口 20a 的最大寬度較佳為 60nm 以下、50nm 以下、40nm 以下、30nm 以下或 20nm 以下，且為 5nm 以上。

如此，為了對開口20a進行微細加工，較佳為利用使用EUV光等短波長的光或電子束的光微影法。

【0156】由於開口20a的縱橫比大，所以較佳為使用各向異性蝕刻形成。因為利用乾蝕刻法的加工適合於微細加工，所以特別較佳的。此外，該加工也可以在導電層32、絕緣層41c、絕緣層41b及絕緣層41a的每一個中在分別不同的條件下進行。此外，在導電層32、絕緣層41c、絕緣層41b及絕緣層41a的每一個中開口20a的側壁的角度也可以不同。

【0157】在對絕緣層41進行蝕刻時，有時導電層31的上部的一部分被蝕刻，開口20a的底部的導電層31的厚度變薄。或者，在形成開口20a之後接著對導電層31的上部的一部分進行蝕刻，可以使導電層31的厚度變薄。

【0158】接著，也可以進行加熱處理。加熱處理以250℃以上且650℃以下，較佳為以300℃以上且500℃以下，更佳為以320℃以上且450℃以下進行即可。此外，在氮氣體或惰性氣體的氛圍或包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行加熱處理。例如，當在氮氣體和氧氣體的混合氛圍下進行加熱處理時，氧氣體的比率設為20%左右即可。加熱處理也可以在減壓狀態下進行。或者，加熱處理也可以在氮氣體或惰性氣體氛圍下進行加熱處理，然後為了填補脫離了的氧在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行加熱處理。藉由進行上述加熱處理，可以在將成為半導體層的氧

化物半導體膜的沉積之前減少包含在絕緣層41等中的水等雜質。

【0159】此外，在上述加熱處理中使用的氣體較佳為被高度純化。例如，在上述加熱處理中使用的氣體所包含的水分量為1ppb以下，較佳為0.1ppb以下，更佳為0.05ppb以下即可。藉由使用高度純化了的氣體進行加熱處理，可以儘可能地防止水分等被絕緣層41等吸收。

【0160】接著，以覆蓋絕緣層41、導電層32、開口20a、絕緣層45等的方式形成將成為半導體層21的半導體膜，藉由蝕刻去除不需要的部分，來形成半導體層21(圖9A)。

【0161】作為該半導體膜可以使用氧化物半導體膜。該氧化物半導體膜適當地利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積即可。在此，該氧化物半導體膜較佳為以接觸於縱橫比高的開口20a的底部及側壁的方式形成。因此，在沉積該氧化物半導體膜時較佳為利用覆蓋性良好的沉積方法，更佳為利用CVD法或ALD法等。例如，作為該氧化物半導體膜利用ALD法沉積In-Ga-Zn氧化物即可。此外，在開口20a具有錐形形狀時，氧化物半導體膜可以利用濺射法沉積。

【0162】此外，較佳的是，在沉積氧化物半導體膜時或沉積之後在含氧氛圍下進行微波處理，來進行降低該氧化物半導體膜中的雜質濃度的處理。作為雜質尤其可以舉出氫及碳。此外，藉由進行微波處理，有時可以提高氧化

物半導體膜的結晶性。在此，微波處理例如是指使用包括利用微波生成高密度電漿的電源的裝置的處理。

【0163】藉由在含氧氛圍下進行微波處理，可以使用微波或RF等高頻使氧氣體電漿化而使該氧電漿作用。此外，作為作用於氧化物半導體的氧，有氧原子、氧分子、氧離子及氧自由基(也被稱為O自由基的具有不成對電子的原子、分子或離子)等各種形態。此外，作用於氧化物半導體的氧可以為上述形態中的任一個或多個，尤其較佳為氧自由基。

【0164】此外，藉由在上述的在含氧氛圍下進行微波處理時加熱基板，可以進一步降低氧化物半導體膜中的雜質濃度，所以是較佳的。上述基板的加熱以100℃以上且650℃以下，較佳為以200℃以上且600℃以下，更佳為以300℃以上且450℃以下進行即可。

【0165】藉由在上述的在含氧氛圍下進行微波處理時加熱基板，可以使藉由SIMS測得的氧化物半導體膜中的碳濃度低於 $1 \times 10^{20} \text{ atoms/cm}^3$ ，較佳為低於 $1 \times 10^{19} \text{ atoms/cm}^3$ ，進一步較佳為低於 $1 \times 10^{18} \text{ atoms/cm}^3$ 。

【0166】注意，以上示出在含氧氛圍下對氧化物半導體膜進行微波處理的結構，但不侷限於此。例如，也可以在含氧氛圍下對位於氧化物半導體膜附近的絕緣膜進行微波處理，更明確而言也可以對氧化矽膜進行微波處理。由此，可以使包含在該氧化矽膜中的氫作為 H_2O 釋放到外部。藉由從位於氧化物半導體膜附近的氧化矽膜釋放氫，

可以提供一種可靠性高的半導體裝置。

【0167】此外，在半導體層21具有疊層結構時，各層的沉積方法可以相同或不同。例如，在半導體層21具有兩層疊層結構時，也可以利用濺射法沉積下方的氧化物半導體膜且利用ALD法沉積上方的氧化物半導體膜。利用濺射法沉積的氧化物半導體膜可以容易具有結晶性。於是，藉由設置具有結晶性的氧化物半導體膜作為下方的氧化物半導體膜，可以提高上方的氧化物半導體膜的結晶性。此外，即使藉由濺射法沉積的下方的氧化物半導體膜中形成針孔或斷開等也可以由藉由覆蓋性良好的ALD法沉積的上方的氧化物半導體膜堵塞與上述針孔或斷開等重疊的部分。

【0168】在此，氧化物半導體膜較佳為以與開口20a中的導電層31的頂面、開口20a中的絕緣層41的側面以及絕緣層41上的導電層32的側面及頂面接觸的方式形成。

【0169】在形成氧化物半導體膜之後，較佳為進行加熱處理。加熱處理在上述氧化物半導體膜不發生多晶化的溫度範圍內進行即可，可以在250℃以上且650℃以下，較佳為在400℃以上且600℃以下進行。此外，在氮氣體或惰性氣體的氛圍或包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行加熱處理。例如，當在氮氣體和氧氣體的混合氛圍下進行加熱處理時，氧氣體的比率設為20%左右即可。加熱處理也可以在減壓狀態下進行。或者，加熱處理也可以在氮氣體或惰性氣體氛圍下進行加熱

處理，然後為了填補脫離了的氧在包含 10ppm 以上、1% 以上或 10% 以上的氧化性氣體的氛圍下進行加熱處理。

【0170】此外，在上述加熱處理中使用的氣體較佳為被高度純化。例如，在上述加熱處理中使用的氣體所包含的水分量為 1ppb 以下，較佳為 0.1ppb 以下，更佳為 0.05ppb 以下即可。藉由使用高度純化了的氣體進行加熱處理，可以儘可能地防止水分等被上述氧化物半導體膜等吸收。

【0171】在此，較佳為在半導體膜與包含多個氧的絕緣層 41b 接觸的狀態下進行上述加熱處理。由此，可以將氧從絕緣層 41b 供應給半導體膜的將成為通道形成區域的部分來減少氧空位。

【0172】注意，以上在沉積上述氧化物半導體膜之後進行加熱處理，但本發明不侷限於此。再者也可以在後面製程中進行加熱處理。

【0173】接著，以覆蓋導電層 32、半導體層 21 及絕緣層 45 的方式形成絕緣層 42 (圖 9B)。絕緣層 42 可以使用與絕緣層 41b 等同樣的方法形成。

【0174】絕緣層 42 以嵌入開口 20a 中的方式形成。在此，在絕緣層 42 的頂面形成有凹凸的情況下，絕緣層 42 的頂面也可以被平坦化。

【0175】接著，在絕緣層 42 中形成到達半導體層 21 的開口 20b (圖 9C)。此時，還藉由蝕刻去除嵌入開口 20a 的內部的絕緣層 42，使得半導體層 21 位於開口 20a 內的側面及底部露出。

【0176】當形成開口20b時，半導體層21有時受到蝕刻損傷。因此，在形成開口20b之後，也可以藉由蝕刻去除半導體層21中受到損傷的表層部的一部分。雖然可以採用乾蝕刻作為該蝕刻，但是較佳為採用濕蝕刻。例如，較佳為藉由使用充分稀釋的如磷酸、草酸、硝酸等酸的濕蝕刻蝕刻半導體層21的表層部(例如包括表面在內的厚度為1nm以上10nm以下的範圍)。此外，在進行濕蝕刻之後，也可以進行加熱處理，以去除吸附於表面的水。可以在上述條件下進行該加熱處理。

【0177】在此，雖然在圖9C等中示出開口20b的開口徑小於半導體層21的寬度且大於開口20a的情況，但是不侷限於此。例如，藉由使開口20b的開口徑大於半導體層21的寬度，可以實現圖4A及圖4B所示的結構。開口20b的開口徑也可以小於開口20a，但是藉由使開口20b的開口徑大於開口20a，可以提高設置在開口20b及開口20a的內部的層(絕緣層22、導電層23等)的覆蓋性，所以是較佳的。

【0178】接著，以覆蓋半導體層21及絕緣層42的方式形成絕緣膜22f(圖10A)。絕緣膜22f是後面成為絕緣層22的絕緣膜。絕緣膜22f可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等形成。

【0179】較佳為以厚度儘量均勻的方式將絕緣膜22f設置在開口20a內的半導體層21的側面。因此，使用作為覆蓋性極為優良的沉積方法的ALD法形成絕緣膜22f是特別較佳的。在開口20a及開口20b的側壁具有錐形形狀的情

況下，可以使用濺射法等沉積方法形成絕緣膜22f。

【0180】接著，在絕緣膜22f上形成導電膜23f(圖10B)。導電膜23f是後面成為導電層23的導電膜。導電膜23f以其一部分嵌入開口20a及開口20b中的方式設置。

【0181】導電膜23f較佳為利用覆蓋性或嵌入性高的沉積方法沉積，例如更佳為利用CVD法或ALD法等。此外，在開口20a及開口20b的側壁具有錐形形狀時，可以利用濺射法沉積該導電膜。

【0182】接著，藉由使用CMP法或乾蝕刻法等蝕刻導電膜23f及絕緣膜22f的上部直到絕緣層42的頂面露出為止，形成嵌入開口20a及開口20b中的絕緣層22及導電層23(圖11A)。

【0183】此外，藉由蝕刻導電膜23f的上部直到絕緣膜22f的頂面露出為止，也可以使絕緣層22(絕緣膜22f)中覆蓋絕緣層42的上部的部分殘留。

【0184】接著，在絕緣層42、絕緣層22以及導電層23上形成導電層33及絕緣層46(圖11B)。導電層33及絕緣層46可以使用與導電層31及絕緣層44同樣的方法形成。

【0185】經以上製程，可以製造電晶體10。

【0186】

[製造方法例子2]

接著，說明其一部分與上述製造方法例子1不同的半導體裝置的製造方法例子。更明確而言，說明圖4C及圖4D所示的電晶體10b的製造方法的一個例子。關於與上述

製造方法例子1重複的部分省略說明。

【0187】首先，與上述製造方法例子1同樣，直到形成半導體層21。此時的剖面示意圖相當於圖9A。

【0188】接著，以覆蓋導電層32、絕緣層45以及半導體層21的方式形成絕緣膜47f(圖12A)。絕緣膜47f較佳為覆蓋半導體層21的開口20a中的側面，較佳為藉由步階覆蓋性優異的ALD法等沉積方法形成。在開口20a具有錐形形狀的情況下，也可以使用濺射法、CVD法等沉積方法。

【0189】絕緣膜47f被用作保護層，該保護層在後面形成開口20b時保護半導體層21免受起因於絕緣層42的蝕刻的損傷。絕緣膜47f也可以被稱為蝕刻停止層，可以使用與絕緣層42的蝕刻選擇比大的材料。也就是說，絕緣膜47f較佳為使用其組成與絕緣層42不同的膜。更明確而言，絕緣膜47f可以使用包含與絕緣層42不同的構成元素的膜、雖包含與絕緣層42相同的構成元素但其組成與絕緣層42不同的膜、其密度與絕緣層42不同的膜等。

【0190】接著，在絕緣膜47f上形成絕緣層42(圖12B)。

【0191】接著，在絕緣層42中形成到達絕緣膜47f的開口20b(圖12C)。此時，半導體層21由於被絕緣膜47f覆蓋並保護所以不受起因於絕緣層42的蝕刻的損傷。

【0192】接著，去除與開口20b重疊的部分的絕緣膜47f，使得半導體層21的頂面及側面露出(圖13A)。由此，形成位於導電層32與絕緣層42之間且覆蓋半導體層21的端

部的絕緣層47。

【0193】以半導體層21儘量不受損傷的方式蝕刻絕緣膜47f是很重要的。例如，可以使用濕蝕刻去除絕緣膜47f。此外，也可以使用乾蝕刻蝕刻絕緣膜47f。在使用乾蝕刻蝕刻絕緣膜47f的情況下，較佳為採用與絕緣層42的蝕刻條件相比低損傷的條件(低功率的條件)。

【0194】此外，在蝕刻絕緣膜47f之後，也可以進行加熱處理。可以在上述條件下進行該加熱處理。

【0195】接著，以覆蓋絕緣層42、絕緣層47、半導體層21的方式形成將成為絕緣層22的絕緣膜22f(圖13B)。絕緣膜22f可以與上述製造方法例子1同樣形成。

【0196】像上述變形例子所示的電晶體10g等那樣，在將閘極絕緣層用作蝕刻停止層的情況下，也可以將絕緣膜47f用作閘極絕緣層(絕緣層22)而不蝕刻絕緣膜47f。也就是說，在形成開口20b之後，可以連續形成將成為導電層23的導電膜23f。藉由使用這種方法，可以簡化製程。另一方面，當在形成開口20b時絕緣膜47f因受到蝕刻損傷而變質的情況下，閘極絕緣層包含缺陷，從而較佳為如上所述那樣分別形成絕緣膜47f和絕緣層22。

【0197】關於後續製程可以參照上述製造方法例子1。

【0198】經以上製程，可以製造電晶體10b。藉由使用這種方法，可以減少通道形成的半導體層21中的缺陷，從而電特性不均勻得到抑制且可以實現高可靠性電晶體。

【0199】以上是製造方法例子的說明。

【0200】

[應用例子]

以下說明使用電晶體及電容器的記憶體裝置的結構。

【0201】圖14A是記憶單元30的電路圖。記憶單元30由一個電晶體Tr1及一個電容器C構成，也可以記為1Tr1C。電晶體Tr1的閘極與佈線WL連接，源極和汲極中的一個與佈線BL連接，另一個與電容器C的一個電極連接。電容器C的另一個電極與佈線PL連接。

【0202】記憶單元30將從佈線BL藉由電晶體Tr1輸入的資料電位保持在電容器C中，由此可以儲存資料。此外，藉由使電晶體Tr1成為非導通狀態，可以保持資料。此外，藉由使電晶體Tr1成為導通狀態，將對應於所保持的資料的電位輸出到佈線BL，由此可以讀出資料。佈線WL被供應控制電晶體Tr1的導通及非導通的信號。此外，佈線PL被供應規定電位(例如固定電位)。

【0203】圖14B及圖14C是記憶單元30的剖面圖。記憶單元30具有電容器50上層疊有電晶體10的結構。電晶體10和電容器50分別對應於上述電晶體Tr1和上述電容器C。

【0204】關於電晶體10的結構可以參照上述記載，由此省略說明。在此，示出使用電晶體10的情況的例子，但是不侷限於電晶體10而可以置換為以上說明的各種電晶體。

【0205】電容器50包括導電層51、導電層52以及夾在

它們之間的絕緣層 53。電容器 50 構成所謂的 MIM (Metal-Insulator-Metal：金屬-絕緣體-金屬) 電容器。

【0206】電容器 50 設置在絕緣層 11 上。絕緣層 11 上設置有導電層 34 及導電層 34 上的絕緣層 47。絕緣層 47 設置有到達導電層 34 的開口 20c。在開口 20c 的內部以與絕緣層 47 的側面及導電層 34 的頂面接觸的方式設置有導電層 51。此外，以覆蓋絕緣層 47 及導電層 51 的方式設置有絕緣層 53。絕緣層 53 上設置有絕緣層 48，絕緣層 48 中設置有與開口 20c 重疊的開口 20d。導電層 52 以嵌入開口 20d 及開口 20c 中的方式設置。

【0207】導電層 52 及絕緣層 48 的頂面被平坦化，其頂面的高度大致一致。導電層 52 及絕緣層 48 上設置有絕緣層 44 及導電層 31。導電層 31 以與導電層 52 的頂面接觸的方式設置。

【0208】在圖 14B 及圖 14C 中，導電層 32 對應於佈線 BL，導電層 33 對應於佈線 WL，並且導電層 34 對應於上述佈線 PL。

【0209】作為導電層 34、導電層 51 及導電層 52，可以使用低電阻導電材料。例如，可以使用可用於上述導電層 23 的材料。

【0210】絕緣層 53 被用作電容器 50 的介電層，由此厚度薄而相對介電常數越高，電容器 50 的電容越增加。例如，較佳為使用可用於上述絕緣層 22 的 high-k 材料。

【0211】圖 15A 及圖 15B 示出兩個記憶單元 30 連接於

同一個佈線的記憶體裝置的例子。圖 15A 是記憶體裝置的頂面示意圖，圖 15B 是沿圖 15A 中的截斷線 A3-A4 的剖面示意圖。

【0212】用作佈線 WL 的導電層 33 分別設置在兩個記憶單元 30 中。用作佈線 BL 的導電層 32 以由兩個記憶單元 30 共用的方式設置。

【0213】此外，用作佈線 BL 的導電層 32 嵌入各層間絕緣層中，並與用作插頭(也稱為連接電極)的導電層 61 及導電層 62 電連接。導電層 61 也可以與設置在絕緣層 11 下方的感測放大器(未圖示)電連接。此外，導電層 61 也可以與層疊在絕緣層 65 上方的記憶單元的導電層 32 電連接。

【0214】絕緣層 65 被用作阻擋層，並具有防止水、氬等雜質從外部擴散到記憶體裝置的功能。

【0215】此外，藉由以三維及矩陣方式配置記憶單元 30，可以構成記憶單元陣列。作為記憶單元陣列的一個例子，圖 16A 及圖 16B 示出在 X 方向、Y 方向及 Z 方向上配置 4 個×2 個×4 個記憶單元 30 的記憶體裝置的例子。

【0216】由四個記憶單元 30 構成的組可以被稱為存儲單位(memory unit)60。圖 16 示出八個存儲單位(存儲單位 60[1, 1]至存儲單位 60[2, 4])。在存儲單位 60[a, b](a、b 各自為正整數)中，a 表示 Y 方向的位址，b 表示 Z 方向的位址。

【0217】存儲單位 60 以導電層 61 或導電層 62 為中心，每兩個記憶單元 30 各自配置在對稱位置。在 Z 方向上層疊

的各存儲單位 60 的導電層 32 藉由導電層 62 彼此電連接。如此，藉由層疊多個存儲單位 60，可以增加單位面積的記憶容量，可以提供能夠實現微型化或高積體化的記憶體裝置。

【0218】圖 17A 及圖 17B 示出將連接部配置在存儲單位的端部的情況的例子。在此，作為記憶單元陣列的一個例子，示出配置 3 個 $\times 3$ 個 $\times m$ 個 (m 為 2 以上的整數) 的記憶單元 30 的記憶體裝置的例子。在包括記憶單元 30 的層中，將第一層表示為層 70[1]，並將第 m 層 (最上層) 表示為層 70[m]。

【0219】導電層 63 設置在存儲單位的外側。導電層 63 也可以與包括導電層 63 的層 70 上方的層中的佈線連接。例如，設置在層 70[1] 中的導電層 63 與設置在層 70[2] 中的佈線電連接。此外，不侷限於此，導電層 63 也可以與包括導電層 63 的層 70 下方的層 70 中的佈線電連接。

【0220】圖 18 示出記憶體裝置的剖面結構例子，其中包括記憶單元 30 的層被層疊設置在設置有包括感測放大器的驅動電路的層上。

【0221】圖 18 示出電晶體 90 上方層疊有電容器 50 及其上的電晶體 10 的例子。電晶體 90 是感測放大器中的電晶體之一。

【0222】藉由以與記憶單元 30 重疊的方式設置感測放大器，可以縮短位元線。由此，可以減少位元線的負荷，從而可以提高感測放大器的讀出靈敏度。因此，可以減少

記憶單元的儲存電容。

【0223】電晶體90設置在基板91上，並包括用作閘極的導電層94、用作閘極絕緣層的絕緣層93、由基板91的一部分構成的半導體區域92、以及用作源極區域或汲極區域的低電阻區域95a及低電阻區域95b。電晶體90可以是p通道型或n通道型。

【0224】在此，在圖18所示的電晶體90中，形成通道的半導體區域92(基板91的一部分)具有凸形狀。此外，以隔著絕緣層93覆蓋半導體區域92的側面及頂面的方式設置導電層94。因為利用半導體基板的凸部，所以這種電晶體90也被稱為FIN型電晶體。

【0225】較佳為在設置有電晶體90的層與設置有記憶單元30的層之間交替層疊有層間絕緣層與佈線層(也稱為多層佈線層)。圖18示出電晶體90的低電阻區域95b藉由佈線及插頭電連接於用作記憶單元30的位元線的導電層32的例子。

【0226】本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0227】

實施方式2

在本實施方式中，參照圖19至圖22說明本發明的一個實施方式的記憶體裝置。在本實施方式中，說明設置有包括感測放大器的驅動電路的層上層疊設置有包括記憶單元的層的記憶體裝置的結構例子。

【 0228 】

<記憶體裝置的結構例子>

圖 19 是示出根據本發明的一個實施方式的記憶體裝置 480 的結構例子的方塊圖。圖 19 所示的記憶體裝置 480 包括層 420 及層疊的層 470。

【 0229 】 層 420 是包括 Si 電晶體的層。在層 470 中，層疊設置元件層 430[1] 至 430[m] (m 為 2 以上的整數)。元件層 430[1] 至 430[m] 是包括 OS 電晶體的層。層疊設置有包括 OS 電晶體的層的層 470 可以層疊設置在層 420 上。

【 0230 】 元件層 430[1] 至 430[m] 所包括的 OS 電晶體及電容器等元件構成記憶單元。圖 19 示出元件層 430[1] 至 430[m] 中包括配置為 m 行 n 列 (n 為 2 以上的整數) 的矩陣狀的多個記憶單元 432 的例子。

【 0231 】 在圖 19 中，將第 1 行第 1 列記憶單元 432 表示為記憶單元 432[1, 1]，將第 m 行第 n 列記憶單元 432 表示為記憶單元 432[m, n]。此外，在本實施方式等中，有時記作“i 行”來表示任意行。此外，有時記作“j 列”來表示任意列。因此，i 為 1 以上且 m 以下的整數，j 為 1 以上且 n 以下的整數。此外，在本實施方式等中，將第 i 行第 j 列記憶單元 432 表示為記憶單元 432[i, j]。注意，在本實施方式等中，當表示為“ $i+\alpha$ ” (α 為正整數或負整數) 時，“ $i+\alpha$ ”不小於 1 且不大於 m。同樣，當表示為“ $j+\alpha$ ”時，“ $j+\alpha$ ”不小於 1 且不大於 n。

【 0232 】 此外，作為一個例子，圖 19 示出延伸在行向

上的 m 個佈線 WL、延伸在行向上的 m 個佈線 PL 以及延伸在列向上的 n 個佈線 BL。在本實施方式等中，將第一個(第 1 行)設置的佈線 WL 表示為佈線 WL[1]，將第 m 個(第 m 行)設置的佈線 WL 表示為佈線 WL[m]。同樣地，將第一個(第 1 行)設置的佈線 PL 表示為佈線 PL[1]，將第 m 個(第 m 行)設置的佈線 PL 表示為佈線 PL[m]。同樣地，將第一個(第 1 列)設置的佈線 BL 表示為佈線 BL[1]，將第 n 個(第 n 列)設置的佈線 BL 表示為佈線 BL[n]。注意，元件層 430[1] 至 430[m] 的層數與佈線 WL(及佈線 PL)的個數也可以不同。

【0233】設置在第 i 行的多個記憶單元 432 與第 i 行佈線 WL(佈線 WL[i])和第 i 行佈線 PL(佈線 PL[i])電連接。設置在第 j 列的多個記憶單元 432 與第 j 列佈線 BL(佈線 BL[j])電連接。

【0234】佈線 BL 被用作進行資料的寫入及讀出的位元線。佈線 WL 被用作控制用作開關的存取電晶體的開啟或關閉(導通狀態或非導通狀態)的字線。佈線 PL 被用作連接到電容器的恆電位線。此外，也可以另行設置傳輸背閘極電位的佈線。

【0235】元件層 430[1] 至 430[m] 分別包括的記憶單元 432 藉由佈線 BL 與感測放大器 446 連接。佈線 BL 可以配置在平行於或垂直於設置有層 420 的基板表面的方向上。藉由配置在平行於基板表面的方向上的佈線和配置在垂直於基板表面的方向上的佈線構成從元件層 430[1] 至 430[m] 所包括的記憶單元 432 延伸設置的佈線 BL，可以縮短元件

層430與感測放大器446之間的佈線長度。由於可以縮短記憶單元與感測放大器之間的信號傳輸距離且可以大幅度降低位元線的電阻及寄生電容，所以可以降低功耗及信號延遲。由此，可以實現記憶體裝置480的功耗及信號延遲的降低。此外，即使降低記憶單元432所包括的電容器的電容也可以工作。由此，可以實現記憶體裝置480的小型化。

【0236】層420包括PSW471(功率開關)、PSW472及週邊電路422。週邊電路422包括驅動電路440、控制電路473及電壓生成電路474。注意，層420所包括的各電路是包括Si電晶體的電路。

【0237】在記憶體裝置480中，根據需要可以適當地取捨各電路、各信號及各電壓。或者，也可以增加其它電路或其它信號。信號BW、信號CE、信號GW、信號CLK、信號WAKE、信號ADDR、信號WDA、信號PON1、信號PON2為從外部輸入的信號，信號RDA為輸出到外部的信號。信號CLK為時脈信號。

【0238】此外，信號BW、信號CE及信號GW為控制信號。信號CE為晶片賦能信號，信號GW為全局寫入賦能信號，信號BW為位元組寫入賦能信號。信號ADDR為位址信號。信號WDA為寫入資料，信號RDA為讀出資料。信號PON1、PON2為電源閘控控制用信號。此外，信號PON1、信號PON2也可以在控制電路473中生成。

【0239】控制電路473為具有控制記憶體裝置480的整

體工作的功能的邏輯電路。例如，控制電路對信號CE、信號GW及信號BW進行邏輯運算來決定記憶體裝置480的工作模式(例如，寫入工作、讀出工作)。或者，控制電路473生成驅動電路440的控制信號，以執行上述工作模式。

【0240】電壓生成電路474具有生成負電壓的功能。信號WAKE具有控制對電壓生成電路474輸入信號CLK的功能。例如，當信號WAKE被施加H位準的信號時，信號CLK被輸入到電壓生成電路474，電壓生成電路474生成負電壓。

【0241】驅動電路440是用來對記憶單元432進行資料的寫入及讀出的電路。驅動電路440除了行解碼器442、列解碼器444、行驅動器443、列驅動器445、輸入電路447、輸出電路448之外還包括上述感測放大器446。

【0242】行解碼器442及列解碼器444具有對信號ADDR進行解碼的功能。行解碼器442是用來指定要訪問行的電路，列解碼器444是用來指定要訪問列的電路。行驅動器443具有選擇由行解碼器442指定的佈線WL的功能。列驅動器445具有如下功能：將資料寫入記憶單元432的功能；從記憶單元432讀出資料的功能；保持所讀出的資料的功能等。

【0243】輸入電路447具有保持信號WDA的功能。輸入電路447中保持的資料輸出到列驅動器445。輸入電路447的輸出資料是寫入記憶單元432的資料(Din)。由列驅動器445從記憶單元432讀出的資料(Dout)被輸出至輸出電

路 448。輸出電路 448 具有保持 **Dout** 的功能。此外，輸出電路 448 具有將 **Dout** 輸出到記憶體裝置 480 的外部的功能。從輸出電路 448 輸出的資料為信號 **RDA**。

【0244】**PSW471** 具有控制向週邊電路 422 供應 **VDD** 的功能。**PSW472** 具有控制向行驅動器 443 供應 **VHM** 的功能。在此，記憶體裝置 480 的高電源電壓為 **VDD**，低電源電壓為 **GND**(接地電位)。此外，**VHM** 是用來使字線成為高位準的高電源電壓，其高於 **VDD**。利用信號 **PON1** 控制 **PSW471** 的開/關，利用信號 **PON2** 控制 **PSW472** 的開/關。在圖 19 中，週邊電路 422 中被供應 **VDD** 的電源域的個數為 1，但是也可以為多個。此時，可以對各電源域設置功率開關。

【0245】元件層 430[1]至 430[m]可以重疊設置在層 420 上。圖 20A 是示出將五層 ($m=5$) 的元件層 430[1]至 430[5]層疊設置在層 420 上的情況的記憶體裝置 480 的立體圖。

【0246】在圖 20A 中，將設置在第一層中的元件層 430 記作元件層 430[1]，將設置在第二層中的元件層 430 記作元件層 430[2]，將設置在第五層中的元件層 430 記作元件層 430[5]。此外，圖 20A 示出延伸設置在 **X** 方向上的佈線 **WL** 及佈線 **PL** 以及延伸設置在 **Y** 方向及 **Z** 方向(垂直於設置有驅動電路的基板表面的方向)上的佈線 **BL** 及佈線 **BLB**。佈線 **BLB** 是反轉位元線。注意，為了使圖式更易懂，省略元件層 430 的每一個所包括的佈線 **WL** 及佈線 **PL** 的一部分的記載。

【0247】圖 20B 是說明圖 20A 所示的連接於佈線 **BL** 及

佈線 BLB 的感測放大器 446 以及連接於佈線 BL 及佈線 BLB 的元件層 430[1] 至 430[5] 所包括的記憶單元 432 的結構例子的示意圖。此外，將多個記憶單元 (記憶單元 432) 電連接於一個佈線 BL 及佈線 BLB 的結構也稱為“記憶體串”。

【0248】圖 20B 示出連接於佈線 BLB 的記憶單元 432 的電路結構的一個例子。記憶單元 432 包括電晶體 437 及電容器 438。關於電晶體 437、電容器 438 及各佈線 (BL 及 WL 等)，例如有時將佈線 BL[1] 及佈線 WL[1] 稱為佈線 BL 及佈線 WL 等。作為記憶單元 432，例如可以使用上述實施方式中示出的記憶單元 30。也就是說，作為電晶體 437 可以使用電晶體 10，並且作為電容器 438 可以使用電容器 50。此外，作為感測放大器 446 所包括的電晶體可以使用電晶體 90 (參照圖 18)。

【0249】在記憶單元 432 中，電晶體 437 的源極和汲極中的一個與佈線 BL 連接。電晶體 437 的源極和汲極中的另一個與電容器 438 的一個電極連接。電容器 438 的另一個電極與佈線 PL 連接。電晶體 437 的閘極與佈線 WL 連接。

【0250】佈線 PL 是供應用來儲存電容器 438 的電位的恆電位的佈線。藉由將多個佈線 PL 連接來用作一個佈線，可以減少佈線數。

【0251】在本發明的一個實施方式中，在層疊設置 OS 電晶體的同時將用作位元線的佈線配置在垂直於設置有層 420 的基板表面的方向上。並且，在垂直於設置有層 420 的基板表面的方向上排列配置記憶單元 432 所包括的電

晶體 437 及電容器 438。藉由在垂直於基板表面的方向上設置各元件及各佈線，可以縮短元件層間的佈線長度，而且可以提高設置在單位面積上的元件密度。由此，可以實現降低記憶容量及功耗的方面優異的記憶體裝置。

【0252】

[記憶單元 432 及感測放大器 446 的結構例子]

圖 21A 及圖 21B 是對應於上述記憶單元 432 的電路圖及對應於該電路圖的電路方塊的圖。如圖 21A 及圖 21B 所示，有時在圖式等中將記憶單元 432 表示為方塊。此外，在將圖 21A 及圖 21B 所示的佈線 BL 置換成佈線 BLB 的情況下也可以同樣表示。

【0253】此外，圖 21C 及圖 21D 是對應於上述感測放大器 446 的電路圖及對應於該電路圖的電路方塊的圖。感測放大器 446 中示出開關電路 482、預充電電路 483、預充電電路 484、放大電路 485。此外，除了佈線 BL 及佈線 BLB 之外還示出輸出被讀出的信號的佈線 SA_OUT 及佈線 SA_OUTB。

【0254】如圖 21C 所示，開關電路 482 例如包括 n 通道型電晶體 482_1、482_2。電晶體 482_1、482_2 根據信號 CSEL 切換佈線 SA_OUT 與佈線 SA_OUTB 的佈線對以及佈線 BL 與佈線 BLB 的佈線對的導通狀態。

【0255】如圖 21C 所示，預充電電路 483 由 n 通道型電晶體 483_1 至 483_3 構成。預充電電路 483 是用來根據信號 EQ 而將佈線 BL 及佈線 BLB 預充電到相當於電位 $V_{DD}/2$ 的中

間電位 V_{PRE} 的電路。

【0256】如圖 21C 所示，預充電電路 484 由 p 通道型電晶體 484_1 至 484_3 構成。預充電電路 484 是用來根據信號 EQB 而將佈線 BL 及佈線 BLB 預充電到相當於電位 $V_{DD}/2$ 的中間電位 V_{PRE} 的電路。

【0257】如圖 21C 所示，放大電路 485 由與佈線 SAP 或佈線 SAN 連接的 p 通道型電晶體 485_1、485_2 及 n 通道型電晶體 485_3、485_4 構成。佈線 SAP 或佈線 SAN 是具有供應 V_{DD} 或 V_{SS} 的功能的佈線。電晶體 485_1 至 485_4 是構成反相器環路的電晶體。

【0258】此外，圖 21D 是對應於圖 21C 等中說明的感測放大器 446 的電路方塊的圖。如圖 21D 所示，有時在圖式等中將感測放大器 446 表示為方塊。

【0259】圖 22 是圖 19 的記憶體裝置 480 的電路圖。在圖 22 中使用圖 21A 至圖 21D 中說明的電路方塊。

【0260】如圖 22 所示，具有元件層 430[m] 的層 470 包括記憶體單元 432。作為一個例子，圖 22 所示的記憶體單元 432 連接於成對的佈線 BL[1] 和佈線 BLB[1] 或佈線 BL[2] 和佈線 BLB[2]。連接於佈線 BL 的記憶體單元 432 是進行資料的寫入或讀出的記憶體單元。

【0261】佈線 BL[1] 及佈線 BLB[1] 與感測放大器 446[1] 連接，佈線 BL[2] 及佈線 BLB[2] 與感測放大器 446[2] 連接。感測放大器 446[1] 及感測放大器 446[2] 可以根據圖 21C 中說明的各種信號而讀出資料。

【0262】本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0263】

實施方式3

在本實施方式中，對可用本發明的一個實施方式的電晶體的顯示裝置的結構例子進行說明。

【0264】本發明的一個實施方式的電晶體可以形成為極微型，所以使用本發明的一個實施方式的電晶體的顯示裝置可以為極高清晰的顯示裝置。例如，可以將本發明的一個實施方式的顯示裝置用於手錶型及手鐲型等資訊終端設備(可穿戴裝置)的顯示部及頭戴顯示器等VR用設備及眼鏡型AR用設備等可戴在頭上的設備(HMD：Head Mounted Display)的顯示部。

【0265】

[顯示模組]

圖23A示出顯示模組280的立體圖。顯示模組280包括顯示裝置200A及FPC290。注意，顯示模組280所包括的顯示裝置不侷限於顯示裝置200A，也可以是將在後面說明的顯示裝置200B或顯示裝置200C。

【0266】顯示模組280包括基板291及基板292。顯示模組280包括顯示部281。顯示部281是顯示影像的區域。

【0267】圖23B示出基板291一側的結構的立體示意圖。基板291上層疊有電路部282、電路部282上的像素電路部283及該像素電路部283上的像素部284。此外，基板

291的不與像素部284重疊的部分上設置有用來連接到FPC290的端子部285。端子部285與電路部282藉由由多個佈線構成的佈線部286電連接。

【0268】像素部284包括週期性地排列的多個像素284a。圖23B的右側示出一個像素284a的放大圖。像素284a包括發射紅色光的發光元件110R、發射綠色光的發光元件110G以及發射藍色光的發光元件110B。

【0269】像素電路部283包括週期性地排列的多個像素電路283a。一個像素電路283a控制一個像素284a所包括的三個發光元件的發光。一個像素電路283a可以包括控制一個發光元件的發光的三個電路。例如，像素電路283a可以採用對於一個發光元件至少具有一個選擇電晶體、一個電流控制用電晶體(驅動電晶體)和電容器的結構。此時，選擇電晶體的閘極被輸入閘極信號，源極被輸入源極信號。由此，可以實現主動矩陣型顯示裝置。

【0270】電路部282包括用於驅動像素電路部283的各像素電路283a的電路。例如，較佳為包括閘極線驅動電路和源極線驅動電路中的一個或兩者。此外，還可以具有運算電路、記憶體電路和電源電路等中的至少一個。此外，設置在電路部282中的電晶體也可以構成像素電路283a的一部分。就是說，也可以由像素電路部283所包括的電晶體及電路部282所包括的電晶體構成像素電路283a。

【0271】FPC290用作從外部向電路部282供應視頻信號或電源電位等的佈線。此外，也可以在FPC290上安裝

IC。

【0272】顯示模組280可以採用像素部284的下側重疊設置有像素電路部283和電路部282中的一個或兩者的結構，所以可以使顯示部281具有極高的開口率(有效顯示面積比)。例如，顯示部281的開口率可以為40%以上且低於100%，較佳為50%以上且95%以下，更佳為60%以上且95%以下。此外，能夠極高密度地配置像素284a，由此可以使顯示部281具有極高的清晰度。例如，顯示部281較佳為以2000ppi以上、更佳為3000ppi以上、進一步較佳為5000ppi以上、更進一步較佳為6000ppi以上且20000ppi以下或30000ppi以下的清晰度配置像素284a。

【0273】這種顯示模組280非常清晰，所以適合用於頭戴式顯示器等VR用設備或眼鏡型AR用設備。例如，因為顯示模組280具有清晰度極高的顯示部281，所以在透過透鏡觀看顯示模組280的顯示部的結構中，即使用透鏡放大顯示部也用戶看不到像素，由此可以實現具有高度沉浸感的顯示。此外，顯示模組280還可以應用於具有相對較小型的顯示部的電子裝置。例如，適合用於手錶型裝置等可穿戴式電子裝置的顯示部。

【0274】

[顯示裝置200A]

圖24所示的顯示裝置200A包括基板331、發光元件110R、發光元件110G、發光元件110B、電容器240及電晶體320。

【0275】基板331相當於圖23A中的基板291。

【0276】電晶體320是在形成通道的半導體層中使用氧化物半導體的縱向通道型電晶體。電晶體320包括半導體層321、絕緣層323、導電層324、導電層325及導電層326等。

【0277】電晶體320可以使用實施方式1所示的各種電晶體。

【0278】在基板331上設置有絕緣層332。絕緣層332用作阻擋層，該阻擋層防止水或氫等雜質從基板331擴散到電晶體320且防止氧從半導體層321向絕緣層332一側脫離。作為絕緣層332，例如可以使用與氧化矽膜相比氫或氧不容易擴散的膜諸如氧化鋁膜、氧化鉛膜、氮化矽膜等。

【0279】絕緣層332上設置有導電層327，導電層327上設置有導電層325。導電層325上設置有絕緣層334，絕緣層334上設置有導電層326。絕緣層334及導電層326中設置有開口，該開口內設置有半導體層321。覆蓋半導體層321及導電層326設置有絕緣層264，設置在絕緣層264中的開口內依次層疊有絕緣層323及導電層324。此外，絕緣層264及導電層324上設置有絕緣層265及導電層328。此外，絕緣層265及導電層328上設置有絕緣層266。

【0280】絕緣層264、絕緣層265及絕緣層266用作層間絕緣層。絕緣層266與絕緣層265間也可以設置有防止絕緣層266等中的水或氫等雜質擴散到電晶體320的阻擋層。

作為阻擋層，可以使用與絕緣層332同樣的絕緣膜。

【0281】與導電層326中的一個電連接的插頭274嵌入絕緣層266、絕緣層265及絕緣層264。在此，插頭274較佳為具有覆蓋絕緣層266、絕緣層265及絕緣層264各自的開口的側面及導電層326的頂面的一部分的導電層274a以及與導電層274a的頂面接觸的導電層274b。此時，作為導電層274a，較佳為使用不容易擴散氫及氧的導電材料。

【0282】此外，絕緣層266上設置有電容器240。電容器240包括導電層241、導電層245及位於它們之間的絕緣層243。導電層241用作電容器240的一個電極，導電層245用作電容器240的另一個電極，並且絕緣層243用作電容器240的介電質。

【0283】導電層241設置在絕緣層266上，並嵌入絕緣層254中。導電層241藉由插頭274與電晶體320的導電層326電連接。絕緣層243覆蓋導電層241而設置。導電層245設置在隔著絕緣層243與導電層241重疊的區域中。

【0284】覆蓋電容器240設置有絕緣層255a，絕緣層255a上設置有絕緣層255b，絕緣層255b上設置有絕緣層255c。

【0285】絕緣層255a、絕緣層255b及絕緣層255c可以適當地使用無機絕緣膜。例如，較佳的是，作為絕緣層255a及絕緣層255c使用氧化矽膜，作為絕緣層255b使用氮化矽膜。由此，絕緣層255b可以用作蝕刻保護膜。雖然在本實施方式中示出絕緣層255c的一部分被蝕刻而設置有凹

部的例子，但是也可以不在絕緣層255c中設置凹部。

【0286】絕緣層255c上設置有發光元件110R、發光元件110G及發光元件110B。發光元件110R、發光元件110G及發光元件110B的詳細將在實施方式3中進行說明。

【0287】發光元件110R包括像素電極111R、有機層112R、共用層114及共用電極113。發光元件110G包括像素電極111G、有機層112G、共用層114及共用電極113。發光元件110B包括像素電極111B、有機層112B、共用層114及共用電極113。共用層114和共用電極113共同設置在發光元件110R、發光元件110G及發光元件110B中。

【0288】發光元件110R所包括的有機層112R包含至少發射紅色光的發光有機化合物。發光元件110G所包括的有機層112G包含至少發射綠色光的發光有機化合物。發光元件110B所包括的有機層112B包含至少發射藍色光的發光有機化合物。有機層112R、有機層112G及有機層112B各自也可以被稱為EL層，至少包括具有發光有機化合物的層(發光層)。

【0289】顯示裝置200A按每個發光顏色分別形成發光器件，所以低亮度的發光和高亮度的發光之間的色度變化小。此外，有機層112R、112G、112B彼此分離，所以即使採用高清晰顯示裝置也可以抑制在相鄰的子像素間發生串擾。因此，可以實現高清晰且顯示品質高的顯示裝置。

【0290】相鄰的發光元件間的區域設置有絕緣層125、樹脂層126及層128。

【0291】發光元件的像素電極111R、像素電極111G及像素電極111B藉由嵌入於絕緣層255a、絕緣層255b及絕緣層255c中的插頭256、嵌入於絕緣層254中的導電層241以及插頭274與電晶體320的導電層326電連接。絕緣層255c的頂面的高度與插頭256的頂面的高度一致或大致一致。作為插頭可以使用各種導電材料。

【0292】此外，發光元件110R、110G及110B上設置有保護層121。保護層121上由黏合層171貼合有基板170。

【0293】相鄰的兩個像素電極111間不設置有覆蓋像素電極111的頂面端部的絕緣層。因此，可以使相鄰的發光元件間の間隔非常小。因此，可以實現高清晰或高解析度的顯示裝置。

【0294】

[顯示裝置200B]

以下，對部分結構與上述例子不同的顯示裝置進行說明。注意，與上述相同的部分參照上述說明，有時省略說明。

【0295】圖25所示的顯示裝置200B示出為半導體層形成在平面上的平面型電晶體的電晶體320A與為縱向通道型電晶體的電晶體320B層疊的例子。電晶體320B與上述顯示裝置200A中的電晶體320具有同樣的結構。

【0296】電晶體320A包括半導體層351、絕緣層353、導電層354、一對導電層355、絕緣層356及導電層357。

【0297】在基板331上設置有絕緣層352。絕緣層352

用作阻擋層，該阻擋層防止水或氫等雜質從基板331擴散到電晶體320且防止氧從半導體層351向絕緣層352一側脫離。作為絕緣層352，例如可以使用與氧化矽膜相比氫或氧不容易擴散的膜諸如氧化鋁膜、氧化鉛膜、氮化矽膜等。

【0298】在絕緣層352上設置有導電層357，並以覆蓋導電層357的方式設置有絕緣層356。導電層357用作電晶體320A的第一閘極電極，絕緣層356的一部分用作第一閘極絕緣層。絕緣層356中的至少接觸半導體層351的部分較佳為使用氧化矽膜等氧化物絕緣膜。絕緣層356的頂面較佳為被平坦化。

【0299】半導體層351設置在絕緣層356上。半導體層351較佳為含有呈現半導體特性的金屬氧化物(也稱為氧化物半導體)膜。一對導電層355接觸於半導體層351上並用作源極及汲極電極。

【0300】覆蓋一對導電層355的頂面及側面以及半導體層351的側面等設置有絕緣層358、絕緣層350。絕緣層358被用作阻擋層，該阻擋層防止水或氫等雜質擴散到半導體層351以及氧從半導體層351脫離。作為絕緣層358，可以使用與上述絕緣層352同樣的絕緣膜。

【0301】絕緣層358及絕緣層350中設置有到達半導體層351的開口。該開口的內部嵌入有接觸於半導體層351的頂面的絕緣層353、以及導電層354。導電層354被用作第二閘極電極，絕緣層353被用作第二閘極絕緣層。

【0302】以導電層354的頂面、絕緣層353的頂面及絕緣層350的頂面的高度一致或大致一致的方式對其進行平坦化處理，以覆蓋它們的方式設置有絕緣層359。絕緣層359用作防止水或氫等雜質擴散到電晶體320的阻擋層。絕緣層359可以使用與上述絕緣層352同樣的絕緣膜。

【0303】作為電晶體320，採用兩個閘極夾持形成通道的半導體層的結構。此外，也可以連接兩個閘極，並藉由對該兩個閘極供應同一信號，來驅動電晶體。或者，也可以藉由對兩個閘極中的一個施加用來控制臨界電壓的電位，並對另一個施加用來進行驅動的電位，來控制電晶體的臨界電壓。

【0304】

[顯示裝置200C]

圖26所示的顯示裝置200C包括在半導體基板形成有通道的電晶體310與為縱向通道型電晶體的電晶體320的疊層結構。

【0305】電晶體310是在基板301中具有通道形成區域的電晶體。作為基板301，例如可以使用如單晶矽基板等半導體基板。電晶體310包括基板301的一部分、導電層311、低電阻區域312、絕緣層313及絕緣層314。導電層311被用作閘極電極。絕緣層313位於基板301與導電層311之間，並被用作閘極絕緣層。低電阻區域312是基板301中摻雜有雜質的區域，並被用作源極和汲極中的一個。絕緣層314覆蓋導電層311的側面。

【0306】此外，在相鄰的兩個電晶體310之間，以嵌入基板301的方式設置有元件分離層315。

【0307】本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0308】

實施方式4

在本實施方式中，說明可用於使用本發明的一個實施方式的電晶體製造的顯示裝置的顯示裝置的結構例子。以下示出的顯示裝置可用於上述實施方式3的像素部284等。

【0309】本發明的一個實施方式是包括發光元件(也稱為發光器件)的顯示裝置。顯示裝置至少包括發光顏色不同的兩個以上的。像素各自包括發光元件。發光元件各自包括一對電極及其間的EL層。發光元件較佳為有機EL元件(有機電場發光元件)。發射不同顏色的兩個以上的發光元件各自包括包含不同材料的EL層。例如，藉由包括分別發射紅色(R)、綠色(G)或藍色(B)的光的三種發光元件，可以實現全彩色顯示裝置。

【0310】在製造包括發光顏色不同的多個發光元件的顯示裝置時，需要將至少包含發光材料的層(發光層)分別形成為島狀。這裡，已知在分別形成EL層的一部分或全部時，利用使用金屬遮罩等陰影遮罩的蒸鍍法形成島狀有機膜的方法。然而，這方法由於金屬遮罩的精度、金屬遮罩與基板的錯位、金屬遮罩的撓曲以及蒸氣散射等所導致的沉積了的膜的輪廓變大等的各種影響，而島狀有機膜的形

狀及位置與設計時的形狀及位置產生偏差，難以實現顯示裝置的高清晰化及高開口率化。此外，在蒸鍍中，有時因層的輪廓模糊而端部的膜厚度變小。就是說，有時根據位置而島狀發光層的膜厚度不同。此外，當製造大型且高解析度或高清晰的顯示裝置時，有如下擔擾：由於金屬遮罩的低尺寸精度及熱等所引起的變形，製造良率下降。因此，已進行如下措施：藉由採用Pentile排列等特殊像素排列方式而類比地提高清晰度(也稱為像素密度)。

【0311】注意，在本說明書等中，島狀是指使用在同一製程中形成的同一材料的兩個以上的層物理分離的狀態。例如，島狀發光層是指該發光層與相鄰的發光層物理分離的狀態。

【0312】在本發明的一個實施方式中，不使用高精細金屬遮罩(FMM)等陰影遮罩而利用光微影法將EL層加工為微細圖案。因此，可以實現目前難以實現的具有高清晰度和高開口率的顯示裝置。此外，由於可以分別製造EL層，所以可以實現非常鮮明且對比度高的顯示品質高的顯示裝置。此外，例如，也可以使用金屬遮罩和光微影的兩者將EL層加工為微細圖案。

【0313】此外，可以物理性地分離EL層的一部分或全部。由此，可以抑制經由相鄰的發光元件共通使用的層(也稱為共用層)的發光元件間的洩漏電流。因此，可以抑制因非意圖性的發光而發生的串擾，從而可以實現對比度非常高的顯示裝置。尤其是，可以實現在低亮度下電流效

率高的顯示裝置。

【0314】本發明的一個實施方式也可以實現組合白色發光的發光元件和濾色片的顯示裝置。在此情況下，可以將相同結構的發光元件用於發射不同顏色的光的像素(子像素)中的各發光元件，各發光元件中的所有層都可以用作共用層。再者，也可以藉由利用光微影切斷各EL層的一部分或全部。由此，可以抑制經由共用層的洩漏電流而可以實現對比度高的顯示裝置。尤其是，在具有隔著導電性高的中間層層疊多個發光層的串聯結構的元件中，可以有效地防止經由該中間層的洩漏電流，所以可以實現兼具高亮度、高清晰度及高對比的顯示裝置。

【0315】當利用光微影法加工EL層時，有時因發光層的一部分露出導致劣化。因此，較佳為設置至少覆蓋島狀發光層的側面的絕緣層。該絕緣層也可以覆蓋島狀EL層的頂面的一部分。該絕緣層較佳為使用對水及氧具有阻擋性的材料。例如，可以使用不容易使水或氧擴散的無機絕緣膜。由此，可以抑制EL層的劣化而可以實現可靠性高的顯示裝置。

【0316】此外，在相鄰的兩個發光元件間有不設置有各發光元件的EL層的區域(凹部)。在以覆蓋該凹部的方式形成共用電極或者共用電極及共用層的情況下，有時發生共用電極因EL層端部的步階而分離的現象(也稱為斷開)，導致EL層上的共用電極被絕緣。於是，較佳為採用使用被用作平坦化膜的樹脂層填充位於相鄰的兩個發光元件間的局部性

的步階的結構(也稱為LFP：Local Filling Planarization)。該樹脂層被用作平坦化膜。由此，可以抑制共用層或共用電極的斷開而可以實現可靠性高的顯示裝置。

【0317】以下，參照圖式說明本發明的一個實施方式的顯示裝置的更具體的結構例子。

【0318】

[結構例子1]

圖27A示出本發明的一個實施方式的顯示裝置100的俯視示意圖。顯示裝置100在基板101上包括多個呈現紅色的發光元件110R、多個呈現綠色的發光元件110G及多個呈現藍色的發光元件110B。在圖27A中為了便於區別各發光元件，在各發光元件的發光區域內附上符號“R”、“G”、“B”。

【0319】發光元件110R、發光元件110G及發光元件110B都以矩陣狀排列。圖27A示出同一顏色的發光元件在一個方向上排列的所謂條紋排列。注意，發光元件的排列方法不侷限於此，還可以使用S條紋排列、Delta排列、拜耳排列、鋸齒形(zigzag)排列等排列方法，也可以使用Pentile排列、Diamond排列等。

【0320】作為發光元件110R、發光元件110G及發光元件110B，較佳為使用OLED(Organic Light Emitting Diode：有機發光二極體)或QLED(Quantum-dot Light Emitting Diode：量子點發光二極體)。作為EL元件含有的發光物質，可以舉出發射螢光的物質(螢光材料)、發射磷

光的物質(磷光材料)及呈現熱活化延遲螢光的物質(熱活性化延遲螢光(Thermally activated delayed fluorescence : TADF)材料)。作為EL元件所包含的發光物質，除了有機化合物之外還可以使用無機化合物(量子點材料等)。

【0321】此外，圖27A示出與共用電極113電連接的連接電極111C。連接電極111C被供應用來對共用電極113供應的電位(例如，陽極電位或陰極電位)。連接電極111C設置在發光元件110R等排列的顯示區域的外側。

【0322】連接電極111C可以沿著顯示區域的外周設置。例如，既可以沿著顯示區域的外周的一個邊設置，又可以橫跨顯示區域的外周的兩個以上的邊設置。就是說，在顯示區域的頂面形狀為長方形的情況下，連接電極111C的頂面形狀可以為帶狀(長方形)、L字狀、“冂”字狀(方括號狀)或四角形等。

【0323】圖27B、圖27C分別是對應於圖27A中的點劃線A1-A2及點劃線A3-A4的剖面示意圖。圖27B示出發光元件110R、發光元件110G及發光元件110B的剖面示意圖，圖27C示出連接電極111C與共用電極113連接的連接部140的剖面示意圖。

【0324】發光元件110R包括像素電極111R、有機層112R、共用層114及共用電極113。發光元件110G包括像素電極111G、有機層112G、共用層114及共用電極113。發光元件110B包括像素電極111B、有機層112B、共用層114及共用電極113。發光元件110R、發光元件110G、發

光元件 110B 共通使用共用層 114 及共用電極 113。

【0325】發光元件 110R 所包括的有機層 112R 包含至少發射紅色光的發光有機化合物。發光元件 110G 所包括的有機層 112G 包含至少發射綠色光的發光有機化合物。發光元件 110B 所包括的有機層 112B 包含至少發射藍色光的發光有機化合物。有機層 112R、有機層 112G 及有機層 112B 各自也可以被稱為 EL 層，至少包括具有發光有機化合物的層(發光層)。

【0326】以下，在說明發光元件 110R、發光元件 110G 及發光元件 110B 之間共同的内容時有時將其稱為發光元件 110 進行說明。同樣地，在說明有機層 112R、有機層 112G 及有機層 112B 等用字母進行區別的組件之間共同的内容時，有時用省略字母的符號進行說明。

【0327】有機層 112 及共用層 114 可以分別獨立包括電子注入層、電子傳輸層、電洞注入層和電洞傳輸層中的一個以上。例如，有機層 112 從像素電極 111 一側層疊有電洞注入層、電洞傳輸層、發光層、電子傳輸層的疊層結構，並且共用層 114 包括電子注入層。

【0328】像素電極 111R、像素電極 111G 及像素電極 111B 都設置在每個發光元件中。此外，共用電極 113 及共用層 114 設置為各發光元件共通使用的一個層。作為各像素電極和共用電極 113 中的任一方使用對可見光具有透光性的導電膜且另一方使用具有反射性的導電膜。藉由使各像素電極具有透光性且使共用電極 113 具有反射性可以實

現底面發射型(底部發射結構)的顯示裝置，與此相反，藉由使各像素電極具有反射性且使共用電極113具有透光性可以實現頂面發射型(頂部發射結構)的顯示裝置。此外，藉由使各像素電極和共用電極113的兩者具有透光性，也可以實現雙面發射型(雙面發射結構)的顯示裝置。

【0329】在共用電極113上以覆蓋發光元件110R、發光元件110G及發光元件110B的方式設置保護層121。保護層121具有防止水等的雜質從上方擴散到各發光元件的功能。

【0330】像素電極111的端部較佳為具有錐形形狀。在像素電極111的端部具有錐形形狀時，沿著像素電極111的端部設置的有機層112也可以具有錐形形狀。藉由使像素電極111的側面具有錐形形狀，可以提高跨著像素電極111的端部設置的有機層112的覆蓋性。此外，藉由使像素電極111的側面具有錐形形狀，可以藉由洗滌處理等容易去除製程中的異物(例如，灰塵或微粒等)，所以是較佳的。

【0331】注意，在本說明書等中，錐形形狀是指組件的側面的至少一部分相對於基板面傾斜地設置的形狀。例如，較佳為具有傾斜的側面和基板面(也稱為錐角)小於 90° 的區域。

【0332】有機層112利用光微影法被加工為島狀。因此，有機層112在其端部具有頂面與側面所成的角近於 90° 的形狀。另一方面，使用FMM(Fine Metal Mask，高精細

金屬遮罩)等形成的有機膜的膜厚度有越接近端部越減薄的傾向，例如，距端部 $1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下的範圍頂面形成為坡狀，因此難以區別頂面與側面。

【0333】相鄰的兩個發光元件間設置有絕緣層125、樹脂層126及層128。

【0334】在相鄰的兩個發光元件間，各有機層112的側面隔著樹脂層126彼此相對。樹脂層126位於相鄰的兩個發光元件間且以填充各有機層112的端部和兩個有機層112間的區域的方式設置。樹脂層126的頂面具有平滑的凸狀形狀，以覆蓋樹脂層126的頂面的方式設置共用層114及共用電極113。

【0335】樹脂層126被用作填充位於相鄰的兩個發光元件間的步階的平坦化膜。藉由設置樹脂層126，可以防止共用電極113因有機層112的端部的步階被分離的現象(也稱為斷開)導致有機層112上的共用電極113被絕緣。樹脂層126也可以稱為LFP(Local Filling Planarization)層。

【0336】作為樹脂層126，可以適合使用包含有機材料的絕緣層。例如，作為樹脂層126可以使用丙烯酸樹脂、聚醯亞胺樹脂、環氧樹脂、亞胺樹脂、聚醯胺樹脂、聚醯亞胺醯胺樹脂、矽酮樹脂、矽氧烷樹脂、苯并環丁烯類樹脂、酚醛樹脂及上述樹脂的前驅物等。此外，作為樹脂層126，也可以使用聚乙烯醇(PVA)、聚乙烯醇縮丁醛、聚乙烯吡咯烷酮、聚乙二醇、聚甘油、普魯蘭、水溶性纖維素或者醇可溶性聚醯胺樹脂等有機材料。

【0337】此外，作為樹脂層126，也可以使用感光性樹脂。作為感光性樹脂也可以使用光阻劑。感光性樹脂可以使用正型材料或負型材料。

【0338】樹脂層126也可以包含吸收可見光的材料。例如，樹脂層126本身可以由吸收可見光的材料構成，樹脂層126也可以包含吸收可見光的顏料。作為樹脂層126，例如可以使用如下樹脂：能夠用於可被用作透射紅色、藍色或綠色的光且吸收其他光的濾色片的樹脂；或者作為顏料包含碳黑且被用作黑矩陣的樹脂；等。

【0339】絕緣層125與有機層112的側面接觸。此外，絕緣層125覆蓋有機層112的上端部。此外，絕緣層125的一部分與基板101的頂面接觸。

【0340】絕緣層125位於樹脂層126與有機層112間且被用作防止樹脂層126接觸於有機層112的保護膜。在有機層112與樹脂層126接觸時，有可能由於形成樹脂層126時使用的有機溶劑等而有機層112被溶解。因此，藉由在有機層112與樹脂層126間設置絕緣層125，可以保護有機層112的側面。

【0341】絕緣層125可以為包含無機材料的絕緣層。作為絕緣層125，可以使用氧化絕緣膜、氮化絕緣膜、氧氮化絕緣膜及氮氧化絕緣膜等無機絕緣膜。絕緣層125可以為單層結構，也可以為疊層結構。作為氧化絕緣膜，可以舉出氧化矽膜、氧化鋁膜、氧化鎂膜、銦鎵鋅氧化物膜、氧化鎵膜、氧化鍺膜、氧化釷膜、氧化鈳膜、氧化鐳

膜、氧化鈳膜、氧化鉛膜及氧化鉭膜等。作為氮化絕緣膜，可以舉出氮化矽膜及氮化鋁膜等。作為氧氮化絕緣膜，可以舉出氧氮化矽膜、氧氮化鋁膜等。作為氮氧化絕緣膜，可以舉出氮氧化矽膜、氮氧化鋁膜等。尤其是，藉由將利用ALD法形成的氧化鋁膜、氧化鉛膜等氧化金屬膜、氧化矽膜等無機絕緣膜用於絕緣層125，可以形成針孔較少且保護EL層功能優異的絕緣層125。

【0342】在本說明書等中，“氧氮化物”是指在其組成中氧含量多於氮含量的材料，而“氮氧化物”是指在其組成中氮含量多於氧含量的材料。例如，在記載為“氧氮化矽”時指在其組成中氧含量多於氮含量的材料，而在記載為“氮氧化矽”時指在其組成中氮含量多於氧含量的材料。

【0343】絕緣層125可以利用濺射法、CVD法、PLD法、ALD法等形成。絕緣層125較佳為利用覆蓋性良好的ALD法形成。

【0344】此外，也可以藉由在絕緣層125與樹脂層126之間設置反射膜(例如，包含選自銀、鈹、銅、鈦和鋁等中的一個或多個的金屬膜)而使上述反射膜反射發光層所發射的光。由此，可以進一步提高光提取效率。

【0345】層128是用來在蝕刻有機層112時保護有機層112的保護層(也稱為遮罩層、犧牲層)的一部分殘留的部分。層128可以使用可用於上述絕緣層125的材料。尤其是，層128及絕緣層125較佳為都使用相同材料，由此可以使用相同的用來進行加工的裝置等。

【0346】尤其是，由於利用ALD法形成的氧化鋁膜、氧化鉛膜等氧化金屬膜、氧化矽膜等無機絕緣膜是針孔較少的膜，所以保護EL層的功能優異，因此可以適合用於絕緣層125及層128。

【0347】保護層121例如可以具有至少包括無機絕緣膜的單層結構或疊層結構。作為無機絕緣膜，例如可以舉出氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧氮化鋁膜、氧化鉛膜等的氧化物膜或氮化物膜。或者，作為保護層121也可以使用銦鎵氧化物、銦鋅氧化物、銦錫氧化物、銦鎵鋅氧化物等的半導體材料或導電材料。

【0348】作為保護層121也可以使用無機絕緣膜與有機絕緣膜的疊層膜。例如，較佳為在一對無機絕緣膜間夾持有機絕緣膜。此外，有機絕緣膜較佳為被用作平坦化膜。因此，可以使有機絕緣膜的頂面平坦，所以其上的無機絕緣膜的覆蓋性提高，由此可以提高阻擋性。此外，保護層121的頂面變平坦，所以當在保護層121的上方設置結構物(例如，濾色片、觸控感測器的電極或透鏡陣列等)時可以減少起因於下方結構的凹凸形狀的影響，所以是較佳的。

【0349】圖27C示出連接電極111C與共用電極113電連接的連接部140。在連接部140中，在連接電極111C上，絕緣層125及樹脂層126中設置有開口部。在該開口部，連接電極111C與共用電極113電連接。

【0350】注意，圖27C示出連接電極111C與共用電極113電連接的連接部140，但是也可以在連接電極111C上隔著共用層114設置共用電極113。尤其是，在作為共用層114使用載子注入層的情況等下，用於該共用層114的材料的電阻率充分低且其膜厚度也很薄，所以在很多情況下共用層114位於連接部140也沒有問題。由此，可以使用相同陰影遮罩形成共用電極113及共用層114，所以可以降低製造成本。

【0351】

[結構例子2]

以下，說明部分結構與上述結構例子1不同的顯示裝置。注意，關於與上述結構例子1相同的部分有時參照上述結構例子1而省略說明。

【0352】圖28A是顯示裝置100a的剖面示意圖。顯示裝置100a與顯示裝置100的主要不同之處在於：發光元件的結構；以及前者包括彩色層。

【0353】顯示裝置100a包括呈現白色光的發光元件110W。發光元件110W包括像素電極111、有機層112W、共用層114及共用電極113。有機層112W呈現白色發光。例如，有機層112W可以包含發光顏色處於補色關係的兩種以上的發光材料。例如，有機層112W可以包含發射紅色光的發光有機化合物、發射綠色光的發光有機化合物以及發射藍色光的發光有機化合物。此外，也可以包含發射藍色光的發光有機化合物以及發射黃色光的發光有機化合物。

物。

【0354】在相鄰的兩個發光元件110W之間，各有機層112W分離。由此，可以抑制藉由有機層112W流過相鄰的發光元件110W間的洩漏電流，而可以抑制起因於該洩漏電流的串擾。因此，可以實現對比度及顏色再現性高的顯示裝置。

【0355】保護層121上設置有用作平坦化膜的絕緣層122，絕緣層122上設置有彩色層116R、彩色層116G及彩色層116B。

【0356】作為絕緣層122，可以使用有機樹脂膜或頂面被平坦化的無機絕緣膜。因為絕緣層122為彩色層116R、彩色層116G及彩色層116B的被形成面，所以在絕緣層122的頂面平坦時可以使彩色層116R等的厚度均勻，由此可以提高色純度。注意，當彩色層116R等的厚度不均勻時，吸光量根據彩色層116R的中的區域而不同，由此有可能導致色純度下降。

【0357】

[結構例子3]

圖28B是顯示裝置100b的剖面示意圖。

【0358】發光元件110R包括像素電極111、導電層115R、有機層112W及共用電極113。發光元件110G包括像素電極111、導電層115G、有機層112W及共用電極113。發光元件110B包括像素電極111、導電層115B、有機層112W及共用電極113。導電層115R、導電層115G及導電層

115B都具有透光性並被用作光學調整層。

【0359】藉由將反射可見光的膜用作像素電極111並將對可見光具有反射性和透射性的兩者的膜用作共用電極113，可以實現微腔諧振器(微腔)結構。此時，藉由以實現最合適的光程長的方式調整導電層115R、導電層115G及導電層115B的厚度，即便使用呈現白色發光的有機層112也可以從發光元件110R、發光元件110G和發光元件110B分別提取不同的波長的光得到加強的光。

【0360】並且，藉由在發光元件110R、發光元件110G和發光元件110B的光程上分別設置彩色層116R、彩色層116G和彩色層116B，可以提取色純度高的光。

【0361】此外，設置有覆蓋像素電極111及光學調整層115的端部的絕緣層123。絕緣層123的端部較佳為具有錐形形狀。藉由設置絕緣層123，可以提高形成在其上的有機層112W、共用電極113及保護層121等的覆蓋性。

【0362】有機層112W及共用電極113分別作為一連續的膜共同設置在各發光元件中。藉由採用這種結構，可以大幅度簡化顯示裝置的製程，所以是較佳的。

【0363】在此，像素電極111的端部較佳為具有幾乎垂直的形狀。由此，可以在絕緣層123的表面形成傾斜陡峭的部分，而可以在覆蓋該部分的有機層112W的一部分形成厚度薄的部分，或者可以分離有機層112W的一部分。由此，可以不進行利用光微影法等的有機層112W的加工而抑制藉由有機層112W產生在相鄰的發光元件間的

洩漏電流。

【0364】以上說明顯示裝置的結構例子。

【0365】本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0366】

實施方式5

在本實施方式中，使用圖29至圖31對本發明的一個實施方式的電子裝置進行說明。

【0367】本實施方式的電子裝置在顯示部中包括使用本發明的一個實施方式的電晶體的顯示面板(顯示裝置)。本發明的一個實施方式的顯示裝置容易實現高清晰化及高解析度化，此外可以實現高顯示品質。因此，可以用於各種電子裝置的顯示部。

【0368】作為電子裝置，例如除了電視機、桌上型或膝上型個人電腦、用於電腦等的顯示器、數位看板、彈珠機等大型遊戲機等具有較大的螢幕的電子裝置以外，還可以舉出數位相機、數位攝影機、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置等。

【0369】特別是，因為本發明的一個實施方式的顯示面板可以提高清晰度，所以可以適當地用於包括較小的顯示部的電子裝置。作為這種電子裝置可以舉出手錶型及手鐲型資訊終端設備(可穿戴裝置)、可戴在頭上的可穿戴裝置等諸如頭戴顯示器等VR用設備、眼鏡型AR用設備及MR用設備等。

【0370】本發明的一個實施方式的顯示面板較佳為具有極高的解析度諸如HD(像素數為1280×720)、FHD(像素數為1920×1080)、WQHD(像素數為2560×1440)、WQXGA(像素數為2560×1600)、4K(像素數為3840×2160)、8K(像素數為7680×4320)等。尤其是，較佳為設定為4K、8K或其以上的解析度。此外，本發明的一個實施方式的顯示面板中的像素密度(清晰度)較佳為100ppi以上，較佳為300ppi以上，更佳為500ppi以上，進一步較佳為1000ppi以上，更進一步較佳為2000ppi以上，更進一步較佳為3000ppi以上，還進一步較佳為5000ppi以上，進一步較佳為7000ppi以上。藉由使用上述的具有高解析度和高清晰度中的一個或兩者的顯示面板，可以進一步提高真實感及縱深感等。此外，對本發明的一個實施方式的顯示面板的螢幕比例(縱橫比)沒有特別的限制。例如，顯示面板可以適應1：1(正方形)、4：3、16：9、16：10等各種螢幕比例。

【0371】本實施方式的電子裝置也可以包括感測器(該感測器具有感測、檢測、測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線)。

【0372】本實施方式的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊(靜態影像、動態

影像、文字影像等)顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；執行各種軟體(程式)的功能；進行無線通訊的功能；讀出儲存在存儲介質中的程式或資料的功能；等。

【0373】使用圖29A至圖29D說明可戴在頭上的可穿戴裝置的一個例子。這些可穿戴裝置具有顯示AR內容的功能和顯示VR內容的功能中的一個或兩者。此外，這些可穿戴裝置也可以具有除了AR、VR以外還顯示SR或MR的內容的功能。當電子裝置具有顯示AR、VR、SR和MR等中的至少一個的內容的功能時，可以提高使用者的沉浸感。

【0374】圖29A所示的電子裝置700A以及圖29B所示的電子裝置700B都包括一對顯示面板751、一對外殼721、通訊部(未圖示)、一對安裝部723、控制部(未圖示)、成像部(未圖示)、一對光學構件753、邊框757以及一對鼻墊758。

【0375】顯示面板751可以應用本發明的一個實施方式的顯示面板。因此，可以實現能夠進行清晰度極高的顯示的電子裝置。

【0376】電子裝置700A及電子裝置700B都可以將由顯示面板751顯示的影像投影於光學構件753中的顯示區域756。因為光學構件753具有透光性，所以使用者可以與藉由光學構件753看到的透過影像重疊地看到顯示於顯示區域的影像。因此，電子裝置700A及電子裝置700B都是能

夠進行AR顯示的電子裝置。

【0377】電子裝置700A及電子裝置700B上作為成像部也可以設置有能夠拍攝前方的照相機。此外，藉由在電子裝置700A及電子裝置700B設置陀螺儀感測器等加速度感測器，可以檢測使用者的頭部朝向並將對應該方向的影像顯示在顯示區域756上。

【0378】通訊部具有無線通訊裝置，藉由該無線通訊裝置可以供應影像信號等。此外，代替無線通訊裝置或者除了無線通訊裝置以外還可以包括能夠連接供應影像信號及電源電位的電纜的連接器。

【0379】此外，電子裝置700A以及電子裝置700B設置有電池，可以以無線方式和有線方式中的一個或兩者進行充電。

【0380】外殼721也可以設置有觸控感測器模組。觸控感測器模組具有檢測外殼721的外側的面是否被觸摸的功能。藉由觸控感測器模組，可以檢測使用者的點按操作或滑動操作等而執行各種處理。例如，藉由點按操作可以執行動態影像的暫時停止或再生等的處理，藉由滑動操作可以執行快進、快退等的處理等。此外，藉由在兩個外殼721的每一個設置觸控感測器模組，可以擴大操作範圍。

【0381】作為觸控感測器模組，可以使用各種觸控感測器。例如，可以採用靜電電容方式、電阻膜方式、紅外線方式、電磁感應方式、表面聲波式、光學方式等各種方式。尤其是，較佳為將靜電電容方式或光學方式的感測器

應用於觸控感測器模組。

【0382】 在使用光學方式的觸控感測器時，作為受光器件(也稱為受光元件)可以使用光電轉換器件(也稱為光電轉換元件)。在光電轉換器件的活性層中可以使用無機半導體和有機半導體中的一個或兩者。

【0383】 圖29C所示的電子裝置800A及圖29D所示的電子裝置800B都包括一對顯示部820、外殼821、通訊部822、一對安裝部823、控制部824、一對成像部825及一對透鏡832。

【0384】 顯示部820可以應用本發明的一個實施方式的顯示面板。因此，可以實現能夠進行清晰度極高的顯示的電子裝置。由此，使用者可以感受高沉浸感。

【0385】 顯示部820設置在外殼821內部的藉由透鏡832能看到的位置上。此外，藉由在一對顯示部820的每一個上顯示不同影像，可以進行利用視差的三維顯示。

【0386】 可以將電子裝置800A以及電子裝置800B都稱為面向VR的電子裝置。裝上電子裝置800A或電子裝置800B的使用者藉由透鏡832能看到顯示在顯示部820上的影像。

【0387】 電子裝置800A及電子裝置800B較佳為具有一種機構，其中能夠調整透鏡832及顯示部820的左右位置，以根據使用者的眼睛的位置使透鏡832及顯示部820位於最合適的位置上。此外，較佳為具有一種機構，其中藉由改變透鏡832及顯示部820之間的距離來調整焦點。

【0388】使用者可以使用安裝部823將電子裝置800A或電子裝置800B裝在頭上。在圖29C等中，例示出安裝部823具有如眼鏡的鏡腳(也稱為腳絲等)那樣的形狀，但是不侷限於此。只要使用者能夠裝上，安裝部823就例如可以具有頭盔型或帶型的形狀。

【0389】成像部825具有取得外部的資訊的功能。可以將成像部825所取得的資料輸出到顯示部820。在成像部825中可以使用影像感測器。此外，也可以設置多個相機以能夠對應望遠、廣角等多種視角。

【0390】注意，在此示出包括成像部825的例子，設置能夠測量出與物件的距離的測距感測器(以下，也稱為檢測部)即可。換言之，成像部825是檢測部的一個實施方式。作為檢測部例如可以使用影像感測器或雷射雷達(LIDAR: Light Detection and Ranging)等距離影像感測器。藉由使用由相機取得的影像以及由距離影像感測器取得的影像，可以取得更多的資訊，可以實現精度更高的姿態操作。

【0391】電子裝置800A也可以包括被用作骨傳導耳機的振動機構。例如，作為顯示部820、外殼821和安裝部823中的任一個或多個可以採用包括該振動機構的結構。由此，不需要另行設置頭戴式耳機、耳機或揚聲器等音響設備，而只裝上電子裝置800A就可以享受影像和聲音。

【0392】電子裝置800A以及電子裝置800B也可以都包括輸入端子。可以將供應來自影像輸出設備等的影像信

號以及用於對設置在電子裝置內的電池進行充電的電力等的電纜連線到輸入端子。

【0393】本發明的一個實施方式的電子裝置也可以具有與耳機750進行無線通訊的功能。耳機750包括通訊部(未圖示)，並具有無線通訊功能。耳機750藉由無線通訊功能可以從電子裝置接收資訊(例如聲音資料)。例如，圖29A所示的電子裝置700A具有藉由無線通訊功能將資訊發送到耳機750的功能。此外，例如圖29C所示的電子裝置800A具有藉由無線通訊功能將資訊發送到耳機750的功能。

【0394】此外，電子裝置也可以包括耳機部。圖29B所示的電子裝置700B包括耳機部727。例如，可以採用以有線方式連接耳機部727和控制部的結構。連接耳機部727和控制部的佈線的一部分也可以配置在外殼721或安裝部723的內部。

【0395】同樣，圖29D所示的電子裝置800B包括耳機部827。例如，可以採用以有線方式連接耳機部827和控制部824的結構。連接耳機部827和控制部824的佈線的一部分也可以配置在外殼821或安裝部823的內部。此外，耳機部827和安裝部823也可以包括磁鐵。由此，可以用磁力將耳機部827固定到安裝部823，收納變得容易，所以是較佳的。

【0396】電子裝置也可以包括能夠與耳機或頭戴式耳機等連接的聲音輸出端子。此外，電子裝置也可以包括聲

音輸入端子和聲音輸入機構中的一個或兩者。作為聲音輸入機構，例如可以使用麥克風等收音裝置。藉由將聲音輸入機構設置到電子裝置，可以使電子裝置具有所謂的耳麥的功能。

【0397】如此，作為本發明的一個實施方式的電子裝置，眼鏡型(電子裝置700A以及電子裝置700B等)和護目鏡型(電子裝置800A以及電子裝置800B等)的兩者都是較佳的。

【0398】圖30A所示的電子裝置6500是可以被用作智慧手機的可攜式資訊終端設備。

【0399】電子裝置6500包括外殼6501、顯示部6502、電源按鈕6503、按鈕6504、揚聲器6505、麥克風6506、照相機6507、光源6508以及控制裝置6509等。顯示部6502具有觸控面板功能。控制裝置6509例如包括選自CPU、GPU及記憶體裝置中的任一個或多個。可以將本發明的一個實施方式的半導體裝置用於顯示部6502、控制裝置6509等。藉由將本發明的一個實施方式的半導體裝置用於控制裝置6509，可以降低功耗，因此是較佳的。

【0400】顯示部6502可以使用本發明的一個實施方式的顯示面板。

【0401】圖30B是包括外殼6501的麥克風6506一側的端部的剖面示意圖。

【0402】外殼6501的顯示面一側設置有具有透光性的保護構件6510，被外殼6501及保護構件6510包圍的空間內

設置有顯示面板6511、光學構件6512、觸控感測器面板6513、印刷電路板6517、電池6518等。

【0403】顯示面板6511、光學構件6512及觸控感測器面板6513使用黏合層(未圖示)固定到保護構件6510。

【0404】在顯示部6502的外側的區域中，顯示面板6511的一部分疊回，且該疊回部分連接有FPC6515。FPC6515安裝有IC6516。FPC6515與設置於印刷電路板6517的端子連接。

【0405】顯示面板6511可以使用本發明的一個實施方式的撓性顯示器。由此，可以實現極輕量的電子裝置。此外，由於顯示面板6511極薄，所以可以在抑制電子裝置的厚度的情況下安裝大容量的電池6518。此外，藉由折疊顯示面板6511的一部分以在像素部的背面設置與FPC6515的連接部，可以實現窄邊框的電子裝置。

【0406】圖30C示出電視機的一個例子。在電視機7100中，外殼7101中組裝有顯示部7000。在此示出利用支架7103支撐外殼7101的結構。

【0407】可以藉由利用外殼7101所具備的操作開關以及另外提供的遙控器7111進行圖30C所示的電視機7100的操作。或者，也可以在顯示部7000中具備觸控感測器，也可以藉由用指頭等觸摸顯示部7000進行電視機7100的操作。此外，也可以在遙控器7111中具備顯示從該遙控器7111輸出的資料的顯示部。藉由利用遙控器7111所具備的操作鍵或觸控面板，可以進行頻道及音量的操作，並可以

對顯示在顯示部7000上的影像進行操作。

【0408】此外，電視機7100具備接收機及數據機等。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通訊網路，從而進行單向(從發送者到接收者)或雙向(發送者和接收者之間或接收者之間等)的資訊通訊。

【0409】圖30D示出筆記型個人電腦的一個例子。筆記型個人電腦7200包括外殼7211、鍵盤7212、指向裝置7213、外部連接埠7214、控制裝置7216等。在外殼7211中組裝有顯示部7000。控制裝置7216例如包括選自CPU、GPU及記憶體裝置中的任一個或多個。可以將本發明的一個實施方式的半導體裝置用於顯示部7000、控制裝置7216等。藉由將本發明的一個實施方式的半導體裝置用於控制裝置7216，可以降低功耗，因此是較佳的。

【0410】圖30E和圖30F示出數位看板的一個例子。

【0411】圖30E所示的數位看板7300包括外殼7301、顯示部7000及揚聲器7303等。此外，還可以包括LED燈、操作鍵(包括電源開關或操作開關)、連接端子、各種感測器、麥克風等。

【0412】圖30F示出設置於圓柱狀柱子7401上的數位看板7400。數位看板7400包括沿著柱子7401的曲面設置的顯示部7000。

【0413】顯示部7000越大，一次能夠提供的資訊量越多。顯示部7000越大，越容易吸引人的注意，例如可以提

高廣告宣傳效果。

【0414】藉由將觸控面板用於顯示部7000，不僅可以在顯示部7000上顯示靜態影像或動態影像，使用者還能夠直覺性地進行操作，所以是較佳的。此外，在用於提供路線資訊或交通資訊等資訊的用途時，可以藉由直覺性的操作提高易用性。

【0415】如圖30E和圖30F所示，數位看板7300或數位看板7400較佳為可以藉由無線通訊與使用者所攜帶的智慧手機等資訊終端設備7311或資訊終端設備7411聯動。例如，顯示在顯示部7000上的廣告資訊可以顯示在資訊終端設備7311或資訊終端設備7411的螢幕上。此外，藉由操作資訊終端設備7311或資訊終端設備7411，可以切換顯示部7000的顯示。

【0416】此外，可以在數位看板7300或數位看板7400上以資訊終端設備7311或資訊終端設備7411的螢幕為操作單元(控制器)執行遊戲。由此，不特定多個使用者可以同時參加遊戲，享受遊戲的樂趣。

【0417】在圖30C至圖30F中，可以將本發明的一個實施方式的顯示面板用於顯示部7000。

【0418】圖31A至圖31G所示的電子裝置包括外殼9000、顯示部9001、揚聲器9003、操作鍵9005(包括電源開關或操作開關)、連接端子9006、感測器9007(該感測器具有感測、檢測、測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、

溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線)、麥克風9008等。

【0419】圖31A至圖31G所示的電子裝置具有各種功能。例如，可以具有如下功能：將各種資訊(靜態影像、動態影像及文字影像等)顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；藉由利用各種軟體(程式)控制處理的功能；進行無線通訊的功能；讀出儲存在存儲介質中的程式或資料並進行處理的功能；等。注意，電子裝置的功能不侷限於上述功能，而可以具有各種功能。電子裝置可以包括多個顯示部。此外，也可以在電子裝置中設置照相機等而使其具有如下功能：拍攝靜態影像或動態影像，且將所拍攝的影像儲存在存儲介質(外部存儲介質或內置於照相機的存儲介質)中的功能；將所拍攝的影像顯示在顯示部上的功能；等。

【0420】下面，詳細地說明圖31A至圖31G所示的電子裝置。

【0421】圖31A是示出可攜式資訊終端9101的立體圖。可以將可攜式資訊終端9101例如用作智慧手機。注意，在可攜式資訊終端9101中，也可以設置揚聲器9003、連接端子9006、感測器9007等。此外，作為可攜式資訊終端9101，可以將文字或影像資訊顯示在其多個面上。在圖31A中示出顯示三個圖示9050的例子。此外，可以將以虛線的矩形示出的資訊9051顯示在顯示部9001的其他面上。

作為資訊9051的一個例子，可以舉出提示收到電子郵件、SNS或電話等的資訊；電子郵件或SNS等的標題；電子郵件或SNS等的發送者姓名；日期；時間；電池餘量；以及電波強度等。或者，可以在顯示有資訊9051的位置上顯示圖示9050等。

【0422】圖31B是示出可攜式資訊終端9102的立體圖。可攜式資訊終端9102具有將資訊顯示在顯示部9001的三個以上的面上的功能。在此，示出資訊9052、資訊9053、資訊9054分別顯示於不同的面上的例子。例如，在將可攜式資訊終端9102放在上衣口袋裡的狀態下，使用者能夠確認顯示在從可攜式資訊終端9102的上方看到的位置上的資訊9053。例如，使用者可以確認到該顯示而無需從口袋裡拿出可攜式資訊終端9102，由此能夠判斷是否接電話。

【0423】圖31C是示出平板終端9103的立體圖。平板終端9103例如可以執行行動電話、電子郵件及文章的閱讀和編輯、播放音樂、網路通訊、電腦遊戲等各種應用軟體。平板終端9103在外殼9000的正面包括顯示部9001、照相機9002、麥克風9008及揚聲器9003，在外殼9000的左側面包括用作操作用按鈕的操作鍵9005，並且在底面包括連接端子9006。

【0424】圖31D是示出手錶型可攜式資訊終端9200的立體圖。可以將可攜式資訊終端9200例如用作智慧手錶(註冊商標)。此外，顯示部9001的顯示面彎曲，可沿著其

彎曲的顯示面進行顯示。此外，可攜式資訊終端9200例如藉由與可進行無線通訊的耳麥相互通訊可以進行免提通話。此外，藉由利用連接端子9006，可攜式資訊終端9200可以與其他資訊終端進行資料傳輸或進行充電。充電也可以藉由無線供電進行。

【0425】圖31E至圖31G是示出可以折疊的可攜式資訊終端9201的立體圖。此外，圖31E是將可攜式資訊終端9201展開的狀態的立體圖，圖31G是折疊的狀態的立體圖，圖31F是從圖31E的狀態和圖31G的狀態中的一個轉換成另一個時中途的狀態的立體圖。可攜式資訊終端9201在折疊狀態下可攜性好，而在展開狀態下因為具有無縫拼接較大的顯示區域所以顯示的瀏覽性強。可攜式資訊終端9201所包括的顯示部9001被由鉸鏈9055連結的三個外殼9000支撐。顯示部9001例如可以在曲率半徑0.1mm以上且150mm以下的範圍彎曲。

【0426】本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0427】

實施方式6

在本實施方式中，說明本發明的一個實施方式的半導體裝置的應用例子。例如，可以將本發明的一個實施方式的半導體裝置用於電子構件、電子裝置、大型電腦、太空設備及資料中心(Data Center：也稱為DC)。使用本發明的一個實施方式的半導體裝置的電子構件、電子裝置、大型

電腦、太空設備及資料中心對低功耗等高性能的實現很有效。

【0428】使用本發明的一個實施方式的半導體裝置的電子構件等可以應用於實施方式5所示的電子裝置。

【0429】

[電子構件]

圖32A示出安裝有電子構件700的基板(電路板704)的立體圖。圖32A所示的電子構件700在模子711內包括半導體裝置710。在圖32A中，省略電子構件700的一部分記載以表示其內部。電子構件700在模子711的外側包括連接盤(land)712。連接盤712電連接於電極焊盤713，電極焊盤713藉由引線714電連接於半導體裝置710。電子構件700例如安裝於印刷電路板702上。藉由組合多個該電子構件並使其分別在印刷電路板702上電連接，由此完成電路板704。

【0430】此外，半導體裝置710包括驅動電路層715及記憶體層716。記憶體層716具有層疊有多個記憶單元陣列的結構。驅動電路層715及記憶體層716的疊層結構可以為單片(monolithic)疊層結構。在單片疊層結構中，可以不用TSV(Through Silicon Via：矽通孔)等貫通電極技術及Cu-Cu直接接合等接合技術而連接各層間。當以單片的方式層疊驅動電路層715和記憶體層716時，例如，可以實現在處理器上直接形成記憶體的所謂的晶載記憶體的結構。藉由採用晶載記憶體的結構，可以實現處理器與記憶體的

介面部分的高速工作。

【0431】此外，藉由採用晶載記憶體的結構，與使用TSV等貫通電極的技術相比，可以縮小連接佈線等的尺寸，因此可以增加引腳數量。藉由增加引腳數量可以進行並聯工作，由此可以提高記憶體的帶寬度(也稱為記憶體頻寬)。

【0432】此外，較佳的是，使用OS電晶體形成記憶體層716中的多個記憶單元陣列，以單片的方式層疊該多個記憶單元陣列。當多個記憶單元陣列採用單片疊層時，可以提高記憶體的帶寬度和記憶體的訪問延遲中的一者或兩者。帶寬度是指單位時間的資料傳輸量，訪問延遲是指訪問和開始資料的交換之間的時間。當在記憶體層716中使用Si電晶體時，與OS電晶體相比，以單片的方式進行層疊更困難。因此，在以單片的方式層疊的結構中，OS電晶體比Si電晶體優異。

【0433】此外，可以將半導體裝置710稱為裸片。在本說明書等中，裸片是指在半導體晶片的製程中例如在圓盤狀的基板(也稱為晶圓)等上形成電路圖案，切割成矩形小片而得的晶片。作為可用於裸片的半導體材料，例如可以舉出矽(Si)、碳化矽(SiC)或氮化鎵(GaN)等。例如，有時將從矽基板(也稱為矽晶圓)得到的裸片稱為矽晶圓。

【0434】接著，圖32B示出電子構件730的立體圖。電子構件730是SiP(System in Package：系統封裝)或MCM(Multi Chip Module：多晶片模組)的一個例子。在電子構

件 730 中，封裝基板 732(印刷電路板)上設置有插板(interposer)731，插板 731 上設置有半導體裝置 735 及多個半導體裝置 710。

【0435】電子構件 730 示出將半導體裝置 710 用作高頻寬記憶體(HBM：High Bandwidth Memory)的例子。此外，半導體裝置 735 可以用於 CPU(Central Processing Unit：中央處理器)、GPU(Graphics Processing Unit：圖形處理器)或 FPGA(Field Programmable Gate Array：現場可程式邏輯閘陣列)等積體電路。

【0436】封裝基板 732 例如可以使用陶瓷基板、塑膠基板或玻璃環氧基板。插板 731 例如可以使用矽插板或樹脂插板。

【0437】插板 731 具有多個佈線並具有電連接端子間距不同的多個積體電路的功能。多個佈線由單層或多層構成。此外，插板 731 具有將設置於插板 731 上的積體電路與設置於封裝基板 732 上的電極電連接的功能。因此，有時將插板也稱為“重佈線基板(rewiring substrate)”或“中間基板”。此外，有時藉由在插板 731 中設置貫通電極，藉由該貫通電極使積體電路與封裝基板 732 電連接。此外，在使用矽插板的情況下，也可以使用 TSV 作為貫通電極。

【0438】在 HBM 中，為了實現寬記憶體頻寬需要連接許多佈線。為此，要求安裝 HBM 的插板上能夠高密度地形成微細的佈線。因此，作為安裝 HBM 的插板較佳為使用矽插板。

【0439】此外，在使用矽插板的SiP及MCM等中，不容易發生因積體電路與插板間的膨脹係數的不同而導致的可靠性下降。此外，由於矽插板的表面平坦性高，所以設置在矽插板上的積體電路與矽插板間不容易產生連接不良。尤其較佳為將矽插板用於2.5D封裝(2.5D安裝)，其中多個積體電路橫著排放並配置於插板上。

【0440】另一方面，當利用矽插板及TSV等使端子間距不同的多個積體電路電連接時，需要該端子間距的寬度等的空間。因此，當想要縮小電子構件730的尺寸時，上述端子間距的寬度成為問題，有時難以設置為實現較寬的記憶體頻寬需要的較多的佈線。於是，如上所述，使用OS電晶體的以單片的方式進行層疊的結構是較佳的。此外，也可以採用組合利用TSV層疊的記憶單元陣列與以單片的方式層疊的記憶單元陣列的複合結構。

【0441】此外，也可以與電子構件730重疊地設置散熱器(散熱板)。在設置散熱器的情況下，較佳為使設置於插板731上的積體電路的高度一致。例如，在本實施方式所示的電子構件730中，較佳為使半導體裝置710與半導體裝置735的高度一致。

【0442】為了將電子構件730安裝在其他基板上，也可以在封裝基板732的底部設置電極733。圖32B示出用焊球形成電極733的例子。藉由在封裝基板732的底部以矩陣狀設置焊球，可以實現BGA(Ball Grid Array：球柵陣列)的安裝。此外，電極733也可以使用導電針形成。藉由在封

裝基板 732 的底部以矩陣狀設置導電針，可以實現 PGA(Pin Grid Array：針柵陣列)的安裝。

【0443】電子構件 730 可以藉由各種安裝方式安裝在其他基板上，而不侷限於 BGA 及 PGA。作為安裝方法例如可以舉出 SPGA(Staggered Pin Grid Array：交錯針柵陣列)、LGA(Land Grid Array：地柵陣列)、QFP(Quad Flat Package：四面扁平封裝)、QFJ(Quad Flat J-leaded package：四側 J 形引腳扁平封裝)及 QFN(Quad Flat Non-leaded package：四側無引腳扁平封裝)。

【0444】

[大型電腦]

接著，圖 33A 示出大型電腦 5600 的立體圖。在大型電腦 5600 中，多個機架式電腦 5620 收納在機架 5610 中。此外，也可以將大型電腦 5600 稱為超級電腦。

【0445】圖 33B 示出電腦 5620 的一個例子的立體圖。電腦 5620 包括主機板 5630，主機板 5630 上設置有多個插槽 5631 及多個連接端子。插槽 5631 插入有個人電腦卡 5621。並且，個人電腦卡 5621 包括連接端子 5623、連接端子 5624、連接端子 5625，它們連接到主機板 5630。

【0446】圖 33C 示出個人電腦卡 5621 的一個例子。個人電腦卡 5621 例如是包括 CPU、GPU、記憶體裝置等的處理板。個人電腦卡 5621 包括板 5622 以及被安裝在板 5622 上的連接端子 5623、連接端子 5624、連接端子 5625、電子構件 5626、電子構件 5627、電子構件 5628 及連接端子 5629 等。圖

33C還示出電子構件5626、電子構件5627及電子構件5628以外的構件。

【0447】連接端子5629具有可以插入主機板5630的插槽5631的形狀，連接端子5629被用作連接個人電腦卡5621與主機板5630的介面。作為連接端子5629的規格例如可以舉出PCIe等。

【0448】連接端子5623、連接端子5624、連接端子5625例如可以被用作用來對個人電腦卡5621供電或輸入信號等的介面。此外，例如，可以被用作用來進行個人電腦卡5621所計算的信號的輸出等的介面。作為連接端子5623、連接端子5624、連接端子5625各自的規格例如可以舉出USB(通用序列匯流排)、SATA(Serial ATA：串列ATA)、SCSI(Small Computer System Interface：小型電腦系統介面)等。此外，當從連接端子5623、連接端子5624、連接端子5625輸出視頻信號時，作為各規格可以舉出HDMI(註冊商標)等。

【0449】電子構件5626包括進行信號的輸入及輸出的端子(未圖示)，藉由將該端子插入板5622所包括的插座(未圖示)，可以電連接電子構件5626與板5622。

【0450】電子構件5627及電子構件5628包括多個端子，例如藉由將該端子以回流焊方式銲接到板5622所包括的佈線，可以安裝電子構件5627及電子構件5628。作為電子構件5627，例如，可以舉出FPGA、GPU、CPU等。作為電子構件5627，例如可以使用電子構件730。作為電子構

件 5628，例如，可以舉出記憶體裝置等。作為電子構件 5628，例如可以使用電子構件 700。

【0451】大型電腦 5600 可以用作平行電腦。藉由將大型電腦 5600 用作平行電腦，例如可以進行人工智慧的學習及推論所需要的大規模計算。

【0452】

[太空設備]

可以將本發明的一個實施方式的半導體裝置適用於太空設備。

【0453】本發明的一個實施方式的半導體裝置包括 OS 電晶體。OS 電晶體的因被照射輻射線而導致的電特性變動小。換言之，對於輻射線的耐性高，所以在有可能入射輻射線的環境下也可以適當地使用。例如，可以在宇宙空間中使用的情況下適當地使用 OS 電晶體。明確而言，可以將 OS 電晶體用作構成設置在太空梭、人造衛星或太空探測器中的半導體裝置的電晶體。作為輻射線，例如可以舉出 X 射線及中子輻射等。注意，宇宙空間例如是指高度 100km 以上，但是本說明書所示的宇宙空間也可以包括熱層、中間和平流層中的一個或多個。

【0454】在圖 34A 中，作為太空設備的一個例子示出人造衛星 6800。人造衛星 6800 包括主體 6801、太陽能電池板 6802、天線 6803、二次電池 6805 以及控制裝置 6807。此外，圖 34A 示出在宇宙空間有行星 6804 的例子。

【0455】此外，雖然圖 34A 中未圖示，但是也可以將

電池管理系統(也稱為**BMS**)或電池控制電路設置到二次電池**6805**。當將**OS**電晶體用於上述電池管理系統或電池控制電路時，功耗低，並且即使在宇宙空間也實現高可靠性，所以是較佳的。

【0456】此外，宇宙空間是其輻射劑量為地面的100倍以上的環境。作為輻射線，例如可以舉出：以X射線及 γ 射線為代表的電磁波(電磁輻射線)；以及以 α 射線、 β 射線、中子射線、質子射線、重離子射線、介子射線等為代表的粒子輻射線。

【0457】在陽光照射到太陽能電池板**6802**時產生人造衛星**6800**進行工作所需的電力。然而，例如在陽光不照射到太陽能電池板的情況或者在照射到太陽能電池板的陽光量較少的情況下，所產生的電力量減少。因此，有可能不會產生人造衛星**6800**進行工作所需的電力。為了在所產生的電力較少的情況下也使人造衛星**6800**工作，較佳為在人造衛星**6800**中設置二次電池**6805**。此外，有時將太陽能電池板稱為太陽能電池模組。

【0458】人造衛星**6800**可以生成信號。該信號藉由天線**6803**傳送，例如地面上的接收機或其他人造衛星可以接收該信號。藉由接收人造衛星**6800**所傳送的信號，可以測量接收該信號的接收機的位置。由此，人造衛星**6800**可以構成衛星定位系統。

【0459】此外，控制裝置**6807**具有控制人造衛星**6800**的功能。控制裝置**6807**例如使用選自**CPU**、**GPU**和記憶體

裝置中的任一個或多個構成。此外，作為控制裝置 6807 較佳為使用包括本發明的一個實施方式的 OS 電晶體的半導體裝置。與 Si 電晶體相比，OS 電晶體的因被照射輻射線而導致的電特性變動小。因此，OS 電晶體在有可能入射輻射線的環境下也可靠性高且可以適當地使用。

【0460】此外，人造衛星 6800 可以包括感測器。例如藉由包括可見光感測器，人造衛星 6800 可以具有檢測地面上的物體反射的陽光的功能。或者，藉由包括熱紅外線感測器，人造衛星 6800 可以具有檢測從地表釋放的熱紅外線的功能。由此，人造衛星 6800 例如可以被用作地球觀測衛星。

【0461】注意，在本實施方式中，作為太空設備的一個例子示出人造衛星，但是不侷限於此。例如，本發明的一個實施方式的半導體裝置可以適當地應用於太空船、太空艙、太空探測器等太空設備。

【0462】如以上的說明那樣，與 Si 電晶體相比，OS 電晶體具有優異的效果，諸如可以實現較寬的記憶體頻寬、耐輻射線高。

【0463】

[資料中心]

例如，可以將本發明的一個實施方式的半導體裝置適用於資料中心等採用的儲存系統。資料中心被要求保證資料不變性等進行資料的長期管理。在進行資料的長期管理時需要使設施大型化，諸如設置用來儲存龐大的資料的儲

存及伺服器、確保穩定的電源以保持資料或者確保在資料的保持中需要的冷卻設備等。

【0464】藉由將本發明的一個實施方式的半導體裝置用於資料中心採用的儲存系統，可以實現資料保持所需的功率的降低、保持資料的半導體裝置小型化。因此，可以實現儲存系統的小型化、用來保持資料的電源的小型化、冷卻設備規模的縮小等。由此，可以實現資料中心的省空間。

【0465】此外，本發明的一個實施方式的半導體裝置的功耗少，因此可以降低電路發熱。由此，可以減少因該發熱而給電路本身、週邊電路及模組帶來的負面影響。此外，藉由使用本發明的一個實施方式的半導體裝置，可以實現高溫環境下也穩定工作的資料中心。因此，可以提高資料中心的可靠性。

【0466】圖34B示出可用於資料中心的儲存系統。圖34B所示的儲存系統6000作為主機6001(圖示為主機電腦)包括多個伺服器6001sb。此外，作為儲存6003(圖示為儲存體)包括多個記憶體裝置6003md。示出主機6001和儲存6003藉由儲存區域網路6004(圖示為SAN：Storage Area Network)及儲存控制電路6002(圖示為儲存體控制器)連接的形態。

【0467】主機6001相當於訪問儲存在儲存6003中的資料的電腦。主機6001彼此也可以藉由網路連接。

【0468】在儲存6003中，藉由使用快閃記憶體縮短資

料的存取速度，即縮短資料的存儲及輸出所需要的時間，但是該時間比可用作儲存中的快取記憶體之DRAM所需要的時間長得多。在儲存系統中，為了解決儲存6003的存取速度較長的問題，一般在儲存中設置快取記憶體來縮短資料的存儲及輸出所需要的時間。

【0469】在儲存控制電路6002及儲存6003中使用上述快取記憶體。主機6001和儲存6003交換的資料在儲存在儲存控制電路6002及儲存6003中的該快取記憶體之後輸出到主機6001或儲存6003。

【0470】當作為用來儲存上述快取記憶體的資料的電晶體使用OS電晶體來保持對應於資料的電位時，可以減少更新頻率來降低功耗。此外，藉由層疊記憶單元陣列可以實現小型化。

【0471】注意，藉由將本發明的一個實施方式的半導體裝置用於選自電子構件、電子裝置、大型電腦、太空設備和資料中心中的任一個或多個，可期待功耗降低的效果。因此，目前被認為隨著半導體裝置的高性能化或高積體化能量需求增加，藉由使用本發明的一個實施方式的半導體裝置，也可以減少以二氧化碳(CO₂)為代表的溫室氣體的排放量。此外，本發明的一個實施方式的半導體裝置具有低功耗，因此作為全球暖化的措施也有效。

【0472】本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【 符 號 說 明 】

【 0473 】

- 10a:電 晶 體
- 10b:電 晶 體
- 10c:電 晶 體
- 10d:電 晶 體
- 10e:電 晶 體
- 10f:電 晶 體
- 10g:電 晶 體
- 10h:電 晶 體
- 10:電 晶 體
- 11:絕 緣 層
- 20a:開 口
- 20b:開 口
- 20c:開 口
- 20d:開 口
- 21i:通 道 形 成 區 域
- 21n:低 電 阻 區 域
- 21:半 導 體 層
- 22f:絕 緣 膜
- 22:絕 緣 層
- 23f:導 電 膜
- 23:導 電 層
- 26:導 電 層

- 27:絕緣層
- 30:記憶單元
- 31:導電層
- 32:導電層
- 33:導電層
- 34:導電層
- 41a:絕緣層
- 41b:絕緣層
- 41c:絕緣層
- 41:絕緣層
- 42:絕緣層
- 44:絕緣層
- 45:絕緣層
- 46:絕緣層
- 47f:絕緣膜
- 47:絕緣層
- 48:絕緣層
- 50:電容器
- 51:導電層
- 52:導電層
- 53:絕緣層
- 60:存儲單位
- 61:導電層
- 62:導電層

- 63:導電層
- 65:絕緣層
- 70:層
- 90:電晶體
- 91:基板
- 92:半導體區域
- 93:絕緣層
- 94:導電層
- 95a:低電阻區域
- 95b:低電阻區域

【發明申請專利範圍】

【請求項1】一種半導體裝置，包括：

電晶體；

第一絕緣層；

第二絕緣層；以及

佈線，

其中，該電晶體包括第一導電層、第二導電層、第三導電層、半導體層以及第三絕緣層，

該第一絕緣層位於該第一導電層上方並具有到達該第一導電層的第一開口，

該第二導電層位於該第一絕緣層上方，

該半導體層與該第二導電層、該第一開口中的該第一絕緣層的側面以及該第一導電層的頂面接觸，

該第二絕緣層位於該半導體層上方並在與該第一開口重疊的位置具有到達該半導體層的第二開口，

該第三絕緣層與該第二開口中的該第二絕緣層的側面及該第一開口內的該半導體層接觸，

該第三導電層以嵌入該第二開口及該第一開口中的方式設置，

並且，該佈線與該第三導電層的頂面接觸並具有隔著該第二絕緣層與該半導體層或該第二導電層重疊的部分。

【請求項2】如請求項1之半導體裝置，

其中該第二絕緣層具有比該第三絕緣層厚的部分。

【請求項3】如請求項1之半導體裝置，

還包括該第二導電層與該第二絕緣層之間的第四絕緣層，

其中該第四絕緣層的組成與該第二絕緣層的組成不同。

【請求項4】如請求項3之半導體裝置，
其中該第四絕緣層覆蓋該半導體層的端部。

【請求項5】如請求項1之半導體裝置，
其中該第一開口上端的開口徑大於該第一開口下端的開口徑。

【請求項6】一種半導體裝置的製造方法，包括如下步驟：

形成具有第一開口的第一絕緣層；

以與該第一絕緣層的該第一開口中的側面接觸的方式形成半導體層；

以覆蓋該第一絕緣層及該半導體層的方式形成第二絕緣層；

在該第二絕緣層中形成與該第一開口重疊且到達該半導體層的第二開口；

在該第二開口及該第一開口內依次形成第三絕緣層及導電層；以及

在該第二絕緣層上形成與該導電層接觸的佈線。

【請求項7】一種半導體裝置的製造方法，包括如下步驟：

形成具有第一開口的第一絕緣層；

以與該第一絕緣層的該第一開口中的側面接觸的方式形成半導體層；

形成覆蓋該半導體層的保護層；

以覆蓋該第一絕緣層及該保護層的方式形成第二絕緣層；

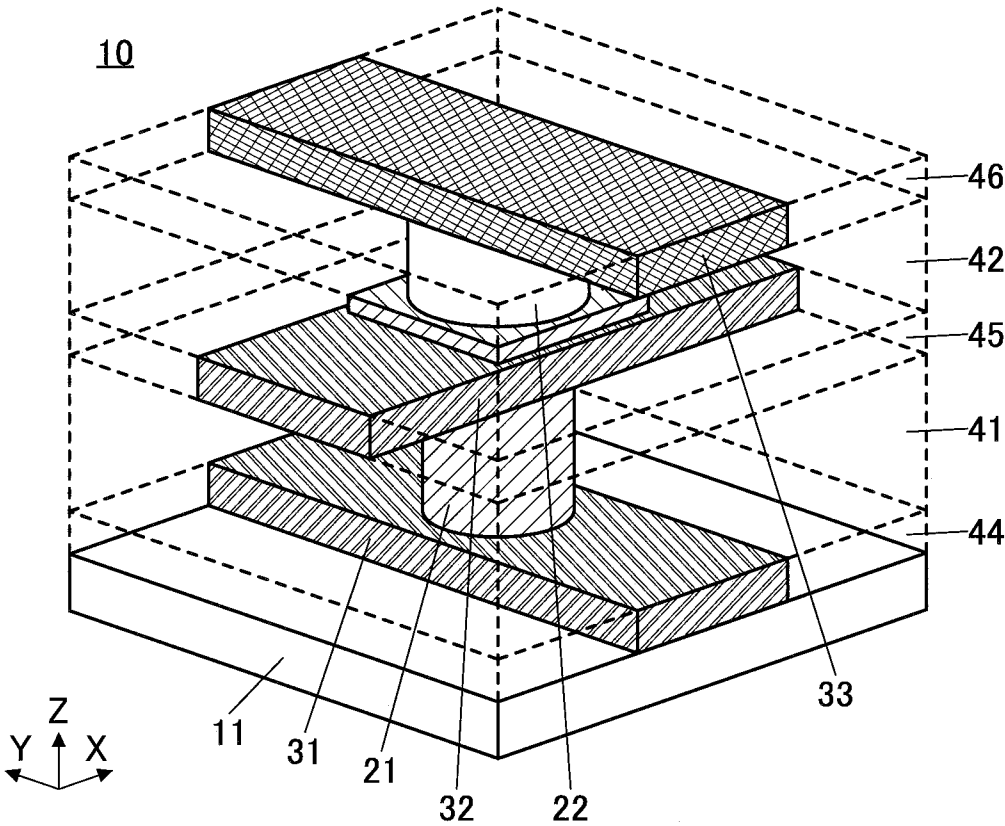
在該第二絕緣層中形成與該第一開口重疊且到達該保護層的第二開口；

蝕刻與該第二開口重疊的該保護層，使得該半導體層露出；

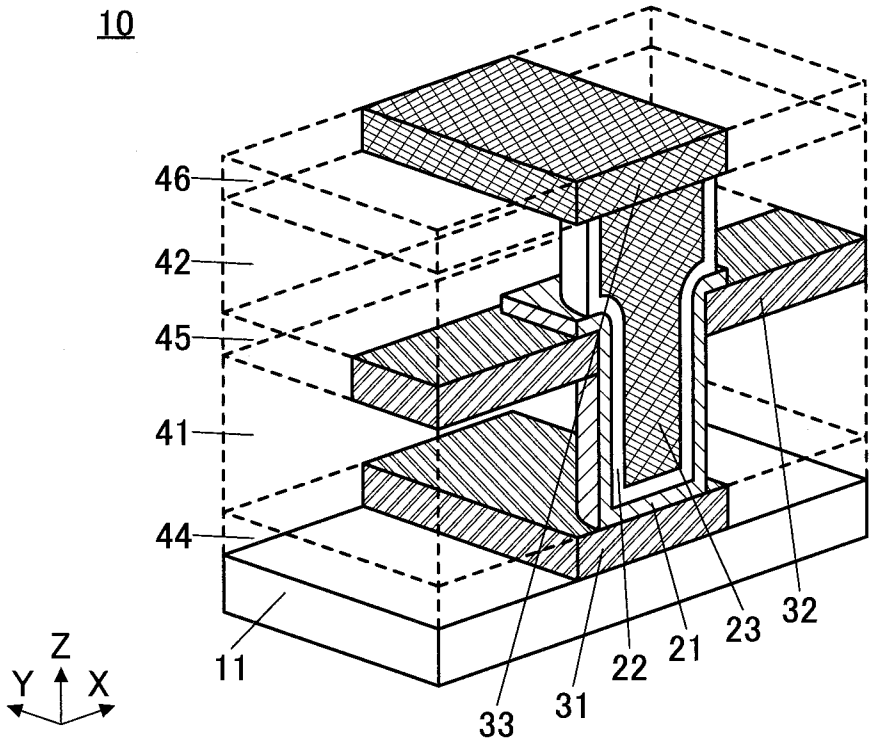
在該第二開口及該第一開口內依次形成第三絕緣層及導電層；以及

在該第二絕緣層上形成與該導電層接觸的佈線。

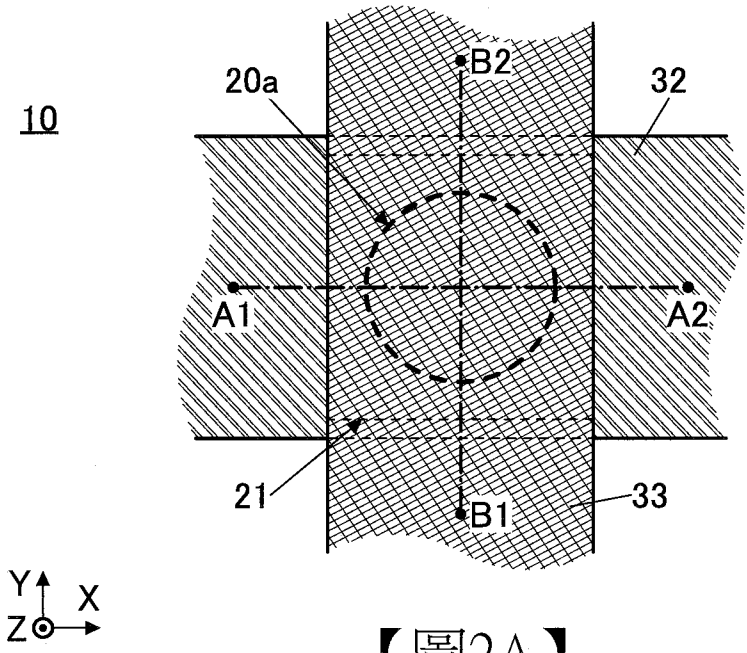
【發明圖式】



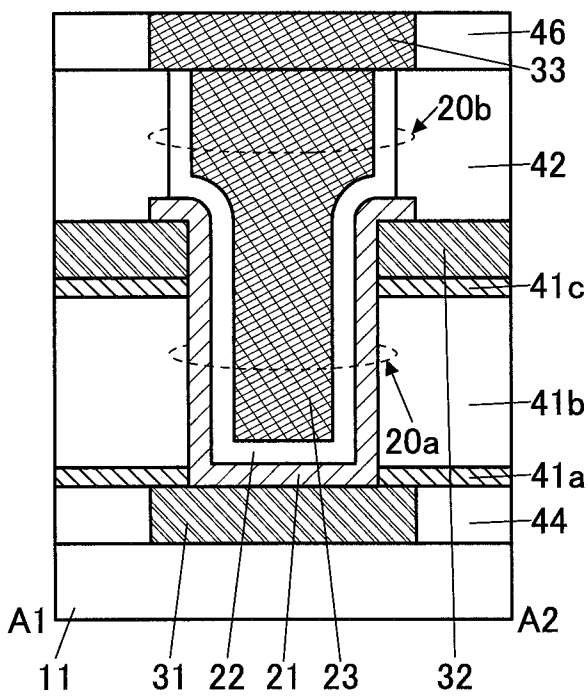
【圖1A】



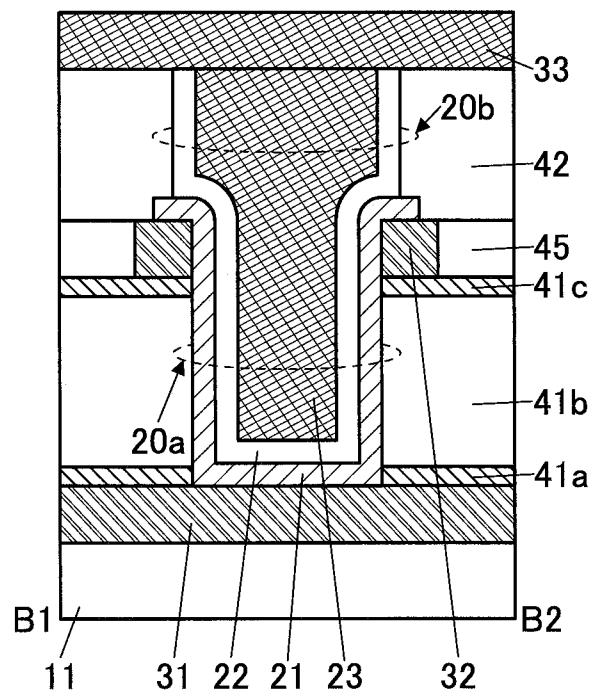
【圖1B】



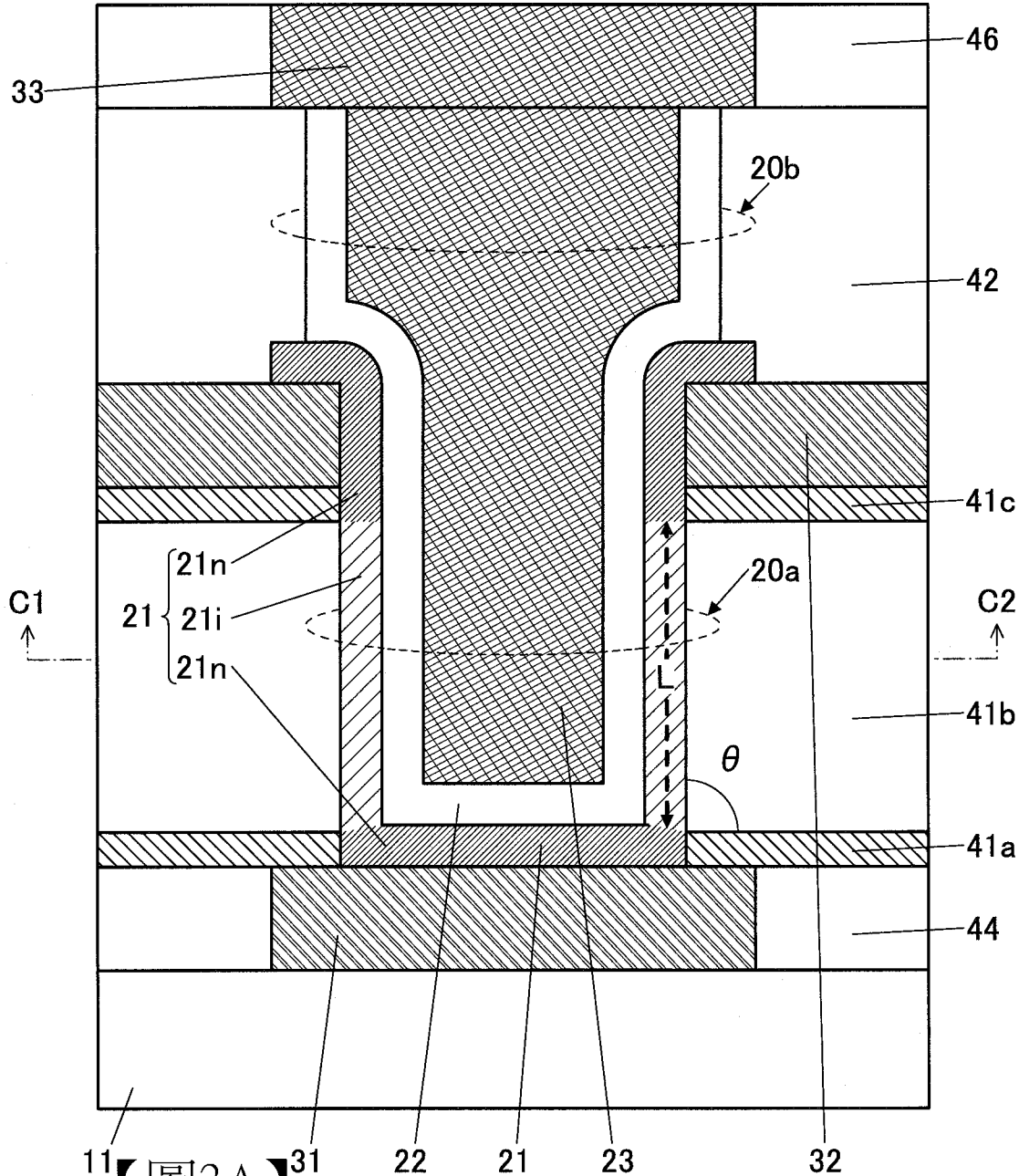
【圖2A】



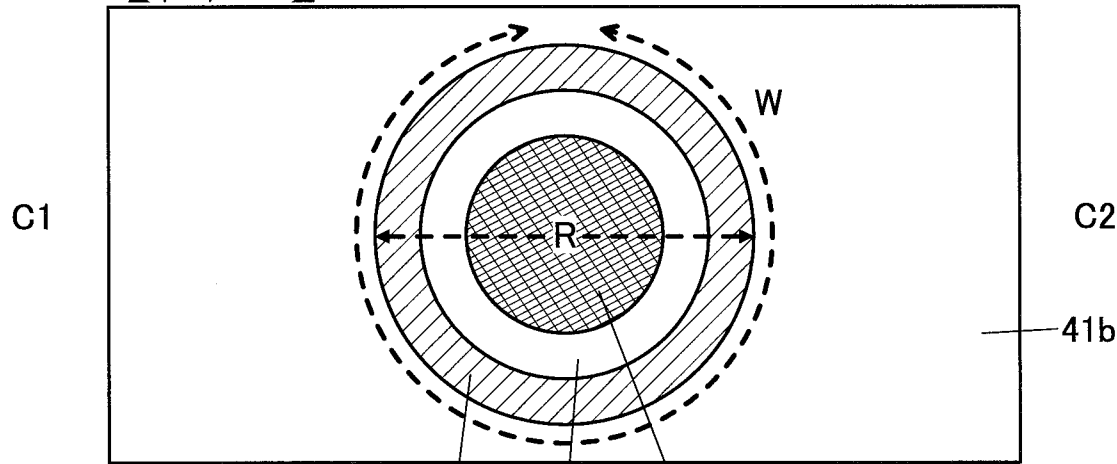
【圖2B】



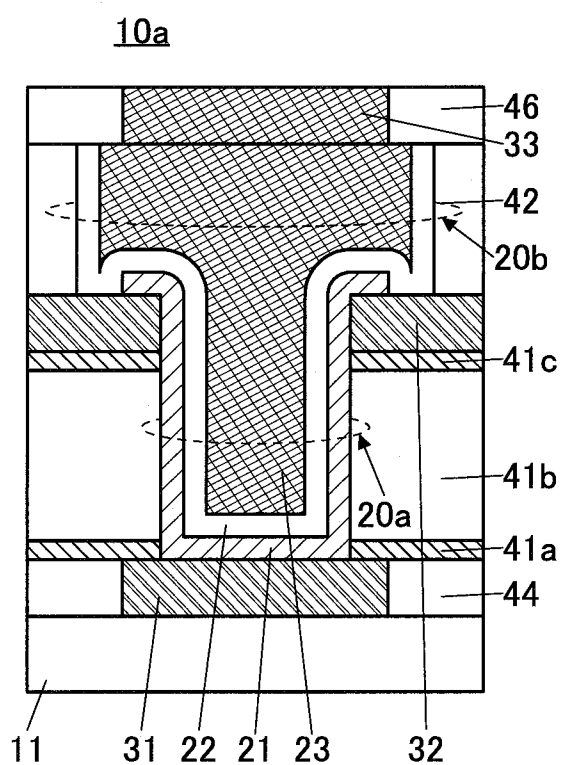
【圖2C】



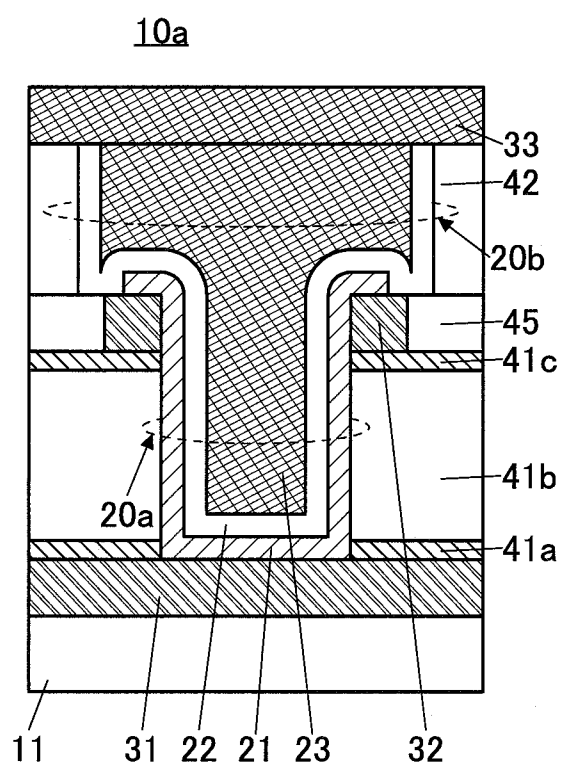
【圖3A】



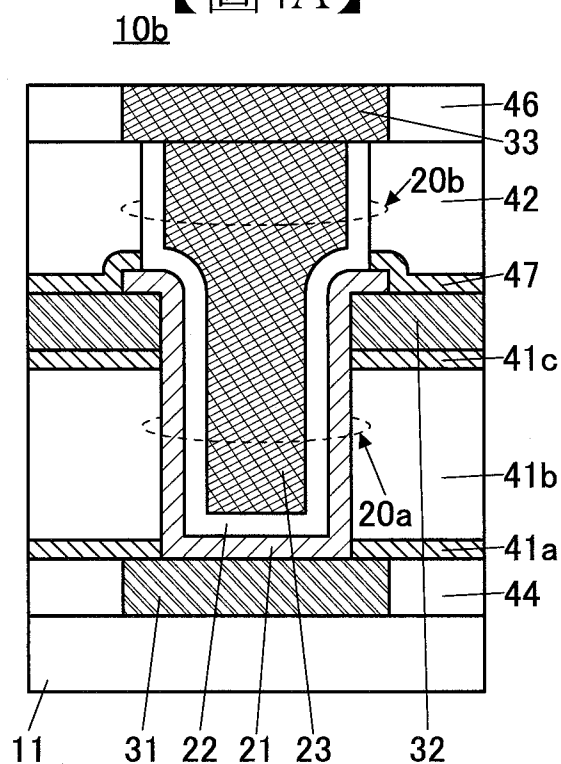
【圖3B】



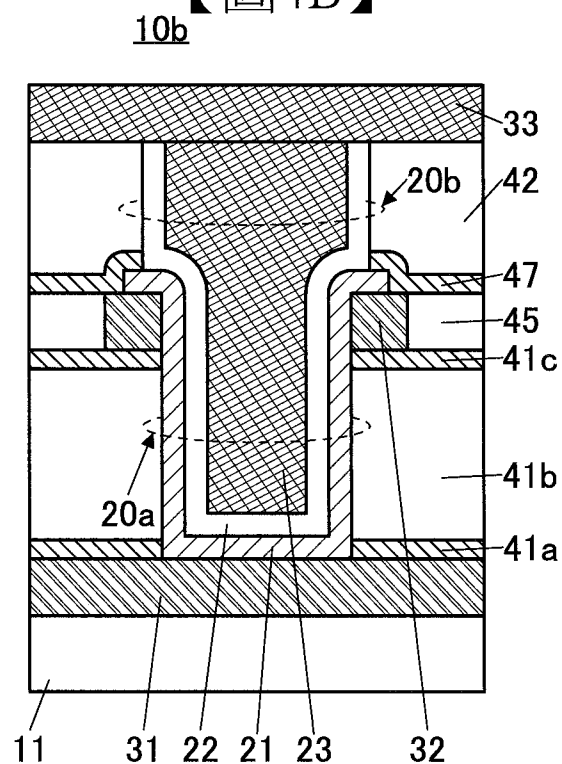
【圖4A】



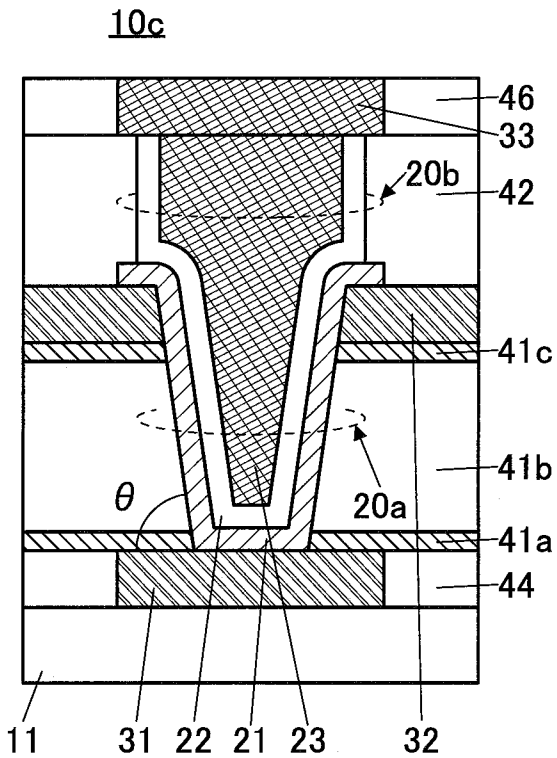
【圖4B】



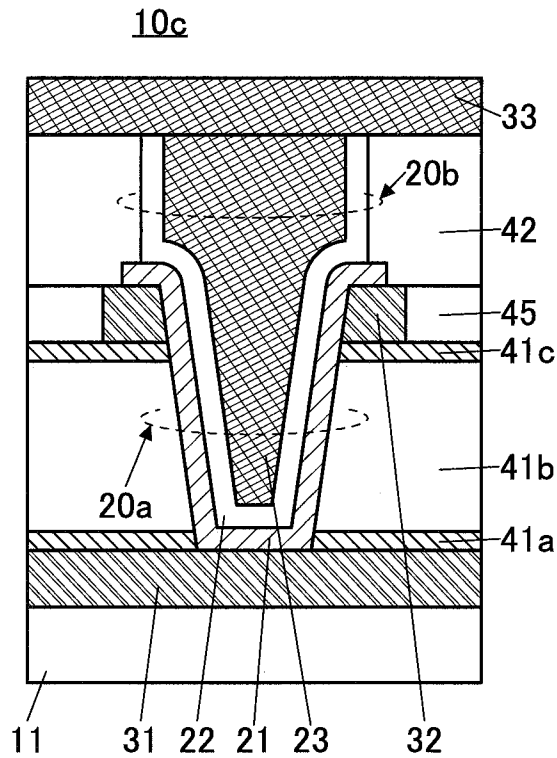
【圖4C】



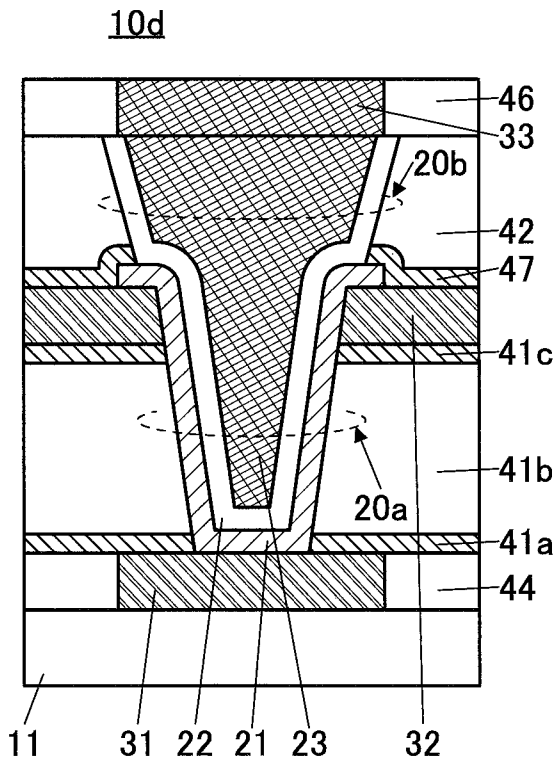
【圖4D】



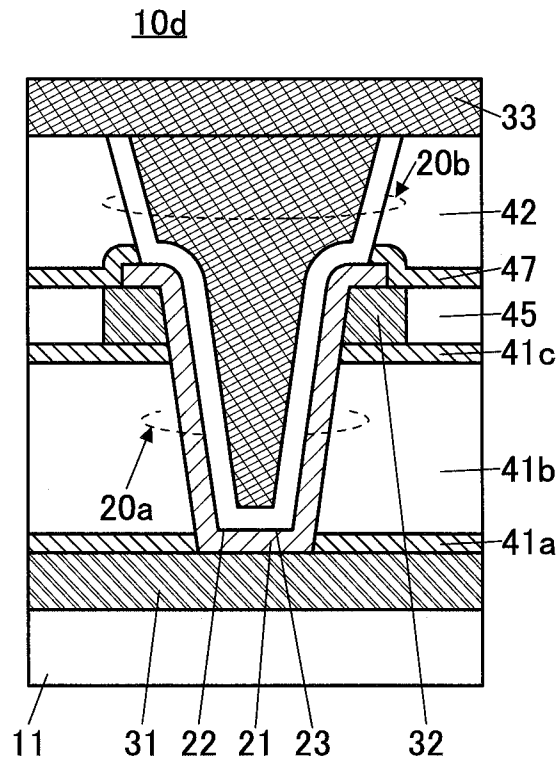
【圖5A】



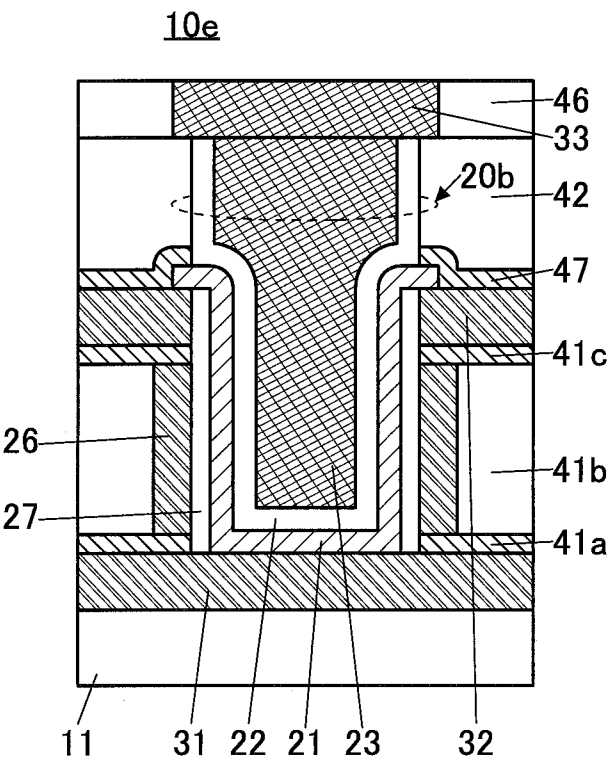
【圖5B】



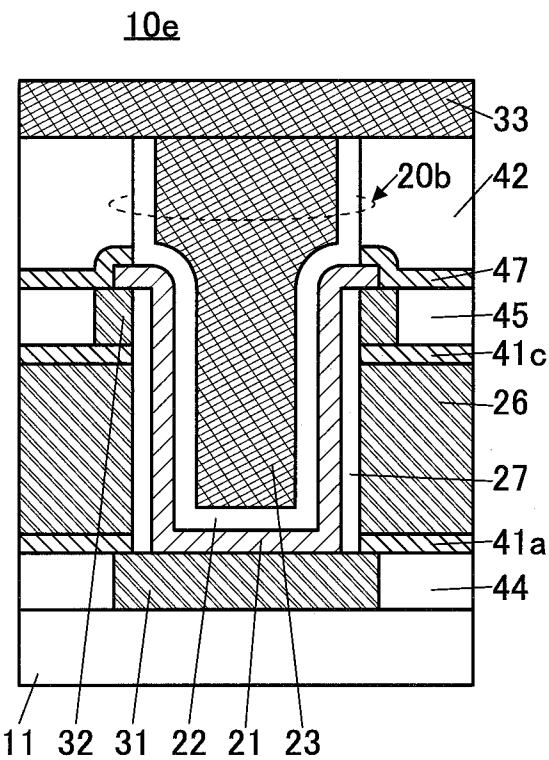
【圖5C】



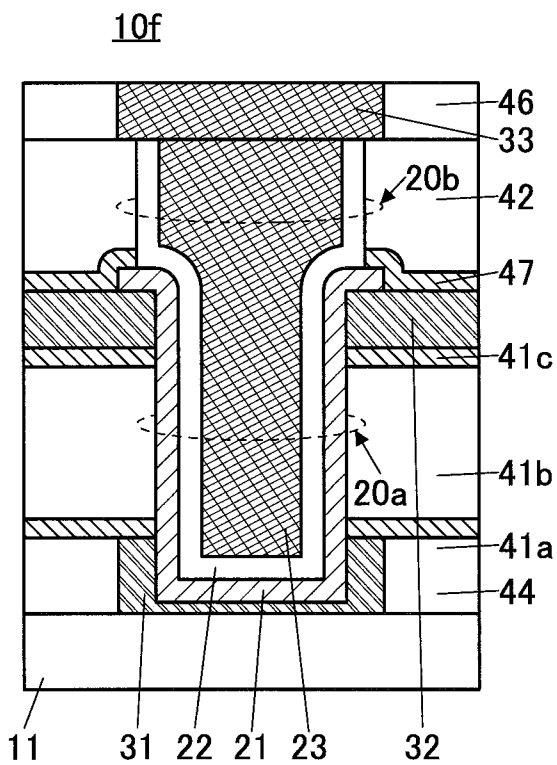
【圖5D】



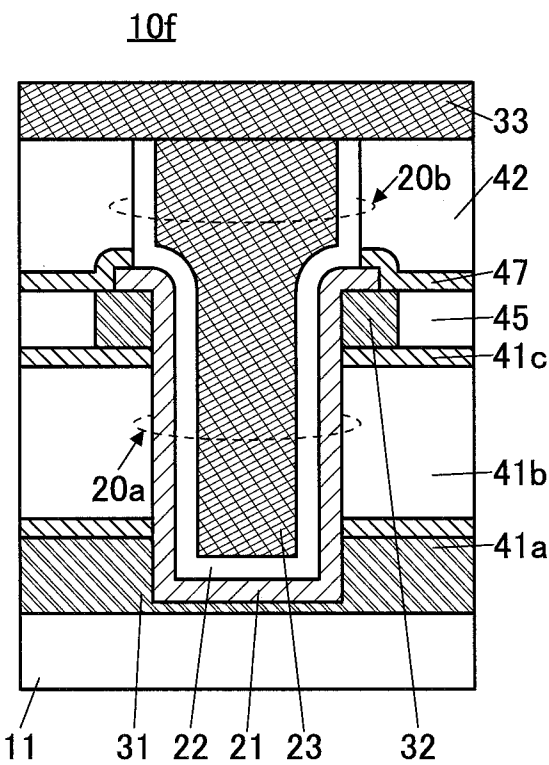
【圖6A】



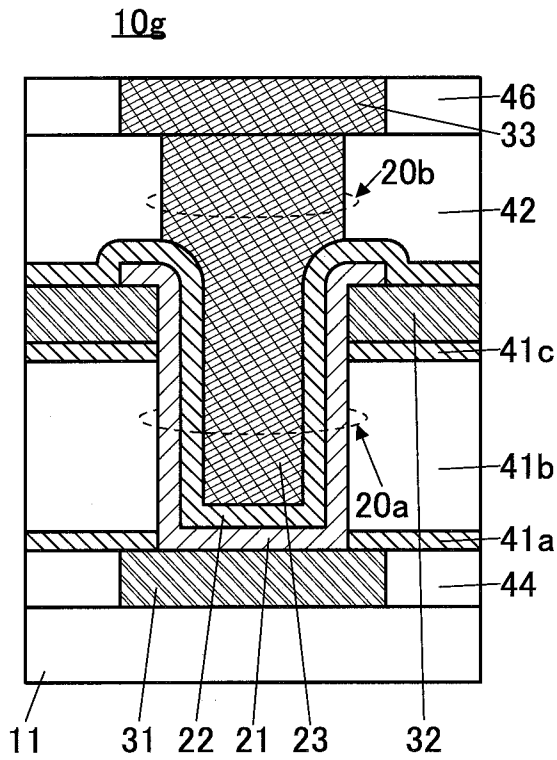
【圖6B】



【圖6C】

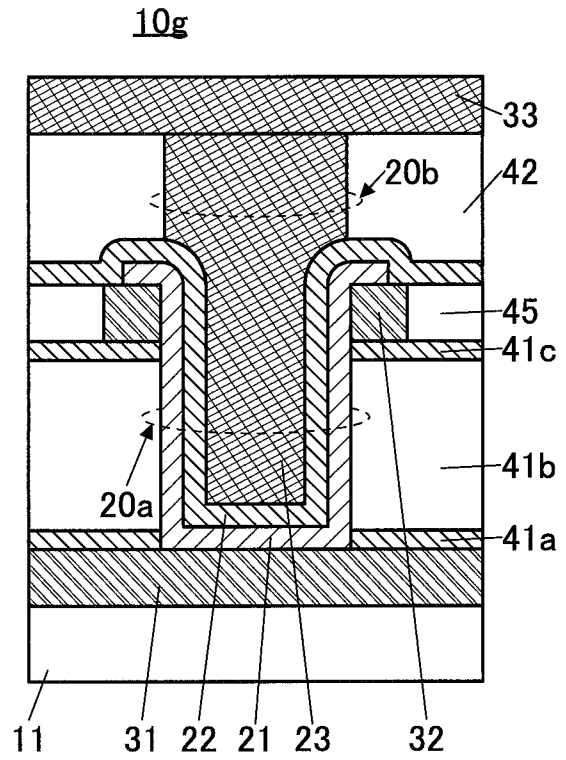


【圖6D】



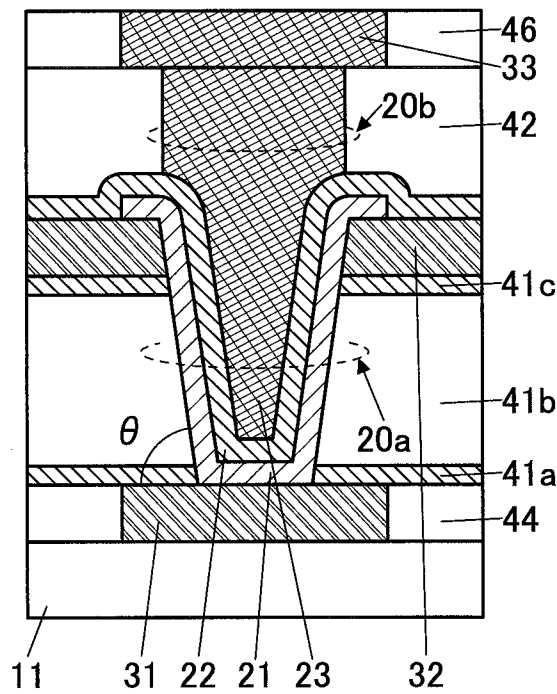
【圖7A】

10h

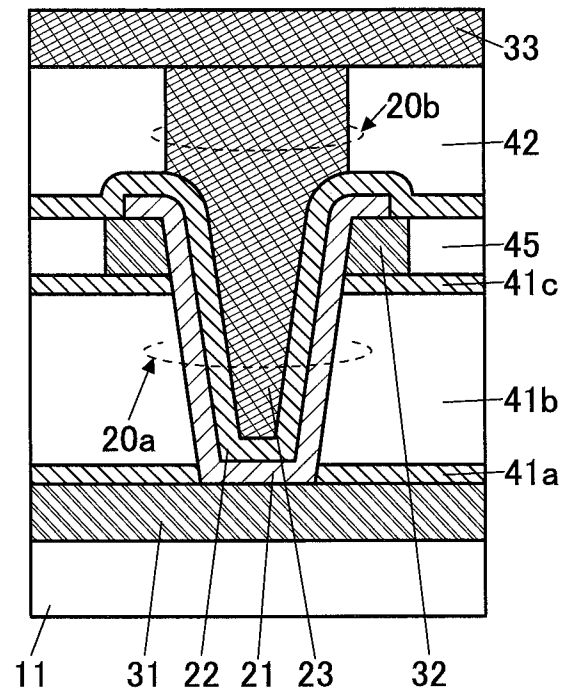


【圖7B】

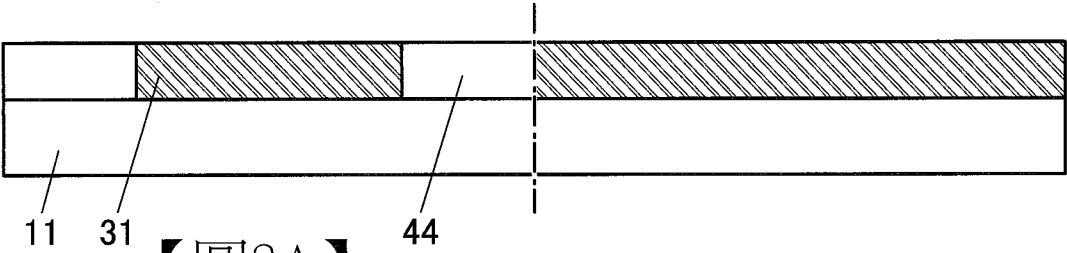
10h



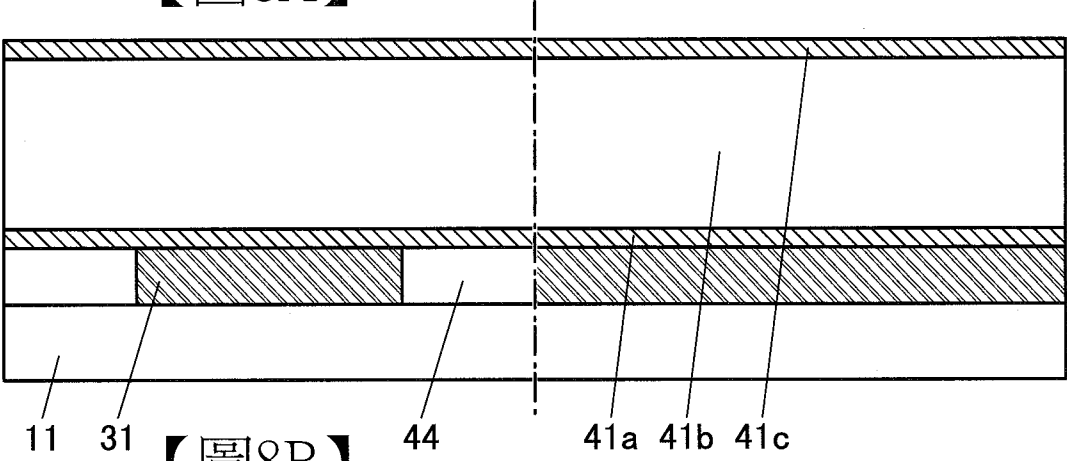
【圖7C】



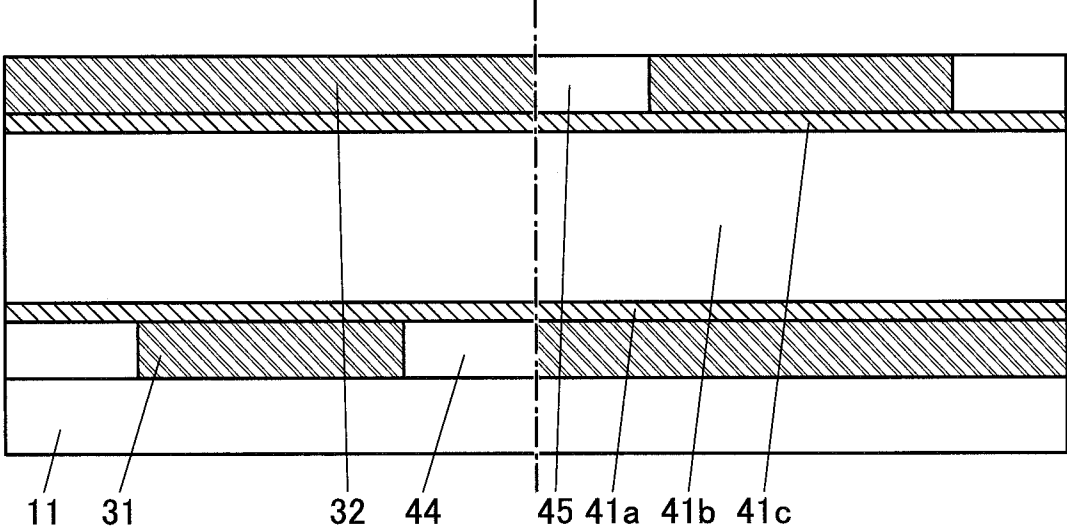
【圖7D】



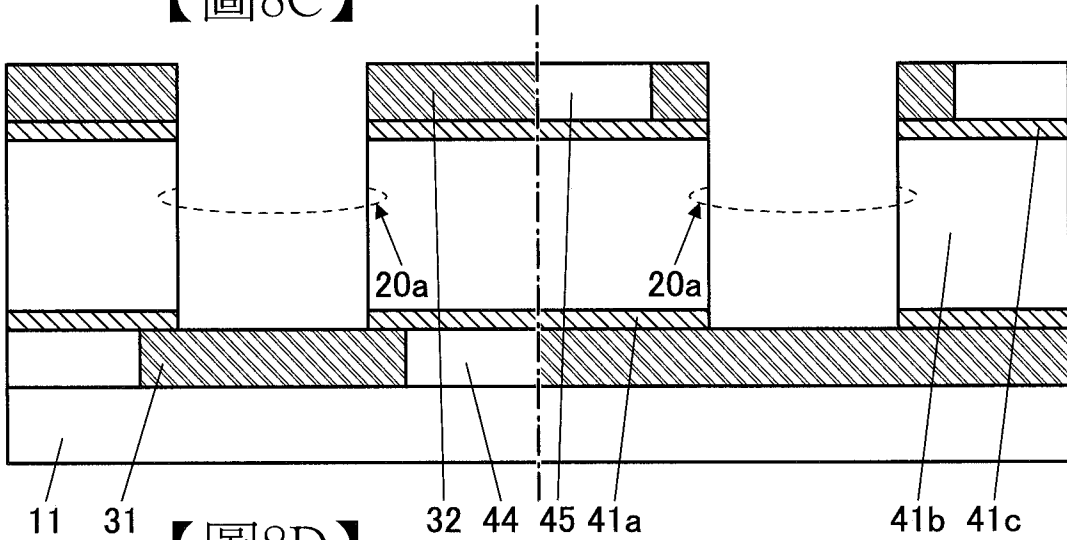
【圖8A】



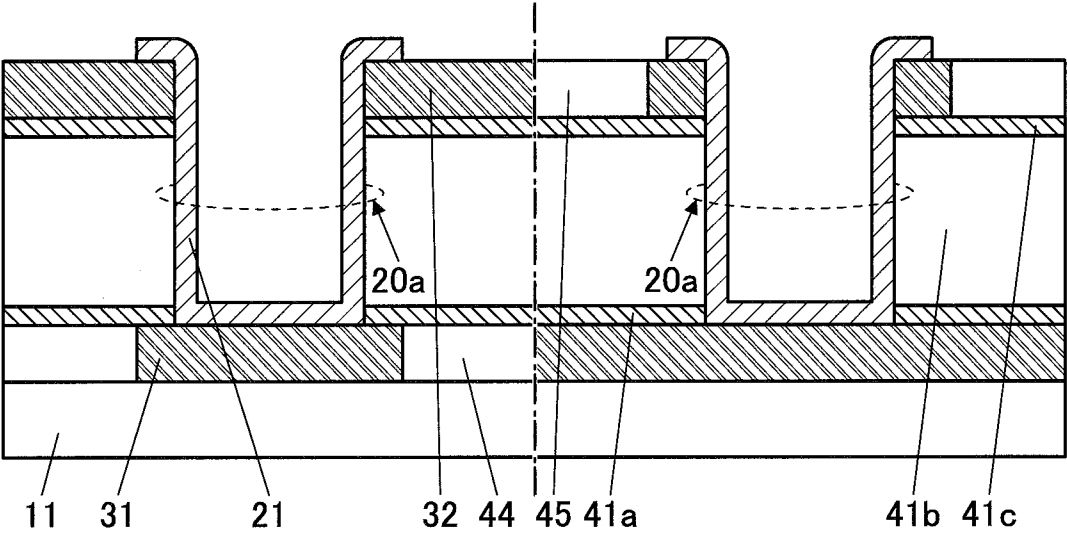
【圖8B】



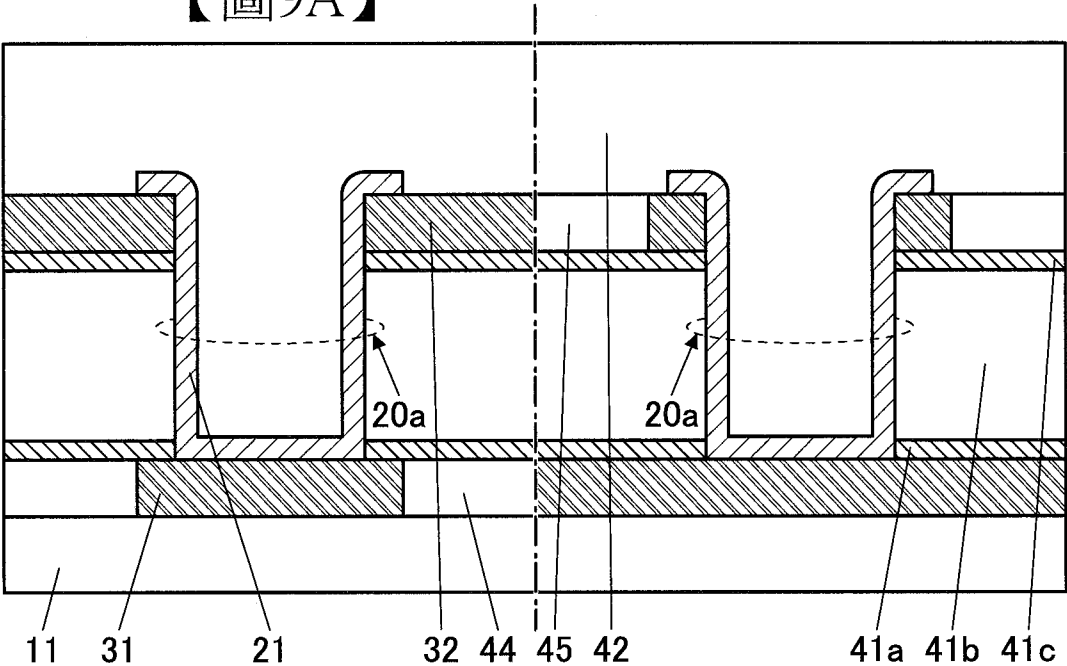
【圖8C】



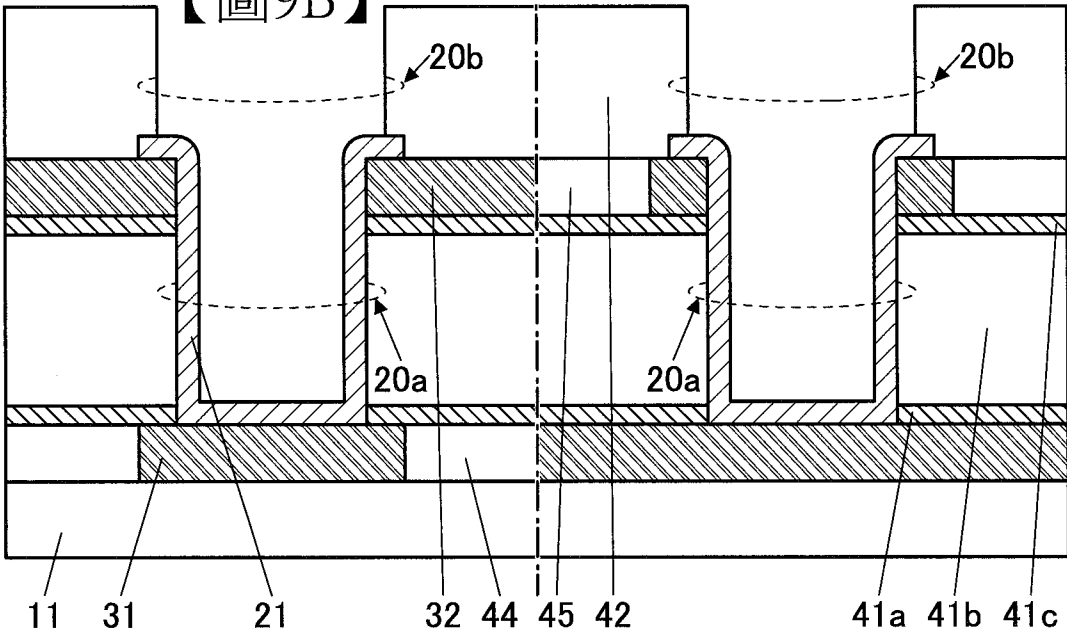
【圖8D】



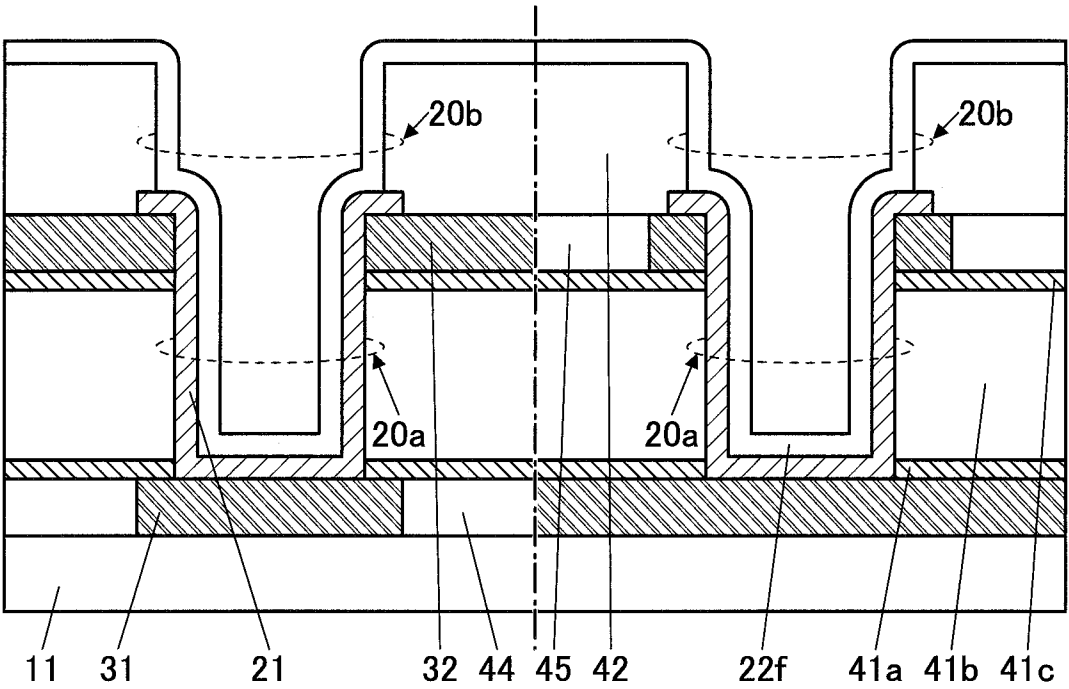
【圖9A】



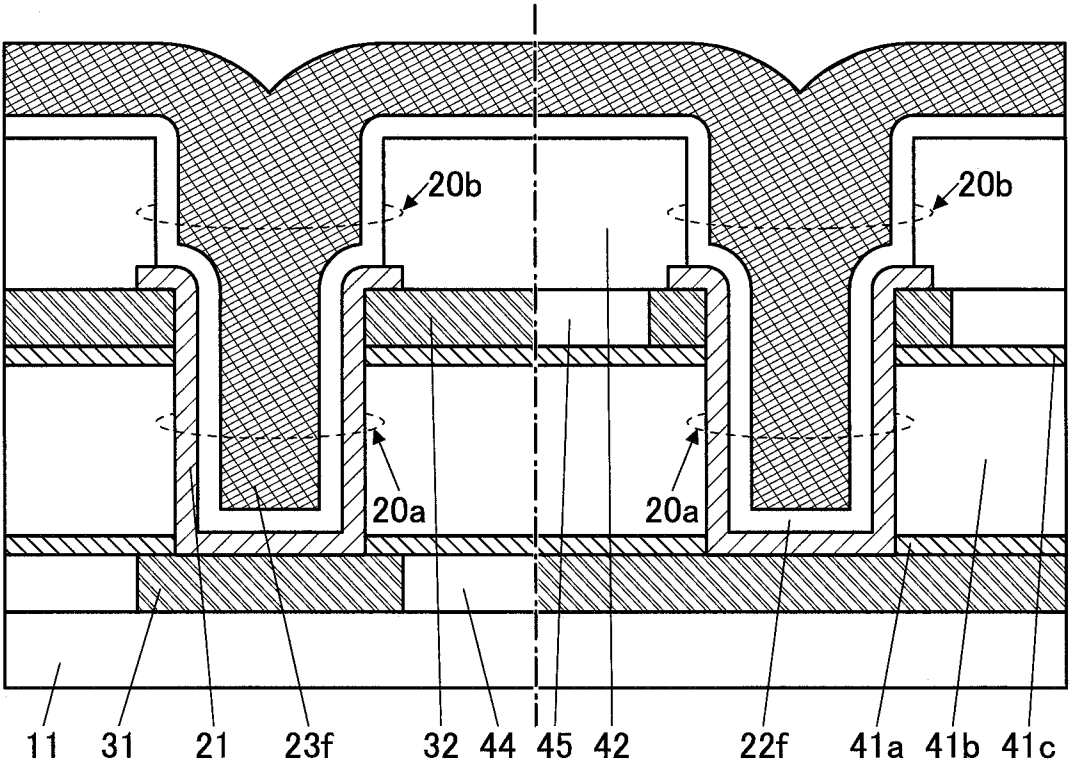
【圖9B】



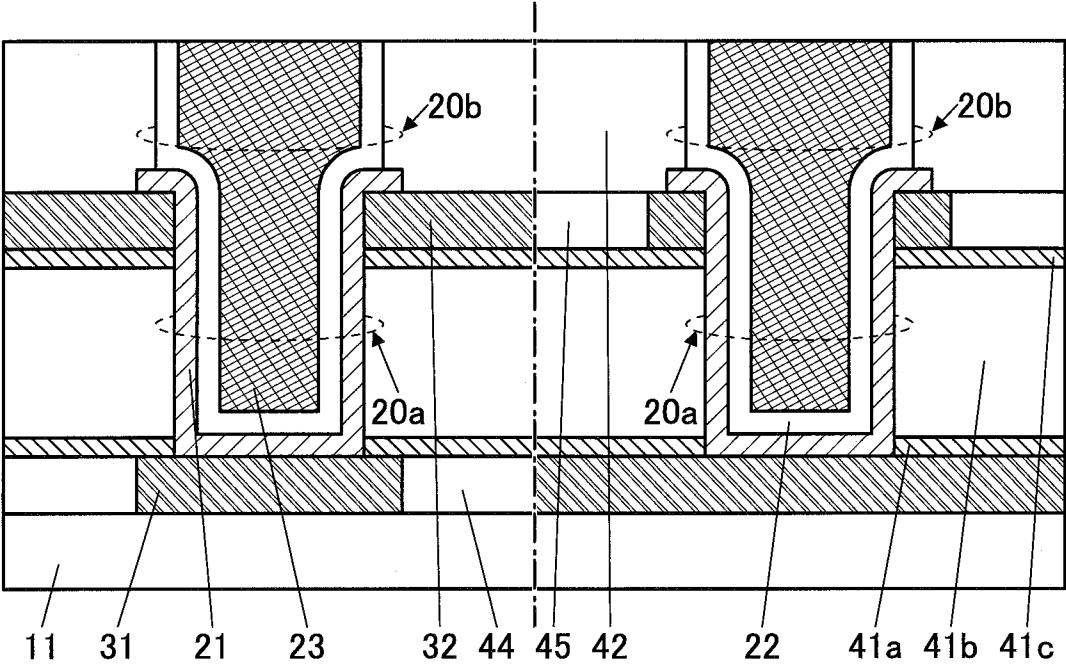
【圖9C】



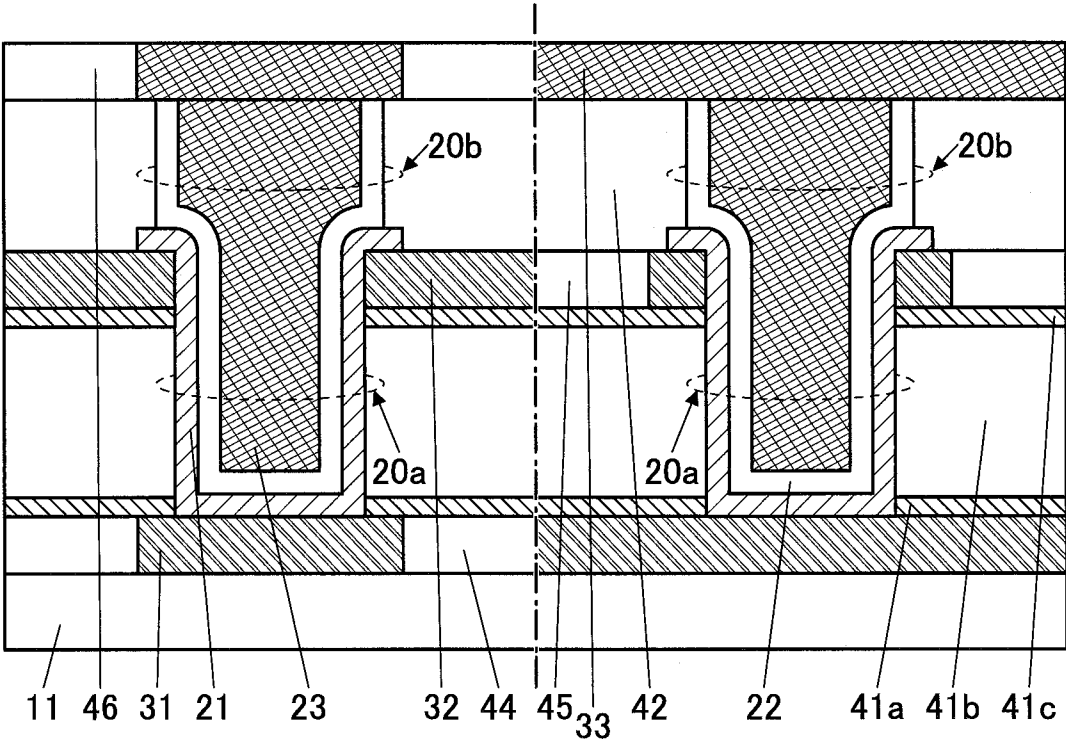
【圖10A】



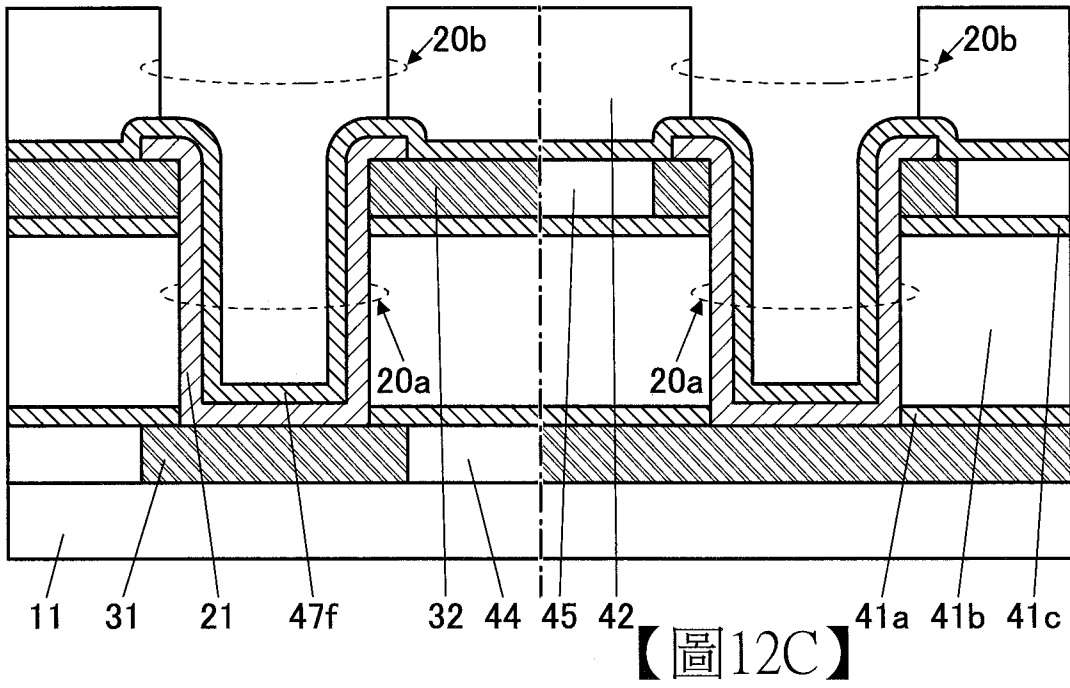
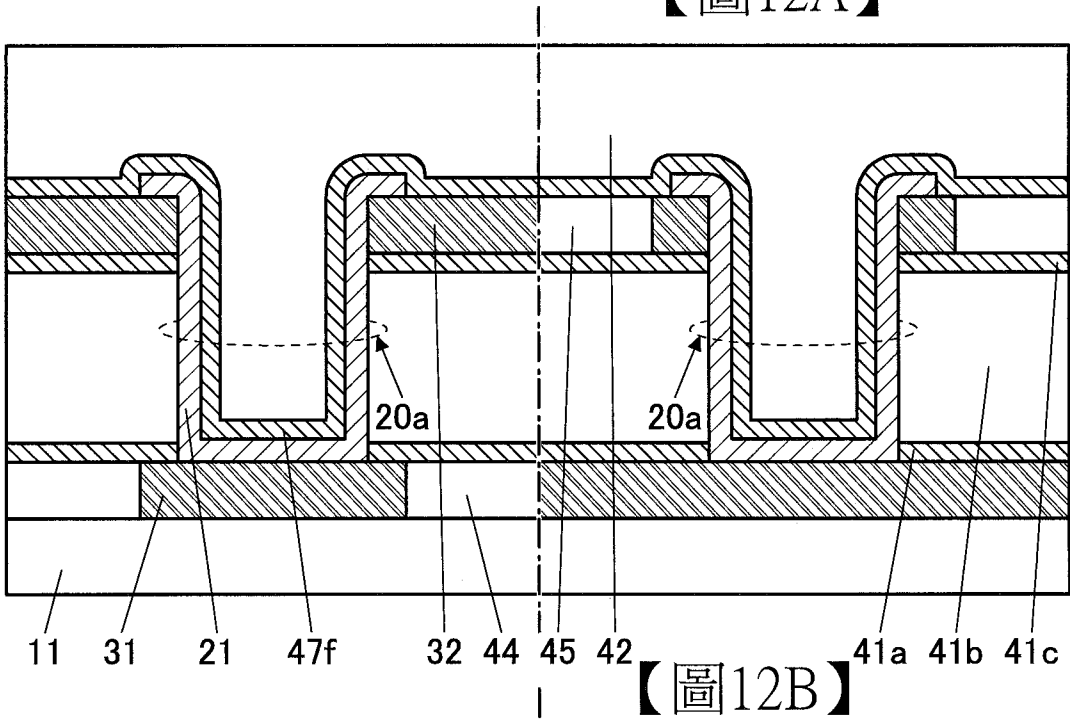
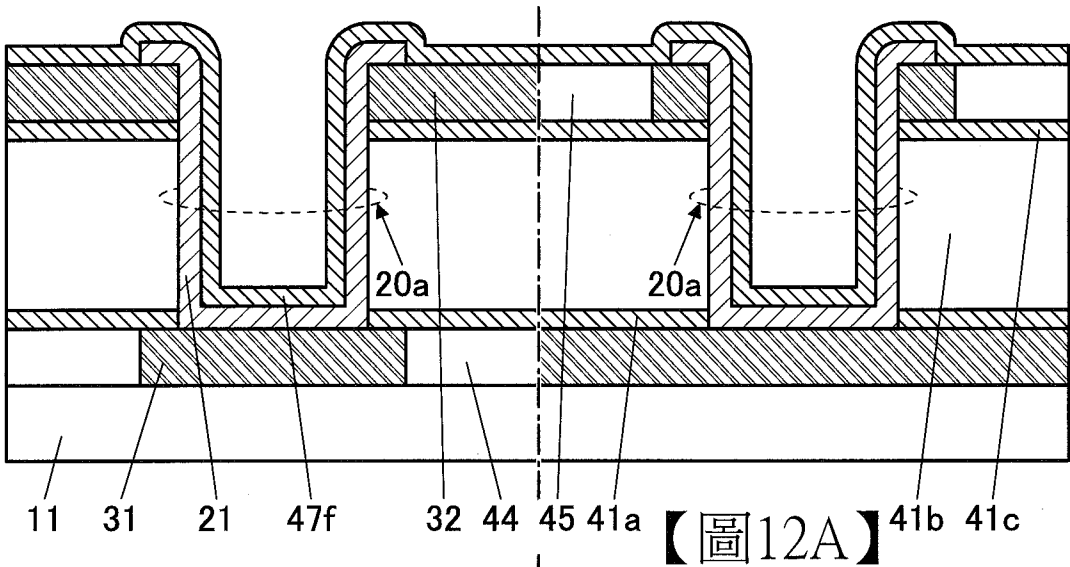
【圖10B】

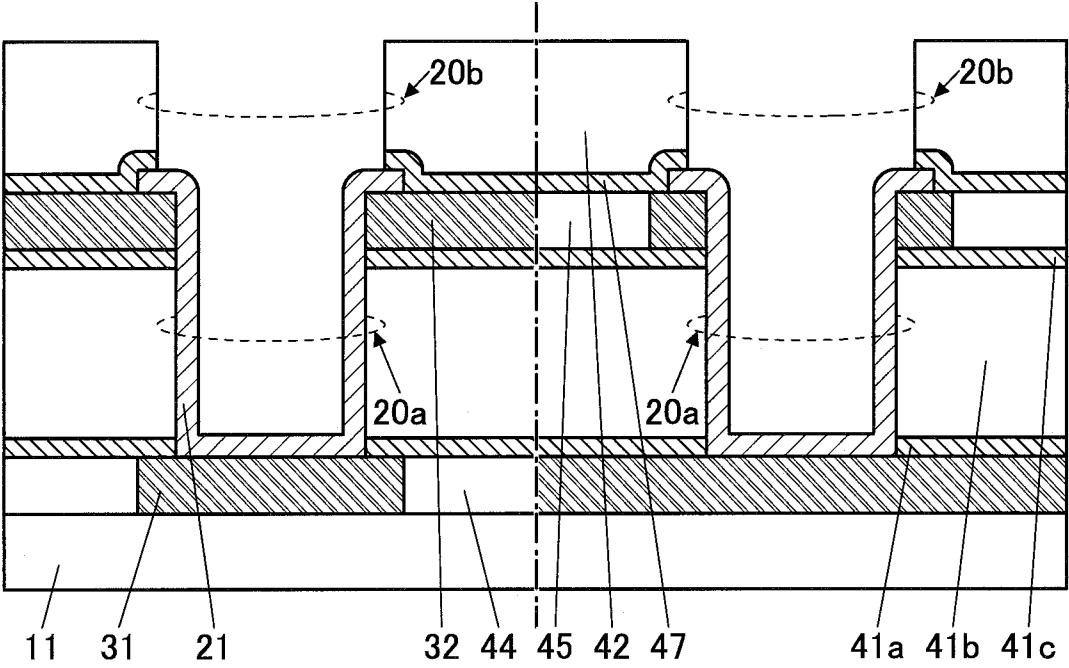


【圖11A】

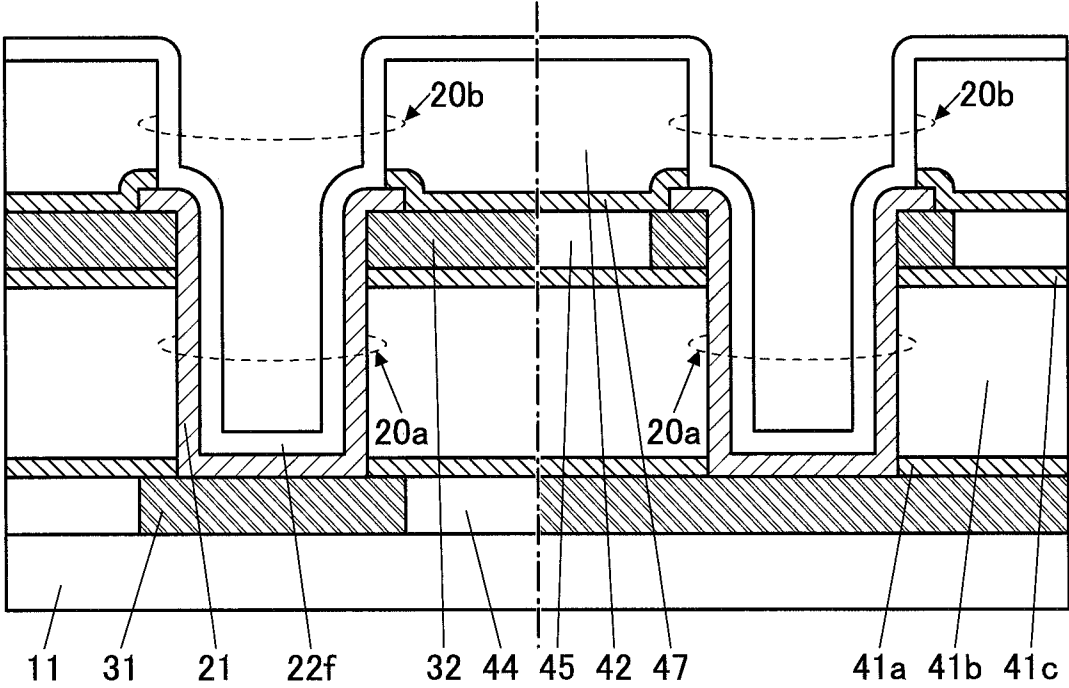


【圖11B】

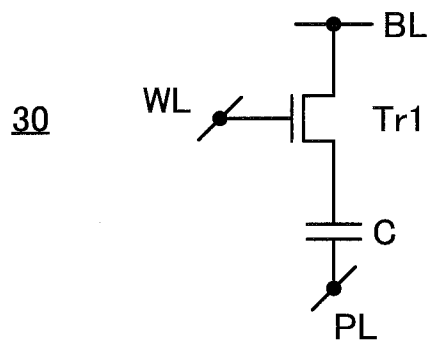




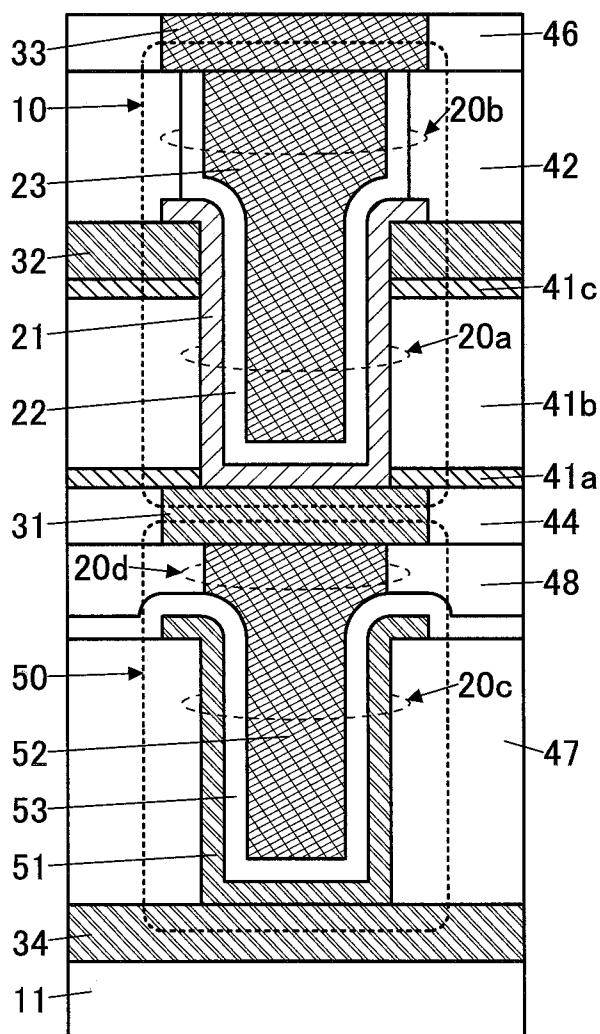
【圖13A】



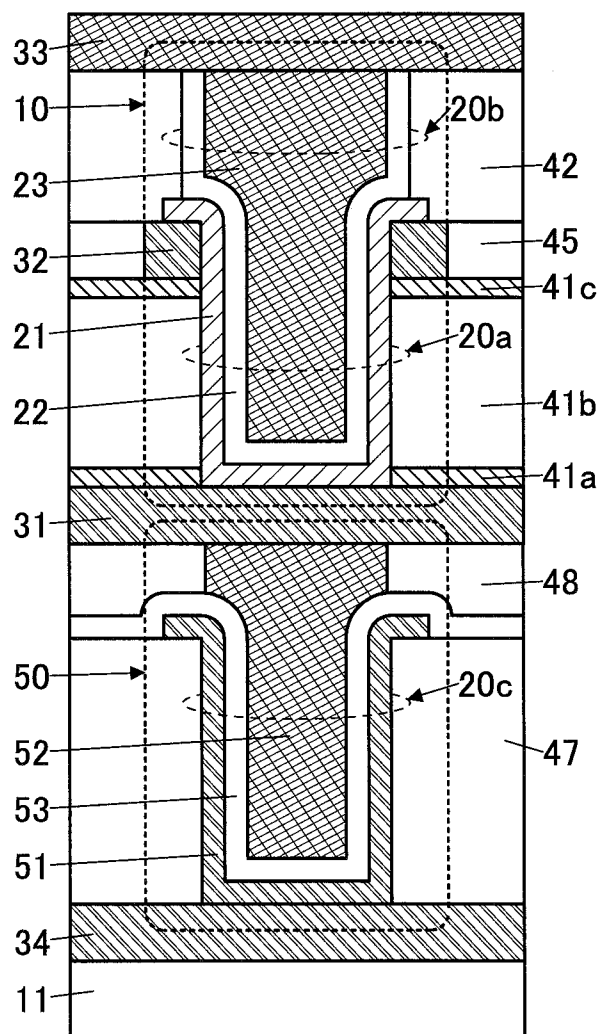
【圖13B】



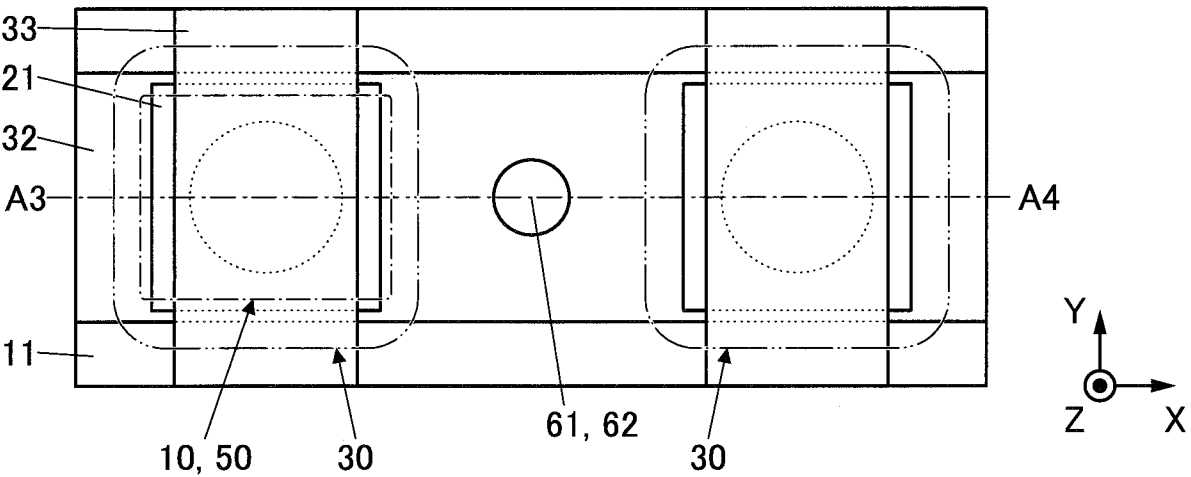
【圖14A】



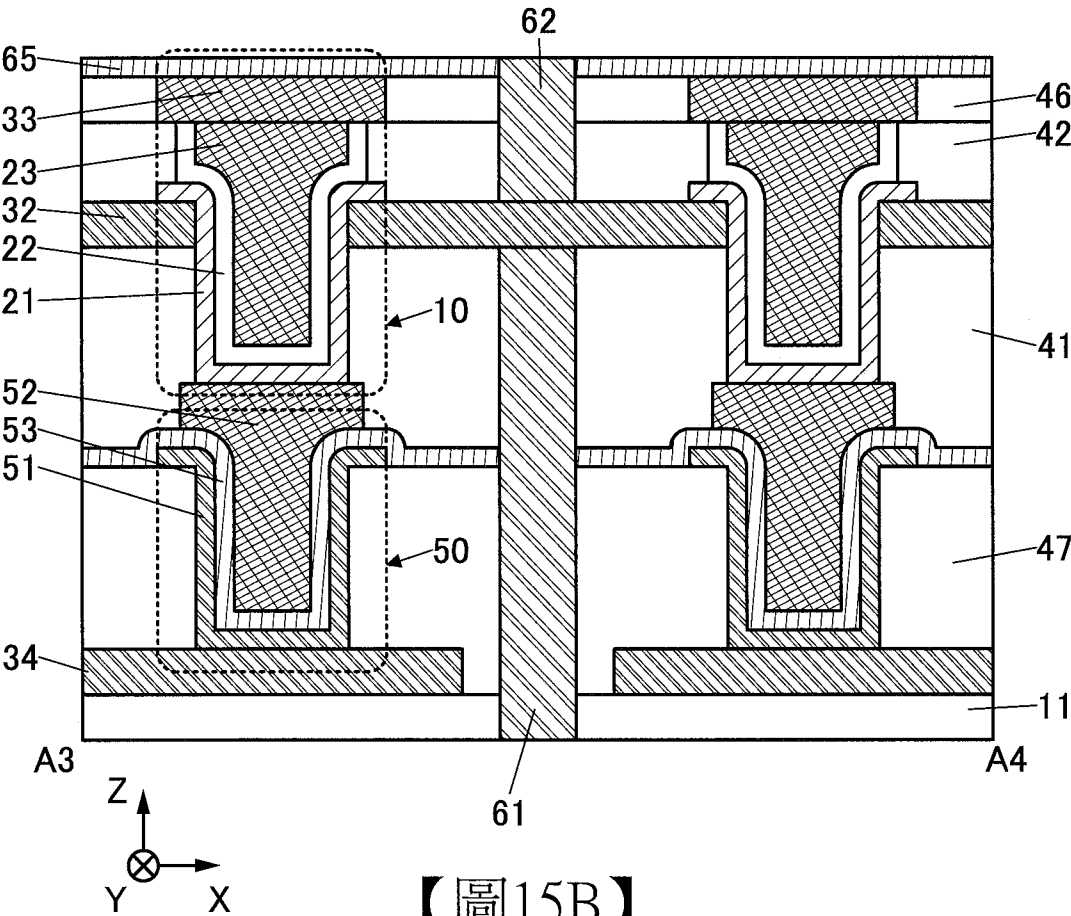
【圖14B】



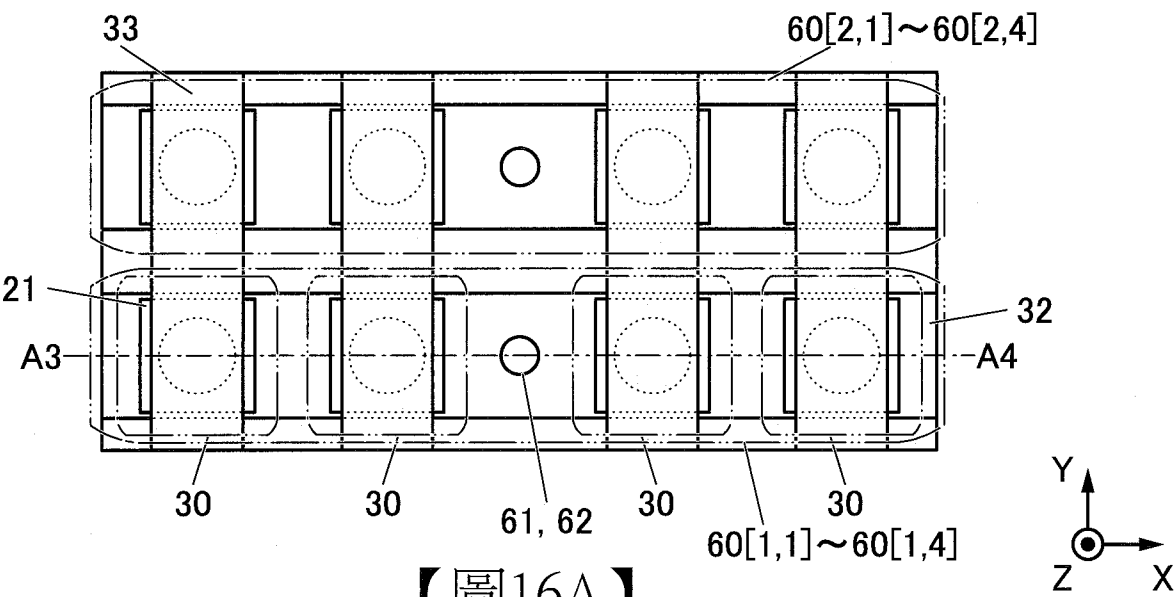
【圖14C】



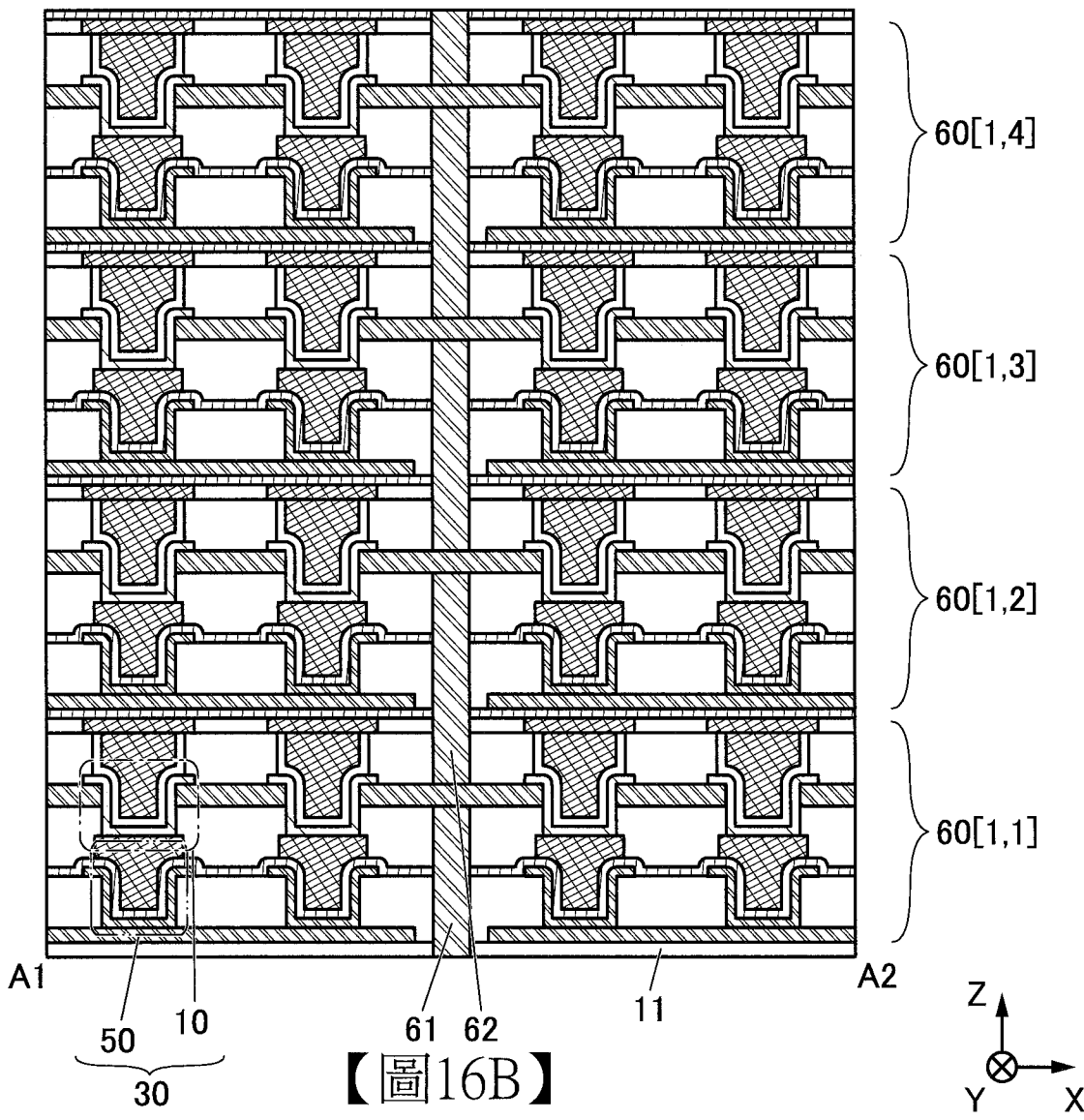
【圖15A】



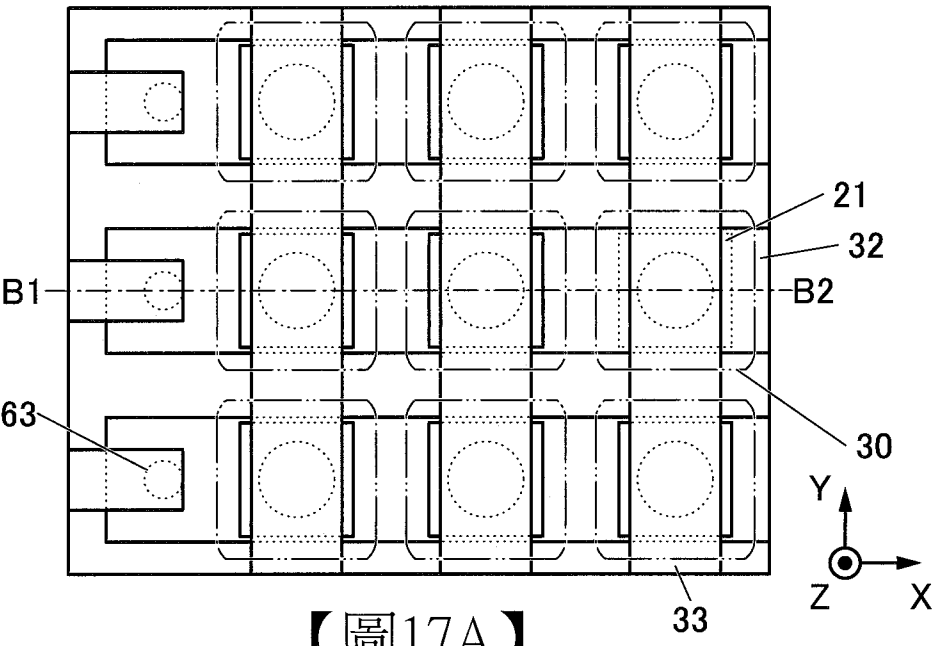
【圖15B】



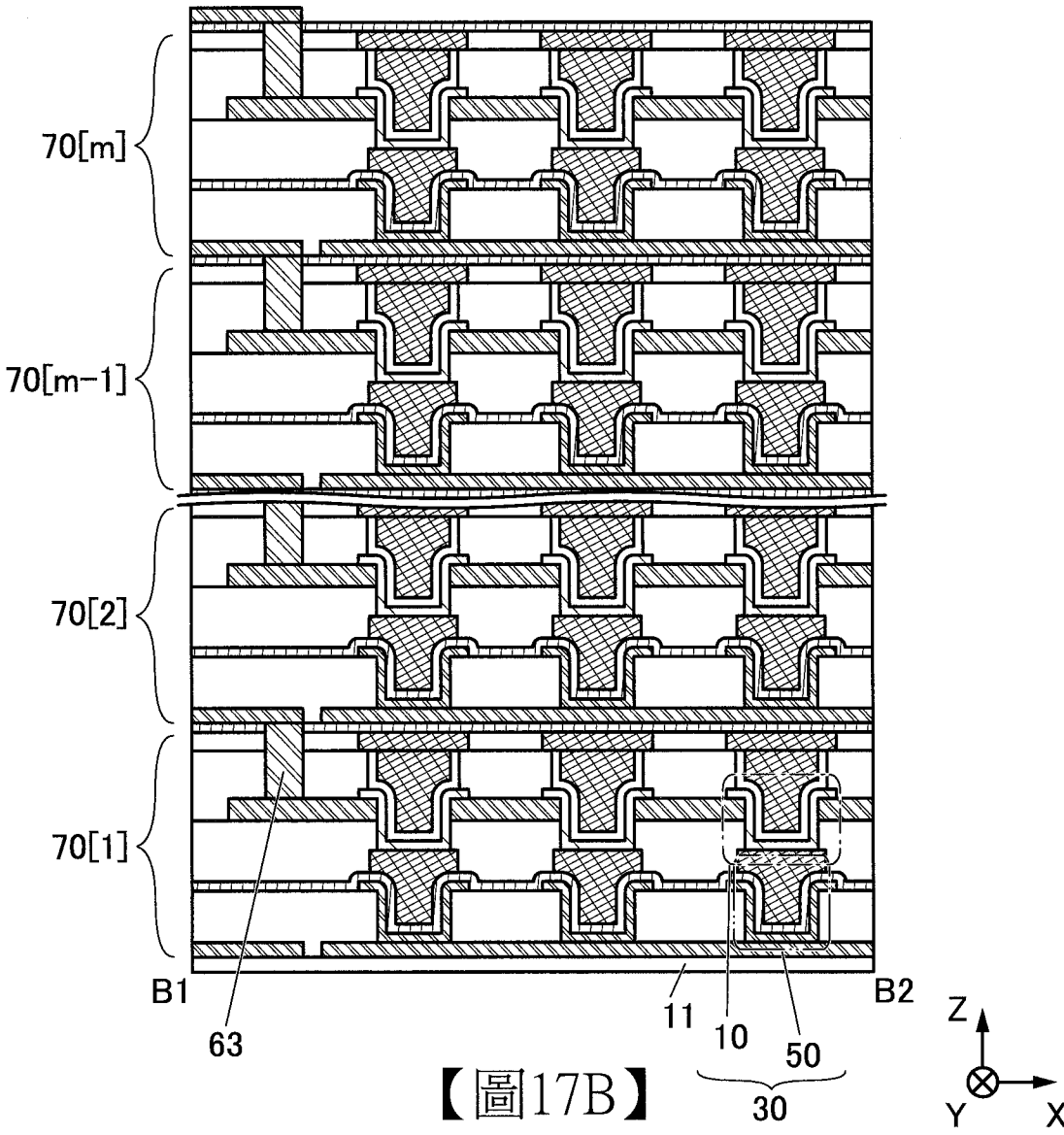
【圖16A】



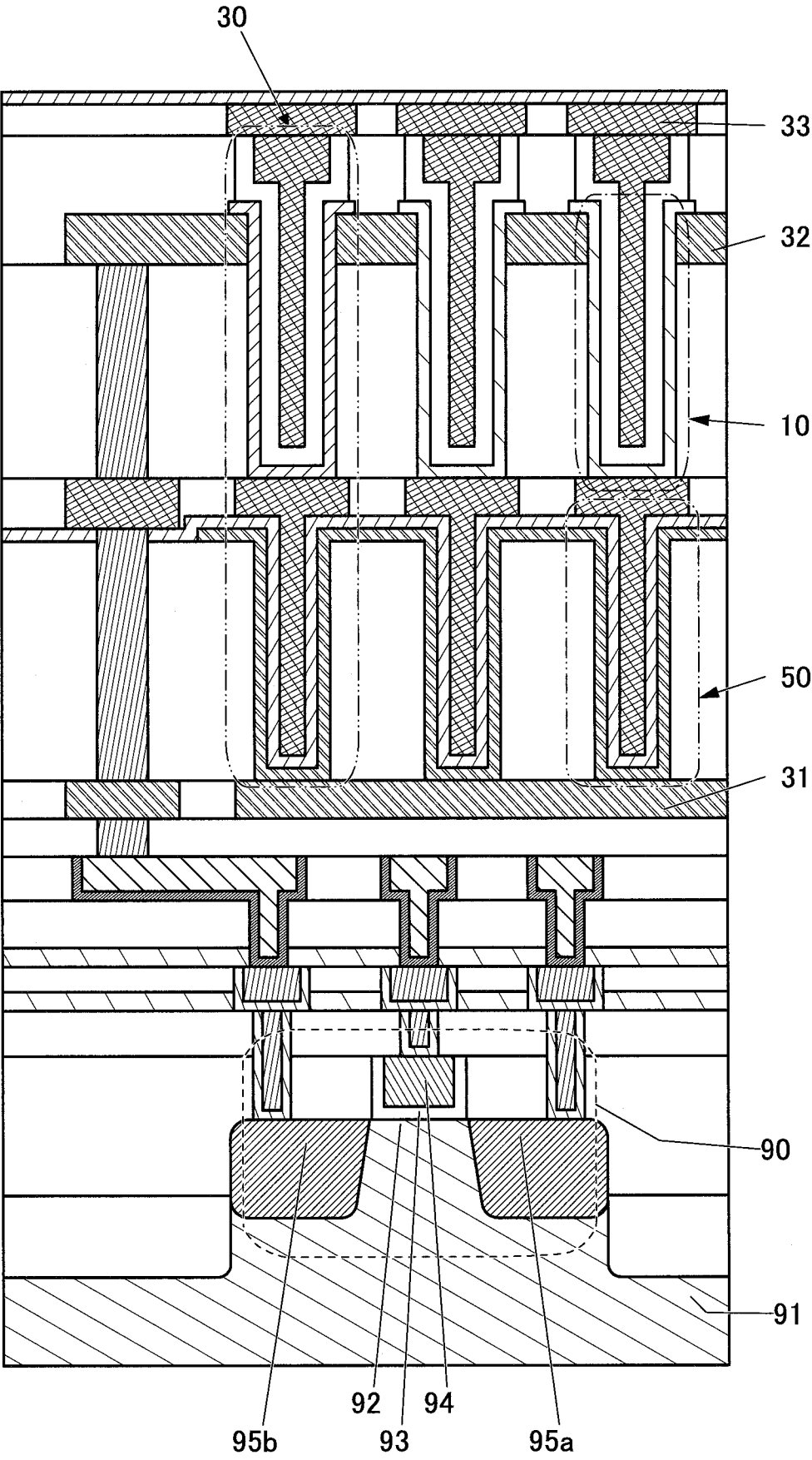
【圖16B】



【圖17A】

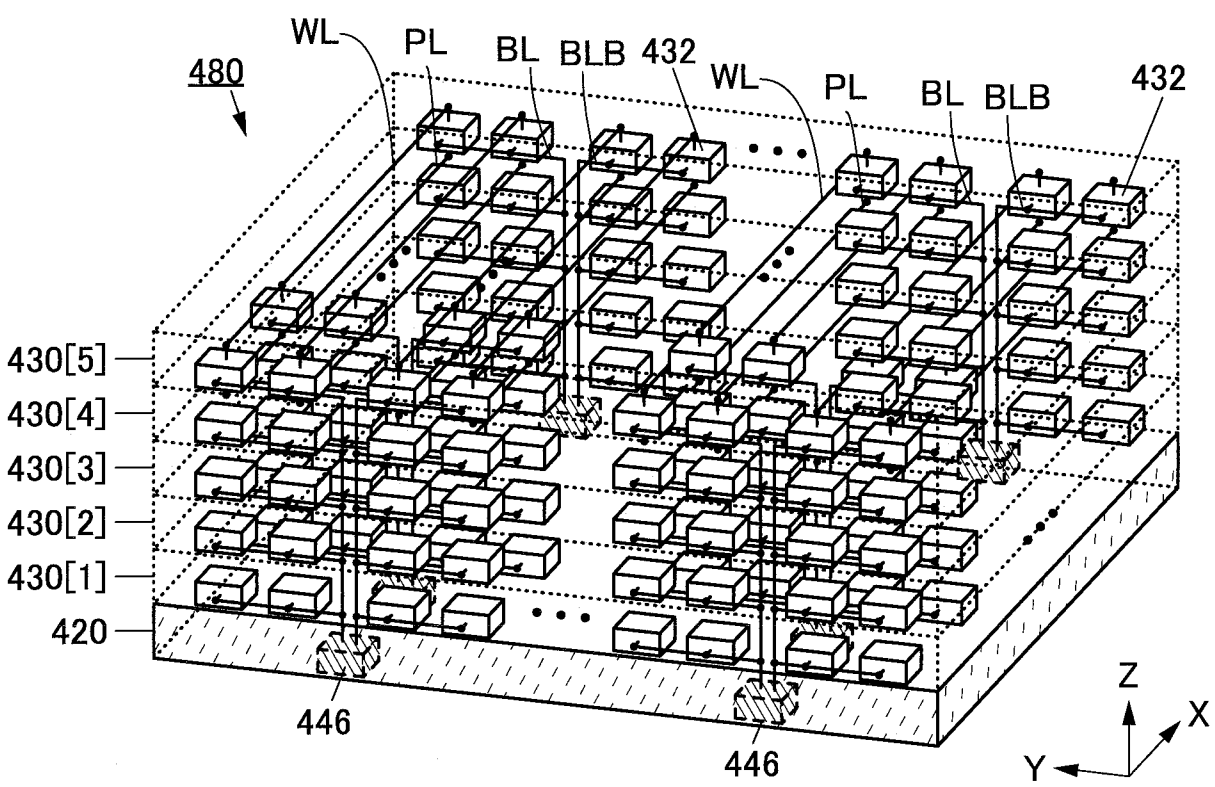


【圖17B】

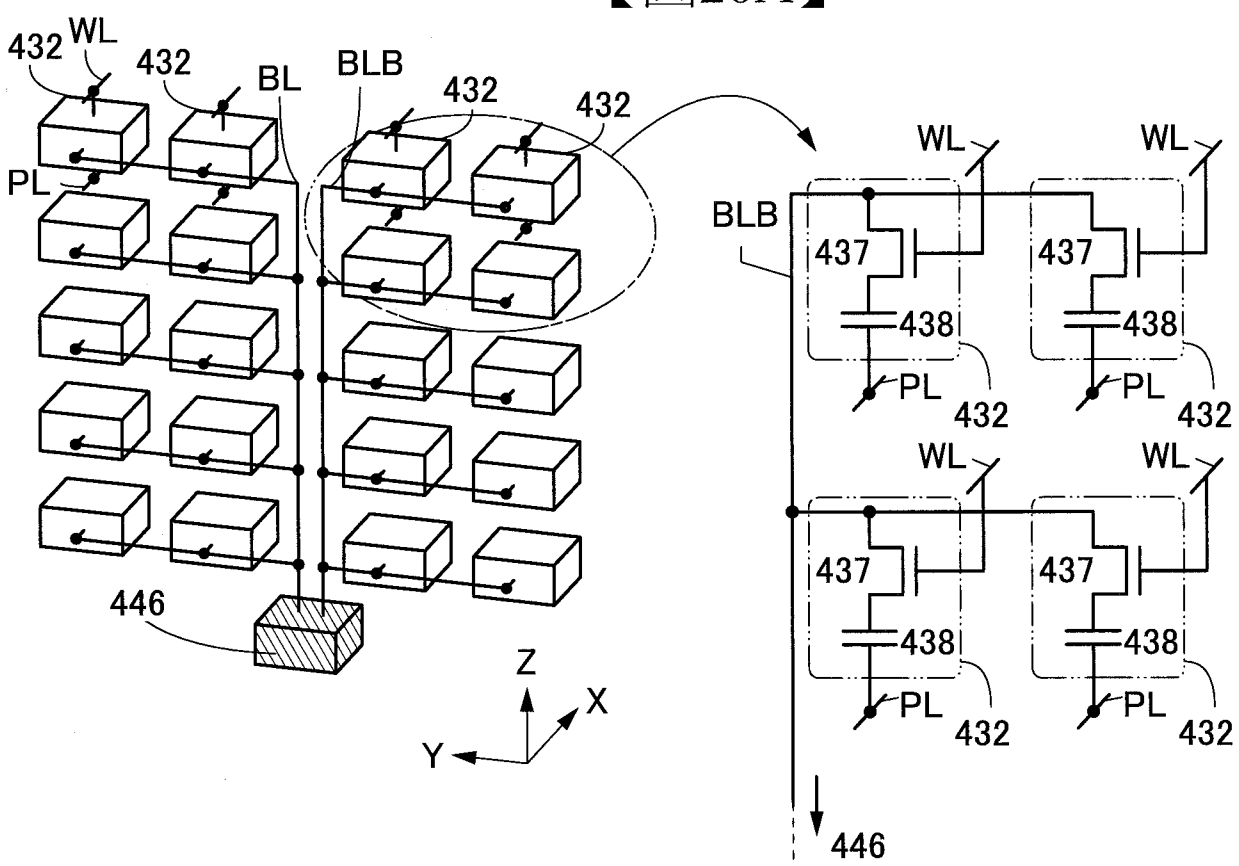


【圖18】

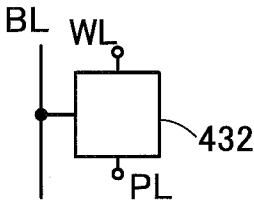
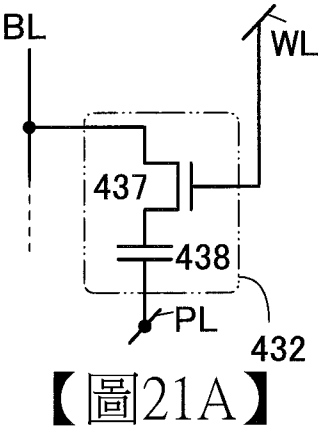




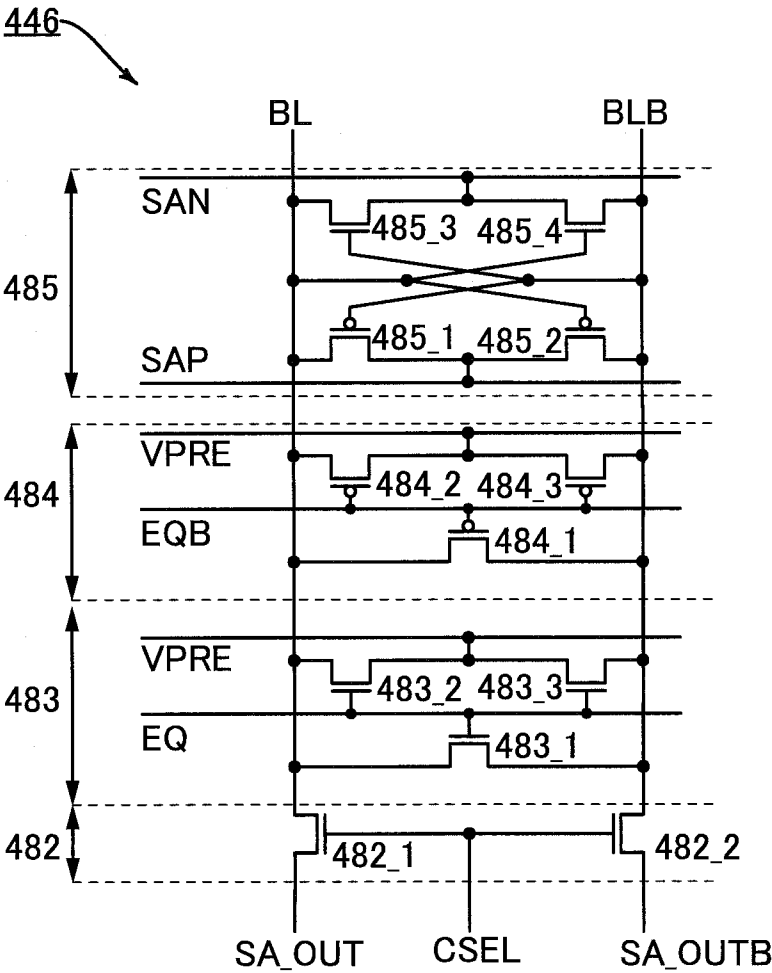
【圖20A】



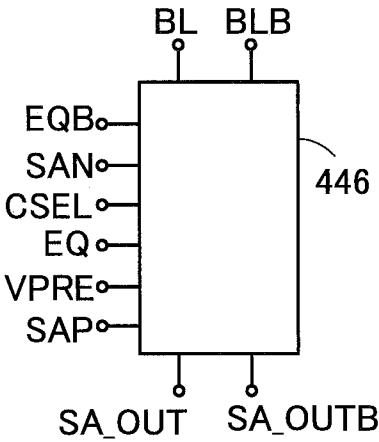
【圖20B】



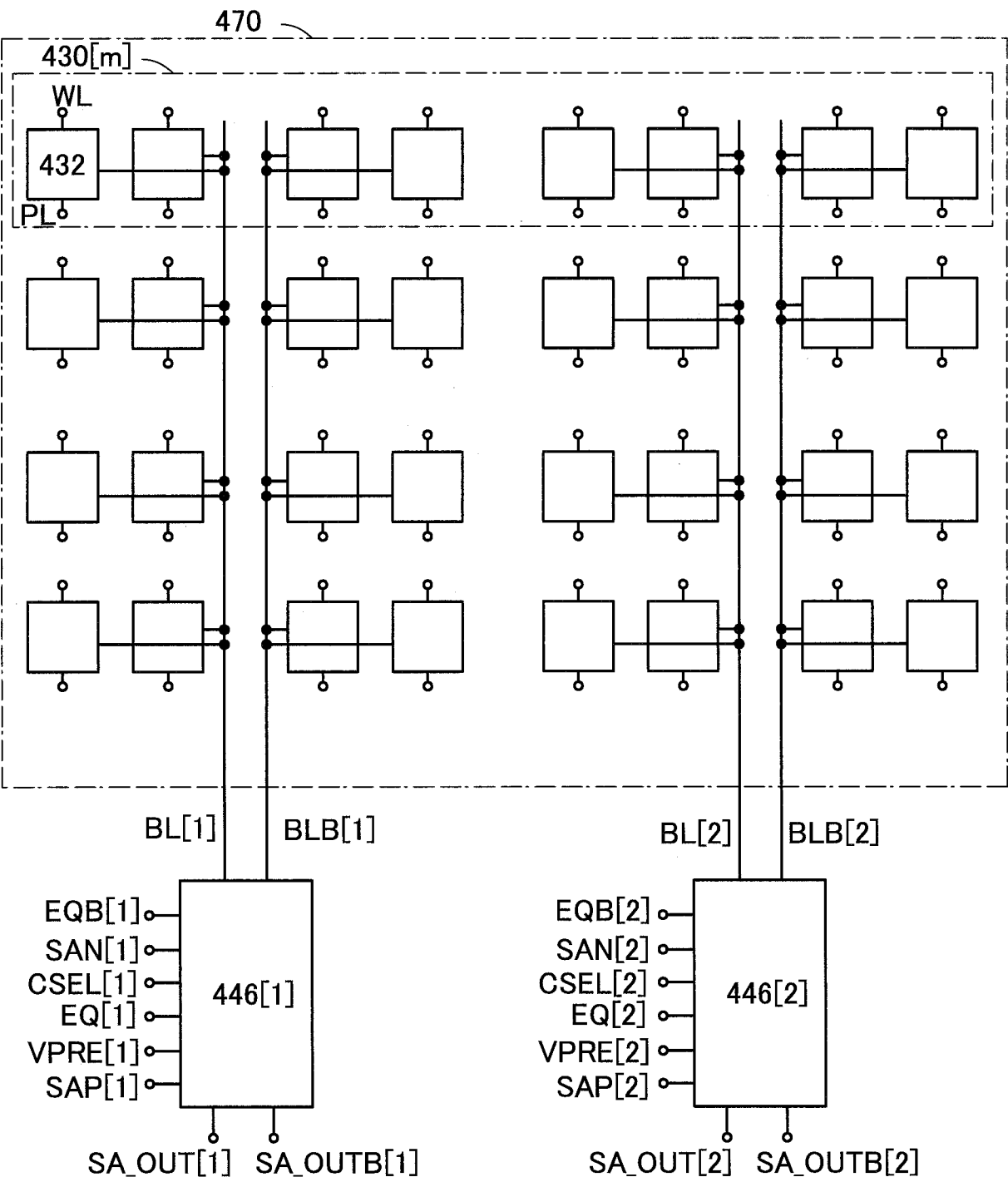
【圖21B】



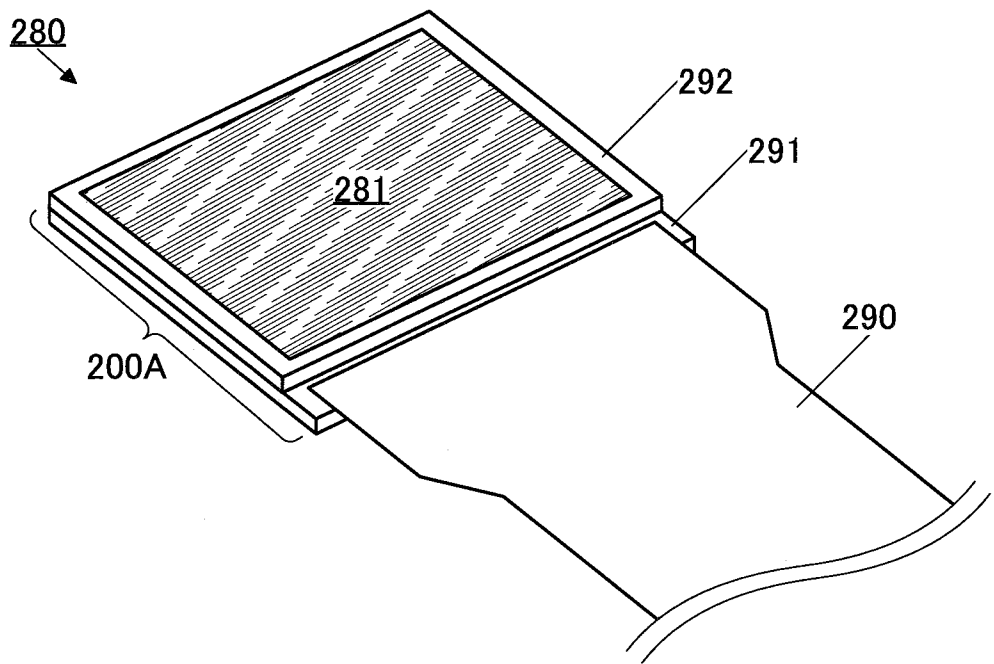
【圖21C】



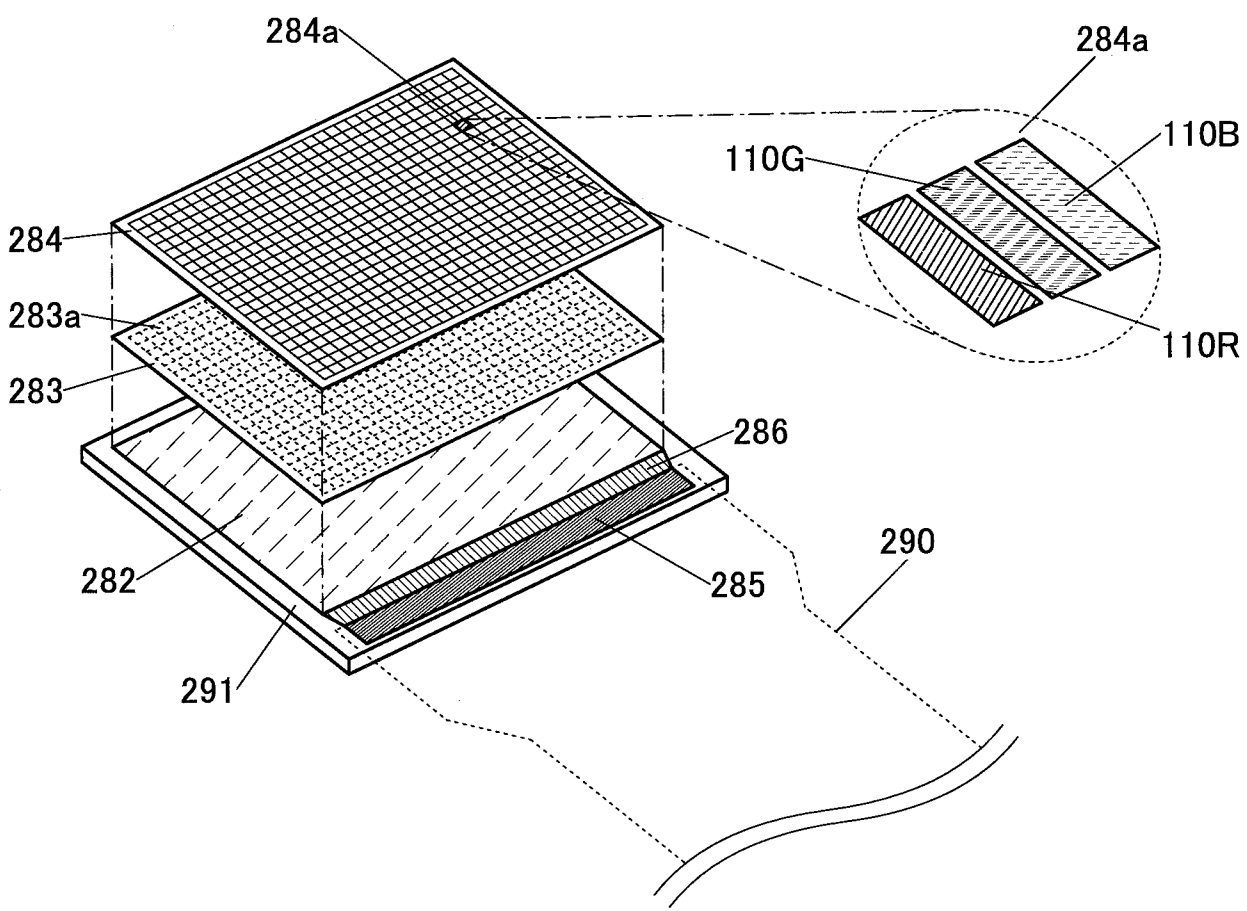
【圖21D】



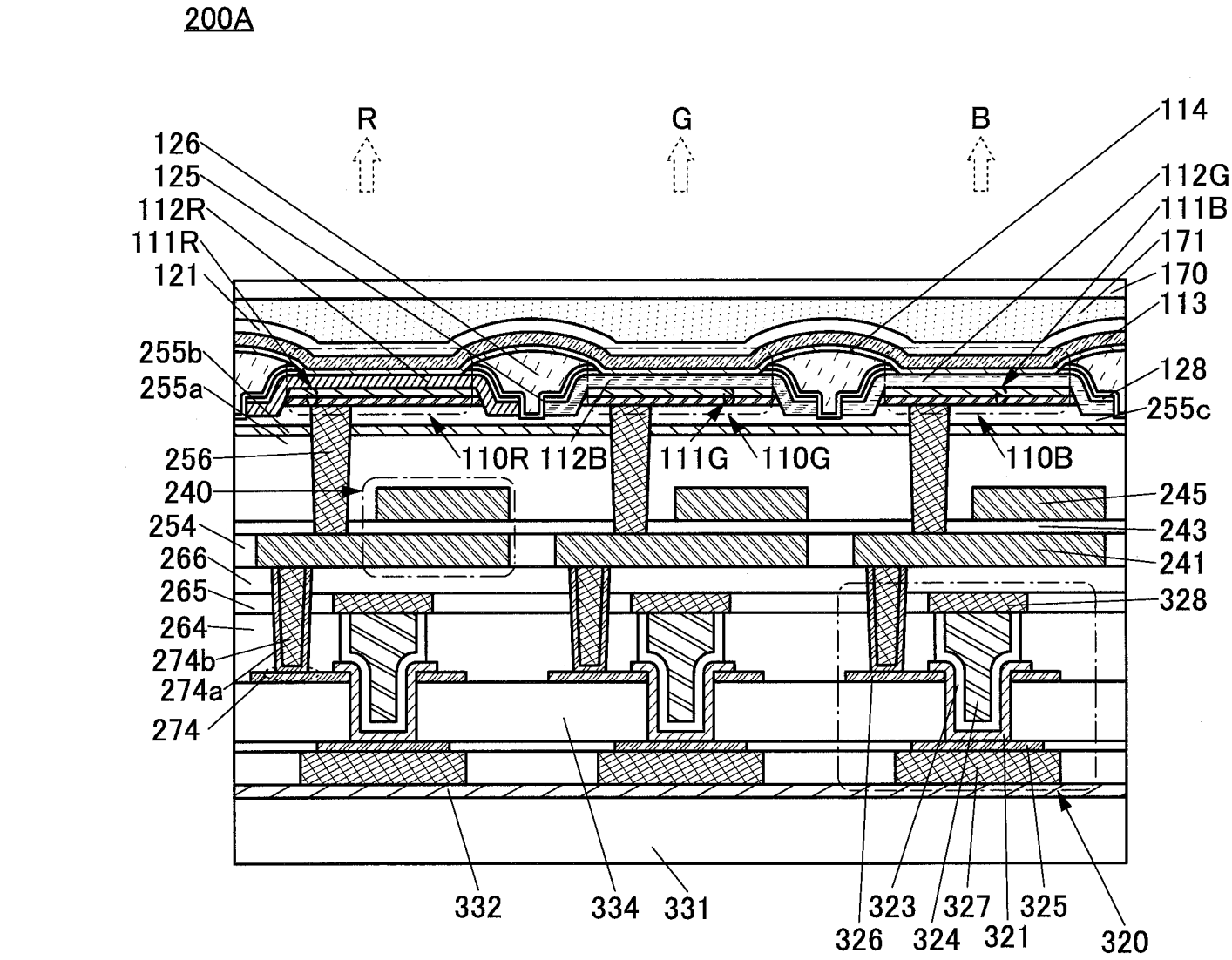
【圖22】



【圖23A】

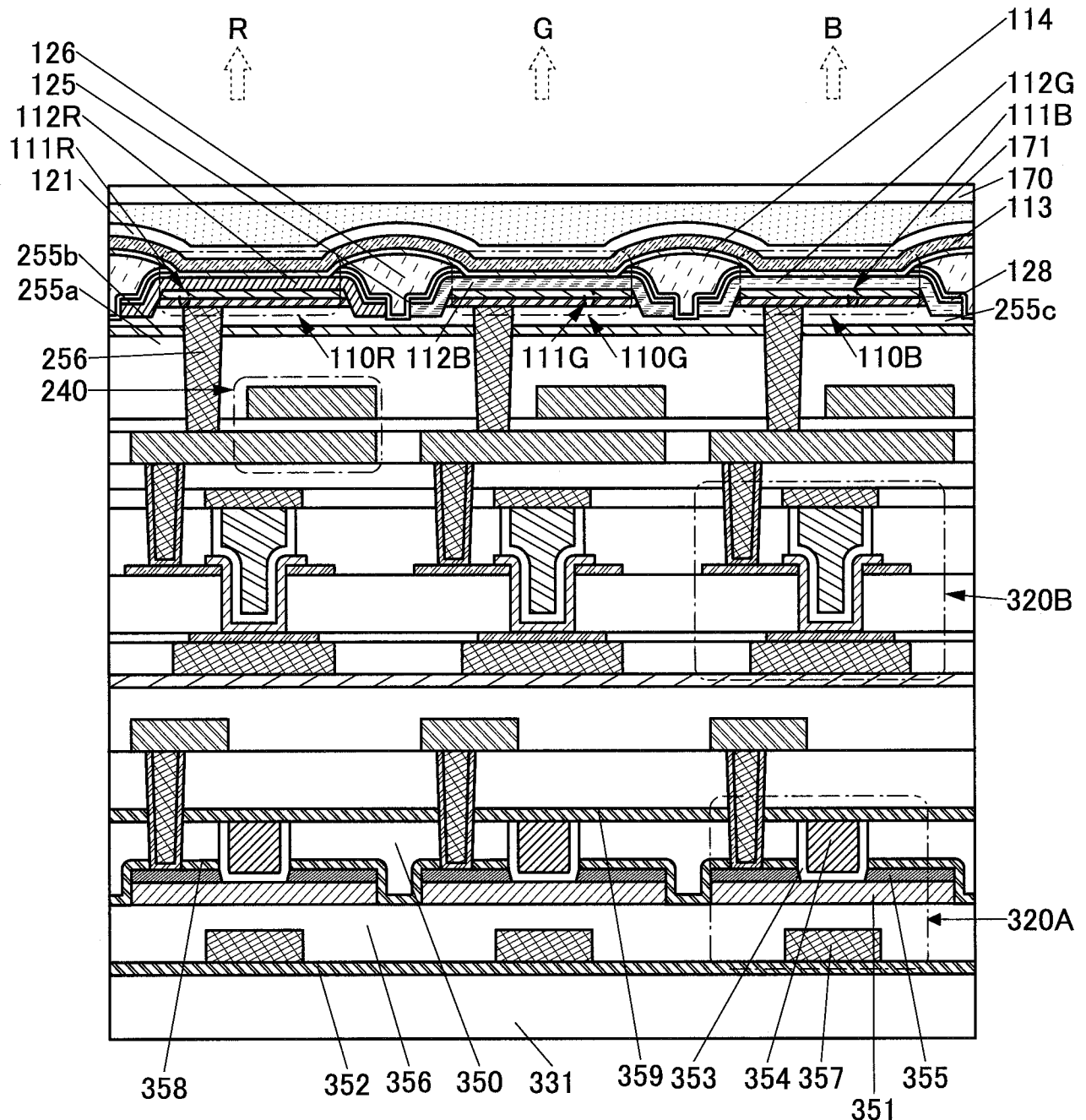


【圖23B】



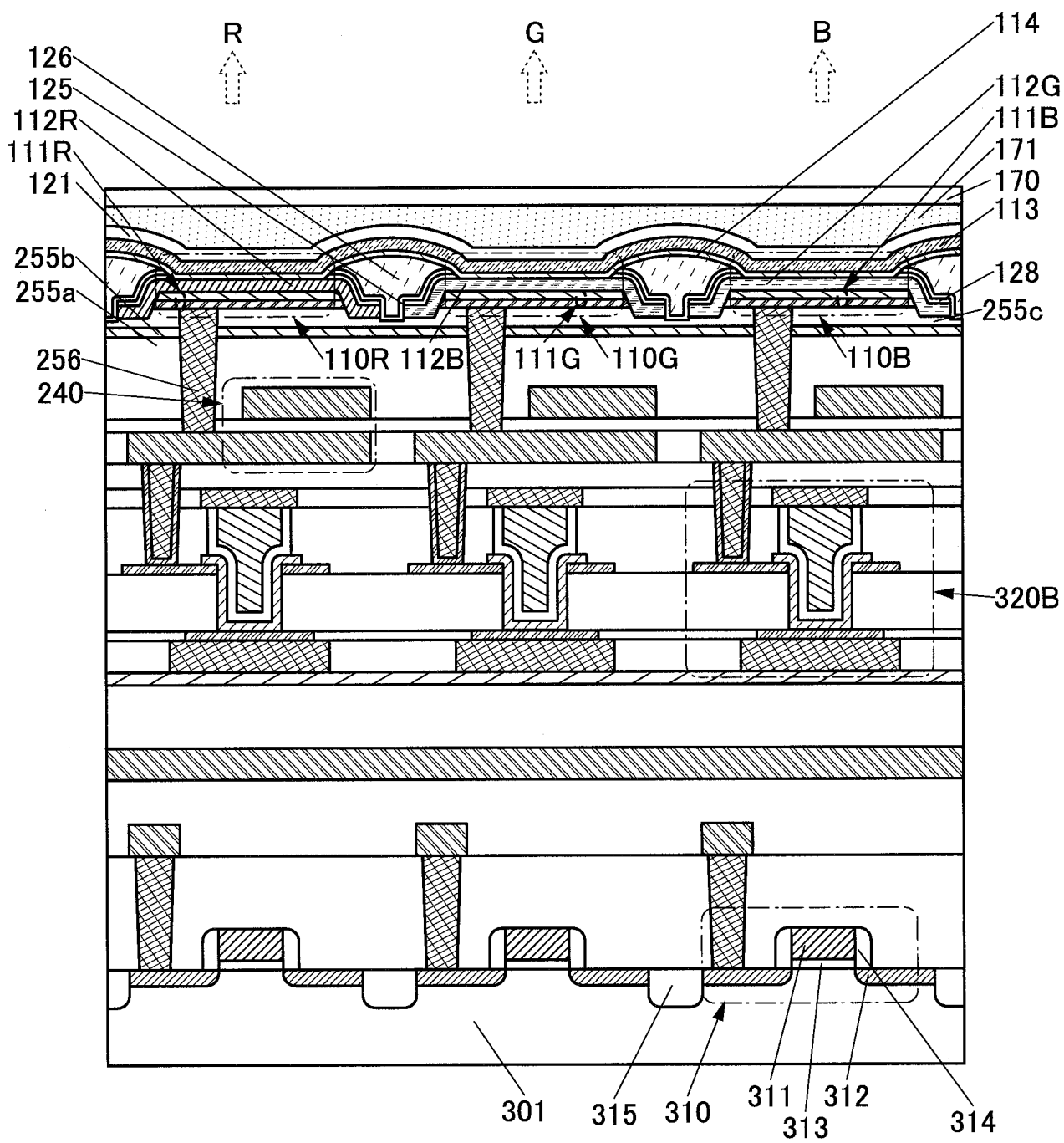
【圖24】

200B

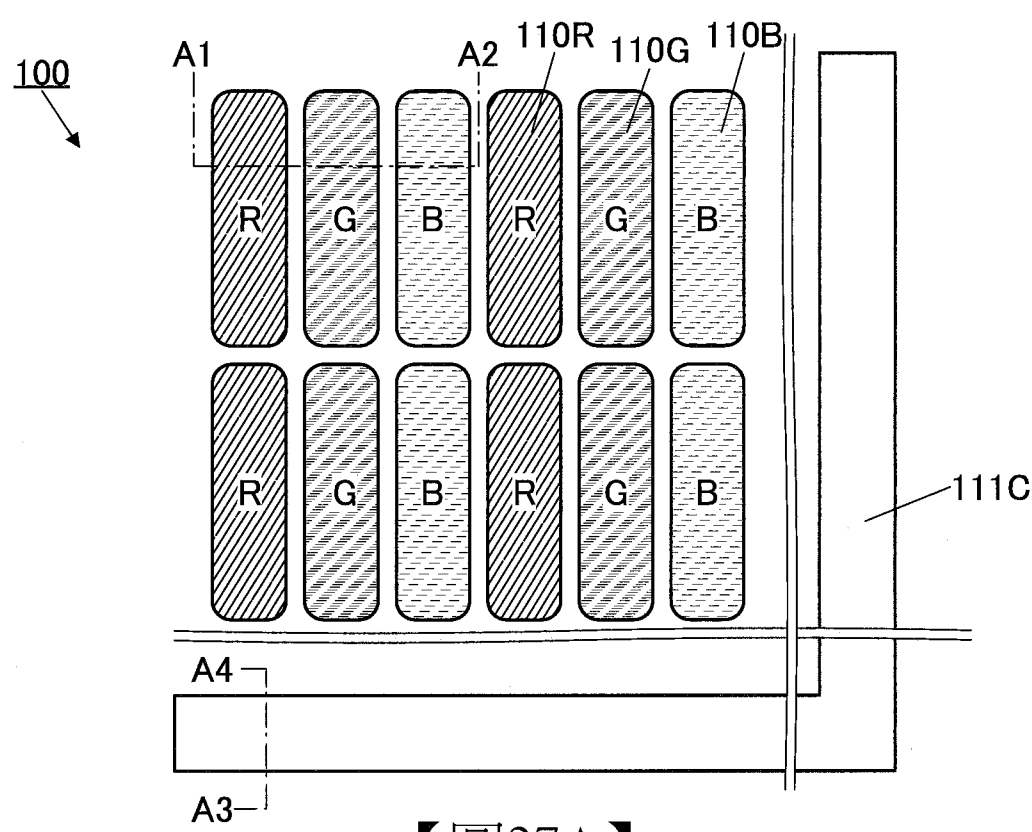


【圖25】

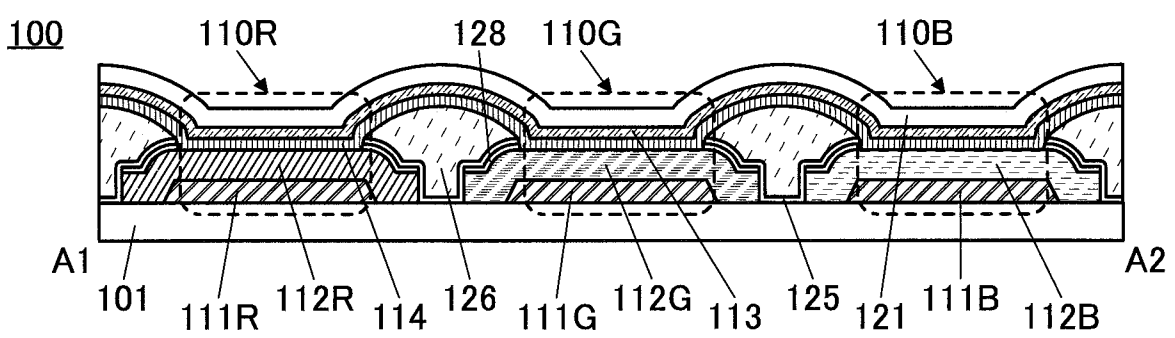
200C



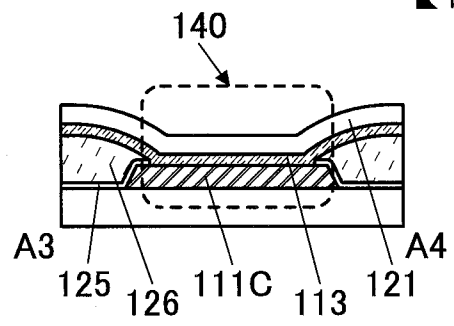
【圖26】



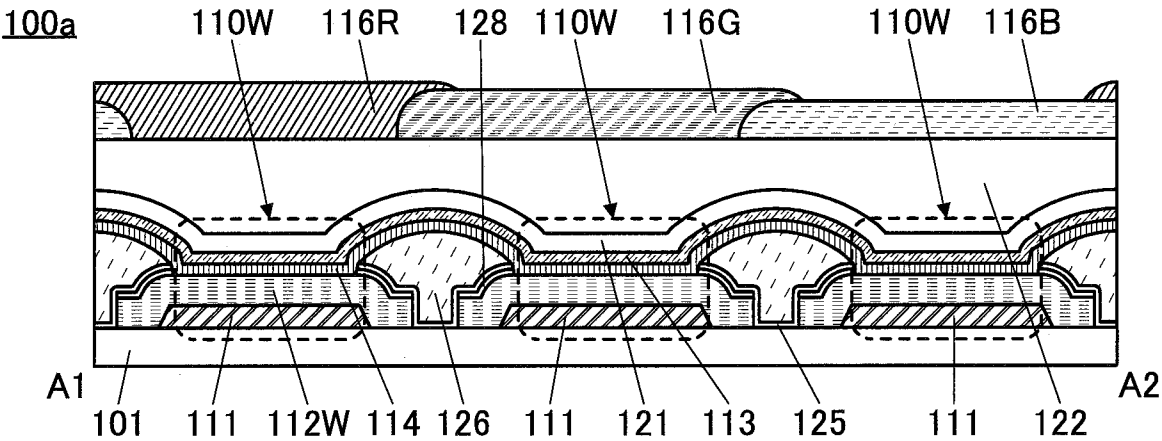
【圖27A】



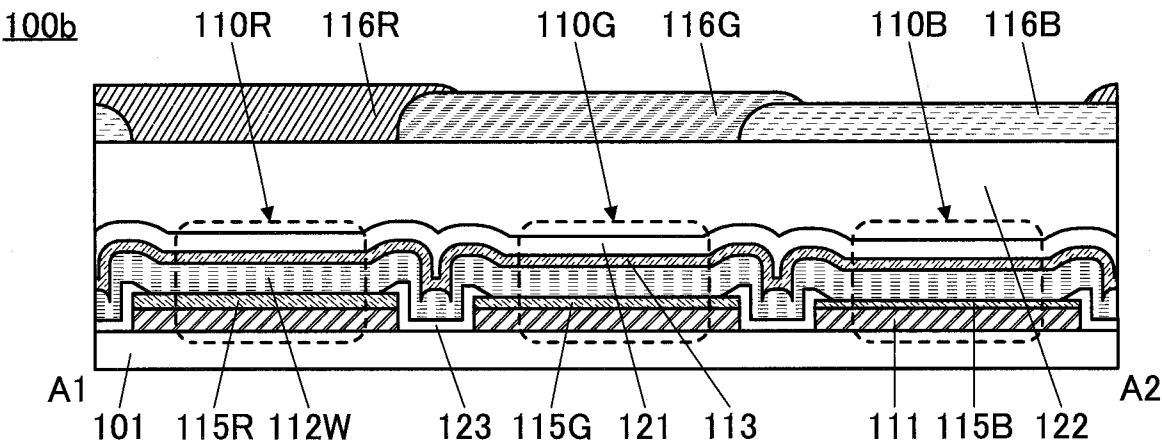
【圖27B】



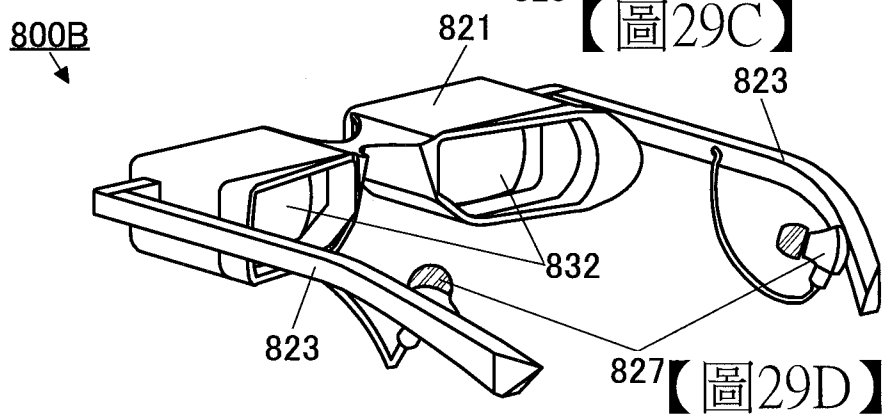
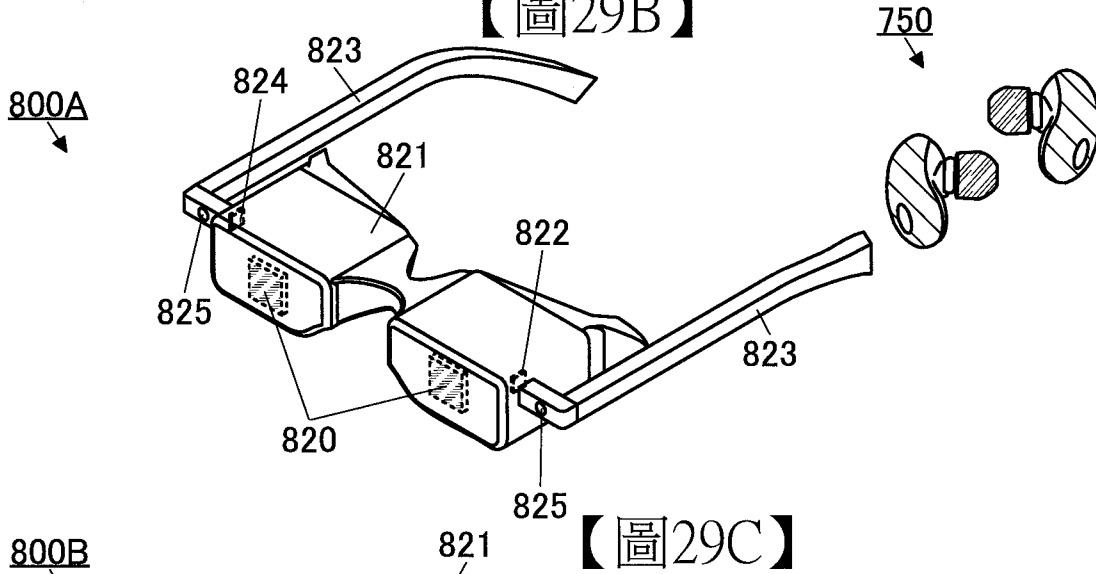
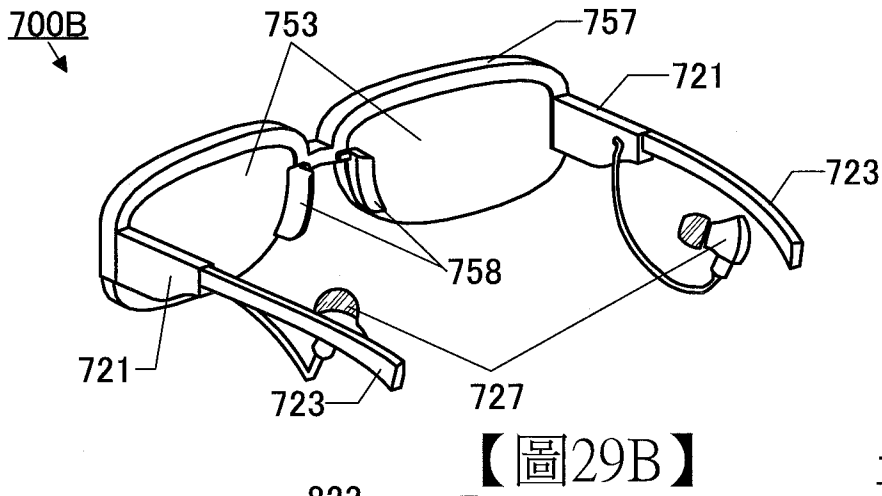
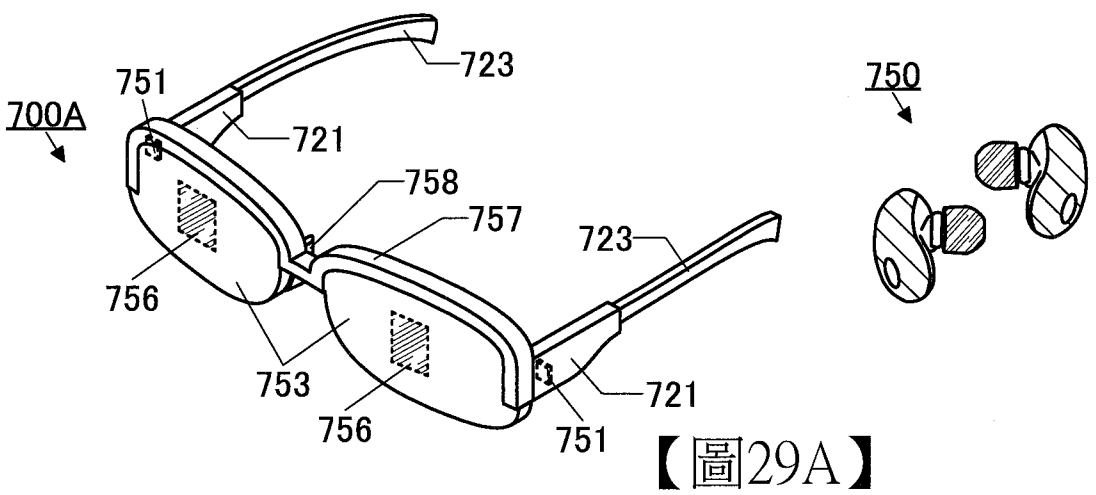
【圖27C】

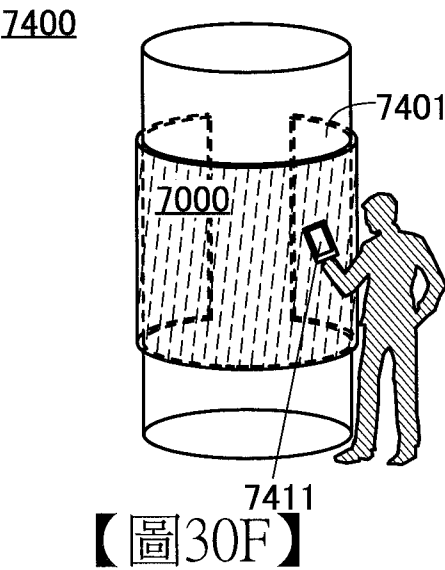
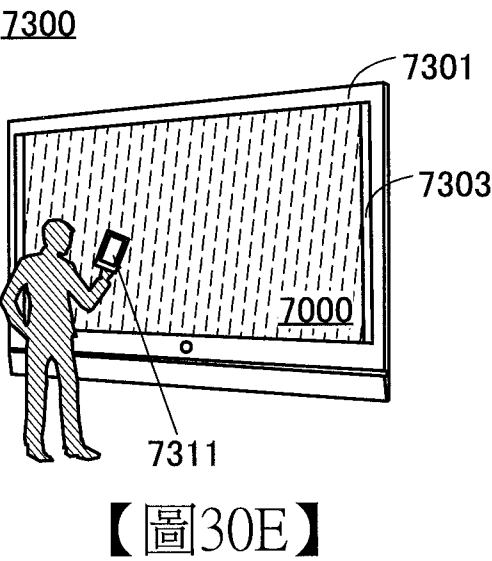
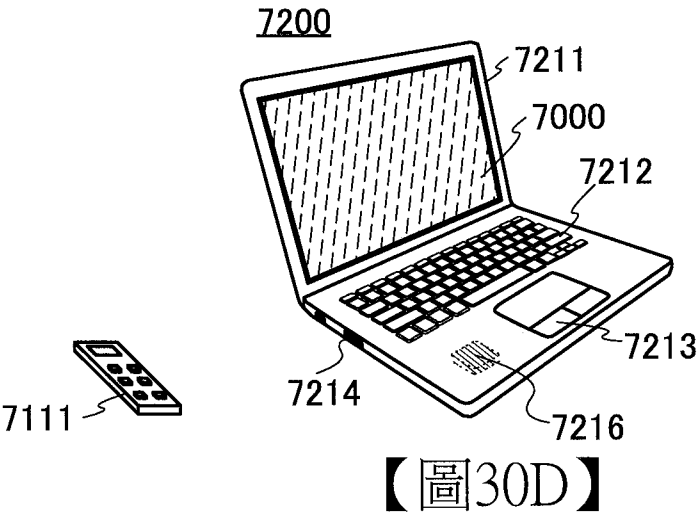
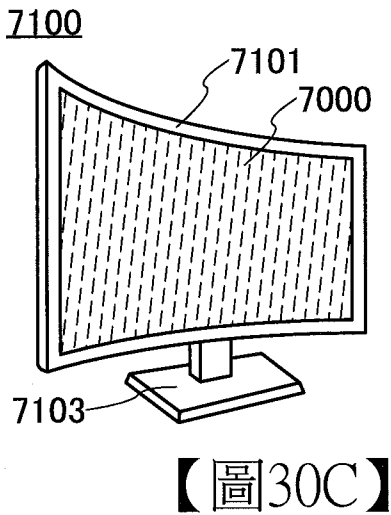
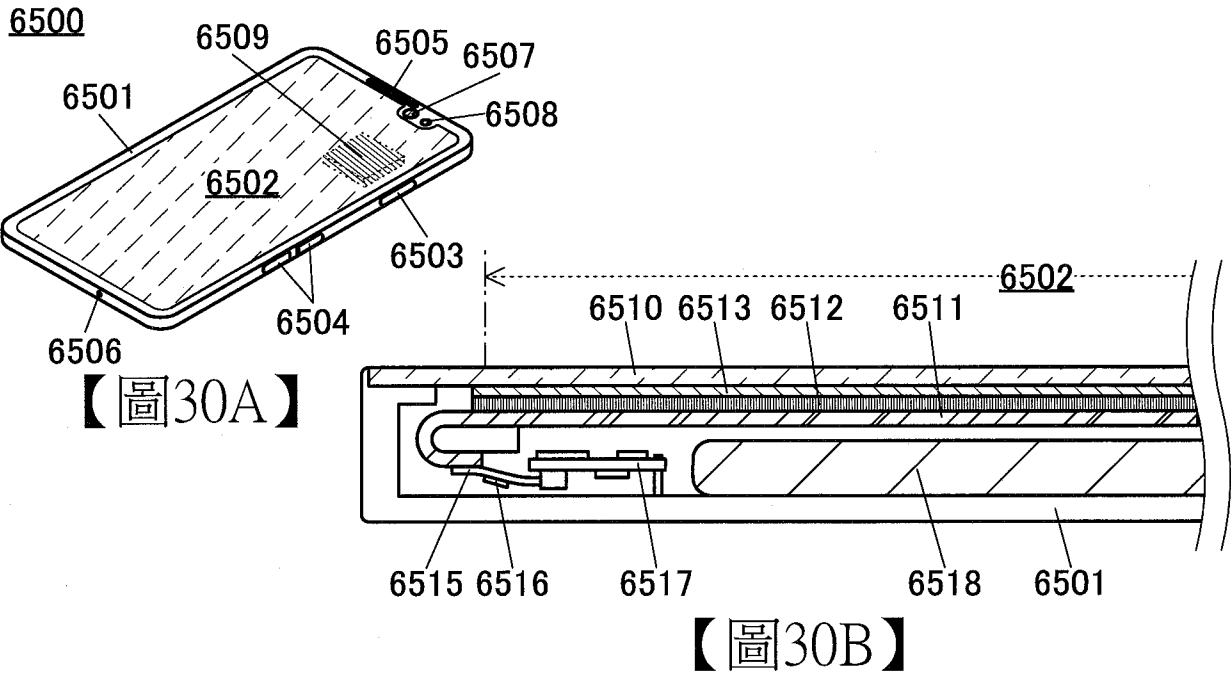


【圖28A】

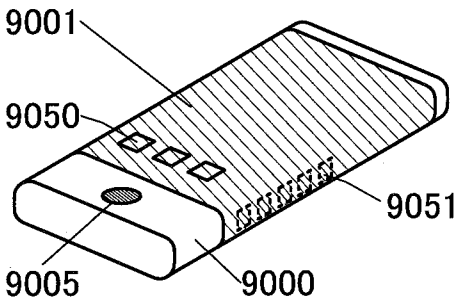


【圖28B】



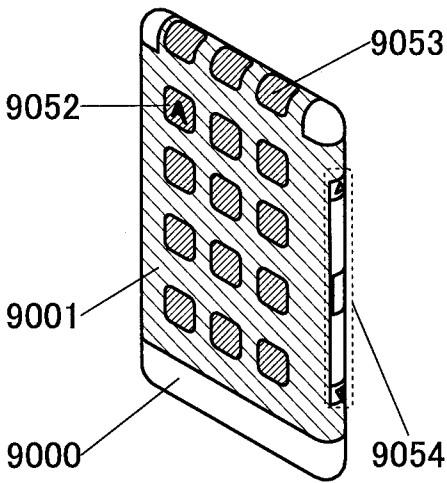


9101



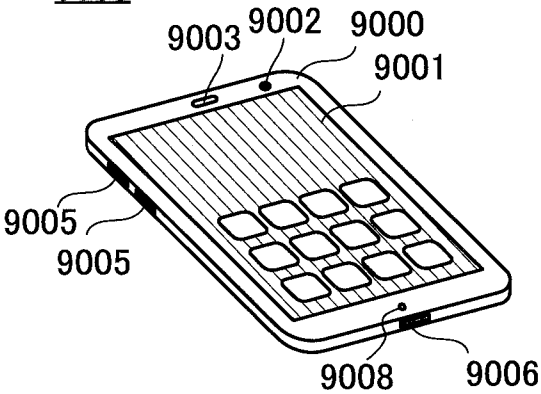
【圖31A】

9102



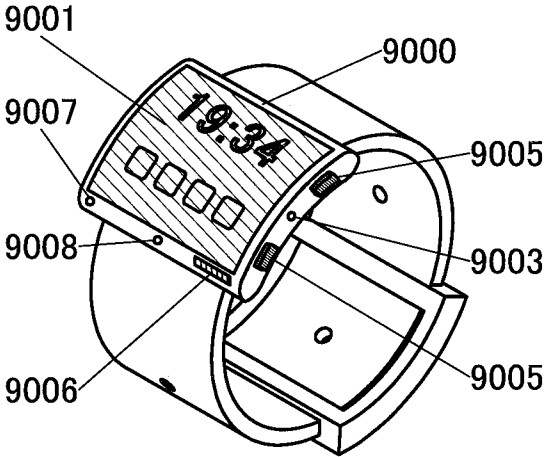
【圖31B】

9103



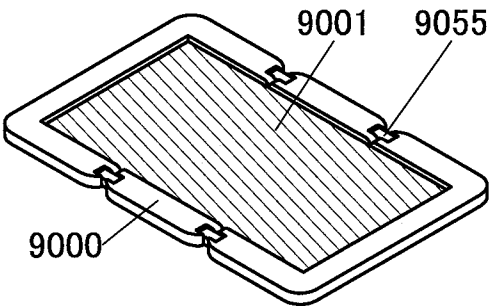
【圖31C】

9200



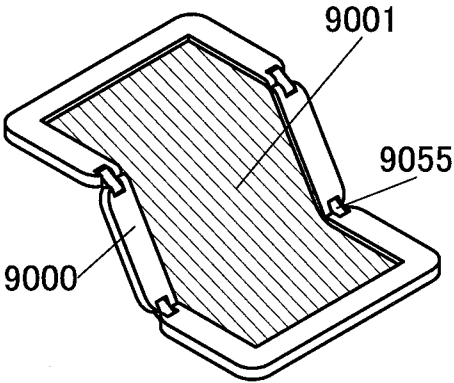
【圖31D】

9201



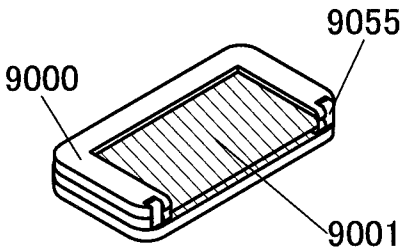
【圖31E】

9201

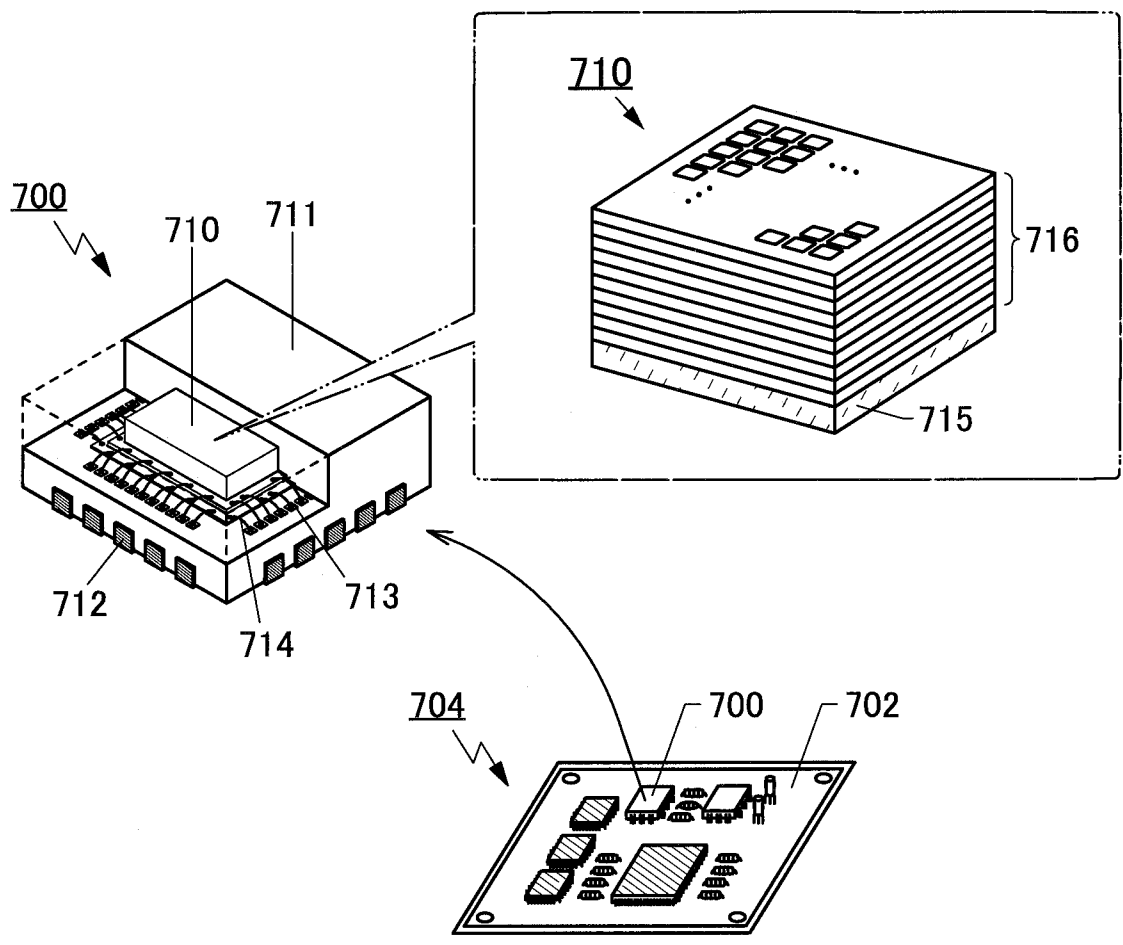


【圖31F】

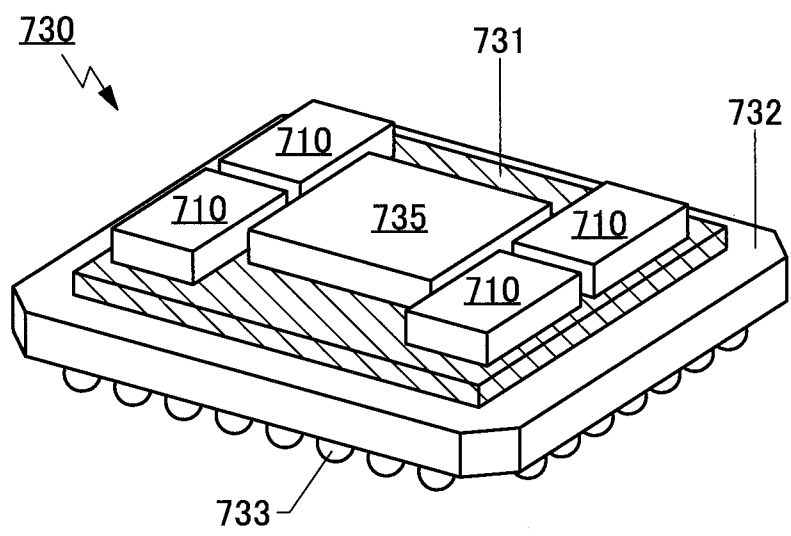
9201



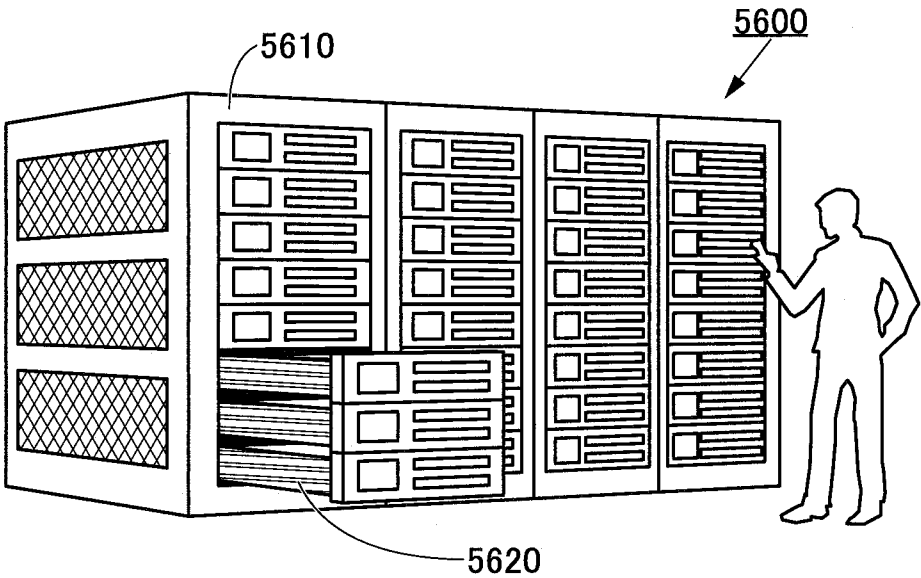
【圖31G】



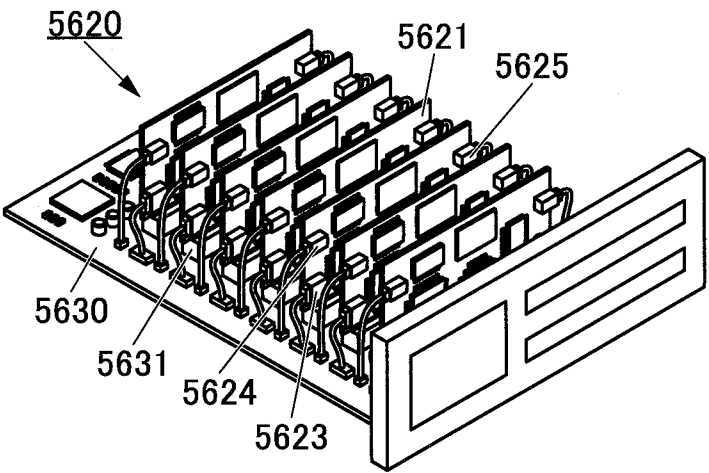
【圖32A】



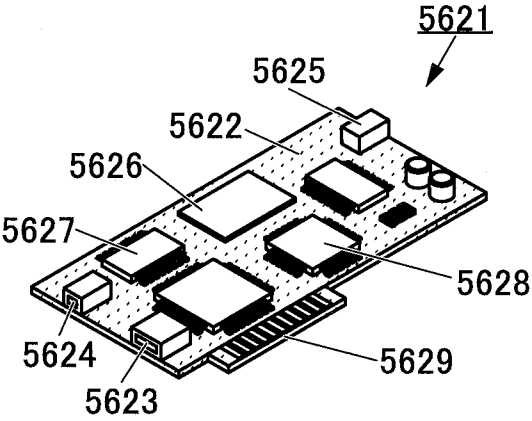
【圖32B】



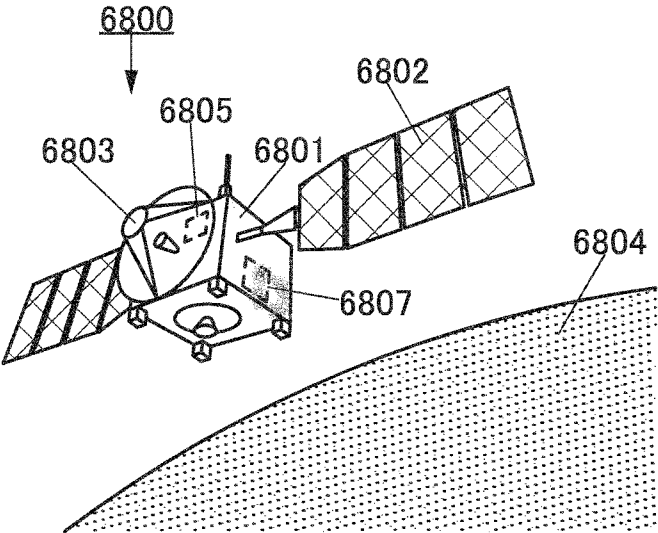
【圖33A】



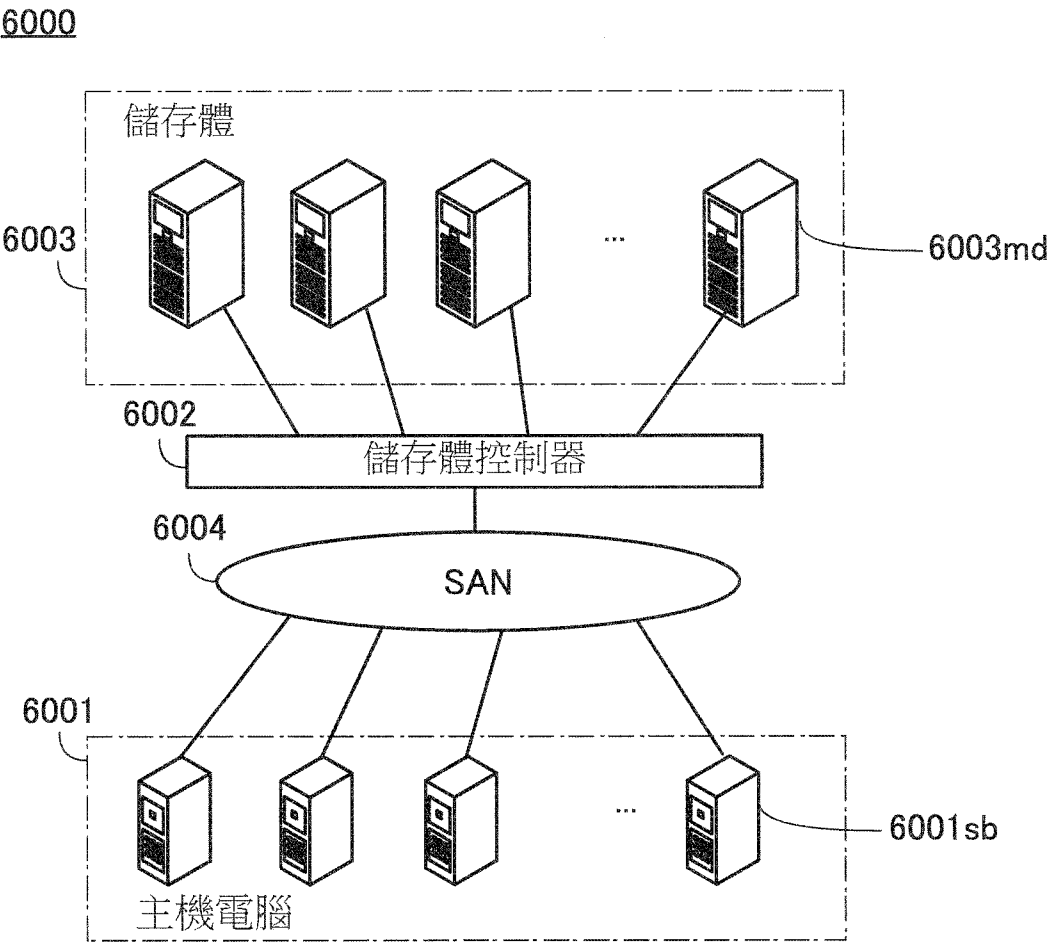
【圖33B】



【圖33C】



【圖34A】



【圖34B】