

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年2月12日(12.02.2015)



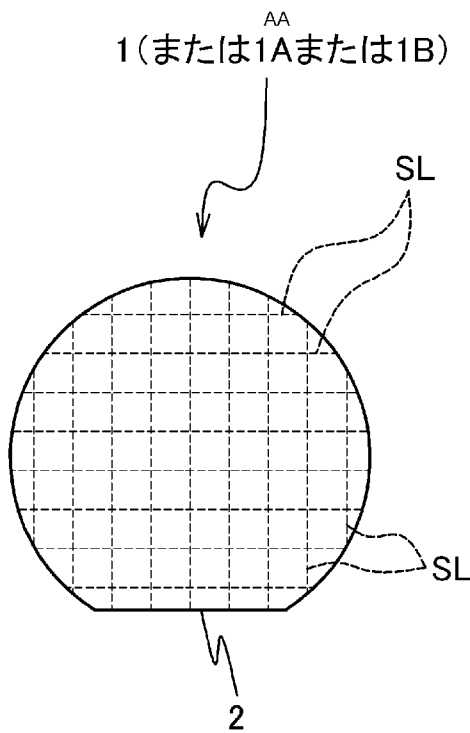
(10) 国際公開番号
WO 2015/019540 A1

- (51) 国際特許分類:
H01L 21/761 (2006.01) H01L 29/74 (2006.01)
H01L 21/22 (2006.01) H01L 29/747 (2006.01)
H01L 21/265 (2006.01)
- (21) 国際出願番号: PCT/JP2014/003426
- (22) 国際出願日: 2014年6月26日(26.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-165615 2013年8月8日(08.08.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 岡本 朋昭(OKAMOTO, Tomoaki); 〒5458522 大阪府大阪市阿倍野区長池町2番2号シャープ株式会社内 Osaka (JP). 柳 雅彦(YANAGI, Masahiko); 〒5458522 大阪府大阪市阿倍野区長池町2番2号シャープ株式会社内 Osaka (JP). 川上 知巳(KAWAKAMI, Tomomi); 〒5458522 大阪府大阪市阿倍野区長池町2番2号シャープ株式会社内 Osaka (JP).
- (74) 代理人: 山本 秀策, 外(YAMAMOTO, Shusaku et al.); 〒5300011 大阪府大阪市北区大深町3-1 グランフロント大阪 タワーC Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: SEMICONDUCTOR ELEMENT SUBSTRATE, AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 半導体素子基板およびその製造方法



AA 1 (OR 1A OR 1B)

(57) Abstract: The present invention shortens the diffusion time when forming an isolation region without compromising strength against wafer cracks. Multiple circular holes (4a, 4b) are discontinuously and intermittently arranged in juxtaposition with one another on both surfaces of a wafer along a scribe line (SL) between adjacent semiconductor devices, and single conductivity-type (p-type in this mode) isolation diffusion layers (5a, 5b) for element isolation are formed around the circular holes (4a, 4b) in a manner such that the isolation diffusion layers (5a, 5b) reach the center part in the thickness direction from both surfaces of the wafer, and in a manner such that at least a portion of the isolation diffusion layers (5a, 5b) overlap with one another between adjacent holes and between the top and bottom surfaces.

(57) 要約: ウエハ割れに対する強度を損なわずに、アイソレーション領域形成の拡散時間を短縮する。互いに隣接する半導体装置間のスクライプラインSLに沿って不連続でかつ断続的にウエハ両面に複数の円形穴4a, 4bがそれぞれ並んで配設され、複数の円形穴4a, 4bの周りにそれぞれ素子分離用の一導電型(ここではP型)のアイソレーション拡散層5a, 5bがウエハ両面から深さ方向中央部に達して隣接穴間および上下底面間で互いに少なくとも一部が重なるように形成されている。

WO 2015/019540 A1

ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体素子基板およびその製造方法

技術分野

[0001] 本発明は、素子分離のアイソレーション技術としてアイソレーション拡散層を用いた半導体素子基板およびその製造方法に関する。

背景技術

[0002] 従来の半導体素子基板およびその製造方法におけるアイソレーション技術としては、素子分離絶縁構造としてロコスやSTIの他、拡散層などによるものがある。このアイソレーション拡散層は、表面、溝の側面および底面の3方向から不純物を半導体層に注入するため、形成した溝を介してより深い領域まで不純物をイオン注入することができる。このように、不純物をイオン注入した後に加熱処理をして不純物を所定の拡散領域まで拡散させるための拡散時間を大幅に短縮することができる。

[0003] このように、半導体チップ間や半導体装置間の素子分離のために深く形成する必要があるアイソレーション拡散層の拡散には、半導体基板表面および、拡散前に形成された溝の側面および底面の3方向から不純物がイオン注入されてそれを拡散させることになる。溝を形成した深さ分だけより深い位置に不純物をイオン注入することができることから、極めて短時間で所定深さの素子分離用の拡散層を形成することができる。

[0004] したがって、予め形成される溝によって高温雰囲気中の拡散時間を大幅に短縮できることから、絶縁膜と不純物との異常反応をも防止することができる。このため、半導体基板にピンホールなどの表面異常が発生せずに済み、絶縁耐圧および歩留まりが向上するという効果もある。これについて、従来の半導体装置の製造方法としてサイリスタの製造方法を一例に挙げて特許文献1に提案されている。

[0005] 図13(a)～図13(e)は、特許文献1に開示されている従来のサイリスタの製造方法を工程順に示す概略縦断面図である。

- [0006] 従来のサイリスタの製造方法は、まず、図13(a)に示すように、N型シリコン基板101の一方の表面のみに絶縁膜を全面に形成し、この絶縁膜のアイソレーション領域およびベース領域に対応する部分を除去して絶縁膜102を形成し、N型シリコン基板101の表面を部分的に露出させている。
- [0007] 次に、図13(b)に示すように、露出されたN型シリコン基板101のアイソレーション領域に対応する箇所に、所定の幅で所定の深さの溝103をスクライブラインに沿って形成する。
- [0008] この溝103の形成は、ダイシングまたはエッチングにより、N型シリコン基板101のアイソレーション領域に対応する箇所、即ちスクライブライン上に、N型シリコン基板101の表面から所定の深さでライン状の溝103を形成する。
- [0009] 続いて、図13(c)に示すように、N型シリコン基板101の表面上の絶縁膜102をマスクとして、N型シリコン基板101の表面側および裏面側から同時に不純物注入をした後に不純物拡散を行い、溝103の周りのP型アイソレーション拡散層104、P型ベース拡散層105およびP型アイソレーション拡散層104に接続するP型アノード拡散層106を同時に形成する。
- [0010] 即ち、溝103を形成したN型シリコン基板101を拡散炉中に投入し、図13(c)のように、絶縁膜102をマスクとして、例えばホウ素などのP型拡散物質を注入した後に拡散して、N型シリコン基板101内に深くP型アイソレーション拡散層104を形成し、N型シリコン基板101の表層部にP型ベース拡散層105を形成し、N型シリコン基板101の裏面側にP型アノード拡散層106をそれぞれ形成する。
- [0011] なお、拡散炉内の温度は摂氏1200~1300度が好ましい。拡散時間は、少なくとも、N型シリコン基板101内に、素子分離のためのP型アイソレーション拡散層104が深く形成されると共に、P型アイソレーション

拡散層 104 と P 型アノード拡散層 106 とが上下に接続される程度の時間に設定されている。

[0012] その後、図 13 (d) に示すように、マスクとして用いた絶縁膜 102 を除去し、新たに N 型シリコン基板 101 の表面のみに SiO₂ からなる絶縁膜 107 を形成する。さらに、フォトリソグラフィ技術により、絶縁膜 107 のカソード領域に対応する部分を除去して、N 型シリコン基板 101 の表面が部分的に露出するように開口部をパターニングする。

[0013] 続いて、拡散炉中に投入し、絶縁膜 107 をマスクとして、例えばリンなどの N 型拡散物質を注入した後にこれを加熱処理して拡散して、P 型ベース拡散層 105 内に N 型カソード拡散層 108 を形成する。

[0014] さらに、図 13 (e) に示すように、フォトリソグラフィ技術により、N 型カソード拡散層 108 および P 型ベース拡散層 105 上の絶縁膜 107 を除去し、N 型カソード拡散層 108 および P 型ベース拡散層 105 上にコンタクトホール 109, 110 をそれぞれ形成する。そのコンタクトホール 109, 110 にそれぞれ例えば PVD 法などにより金属などの導電性物質を堆積して、裏面の P 型アノード拡散層 106 上にアノード電極 111 を形成する。

[0015] また、N 型カソード拡散層 108 上にカソード電極 112 を接続するように形成し、P 型ベース拡散層 105 上にゲート電極 113 を接続するように形成する。

[0016] 最後に、スクライブライン SL に沿ってダイシングして各半導体チップに個片化することにより各サイリスタ 100 をそれぞれ得ることができる。

先行技術文献

特許文献

[0017] 特許文献 1：特開平 7-235660 号公報

発明の概要

発明が解決しようとする課題

[0018] 特許文献 1 に開示されている従来のサイリスタ 100 の製造方法では、P 型アイソレーション拡散層 104、P 型ベース拡散層 105 および P 型アノード拡散層 106 を形成する前に、図 13 (b) の工程において、N 型シリコン基板 101 のアイソレーション領域に対応する箇所、N 型シリコン基板 101 の表面から所定の深さの溝 103 を形成しておく。これにより、素子分離のために深く形成する必要がある P 型アイソレーション拡散層 104 の拡散は、図 14 に示すように、N 型シリコン基板 101 の表面 101 a、溝 103 の側壁 103 a および底面 103 b の 3 方向から P 型不純物がイオン注入された後に加熱処理により拡散することになり、比較的短い拡散時間で P 型アイソレーション拡散層 104 と P 型アノード拡散層 106 との接続が上下に取れて隣接サイリスタ間の素子分離を行うことができる。

[0019] ところが、従来のサイリスタの製造方法では、ダイシングまたはエッチングにより、N 型シリコン基板 101 のアイソレーション領域に対応する箇所、例えばスクライブライン SL 上に、N 型シリコン基板 101 の表面から所定の深さのライン状の連続した溝 103 を形成しているが、これは半導体ウエハ厚が例えば $245\ \mu\text{m}$ と薄い半導体ウエハでは特に、溝 103 がラインエッチングとなって応力に対するマージンが低下して、基板搬送時などの振動などで膜などの応力により製造工程内でウエハ割れが発生する。また、基板表面のみの一方向からの溝加工であることから、素子分離用のアイソレーション領域形成の拡散時間を更に短縮することには制限があって厚いウエハには向かない。

[0020] 本発明は、上記従来の問題を解決するもので、ウエハ割れに対する強度を損なわずに、アイソレーション領域形成の拡散時間を短縮することができる半導体素子基板およびその製造方法を提供することを目的とする。

課題を解決するための手段

[0021] 本発明の半導体素子基板は、複数の半導体装置がマトリクス状に配置され、互いに隣接する半導体装置間のスクライブラインに沿って不連続に複数の穴が配設され、該複数の穴の周りにそれぞれ素子分離用のアイソレーション

拡散層が形成されているものであり、そのことにより上記目的が達成される。

[0022] また、好ましくは、本発明の半導体素子基板における複数の穴は基板両面からそれぞれ前記スクライブラインに沿って形成されて前記素子分離用の一導電型の各アイソレーション拡散層が該基板両面から深さ方向中央部に達して隣接穴間および上下に互いに少なくとも一部が重なるように形成されている。

[0023] さらに、好ましくは、本発明の半導体素子基板製造方法における基板表面から形成された複数の穴のピッチと前記基板裏面から形成された複数の穴のピッチとが互いにずれて形成されている。

[0024] さらに、好ましくは、本発明の半導体素子基板製造方法におけるスクライブラインの方向に隣接する前記隣接穴間の繋がり部分の距離と、前記基板表面の穴の底面と前記基板裏面の穴の底面の間の深さ方向距離とが同一である。

[0025] さらに、好ましくは、本発明の半導体素子基板製造方法における複数の穴の形状は、平面視円形、長円形および4角形のうちのいずれかである。

[0026] 本発明の半導体素子基板の製造方法は、基板の片面または両面に、スクライブラインに沿った不連続な複数の穴を形成する穴形成工程と、該穴を介してウエハ両面から不純物をイオン注入して不純物領域を形成する不純物注入工程と、加熱処理により不純物領域を拡散してアイソレーション拡散層を形成するアイソレーション拡散工程と、該アイソレーション拡散層で囲まれた素子分離領域毎に半導体装置（半導体素子を含む半導体装置）を形成する半導体装置形成工程とを有するものであり、そのことにより上記目的が達成される。

[0027] 上記構成により、以下、本発明の作用を説明する。

[0028] 本発明においては、複数の半導体装置がマトリクス状に配置され、互いに隣接する半導体装置間のスクライブラインに沿って不連続に複数の穴が配設され、複数の穴の周りにそれぞれ素子分離用のアイソレーション拡散層が形

成されている。

[0029] これによって、ウエハ割れに対する強度を損なわずに、アイソレーション領域形成の拡散時間を短縮することが可能となる。

発明の効果

[0030] 以上により、本発明によれば、ウエハ割れに対する強度を損なわずに、アイソレーション領域形成の拡散時間を短縮することができる。

図面の簡単な説明

[0031] [図1]本発明の実施形態1における半導体素子基板として半導体ウエハを概略的に示す平面図である。

[図2]図1の半導体ウエハから2チップを取り出した場合の平面図である。

[図3]図2のA-A線断面図である。

[図4]半導体ウエハの両面の各隣接2個の円形穴およびその周りのアイソレーション拡散層を取り出した拡大断面図であって、(a)は、本発明の実施形態1の半導体ウエハの表面と裏面で穴形成ピッチがずれていない場合の拡大断面図、(b)は、本発明の実施形態2の半導体ウエハの表面と裏面で穴形成ピッチが半ピッチだけずれている場合の拡大断面図である。

[図5]図4の円形穴の各中心間距離(ピッチP1)に対する拡散時間との関係を示す図である。

[図6]図4の円形穴の穴深さに対する拡散時間との関係を示す図である。

[図7]両面穴形成時の片側の穴深さと拡散時間との関係を示す特性図である。

[図8]本発明の実施形態3の半導体素子基板1Bとして半導体ウエハから隣接2チップを取り出した場合の平面図である。

[図9] (a) および (b) は、本発明の実施形態4の半導体素子基板の1チップ単位についてその製造方法のアイソレーション工程を示す縦断面図である。

[図10] (a) および (b) は、本発明の実施形態4の半導体素子基板の1チップ単位についてその製造方法のボロン拡散およびリン拡散工程を示す縦断面図である。

[図11] (a) および (b) は、本発明の実施形態4の半導体素子基板の1チップ単位についてその製造方法のCVD膜成長および電極形成工程を示す縦断面図である。

[図12] (a) および (b) は、本発明の実施形態4の半導体素子基板の1チップ単位についてその製造方法の裏面電極形成およびPIコート形成工程を示す縦断面図である。

[図13] (a) ~ (e) は、特許文献1に開示されている従来のサイリスタの製造方法を工程順に示す概略縦断面図である。

[図14] P型アイソレーション拡散層形成時の溝周辺部の拡大縦断面図である。

符号の説明

- [0032] 1、1A、1B 半導体素子基板
2 オリフラ
3 半導体チップ
SL スクライブライン
4a, 4b 円形穴
5a, 5b アイソレーション拡散層
6a, 6b 長円形穴
7a, 7b アイソレーション拡散層
11 半導体ウエハ (N型基板)
12a, 12b 第1酸化絶縁膜
13a, 13b 第2酸化絶縁膜
14 表面側のP型拡散層
15 裏面側のP型拡散層
16、17 表面側のN型拡散層
18 裏面側のN型拡散層
19 CVD膜
20 PIコート膜

発明を実施するための形態

[0033] 以下に、本発明の半導体素子基板およびその製造方法の実施形態1～4について図面を参照しながら詳細に説明する。なお、各図における構成部材のそれぞれの厚みや長さなどは図面作成上の観点から、図示する構成に限定されるものではない。また、穴の径や深さ、ピッチP、個数なども実際のデバイスと一致していなくてもよく、図示および説明の便宜を考慮した穴の径や深さ、ピッチP、個数としたものであり、図示する構成に限定されるものではない。さらに、本発明の半導体素子基板およびその製造方法の実施形態1～4は、本願請求項に示した範囲で種々の変更が可能である。即ち、本願請求項に示した範囲で適宜変更した技術的手段を更に組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0034] (実施形態1)

図1は、本発明の実施形態1における半導体素子基板として半導体ウエハを概略的に示す平面図である。

[0035] 図1において、本実施形態1の半導体素子基板1は、ここでは平面視円形状の半導体ウエハで構成されている。半導体素子基板1としての半導体ウエハはその方向を示すためにオリフラ2が平坦部として形成されている。この半導体ウエハには、複数の半導体装置としての複数の半導体チップ3がマトリクス状に複数配置されて、互いに隣接する半導体装置間には点線で示すスクライプラインSLが縦横に配設されてウエハ全体でスクライプラインSLが格子状に形成されている。このスクライプラインSLはダイシングされて各半導体装置に個片化するためのラインである。

[0036] 本実施形態1の半導体素子基板1では、ウエハ両面にそれぞれ、互いに隣接する半導体装置間のスクライプラインSLに沿って不連続でかつ断続的に複数の穴が並んで配設され、複数の穴の周りにそれぞれ素子分離用の一導電型のアイソレーション拡散層が形成されている。これについて、次の図2および図3を用いて詳細に説明する。

[0037] 図2は、図1の半導体ウエハから隣接2チップを取り出した場合の平面図

である。図3は、図2のA-A線断面図である。

- [0038] 図2および図3において、隣接2チップである各半導体チップ3の間にはスクライブラインSLに沿ってウエハ両面に所定深さの円形穴4a, 4bが所定ピッチでドット状（不連続状）に1列に並んで形成されている。円形穴4a, 4bの直径はダイシング幅（例えば60 μ m）によりも同等かまたは小さく（例えば40 μ m）構成されて、範囲で示せば40 μ m~60 μ mに構成されている。
- [0039] 円形穴4a, 4bの各ピッチP1は均等に形成されている。表面側で隣接する円形穴4a間および裏面側で隣接する円形穴4b間はそれぞれ、隣接する半導体チップ3間で繋がっている。このため、応力的にウエハ割れに強く構成されている。
- [0040] このように、ウエハ両面に所定深さの円形穴4a, 4bがドット状で直線に沿って形成されているので、ウエハ厚さの深い中央位置付近まで両面側の円形穴4a, 4bから達することから、素子分離用のアイソレーション拡散層5a, 5bが上下に繋がる所定領域までの拡散時間が大幅に短縮される。
- [0041] 上下のアイソレーション拡散層5a, 5bはそれぞれ、半導体ウエハのシリコン基板表面、および円形穴4a, 4bの側壁、底面の3方向から例えばP型不純物がイオン注入された後に加熱処理で熱拡散されている。これにより、スクライブラインSLに沿ったウエハ両面側の複数のドット状の円形穴4a, 4bをそれぞれ通して比較的短い時間で互いに前後に並んだ隣接穴間および上下の隣接穴の底面間でアイソレーション拡散層5a, 5bの境界が前後および上下からそれぞれ重なって素子分離がより確実に為される。
- [0042] 要するに、円形穴4a, 4bが基板両面からそれぞれスクライブラインSLに沿って形成され、素子分離用の一導電型（ここではP型）の各アイソレーション拡散層5a, 5bが基板両面から円形穴4a, 4bを介して深さ方向中央部に達して隣接穴間および上下穴底面間に互いに到達して重なるように形成されている。
- [0043] アイソレーション拡散層5a, 5bはそれぞれ、1列に並んだウエハ両面

側の円形穴4 a, 4 bを中心として例えば直径Rで広がって拡散している。したがって、ウエハ両面からの円形穴4 a, 4 bの中心間距離（ピッチP 1）から穴直径を差し引いた繋がった部分の距離と、円形穴4 a, 4 bの各底面同士の深さ方向距離（P 2）とは同等の距離にすることが望ましい。要するに、スクライブラインSLの方向に隣接する円形穴4 a, 4 bの各間の繋がり部分の距離と、ウエハ表面の円形穴4 aの底面とウエハ裏面の円形穴4 bの底面との間の距離とを同一にする。

[0044] このように、円形穴4 a, 4 bの中心間距離（ピッチP 1）から穴直径を差し引いた距離と、円形穴4 a, 4 bの各底面の深さ方向距離（P 2）とが同等の距離であれば、アイソレーション拡散層5 a, 5 bが円形穴4 a, 4 bから拡散領域が広がったときに、互いに隣接するアイソレーション拡散層5 a, 5 bが前後および上下から互いに到達した後に互いに重なるのが略同時に同程度になって拡散時間が効率的に設定できる。

[0045] 以上により、本実施形態1によれば、互いに隣接する半導体装置間のスクライブラインSLに沿って不連続でかつ断続的にウエハ両面に複数の円形穴4 a, 4 bがそれぞれ並んで配設され、複数の円形穴4 a, 4 bの周りにそれぞれ素子分離用の一導電型（ここではP型）のアイソレーション拡散層5 a, 5 bがウエハ両面から深さ方向中央部に達して隣接穴間および上下底面間で互いに少なくとも一部が重なるように形成されている。

[0046] これによって、ドット状で断続的に並んで形成され、ウエハ両面の所定深さの複数の円形穴4 a, 4 bをそれぞれ介して、ウエハ両面側からアイソレーション拡散層5 a, 5 bを同時に形成するため、ライン状の溝による従来の場合に比べてウエハ割れに対する強度を損なわずに、アイソレーション領域形成の拡散時間を短縮することができる本実施形態1の半導体素子基板1としての半導体ウエハを得ることができる。この半導体ウエハのスクライブラインSLに沿ってドット状の複数の円形穴4 a, 4 bから容易に切断して複数の半導体素子チップに個片化することができる。

[0047] なお、本実施形態1では、スクライブラインSLの素子分離位置にウエハ

両面に所定深さの複数の円形穴4 a, 4 bが所定ピッチでドット状（不連続状）に1列に並べて形成され、その後、ウエハ両面の所定深さの円形穴4 a, 4 bをそれぞれ介して、ウエハ両面側からアイソレーション拡散層5 a, 5 bをそれぞれ形成する場合について説明したが、これに限らず、スクライブラインSLの素子分離位置にウエハ表面（片面）だけに所定深さの円形穴4 aが所定ピッチでドット状（不連続状）に1列に並んで形成され、その後、表面側の所定深さの円形穴4 aだけを介して、ウエハ両面側からアイソレーション拡散層5 aなどを形成するようにしてもよい。この場合、裏面側の所定深さの円形穴4 bを介しない分だけアイソレーション拡散層5 bは深くならず拡散時間が長くなるものの、半導体ウエハが薄い場合など、ウエハ割れに対する強度は更に保持されている。

[0048] （実施形態2）

上記実施形態1では、半導体ウエハの両面に形成された円形穴4 a, 4 bの各ピッチが互いにずれていない場合について説明したが、本実施形態2では、半導体ウエハの両面に形成された円形穴4 a, 4 bの各ピッチが互いに半ピッチだけ順次ずれている場合について説明する。

[0049] 図4は、本発明の実施形態2の半導体素子基板1 Aとしての半導体ウエハの両面の各隣接2個の円形穴4 a, 4 bおよびその周りのアイソレーション拡散層5 a, 5 bを取り出した拡大断面図であって、図4（a）は、本発明の実施形態1の半導体ウエハの表面と裏面で穴形成ピッチがずれていない場合の拡大断面図、図4（b）は、本発明の実施形態2の半導体ウエハの表面と裏面で穴形成ピッチが半ピッチだけずれている場合の拡大断面図である。なお、図4（a）および図4（b）では、図1～図3で説明した構成部材の作用効果と同一の作用効果を奏する部材には同一の符号を付けて説明する。

[0050] 図4（a）および図4（b）において、ウエハ表面およびウエハ裏面の穴形成位置をずらす方が拡散時間をより短縮することができる。これは、不純物濃度が $1 \times 10^{21} \text{ cm}^{-3}$ で温度が摂氏1250度、例えば100分後のアイソレーション拡散層5 a, 5 bの状態である。

[0051] 以下、これについて詳細に説明する。

[0052] 半導体ウエハの両面からの互いに隣接する各2個を取り出した円形穴4 a, 4 bおよびその周りのアイソレーション拡散層5 a, 5 bが描かれている。図4 (a)と図4 (b)との違いは、図4 (a)では、半導体ウエハの表面からの隣接2個の円形穴4 a、4 aのピッチP 1とこれに対向する裏面からの隣接2個の円形穴4 b、4 bのピッチP 1とが互いにずれておらず、円形穴4 a、4 aの各底面の直下の位置に円形穴4 b、4 bの各底面が位置している。これに対して、図4 (b)では、半導体ウエハの表面からの隣接2個の円形穴4 a、4 aのピッチP 1とこれに対向する裏面からの隣接2個の円形穴4 b、4 bのピッチP 1とが半ピッチだけずれており、横並びの円形穴4 a、4 aの各底面間の直下の位置に円形穴4 bの底面が位置している。要するに、ウエハ表面から形成された円形穴4 aのピッチP 1とウエハ裏面から形成された円形穴4 bのピッチP 1とが互いに半ピッチだけずれて形成されている。

[0053] このように、スクライブラインS Lに沿ってウエハ表面と裏面とで所定深さの円形穴4 a, 4 bが所定ピッチでドット状（不連続）に形成されているが、ウエハ表面側の複数並んだ円形穴4 aとウエハ裏面側の複数並んだ円形穴4 bでスクライブラインS Lに沿った方向に半ピッチだけ所定深さの円形穴4 a, 4 bが互いにずれて形成されている。これは、各円形穴4 a, 4 bの周囲にアイソレーション拡散層5 a, 5 bが形成されるが、最も深い拡散層の位置は円形穴4 a, 4 bの底面に対応しており、最も深いアイソレーション拡散層5 a, 5 bの位置から円形穴4 a, 4 bの側面に対応したアイソレーション拡散層5 a, 5 bの位置まで拡散領域が斜めに丸く繋がっていることから、表面側の隣接する円形穴4 aと、これに対向する裏面側の隣接する円形穴4 bとがピッチP 1がずれていない場合には、表面側の隣接する円形穴4 a間の拡散領域の谷間と、これに対向する裏面側の隣接する円形穴4 b間の拡散領域の谷間との間に拡散していない穴の開いた図4 (a)の領域Bが存在している。この拡散していない領域Bを介して隣接素子が十分に素

子分離できていない。このため、更なる加熱処理によりアイソレーション拡散層5 a, 5 bをさらに拡散させて、穴の開いた領域Bを無くす拡散時間が必要になる。これに対して、表面側の隣接する円形穴4 aと、これに上下で対向する裏面側の隣接する円形穴4 bとが半ピッチだけピッチがずれている場合には、更なる加熱処理は不要で、穴の開いた図4 (a)の領域Bはなくなって、拡散層で穴が閉じた図4 (b)の領域B'となる。これによって、必要な拡散時間が更に短縮され得る。

[0054] 図5は、図4の円形穴4 a, 4 bの各中心間距離（ピッチP 1）に対する拡散時間との関係を示す図である。

[0055] 図5に示すように、隣接する円形穴4 aの中心間距離であるピッチP 1、または隣接する円形穴4 bの中心間距離であるピッチP 1が大きくなればなるほど、上側で隣接のアイソレーション拡散層5 a, 5 aの拡散が必要な領域および、下側で隣接のアイソレーション拡散層5 b, 5 bの拡散が必要な領域が広がって拡散時間が増加する。加熱処理により、アイソレーション拡散層5 a, 5 bを上下方向および並び方向にそれぞれ拡散させてアイソレーション拡散層5 a, 5 bを上下および並び方向に不純物領域として重ね合わせて素子チップ間をより確実に素子分離する。

[0056] 図6は、図4の円形穴4 a, 4 bの穴深さに対する拡散時間との関係を示す図である。

[0057] 図6に示すように、円形穴4 a, 4 bの各穴深さが深くなればなるほど、円形穴4 a, 4 bの各底面同士の深さ方向距離（図3のP 2）が小さくなって、拡散時間が減少する。

[0058] 加熱処理により、アイソレーション拡散層5 a, 5 bを上下および穴並びの各方向に拡散させて到達させ、アイソレーション拡散層5 a, 5 bを上下および穴並びの各方向に不純物領域として重ね合わせて素子チップ間をより確実に素子分離する必要がある。

[0059] したがって、拡散時間としては、円形穴4 a, 4 bの中心間距離（図2のピッチP 1）から穴直径を差し引いた繋がった距離と、円形穴4 a, 4 bの

各底面同士の深さ方向距離（図3のP2）とが同じであることが最も効率が良い。最も時間が短くなるので望ましい。円形穴4a, 4bの各穴深さを深くすると、円形穴4a, 4bの各底面同士の深さ方向距離（図3のP2）が小さくなり、円形穴4a, 4bの各ピッチP1も円形穴4a, 4bの深さ方向距離（図3のP2）に合わせて小さくする。円形穴4a, 4bの中心間距離（ピッチP1）から穴直径を差し引いた距離と、円形穴4a, 4bの各底面の深さ方向距離（P2）とが同一であれば、アイソレーション拡散層5a, 5bが円形穴4a, 4bの周囲から広がったときに、互いに隣接するアイソレーション拡散層5a, 5bがくっ付いた後に互いに重なって素子分離が確実になる。

[0060] 図7は、両面穴形成時の片側の穴深さと拡散時間との関係を示す特性図である。

[0061] 図7に示すように、ウエハ厚さが245 μm で両面穴形成時の片側の穴深さと拡散時間との関係において、各円形穴4a, 4bの深さがそれぞれ70 μm で拡散時間は10時間必要であり、各円形穴4a, 4bの深さがそれぞれ0 μm 、即ち穴を設けない場合には375時間、ウエハ両面から各アイソレーション拡散層がくっ付くのに必要である。この375時間の半分の187.5時間の加熱処理で拡散させる場合には、各円形穴4a, 4bの深さがそれぞれ37.3 μm 必要である。

[0062] 以上により、本実施形態2によれば、複数の円形穴4a, 4bはウエハ両面からそれぞれスクライブラインSLに沿って形成されて素子分離用のP型の各アイソレーション拡散層5a, 5bがウエハ両面から深さ方向中央部に達して隣接穴間および上下に互いに少なくとも一部が重なるように形成されている。この場合に、ウエハ表面から形成された複数の円形穴4aのピッチP1とウエハ裏面から形成された複数の円形穴4bのピッチP1とが同一ではなく互いにずれて（例えば半ピッチ）形成されている。

[0063] これによって、ウエハ両面の所定深さの円形穴4a, 4bの形成ピッチを互いにずらして、両面側からアイソレーション拡散層5a, 5bを形成する

ため、各アイソレーション拡散層 5 a, 5 b が効率よく形成されて、ウエハ割れに対する強度を損なわずに、アイソレーション領域形成の拡散時間を更に大幅に短縮することができる本実施形態 1 の半導体素子基板 1 A としての半導体ウエハを得ることができる。この半導体ウエハのスクライブライン S L に沿ってドット状の円形穴 4 a, 4 b を切断して複数の半導体素子チップに個片化することができる。

[0064] (実施形態 3)

上記実施形態 1、2 では、半導体ウエハの両面に有底の円形穴 4 a, 4 b が形成された場合について説明したが、本実施形態 3 では、半導体ウエハの両面に、円形穴 4 a, 4 b の円形以外の穴形状として長円形穴や 4 角形穴（正方形または長方形）などがあるが、ここでは長円形穴が形成された場合について説明する。

[0065] 図 8 は、本発明の実施形態 3 の半導体素子基板 1 B として半導体ウエハから隣接 2 チップを取り出した場合の平面図である。

[0066] 図 8 および図 3 において、隣接 2 チップである各半導体チップ 3 の間にはスクライブライン S L が形成されている。このスクライブライン S L に沿ってウエハ両面に所定深さの長円形穴 6 a, 6 b が所定ピッチでドット状（不連続状）に 1 列に形成されている。長円形穴 6 a, 6 b の両端部の円形の直径はダイシング幅と同等である。長円形穴 6 a, 6 b の各ピッチは均等に形成されている。表面で隣接する長円形穴 6 a 間および裏面で隣接する長円形穴 6 b 間はそれぞれ、隣接する半導体チップ 3 間で繋がっている。このため、応力的にウエハ割れに強い。このように、ウエハ両面に所定深さの長円形穴 6 a, 6 b がドット状で直線状に形成されているので、ウエハ厚さの深い中央位置付近まで両面側の長円形穴 6 a, 6 b から達することから、素子分離用のアイソレーション拡散層 7 a, 7 b が繋がる所定領域までの拡散時間が大幅に短縮される。

[0067] アイソレーション拡散層 7 a, 7 b はそれぞれ、半導体ウエハのシリコン基板表面、および長円形穴 6 a, 6 b の側壁、底面の 3 方向から例えば P 型

不純物がイオン注入された後に加熱処理で熱拡散することにより、両面側の長円形穴 6 a, 6 b を通して比較的短い時間で互いに前後隣接穴間および上下隣接穴間で重なって素子分離がより確実に為されている。

[0068] アイソレーション拡散層 7 a, 7 b はそれぞれ、1 列に並んだ両面側の長円形穴 6 a, 6 b を中心として例えば直径 R (平面視長円の両端側) で拡散している。したがって、長円形穴 6 a, 6 b の中心間距離 (ピッチ) から距離 P 3 および両端部の直径を差し引いた距離と、長円形穴 6 a, 6 b の各底面同士の深さ方向距離 (P 2) とを同等にすることが望ましい。長円形穴 6 a, 6 b の中心間距離 (ピッチ) から距離 P 3 および両端部の直径を差し引いた距離と、長円形穴 6 a, 6 b の各底面の深さ方向距離 (P 2) とが同等であれば、アイソレーション拡散層 7 a, 7 b が長円形穴 6 a, 6 b から広がったときに、互いに隣接するアイソレーション拡散層 7 a, 7 b が前後および上下から互いに到達した後に互いに重なるのが略同時に同程度になって拡散時間が効率的に設定できる。

[0069] 以上により、本実施形態 3 によれば、互いに隣接する半導体素子を含む半導体装置間のスクライブライン S L に沿って不連続でかつ断続的にウエハ両面に複数の長円形穴 6 a, 6 b がそれぞれ並んで配設され、複数の長円形穴 6 a, 6 b の周りにそれぞれ素子分離用の一導電型 (ここでは P 型) のアイソレーション拡散層 7 a, 7 b がウエハ両面から深さ方向中央部に達して隣接穴間および上下底面間で互いに少なくとも一部が重なるように形成されている。

[0070] これによって、ウエハ両面の所定深さの長円形穴 6 a, 6 b をそれぞれ介して、両面側からアイソレーション拡散層 7 a, 7 b を形成するため、ウエハ割れに対する強度を損なわずに、アイソレーション領域形成の拡散時間を大幅に短縮することができる本実施形態 3 の半導体素子基板 1 B としての半導体ウエハを得ることができる。この半導体ウエハのスクライブライン S L に沿ってドット状の長円形穴 6 a, 6 b から容易に切断して複数の半導体素子チップに個片化することができる。

[0071] なお、本実施形態3では、スクライブラインSLの素子分離位置にウエハ両面に所定深さの長円形穴6a, 6bが所定ピッチでドット状（不連続状）に1列に形成され、その後、ウエハ両面の所定深さの長円形穴6a, 6bをそれぞれ介して、両面側からアイソレーション拡散層7a, 7bを形成する場合について説明したが、これに限らず、スクライブラインSLの素子分離位置にウエハ表面（片面）だけに所定深さの長円形穴6aが所定ピッチでドット状（不連続状）に1列に形成され、その後、表面側の所定深さの長円形穴6aだけを介して、ウエハ両面側からアイソレーション拡散層7aを形成するようにしてもよい。この場合、裏面側の所定深さの円形穴6bを介しない分だけアイソレーション拡散層7bが深く形成されず素子分離層とするためには全体の拡散時間は長くなるものの、半導体ウエハが薄い場合など、ウエハ割れに対する強度は更に保持されている。

[0072] なお、上記実施形態1, 2では、半導体ウエハの両面に円形穴4a, 4bが形成され、本実施形態3では、半導体ウエハの両面に長円形穴6a, 6bが形成されて、これらを介して不純物イオンが注入されてアイソレーション拡散層5a, 5bやアイソレーション拡散層7a, 7bが形成される場合について説明したが、平面視穴形状として円形穴4a, 4bおよび長円形穴6a, 6bの他に、平面視正方形や長方形などの4角形の穴または長穴（有底）であってもよく、これらがドット状に直線状に並んで不連続に形成されていてもよい。

[0073] なお、本実施形態3では、図4（a）に示すように、半導体ウエハの両面に形成された長円形穴6a, 6b（長円形穴6a, 6bは図示されたものよりも左右方向に穴が長く表現されるべきであるが、図4（a）では円形穴4a, 4bを代表して示している）の各ピッチが上下でずれていない場合について説明したが、これに限らず、図4（b）に示すように、上記実施形態2のように、半導体ウエハの両面に形成された長円形穴6a, 6b（長円形穴6a, 6bは図示されたものよりも左右方向に穴が長く表現されるべきであるが、図4（b）では円形穴4a, 4bを代表して示している）の各ピッチ

が互いに順次ずれて（例えば半ピッチずれて）いてもよい。

[0074] 即ち、図4（b）に示すように、半導体ウエハの表面からの隣接2個の長円形穴6a、6aのピッチとこれに対向する裏面からの隣接2個の長円形穴6b、6bのピッチとが例えば半ピッチだけずれており、横並びの長円形穴6a、6aの各底面間の直下の位置に長円形穴6bの底面の一部が位置していればよく、そのずれ量が半ピッチでなくてもよい。

[0075] （実施形態4）

上記実施形態1～3では、半導体素子基板およびその製造方法について説明したが、本実施形態4では、具体的にサイリスタ素子基板およびその製造方法について説明する。

[0076] サイリスタ素子はスイッチング素子であり、SCRやトライアックがある。SCRは一方向性素子であって、カソード（K）、アノード（A）および制御端子のゲート（G）という3端子を持っている。アノード（A）とカソード（K）との間に負荷および電源からなる回路を接続してゲート（G）へのゲート電圧によりオン制御できる。

[0077] 一方、トライアックは双方向性素子であって、駆動端子（表面電極T1）、駆動端子（裏面電極T2）および制御端子のゲート（G）という3端子を持っている。駆動端子（表面電極T1）と駆動端子（裏面電極T2）との間に負荷および電源からなる回路を接続してゲート（G）への制御電圧によりオン制御する。

[0078] 要するに、トライアックは、駆動端子（表面電極T1）と駆動端子（裏面電極T2）との間に電圧が加わっていればその極性に関係なく、ゲート電圧によりオン制御できる。保持電流以下になればトライアックはオフする。

[0079] 図9（a）および図9（b）は、本発明の実施形態4の半導体素子基板の1チップ単位についてその製造方法のアイソレーション工程を示す縦断面図である。

[0080] 本実施形態4の半導体素子基板の製造方法におけるアイソレーション工程は、図9（a）に示すように、N型基板としての半導体ウエハ11の両面に

、フォトリソ技術を用いて穴用マスクによりエッチング（またはレーザ加工）して上記実施形態1、2の円形穴4a、4b（または上記実施形態3の長円形穴6a、6b）をウエハ両面から形成すると共に、第1酸化絶縁膜12a、12bを所定形状に形成する穴形成工程と、図9（b）に示すように、上記実施形態1、2の円形穴4a、4b（または上記実施形態3の長円形穴6a、6b）および第1酸化絶縁膜12a、12bの各開口部を介してウエハ両面から不純物イオンとして所定濃度にボロンを注入してP型不純物領域を形成する不純物イオン注入工程と半導体ウエハ11の両面に第1酸化絶縁膜12a、12bに代えて第2酸化絶縁膜13a、13bを両面に形成した後に、ウエハ厚さ245 μm で穴深さ37.3 μm の条件で、摂氏1250度、187.5時間の加熱処理をしてP型不純物領域を拡散して上記実施形態1、2のアイソレーション拡散層5a、5b（または上記実施形態3のアイソレーション拡散層7a、7b）を形成するアイソレーション拡散工程とを有している。

[0081] N型基板としての半導体ウエハ11の素子領域毎の周囲に、上記実施形態1、2のアイソレーション拡散層5a、5b（または上記実施形態3のアイソレーション拡散層7a、7b）が形成されている。上記実施形態1、2のアイソレーション拡散層5a、5b（または上記実施形態3のアイソレーション拡散層7a、7b）により囲まれた半導体チップ領域（素子領域）内に半導体素子が形成される。

[0082] 要するに、半導体素子基板1、1Aまたは1Bの製造方法は、ウエハ片面またはウエハ両面に、スクライプラインSLに沿った不連続な複数の穴、例えば上記実施形態1、2の円形穴4a、4b（または上記実施形態3の長円形穴6a、6b）を形成する穴形成工程と、この穴を介してウエハ両面または片面から不純物をイオン注入して不純物領域を形成する不純物注入工程と、加熱処理により不純物領域を拡散してアイソレーション拡散層として、例えば上記実施形態1、2のアイソレーション拡散層5a、5b（または上記実施形態3のアイソレーション拡散層7a、7b）を形成するアイソレーシ

オン拡散工程と、アイソレーション拡散層で囲まれた素子分離領域毎に半導体装置（半導体素子）を形成する半導体装置形成工程とを有している。これによって製造された半導体素子基板 1、1 A または 1 B をスクライブライン S L に沿って切断して個片化することにより素子分離領域が周囲に形成された半導体装置（半導体素子）を得ることができる。

[0083] この半導体素子としてのサイリスタ素子は S C R やトライアックがあるが、ここではトライアックの製造方法について簡単に説明する。

[0084] 図 1 0 (a) および図 1 0 (b) は、本発明の実施形態 4 の半導体素子基板の 1 チップ単位についてその製造方法のボロン拡散およびリン拡散工程を示す縦断面図である。

[0085] 図 1 0 (a) のボロン拡散工程に示すように半導体ウエハの表面側の所定領域にボロンイオンを不純物注入して所定濃度の P 型拡散層 1 4 を形成すると共に、半導体ウエハの裏面側の全面にボロンイオンを不純物注入して所定濃度の P 型拡散層 1 5 を形成する。

[0086] 図 1 0 (b) のリン拡散工程に示すように半導体ウエハの表面側の P 型拡散層 1 4 内の所定領域にリンイオンを不純物注入して所定濃度の N 型拡散層 1 6、1 7 を所定距離離間させて形成すると共に、半導体ウエハの裏面側の P 型拡散層 1 5 内の所定領域にリンイオンを不純物注入して所定濃度の N 型拡散層 1 8 を形成する。

[0087] 図 1 1 (a) および図 1 1 (b) は、本発明の実施形態 4 の半導体素子基板の 1 チップ単位についてその製造方法の C V D 膜成長および電極形成工程を示す縦断面図である。

[0088] 図 1 1 (a) の C V D 膜成長工程に示すように第 2 酸化絶縁膜 1 3 a を所定形状にエッチング処理した後にノンドープの C V D 膜 1 9 を膜成長させる。

[0089] 図 1 1 (b) の電極形成工程に示すように、これらの所定厚さになった第 2 酸化絶縁膜 1 3 a および C V D 膜 1 9 を所定形状にエッチング処理してウエハ表面を露出させた後に、それらの上に金属蒸着（例えば A l 蒸着）し、

金属蒸着膜を所定形状の表面電極 T 1 およびゲート電極 G に形成する。表面電極 T 1 は N 型拡散層 1 6 上に電氣的に接続して形成され、ゲート電極 G は N 型拡散層 1 7 上に電氣的に接続して形成されて、これらは互いに所定距離だけ離間している。

[0090] 図 1 2 (a) および図 1 2 (b) は、本発明の実施形態 4 の半導体素子基板の 1 チップ単位についてその製造方法の裏面電極形成および P I コート形成工程を示す縦断面図である。

[0091] 図 1 2 (a) の裏面電極形成工程に示すように、半導体ウエハ裏面側の第 2 酸化絶縁膜 1 3 b を除去した後に、裏面側全面に電氣的に接続して裏面電極 T 2 を形成する。

[0092] 図 1 2 (b) の P I コート形成工程に示すように、半導体ウエハ表面側の表面電極 T 2 およびゲート電極 G 上を開口するように P I コート膜 2 0 を形成する。

[0093] 以上によって、表面電極 T 1 と裏面電極 T 2 との間に負荷および電源からなる回路を接続してゲート電極 G への制御電圧によってオン制御可能とするトライアックを製造することができる。

[0094] トライアックはウエハ厚を全て用いる。トライアックは N P N P の双方向性のサイリスタ構造になっていてウエハ厚み方向（双方向）に電流が流れる。トライアックは縦方向（ウエハ厚み方向）での電流パスで構成されている。このため、アイソレーション工程でウエハ厚み方向に全て繋がった上記実施形態 1, 2 のアイソレーション拡散層 5 a, 5 b（または上記実施形態 3 のアイソレーション拡散層 7 a, 7 b）にてチップ間が素子分離されている。アイソレーション工程は上面および下面からの不純物熱拡散によってつなげることで素子分離している。上記実施形態 1, 2 のアイソレーション拡散層 5 a, 5 b（または上記実施形態 3 のアイソレーション拡散層 7 a, 7 b）が隣接穴間および上下で繋がっていないと、隣の素子とリークして素子特性に支障を来たす。

[0095] 上記実施形態 1, 2 のアイソレーション拡散層 5 a, 5 b（または上記実

施形態3のアイソレーション拡散層7 a, 7 b)をウエハ厚み方向に上下で繋げるように加熱処理にて拡散させるのに時間がかかって製造コストが上がった。このアイソレーション工程に、ウエハ厚が例えば245 μm (ウエハ厚が通常は625 μm)の薄いウエハでは、摂氏1250度の高温雰囲気では375時間かかっていた。このことが例えばトライアックのコストを決めていた。しかも、このウエハに割れなどダメージが入るとリークの原因になる。

[0096] これに対して、本実施形態4によれば、半導体ウエハ11の両面から上記実施形態1、2の円形穴4 a, 4 b(または上記実施形態3の長円形穴6 a, 6 b)を形成し、これを介してウエハ両面から不純物イオンとしてボロンをイオン注入してP型不純物領域をより深い位置に形成した後に摂氏1250度、370時間の半分程度の加熱時間で拡散処理をしてP型不純物領域を拡散させてより短時間で上記実施形態1、2のアイソレーション拡散層5 a, 5 b(または上記実施形態3のアイソレーション拡散層7 a, 7 b)を形成している。

[0097] したがって、スクライブラインSL(例えば60 μm)に沿って断続的な直線状でドット状に形成される上記実施形態1、2の径が40 μm 程度(ダイシング刃幅)の円形穴4 a, 4 b(または上記実施形態3の長円形穴6 a, 6 bの幅)を介してのイオン注入となるため、スクライブラインSLに沿った溝加工に比べてウエハ割れを抑制してウエハ強度を損なうことがない。これによって、素子間でのリークを抑制することができる。しかも、アイソレーション領域形成の拡散時間を大幅に短縮することができる。

[0098] なお、以上のように、本発明の好ましい実施形態1~4を用いて本発明を例示してきたが、本発明は、この実施形態1~4に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態1~4の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。本明細書において引用した特許

、特許出願および文献は、その内容自体が具体的に本明細書に記載されているのと同様にその内容が本明細書に対する参考として援用されるべきであることが理解される。

産業上の利用可能性

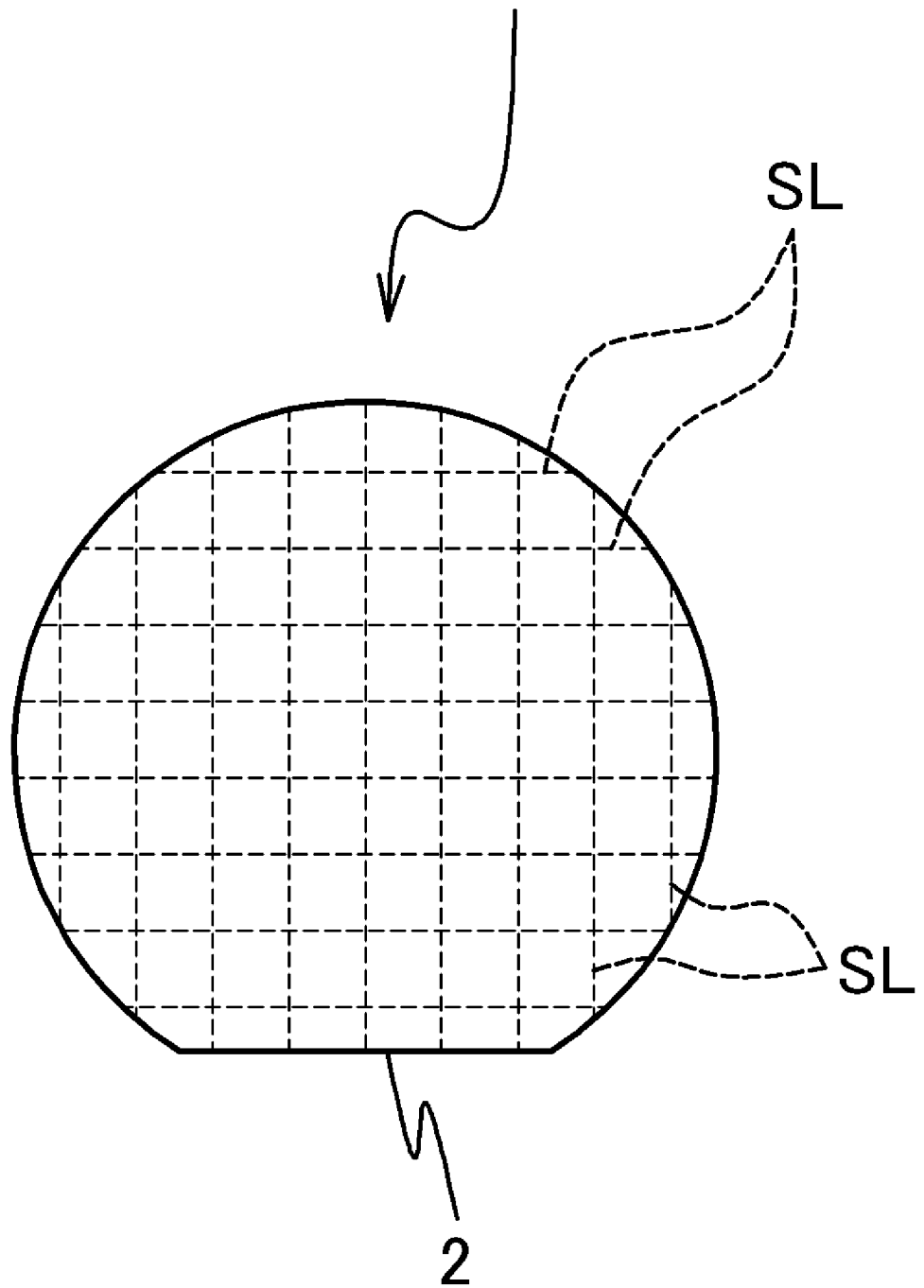
[0099] 本発明は、素子分離のアイソレーション技術としてアイソレーション拡散層を用いた半導体素子基板およびその製造方法の分野において、ウエハ割れに対する強度を損なわずに、アイソレーション領域形成の拡散時間を短縮することができる。

請求の範囲

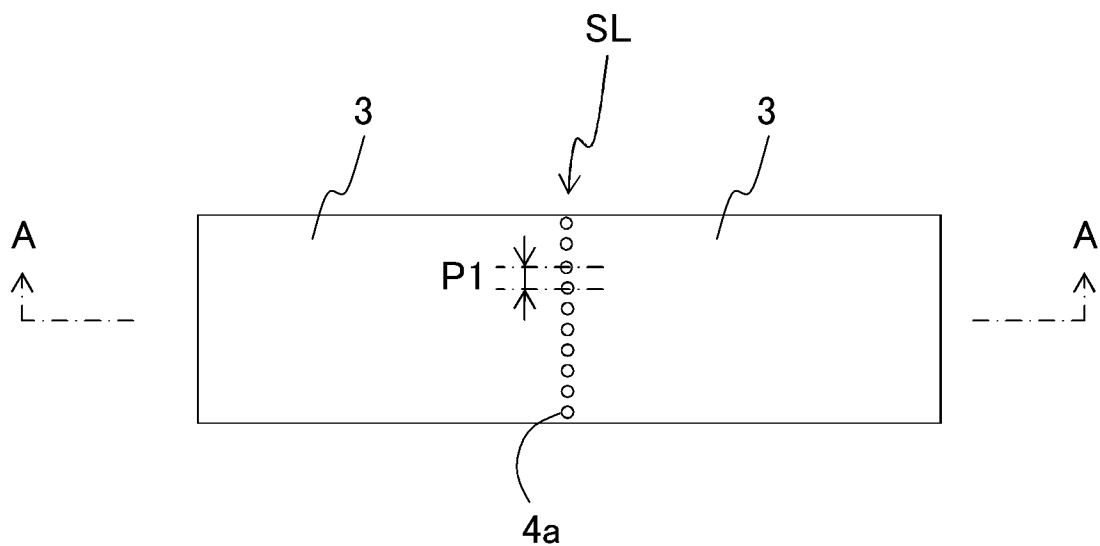
- [請求項1] 複数の半導体装置がマトリクス状に配置され、互いに隣接する半導体装置間のスクライブラインに沿って不連続に複数の穴が配設され、該複数の穴の周りにそれぞれ素子分離用のアイソレーション拡散層が形成されている半導体素子基板。
- [請求項2] 前記複数の穴は基板両面からそれぞれ前記スクライブラインに沿って形成されて前記素子分離用の一導電型の各アイソレーション拡散層が該基板両面から深さ方向中央部に達して隣接穴間および上下に互いに少なくとも一部が重なるように形成されている請求項1に記載の半導体素子基板。
- [請求項3] 前記基板表面から形成された複数の穴のピッチと前記基板裏面から形成された複数の穴のピッチとが互いにずれて形成されている請求項2に記載の半導体素子基板。
- [請求項4] 前記スクライブラインの方向に隣接する前記隣接穴間の繋がり部分の距離と、前記基板表面の穴の底面と前記基板裏面の穴の底面の間の深さ方向距離とが同一である請求項2または3に記載の半導体素子基板。
- [請求項5] 基板の片面または両面に、スクライブラインに沿った不連続な複数の穴を形成する穴形成工程と、該穴を介してウエハ両面から不純物をイオン注入して不純物領域を形成する不純物注入工程と、加熱処理により該不純物領域を拡散してアイソレーション拡散層を形成するアイソレーション拡散工程と、該アイソレーション拡散層で囲まれた素子分離領域毎に半導体装置を形成する半導体装置形成工程とを有する半導体素子基板の製造方法。

[図1]

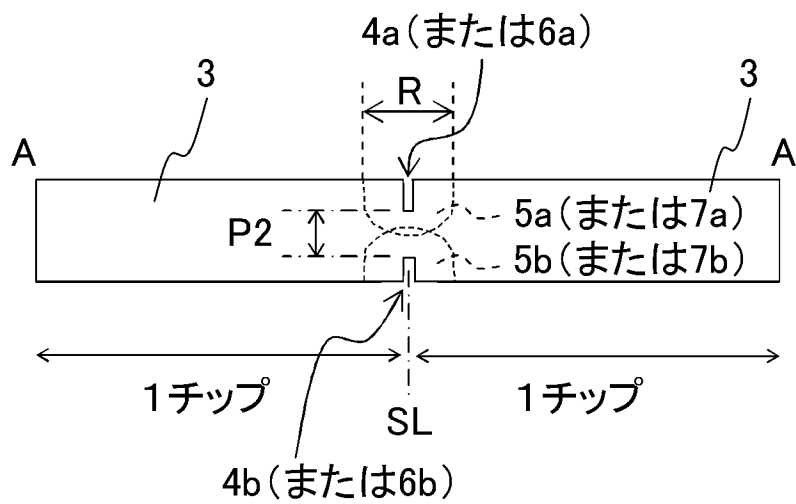
1(または1Aまたは1B)



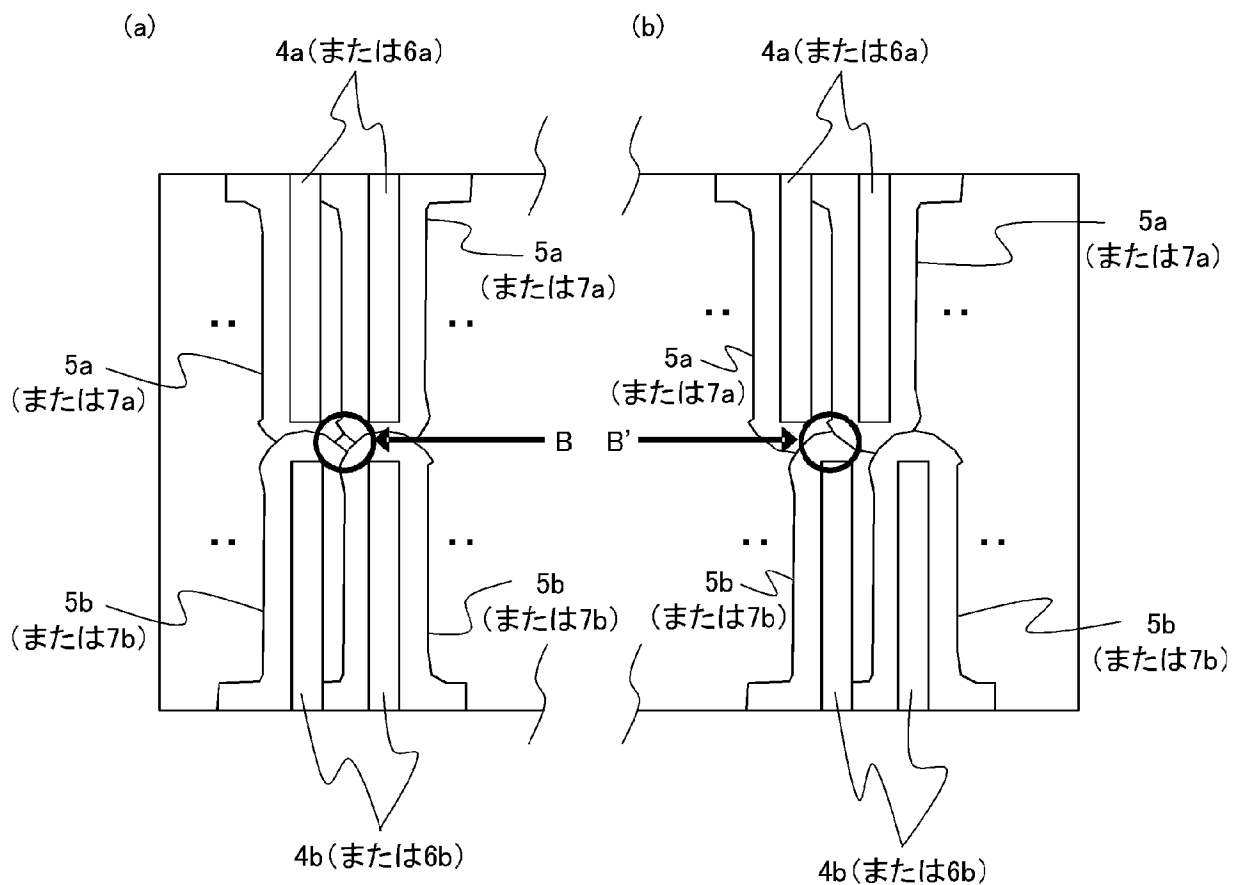
[図2]



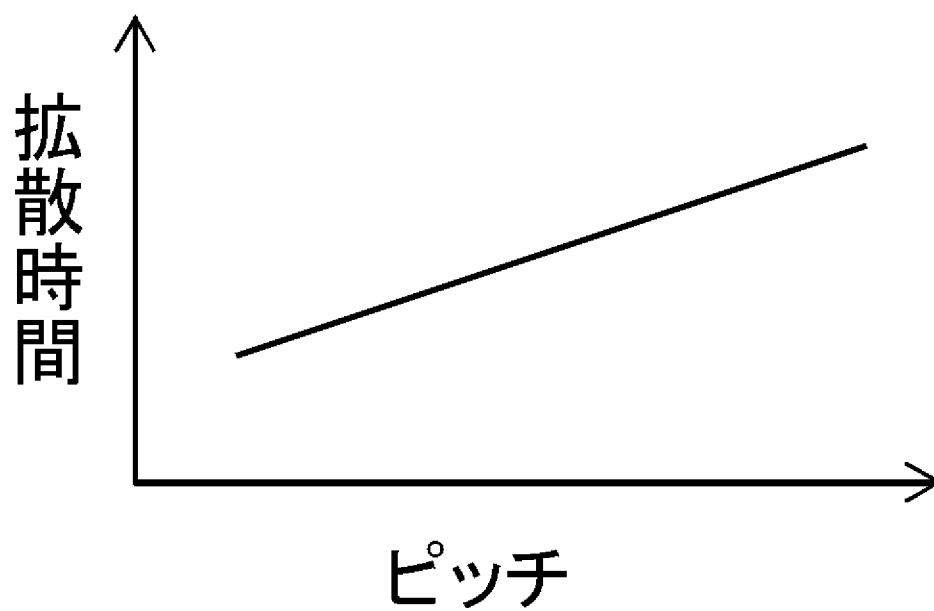
[図3]



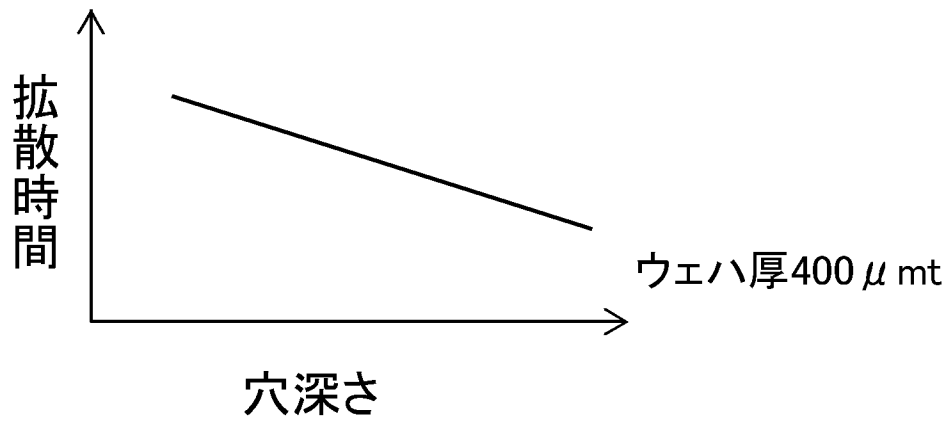
[図4]



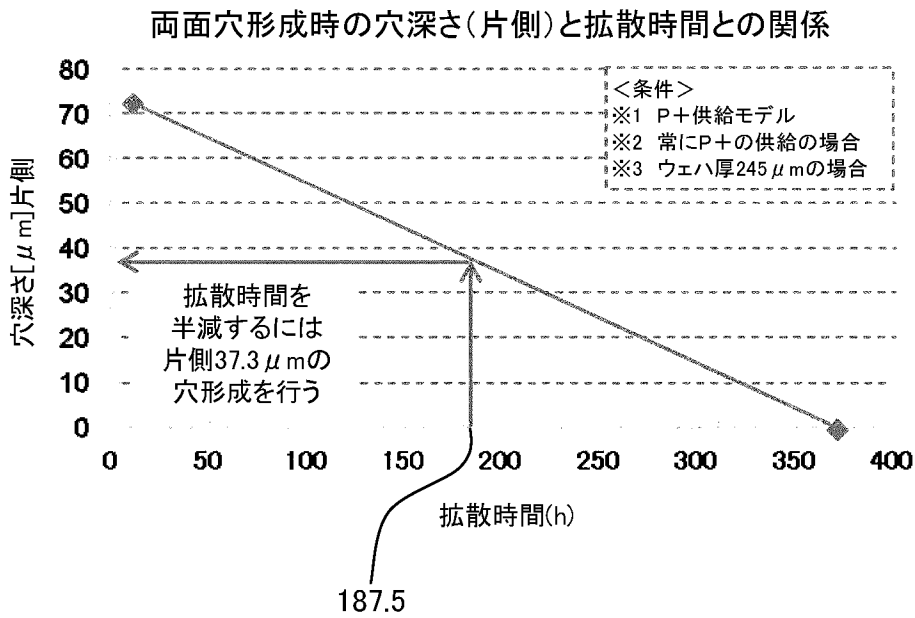
[図5]



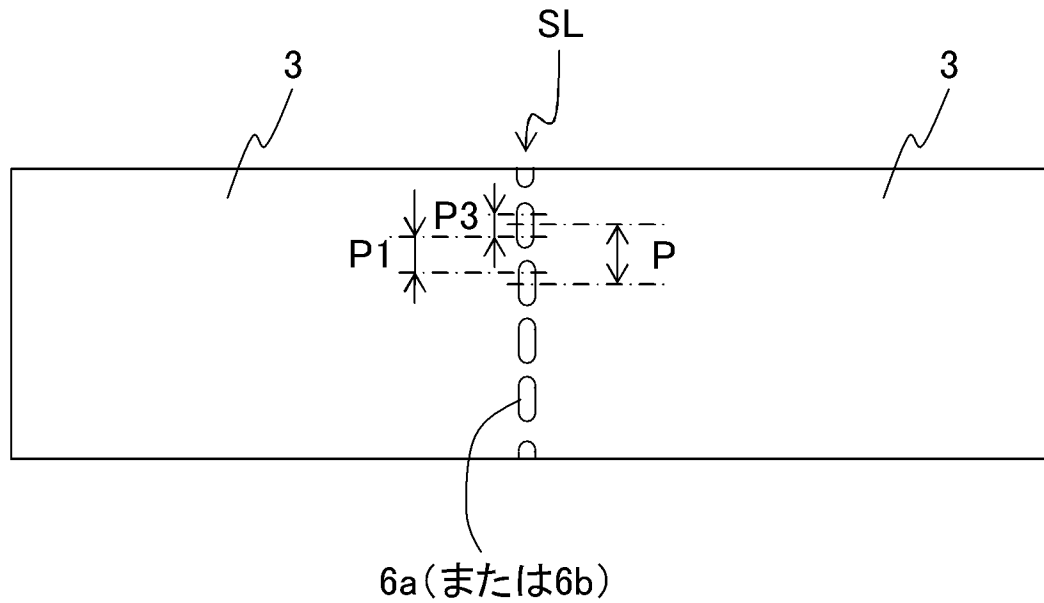
[図6]



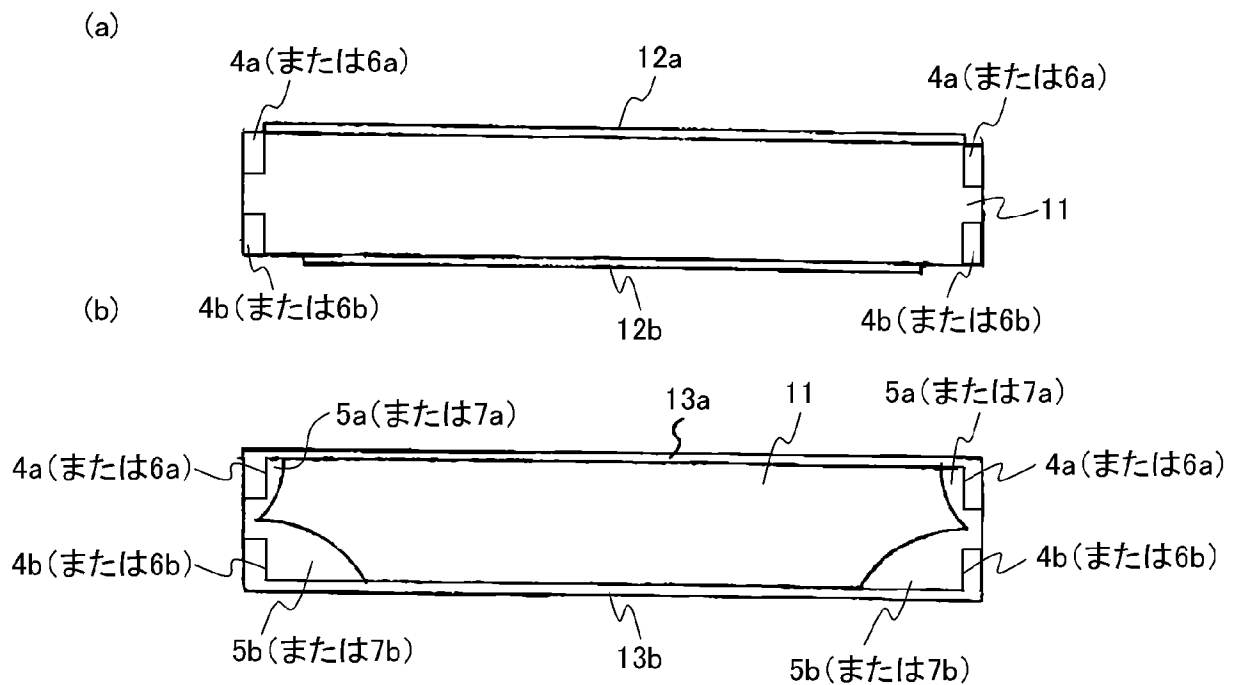
[図7]



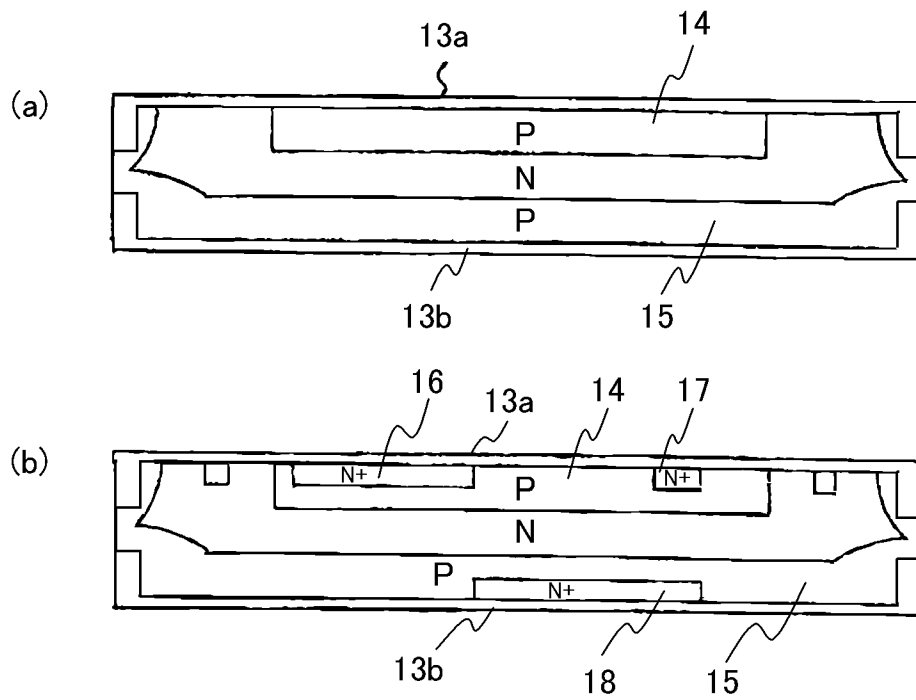
[図8]



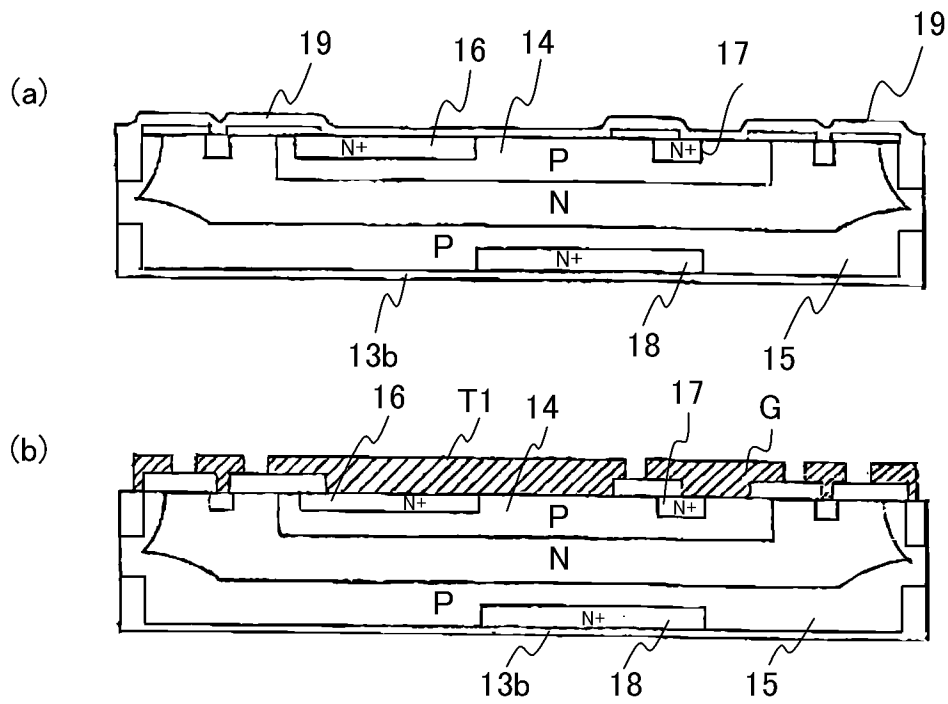
[図9]



[図10]

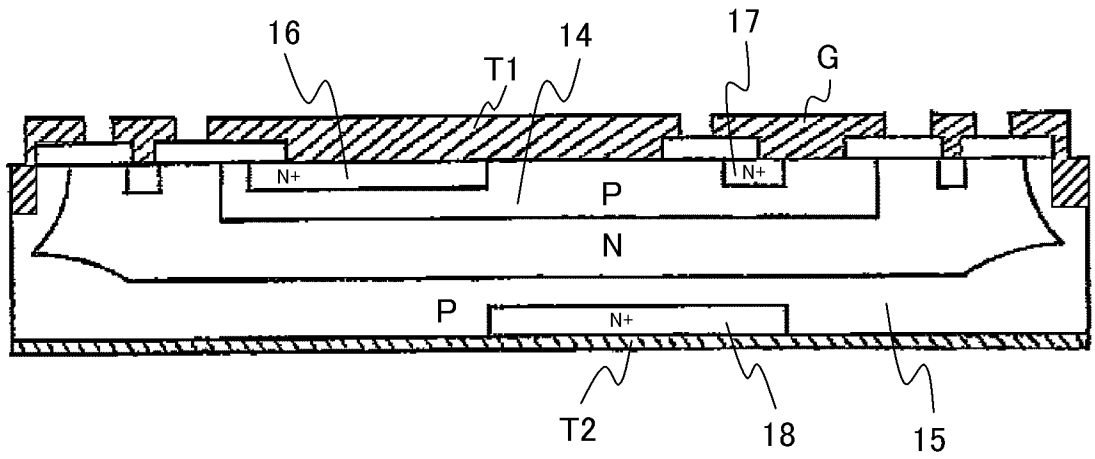


[図11]

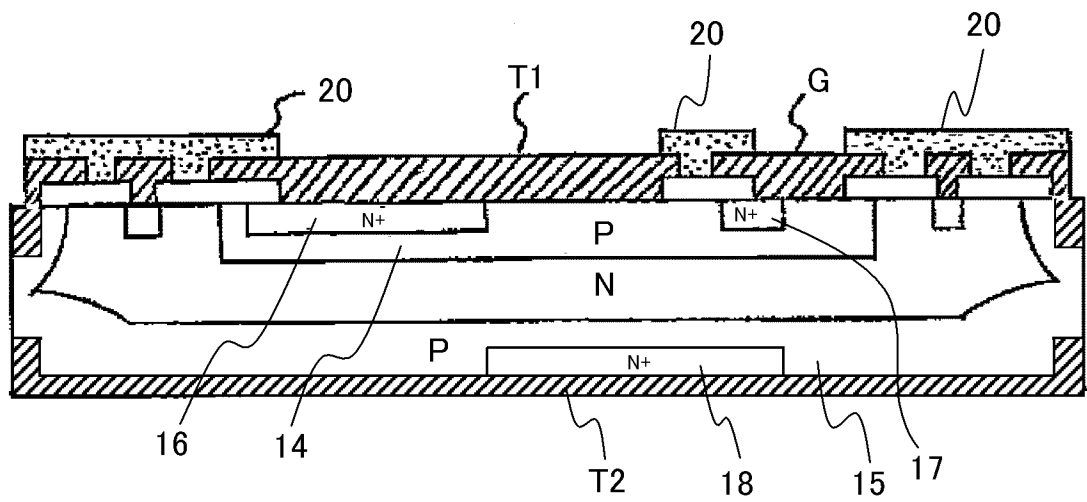


[図12]

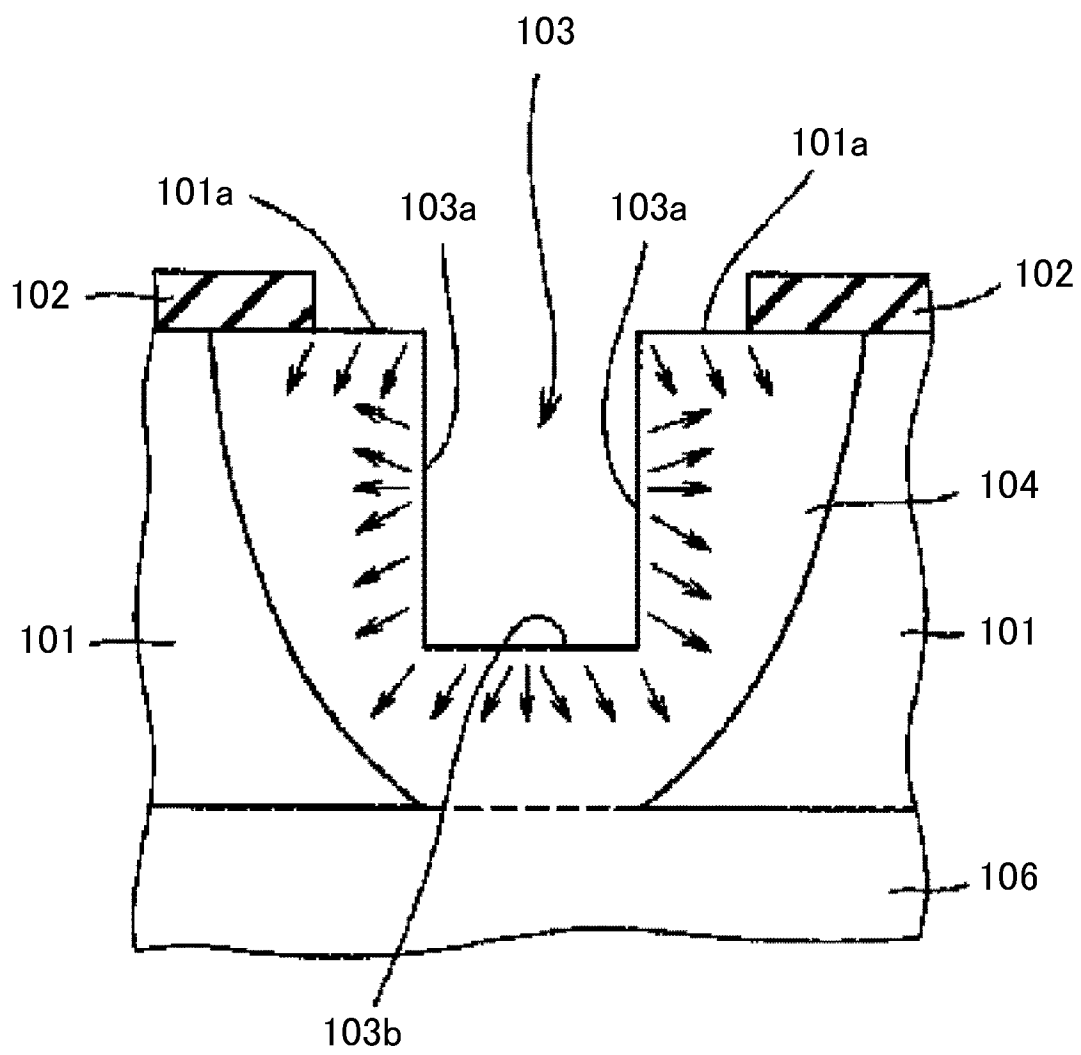
(a)



(b)



[図14]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/003426

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/761(2006.01)i, H01L21/22(2006.01)i, H01L21/265(2006.01)i, H01L29/74(2006.01)i, H01L29/747(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/761, H01L21/22, H01L21/265, H01L29/74, H01L29/747

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2014</i>
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2014</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2014</i>

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 07-235660 A (Rohm Co., Ltd.), 05 September 1995 (05.09.1995), entire text; all drawings (Family: none)	1-5
A	JP 2006-164997 A (Toyota Motor Corp.), 22 June 2006 (22.06.2006), paragraphs [0036] to [0050]; fig. 24 to 31 (Family: none)	1-5
A	JP 2001-185727 A (Fuji Electric Co., Ltd.), 06 July 2001 (06.07.2001), paragraphs [0033] to [0035]; fig. 8, 12 (Family: none)	1-5

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 September, 2014 (18.09.14)	Date of mailing of the international search report 30 September, 2014 (30.09.14)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/003426

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-004174 A (Fuji Electric Co., Ltd.), 05 January 2012 (05.01.2012), entire text; all drawings (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L21/761(2006.01)i, H01L21/22(2006.01)i, H01L21/265(2006.01)i, H01L29/74(2006.01)i, H01L29/747(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L21/761, H01L21/22, H01L21/265, H01L29/74, H01L29/747		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 07-235660 A（ローム株式会社）1995.09.05, 全文, 全図（ファミリーなし）	1-5
A	JP 2006-164997 A（トヨタ自動車株式会社）2006.06.22, 段落【0036】 - 【0050】、図24-図31（ファミリーなし）	1-5
A	JP 2001-185727 A（富士電機株式会社）2001.07.06, 段落【0033】 - 【0035】、図8、図12（ファミリーなし）	1-5
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 18.09.2014	国際調査報告の発送日 30.09.2014	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 右田 勝則 電話番号 03-3581-1101 内線 3559	50 9173

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-004174 A (富士電機株式会社) 2012.01.05, 全文、全図 (ファミリーなし)	1-5