

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7018965号  
(P7018965)

(45)発行日 令和4年2月14日(2022.2.14)

(24)登録日 令和4年2月3日(2022.2.3)

(51)国際特許分類 F I  
H 0 1 L 23/48 (2006.01) H 0 1 L 23/48 G

請求項の数 9 (全16頁)

(21)出願番号	特願2019-566023(P2019-566023)	(73)特許権者	000002037 新電元工業株式会社 東京都千代田区大手町2丁目2番1号
(86)(22)出願日	平成30年1月17日(2018.1.17)	(74)代理人	230104019 弁護士 大野 聖二
(86)国際出願番号	PCT/JP2018/001164	(74)代理人	230117802 弁護士 大野 浩之
(87)国際公開番号	WO2019/142253	(72)発明者	池田 康亮 埼玉県飯能市南町10番13号 新電元 工業株式会社工場内
(87)国際公開日	令和1年7月25日(2019.7.25)	審査官	多賀 和宏
審査請求日	令和2年3月13日(2020.3.13)		

最終頁に続く

(54)【発明の名称】 電子モジュール

## (57)【特許請求の範囲】

## 【請求項1】

電子モジュールにおいて、  
第一基板と、  
前記第一基板の一方側に設けられる第二基板と、  
前記第一基板と前記第二基板との間に設けられるチップモジュールと、  
少なくとも前記チップモジュール、前記第一基板の一方側の面及び前記第二基板の他方側の面を封止する封止部と、を備え、  
前記チップモジュールは、電子素子と、前記電子素子に電氣的に接続される接続体と、を有し、  
前記電子素子は、前記電子モジュールの厚み方向である第一方向に沿って延在することを特徴とする電子モジュール。

## 【請求項2】

前記接続体は、ヘッド部と、前記ヘッド部の端部から前記第一基板の面内方向に沿って延在し、前記第一基板の一方側に設けられた第一導体層に接続される第一基端部と、前記ヘッド部の端部から前記第二基板の面内方向に沿って延在し前記第二基板の他方側に設けられた第二導体層に接続される第二基端部とを有することを特徴とする請求項1に記載の電子モジュール。

## 【請求項3】

前記接続体は第一接続体及び第二接続体を有し、

前記チップモジュールは、第一電子素子と、第二電子素子と、前記第一電子素子と前記第二電子素子との間に設けられた第一接続体と、前記第二電子素子の前記第一接続体と反対側に設けられた第二接続体と、を有することを特徴とする請求項 1 又は 2 のいずれかに記載の電子モジュール。

【請求項 4】

前記接続体は、ヘッド部と、前記ヘッド部からヘッド部の厚み方向で延びた柱部とを有し、前記ヘッド部は前記電子モジュールの厚み方向で延在することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電子モジュール。

【請求項 5】

前記チップモジュールが複数設けられ、  
前記チップモジュールの間に、前記チップモジュールに電氣的に接続されるチップ接続体が設けられることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の電子モジュール。

10

【請求項 6】

電子モジュールにおいて、

第一基板と、

前記第一基板の一方側に設けられる第二基板と、

前記第一基板と前記第二基板との間に設けられるチップモジュールと、を備え、

前記チップモジュールは、電子素子と、前記電子素子に電氣的に接続される接続体と、を有し、

前記電子素子は、前記電子モジュールの厚み方向である第一方向に沿って延在し、

20

前記チップモジュールが複数設けられ、

前記チップモジュールの間に、前記チップモジュールに電氣的に接続されるチップ接続体が設けられ、

前記チップモジュールは、前記チップ接続体と嵌合する嵌合部を有することを特徴とする電子モジュール。

【請求項 7】

前記第一基板の一方側に設けられた第一導体層と、

前記第二基板の他方側に設けられた第二導体層と、をさらに備え、

前記接続体は、前記電子素子と前記第一導体層及び前記第二導体層の各々とを接続する接続端子を有し、

30

前記接続端子に接続される第一導体層及び第二導体層のいずれか一方は外部装置と電氣的に接続されないことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の電子モジュール。

【請求項 8】

電子モジュールにおいて、

第一基板と、

前記第一基板の一方側に設けられる第二基板と、

前記第一基板と前記第二基板との間に設けられるチップモジュールと、

前記第一基板の一方側に設けられた第一導体層と、

前記第二基板の他方側に設けられた第二導体層と、を備え、

前記チップモジュールは、電子素子と、前記電子素子に電氣的に接続される接続体と、を有し、

40

前記電子素子は、前記電子モジュールの厚み方向である第一方向に沿って延在し、

前記接続体は、ヘッド部と、前記ヘッド部の端部から前記第一基板の面内方向に沿って延在し、前記第一導体層に接続される第一基端部と、前記ヘッド部の端部から前記第二基板の面内方向に沿って延在し、前記第二導体層に接続される第二基端部とを有し、

前記ヘッド部の端部から前記第一基端部が延在する方向と、前記ヘッド部の端部から前記第二基端部が延在する方向とは、第二方向及び第三方向を含む電子モジュールの面内方向で重複しないことを特徴とする電子モジュール。

【請求項 9】

前記ヘッド部の端部から前記第一基端部が延在する方向と、前記ヘッド部の端部から前記

50

第二基端部が延在する方向とは180度異なることを特徴とする請求項8に記載の電子モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板及び電子素子を有する電子モジュールに関する。

【背景技術】

【0002】

複数の電子素子が封止樹脂内に設けられた電子モジュールが従来から知られている。このような電子モジュールに関して小型化することが望まれている。

10

【0003】

小型化する一つ的手段として、電子素子を層状に積み重ねていく態様を採用することが考えられる。このような態様としては国際公開公報2016/067383が知られている。しかしながら、この国際公開公報2016/067383では、電子素子に含まれる半導体素子に対向する二つの基板に設けられることが提案されているだけであり、厚み方向に半導体素子が積み上がるスタック構造が開示されているだけである。

【0004】

また、第一絶縁性基板と、第一絶縁性基板の搭載面に設けられた第一導体層と、第一導体層に設けられた第一パワーデバイスと、第一パワーデバイスに接続された第一接続部と、を有する第一部材と、第二絶縁性基板と、第二絶縁性基板の搭載面に設けられた第二導体層と、第二導体層に設けられた第二パワーデバイスと、第二パワーデバイスに接続された第二接続部と、を有する第二部材と、第一部材と第二部材との間で上下方向に延在する導体柱と、を有する半導体モジュールが国際公開公報2016/174698で提案されている。この態様では、第一パワーデバイスと第二パワーデバイスとが対向して配置されるとともに、導体柱で互いに接続される態様も提案されているが、やはり半導体モジュールの厚み方向にパワーデバイスが積み上がるスタック構造が開示されているだけである。

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、電子素子を従前とは異なる態様で実装することを提案し、設計自由度を高めた電子モジュールを提供する。

30

【課題を解決するための手段】

【0006】

[概念1]

本発明による電子モジュールは、

第一基板と、

前記第一基板の一方側に設けられる第二基板と、

前記第一基板と前記第二基板との間に設けられるチップモジュールと、を備え、

前記チップモジュールが、電子素子と、前記電子素子に電氣的に接続される接続体と、を有し、

40

前記電子素子が、前記電子モジュールの厚み方向である第一方向に沿って延在してもよい。

【0007】

[概念2]

本発明の概念1による電子モジュールにおいて、

前記チップモジュールは、第一電子素子と、前記第一電子素子に対して前記接続体を介して接続された第二電子素子とを有してもよい。

【0008】

[概念3]

本発明の概念1又は2のいずれかによる電子モジュールにおいて、

前記接続体は第一接続体及び第二接続体を有し、

50

前記チップモジュールは、第一電子素子と、第二電子素子と、前記第一電子素子と前記第二電子素子との間に設けられた第一接続体と、前記第二電子素子の前記第一接続体と反対側に設けられた第二接続体と、を有してもよい。

【0009】

[概念4]

本発明の概念1乃至3のいずれか1つによる電子モジュールにおいて、前記接続体は、ヘッド部と、前記ヘッド部からヘッド部の厚み方向で延びた柱部とを有し、前記ヘッド部は前記電子モジュールの厚み方向で延在してもよい。

【0010】

[概念5]

本発明の概念1乃至4のいずれか1つによる電子モジュールにおいて、前記チップモジュールが複数設けられ、前記チップモジュールの間に、前記チップモジュールに電氣的に接続されるチップ接続体が設けられてもよい。

【0011】

[概念6]

本発明の概念5による電子モジュールにおいて、前記チップモジュールは、前記チップ接続体と嵌合する嵌合部を有してもよい。

【0012】

[概念7]

本発明の概念1乃至6のいずれか1つによる電子モジュールは、前記第一基板の一方側に設けられた第一導体層と、前記第二基板の他方側に設けられた第二導体層と、をさらに備え、前記接続体が、前記電子素子と前記第一導体層及び前記第二導体層の各々とを接続する接続端子を有し、前記接続端子に接続される第一導体層及び第二導体層のいずれか一方が外部装置と電氣的に接続されなくてもよい。

【0013】

[概念8]

本発明の概念1乃至7のいずれか1つによる電子モジュールは、前記第一基板の一方側に設けられた第一導体層と、前記第二基板の他方側に設けられた第二導体層と、をさらに備え、前記接続体が、ヘッド部と、前記ヘッド部の端部から前記第一基板の面内方向に沿って延在し、前記第一導体層に接続される第一基端部と、前記ヘッド部の端部から前記第二基板の面内方向に沿って延在し、前記第二導体層に接続される第二基端部とを有し、前記ヘッド部の端部から前記第一基端部が延在する方向と、前記端子ヘッド部の端部から前記第二基端部が延在する方向とが、第二方向及び第三方向を含む電子モジュールの面内方向で重複しなくてもよい。

【0014】

[概念9]

本発明の概念8による電子モジュールにおいて、前記ヘッド部の端部から前記第一基端部が延在する方向と、前記端子ヘッド部の端部から前記第二基端部が延在する方向とは180度異なってもよい。

【発明の効果】

【0015】

本発明において、接続体に設けられた電子素子が第一基板から第二基板に向かう方向に沿って延在する態様を採用した場合には、従前とは異なる方向で電子素子を延在させて配置することができ、従来から提案されていた構成に対して、設計自由度を高めることができる。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 1 6 】

【 図 1 】 図 1 は、本発明の第 1 の実施の形態で用いられうる電子モジュールの側方断面図である。

【 図 2 】 図 2 は、図 1 の矢印 A から見た第二接続体の側方図である。

【 図 3 】 図 3 は、図 2 に示した態様とは異なる態様からなる第二接続体の側方図である。

【 図 4 】 図 4 は、本発明の第 2 の実施の形態で用いられうる電子モジュールの側方断面図である。

【 図 5 】 図 5 は、本発明の第 2 の実施の形態で用いられうる電子モジュールの平面図である。

【 図 6 】 図 6 は、図 4 に示した態様とは異なる態様からなる、本発明の第 2 の実施の形態で用いられうる電子モジュールの側方断面図である。

10

【 図 7 】 図 7 は、本発明の第 3 の実施の形態で用いられうる電子モジュールの側方断面図であり、封止部等の一部の部材は示していない。

【 図 8 】 図 8 は、本発明の第 4 の実施の形態で用いられうる電子モジュールの側方断面図であり、封止部等の一部の部材は示していない。

【 図 9 】 図 9 は、図 8 に示した態様とは異なる態様からなる、本発明の第 4 の実施の形態で用いられうる電子モジュールの側方断面図であり、封止部等の一部の部材は示していない。

【 図 1 0 】 図 1 0 は、本発明の第 5 の実施の形態で用いられうる電子モジュールの側方断面図であり、封止部等の一部の部材は示していない。

20

【 図 1 1 】 図 1 1 は、図 1 0 に示した態様とは異なる態様からなる、本発明の第 5 の実施の形態で用いられうる電子モジュールの側方断面図であり、封止部等の一部の部材は示していない。

【 図 1 2 】 図 1 2 は、図 1 0 及び図 1 1 に示した態様とは異なる態様からなる、本発明の第 5 の実施の形態で用いられうる電子モジュールの側方断面図であり、封止部等の一部の部材は示していない。

【 図 1 3 】 図 1 3 は、本発明の第 6 の実施の形態で用いられうる電子モジュールの側方断面図である。

【 発明を実施するための形態 】

【 0 0 1 7 】

30

### 第 1 の実施の形態

《 構成 》

本実施の形態において、「一方側」は図 1 の上方側を意味し、「他方側」は図 1 の下方側を意味する。図 1 の上下方向を「第一方向」と呼び、左右方向を「第二方向」と呼び、紙面の表裏方向を「第三方向」と呼ぶ。第二方向及び第三方向を含む面内方向を「面内方向」といい、一方側から見た場合には「平面視」という。

【 0 0 1 8 】

図 1 に示すように、電子モジュールは、第一基板 1 1 と、第一基板 1 1 の一方側に設けられる第二基板 2 1 と、第一基板 1 1 と第二基板 2 1 との間に設けられるチップモジュール 1 0 0 と、を有してもよい。チップモジュール 1 0 0 は、電子素子 1 3 , 2 3 と、電子素子 1 3 , 2 3 に電氣的に接続される接続体 6 0 , 7 0 , 8 0 と、を有してもよい。電子素子 1 3 , 2 3 は、電子モジュールの厚み方向すなわち第一方向で延在してもよい。電子モジュールの「厚み方向」(つまり「第一方向」)で延在するとは、第一基板 1 1 の法線方向(第一方向)に沿って延在する態様だけではなく、第一基板 1 1 の法線方向に対して傾斜して延在する態様も含んでいる。電子素子 1 3 , 2 3 は、例えば厚みの薄い略直方体の形状となっている。電子素子 1 3 , 2 3 が延在する方向は厚み方向(電子素子 1 3 , 2 3 のおもて面から裏面に向かう方向及び電子素子 1 3 , 2 3 の裏面からおもて面に向かう方向)と直交する方向である。

40

【 0 0 1 9 】

チップモジュール 1 0 0 は、第一電子素子 1 3 と、第一電子素子 1 3 に対して接続体 6 0

50

、70、80を介して接続された第二電子素子23とを有してもよい。本実施の形態のチップモジュール100は、電子モジュールを製造する前に先立ち組み立てられていてもよい。このような態様を採用した場合には、電子モジュールを組み立てる際に、チップモジュール100を適宜載置するだけでよいことから、製造効率を非常に高めることができる。

【0020】

接続体60、70、80は第一接続体60及び第二接続体70を有してもよい。この場合、チップモジュール100は、第一電子素子13と、第二電子素子23と、第一電子素子13と第二電子素子23との間に設けられた第一接続体60と、第二電子素子23の第一接続体60と反対側に設けられた第二接続体70と、を有してもよい。

【0021】

接続体60、70、80は、ヘッド部61、71と、ヘッド部61、71からヘッド部61、71の厚み方向で延びた柱部62、72とを有してもよい。ヘッド部61、71は電子モジュールの厚み方向で延在してもよい。図1に示す態様では、ヘッド部61、71の厚み方向は第二方向である。接続体60、70、80が第一接続体60及び第二接続体70を有する態様では、第一接続体60が、第一ヘッド部61と、第一ヘッド部61から第一ヘッド部61の厚み方向で延びた第一柱部62とを有してもよい。また、第二接続体70が、第二ヘッド部71と、第二ヘッド部71から第二ヘッド部71の厚み方向で延びた第二柱部72とを有してもよい。

【0022】

第一基板11の一方側には一つ又は複数の第一導体層12が設けられてもよい。第二基板21の他方側には一つ又は複数の第二導体層22が設けられてもよい。第一電子素子13及び第二電子素子23の各々又はいずれか一方はスイッチング素子であってもよいし、制御素子であってもよい。スイッチング素子としてはMOSFETやIGBT等を用いてもよい。第一電子素子13及び第二電子素子23の各々は半導体素子から構成されてもよく、半導体材料としてはシリコン、炭化ケイ素、窒化ガリウム等であってもよい。

【0023】

第一電子素子13と第一接続体60の間にははんだ等の導電性接着剤95が設けられ、第一電子素子13と第一接続体60は導電性接着剤95を介して接続されてもよい。同様に、第一接続体60と第二電子素子23の間にははんだ等の導電性接着剤95が設けられ、第一接続体60と第二電子素子23は導電性接着剤95を介して接続されてもよい。同様に、第二電子素子23と第二接続体70の間にははんだ等の導電性接着剤95が設けられ、第二電子素子23と第二接続体70は導電性接着剤95を介して接続されてもよい。

【0024】

第一基板11の他方側には銅等の金属からなる第一放熱層19が設けられてもよい。同様に、第二基板21の一方側には銅等の金属からなる第二放熱層29が設けられてもよい。

【0025】

第一基板11及び第二基板21としては、セラミック基板、絶縁樹脂層等を採用することができる。導電性接着剤95としては、はんだの他、AgやCuを主成分とする材料を用いることもできる。第一接続体60及び第二接続体70の材料としてはCu等の金属を用いることができる。なお、基板11、21としては例えば回路パターンングを施した金属基板を用いることもでき、この場合には、基板11、21が導体層12、22を兼ねることになる。

【0026】

電子モジュールは、前述した、第一電子素子13、第二電子素子23、第一接続体60、第二接続体70、第一導体層12、第二導体層22等を封止する封止樹脂等から構成される封止部90を有してもよい。

【0027】

電子モジュールは、外部装置と電子素子13、23とを接続するための端子110、120を有してもよい(図4参照)。端子110、120は、第一導体層12に接続される第

10

20

30

40

50

一端子 110 と、第二導体層 22 に接続される第二端子 120 とを有してもよい。

【0028】

第一電子素子 13 が MOSFET 等のスイッチング素子である場合には、第一接続体 60 側の面（図 1 の右側の面）に第一ゲート電極 13g 及び第一ソース電極 13s が設けられてもよい。同様に、第二電子素子 23 が MOSFET 等のスイッチング素子である場合には、第二接続体 70 側の面（図 1 の右側の面）に第二ゲート電極 23g 及び第二ソース電極 23s が設けられてもよい。この場合、第二接続体 70 が第二電子素子 23 の第二ソース電極 23s に導電性接着剤 95 を介して接続されてもよい。また、第一接続体 60 が第一電子素子 13 の第一ソース電極 13s と第二電子素子 23 の第二接続体 70 と反対側の面（図 1 の左側の面）に設けられた第二ドレイン電極 23d とを導電性接着剤 95 を介して接続してもよい。第一電子素子 13 の第一接続体 60 と反対側の面（図 1 の左側の面）には第一ドレイン電極 13d が設けられてもよい。第一ゲート電極 13g は第一接続子 30 と導電性接着剤 95 を介して接続され、この第一接続子 30 は導電性接着剤 95 を介して導体層 12, 22（図 1 では第二導体層 22）に接続されてもよい。第二ゲート電極 23g は第二接続子 40 と導電性接着剤 95 を介して接続され、この第二接続子 40 は導電性接着剤 95 を介して導体層 12, 22（図 1 では第一導体層 12）に接続されてもよい。

10

【0029】

端子 110, 120 と導体層 12, 22 との接合は、はんだ等の導電性接着剤 95 を利用する態様だけではなく、レーザ溶接を利用してよいし、超音波接合を利用してよい。

【0030】

接続体 60, 70, 80 は、電子素子 13, 23 と第一導体層 12 及び第二導体層 22 の各々々とを接続する接続端子 80 を有してもよい。接続端子 80 に接続される第一導体層 12 及び第二導体層 22 のいずれか一方は外部装置と電氣的に接続されていなくてもよい。

20

【0031】

本実施の形態のような接続端子 80 を設けた場合には、当該接続端子 80 を介しても放熱をすることができる。図 1 に示す態様では、第一電子素子 13 の第一接続体 60 が設けられている面と反対側の面（左側の面）に接続端子 80 が設けられている。このため、この態様では、第一電子素子 13 からの熱を接続端子 80 によって放熱することができる。

【0032】

接続端子 80 は、電子モジュールの厚み方向（図 1 では第一方向）で延在する端子ヘッド部 81 と、端子ヘッド部 81 の端部から第一基板 11 の面内方向（図 1 では第二方向）に沿って延在し、第一導体層 12 に接続される第一基端部 82 と、端子ヘッド部 81 の端部から第二基板 21 の面内方向に沿って延在し、第二導体層 22 に接続される第二基端部 83 とを有してもよい。このような第一基端部 82 及び第二基端部 83 を設けることで、第一導体層 12 及び第二導体層 22 との接続をより確実なものにすることができ、また放熱効果を高めることもできる。

30

【0033】

第一接続体 60 は、第一ヘッド部 61 の端部に設けられ第一導体層 12 又は第二導体層 22 に接続される第一接続体基端部 63 を有してもよい。第一接続体基端部 63 は、第一ヘッド部 61 の端部から第一基板 11 の面内方向（図 1 では第二方向）に沿って延在し、第一導体層 12 に接続される第一基端部 63a と、第二ヘッド部 71 の端部から第二基板 21 の面内方向に沿って延在し、第二導体層 22 に接続される第二基端部 63b とを有してもよい。

40

【0034】

第二接続体 70 は、第二ヘッド部 71 の端部に設けられ第一導体層 12 又は第二導体層 22 に接続される第二接続体基端部 73 を有してもよい。第二接続体基端部 73 は、第二ヘッド部 71 の端部から第一基板 11 の面内方向（図 1 では第二方向）に沿って延在し、第一導体層 12 に接続される第一基端部 73a と、第二ヘッド部 71 の端部から第二基板 21 の面内方向に沿って延在し、第二導体層 22 に接続される第二基端部 73b とを有してもよい。

50

## 【 0 0 3 5 】

図 1 に示す態様では、端子ヘッド部 8 1 の端部から第一基端部 8 2 が延在する面内における方向と、端子ヘッド部 8 1 の端部から第二基端部 8 3 が延在する面内における方向とは同じ方向（図 1 の左方向）となっている。しかしながら、これに限られることはなく、端子ヘッド部 8 1 の端部から第一基端部 8 2 が延在する面内における方向と、端子ヘッド部 8 1 の端部から第二基端部 8 3 が延在する面内における方向とは異なる方向（例えば 1 8 0 度異なる方向）となってもよい。

## 【 0 0 3 6 】

## 《作用・効果》

次に、上述した構成からなる本実施の形態による作用・効果の一例について説明する。なお、「作用・効果」で説明するあらゆる態様を、上記構成で採用することができる。

10

## 【 0 0 3 7 】

本実施の形態において、接続体 6 0 , 7 0 , 8 0 に設けられた電子素子 1 3 , 2 3 が第一基板 1 1 から第二基板 2 1 に向かう方向に沿って延在する態様を採用した場合には、従前とは異なる方向で電子素子 1 3 , 2 3 を延在させて配置することができ、従来から提案されていた構成に対して、設計自由度を高めることができる。

## 【 0 0 3 8 】

本実施の形態において、チップモジュール 1 0 0 が、第一電子素子 1 3 と、第一電子素子 1 3 に対して第一接続体 6 0 を介して接続された第二電子素子 2 3 とを有する態様を有する場合には、第一電子素子 1 3 と第二電子素子 2 3 とを第一接続体 6 0 を介して接続したチップモジュール 1 0 0 を用いることができる。このため、例えば第一電子素子 1 3 の第一ソース電極 1 3 s と第二電子素子 2 3 の第二ドレイン電極 2 3 d とを第一接続体 6 0 によって電氣的に接続し、又は第一電子素子 1 3 の第一ドレイン電極 1 3 d と第二電子素子 2 3 の第二ソース電極 2 3 s とを第一接続体 6 0 によって電氣的に接続し、これらを一つのチップモジュール 1 0 0 として用いることができる。

20

## 【 0 0 3 9 】

チップモジュール 1 0 0 が、第一電子素子 1 3 と、第二電子素子 2 3 と、第一電子素子 1 3 と第二電子素子 2 3 との間に設けられた第一接続体 6 0 と、第二電子素子 2 3 の第一接続体 6 0 と反対側に設けられた第二接続体 7 0 と、を有する態様を用いた場合には、第一電子素子 1 3 と第二電子素子 2 3 とを第一接続体 6 0 を介して接続し、かつ第二電子素子 2 3 に接続された第二接続体 7 0 を有するチップモジュール 1 0 0 を用いることができる。このため、例えば第一電子素子 1 3 の第一ソース電極 1 3 s と第二電子素子 2 3 の第二ドレイン電極 2 3 d とを第一接続体 6 0 によって電氣的に接続し、かつ第二電子素子 2 3 の第二ソース電極 2 3 s を第二接続体 7 0 によって接続する態様、又は第一電子素子 1 3 の第一ドレイン電極 1 3 d と第二電子素子 2 3 の第二ソース電極 2 3 s とを第一接続体 6 0 によって電氣的に接続し、かつ第二電子素子 2 3 の第二ドレイン電極 2 3 d を第二接続体 7 0 によって接続する態様を採用し、これらを一つのチップモジュール 1 0 0 として用いることができる。

30

## 【 0 0 4 0 】

接続体 6 0 , 7 0 , 8 0 が、ヘッド部 6 1 , 7 1 と、ヘッド部 6 1 , 7 1 からヘッド部 6 1 , 7 1 の厚み方向で延びた柱部 6 2 , 7 2 とを有する態様を採用した場合には、電子素子 1 3 , 2 3 からの熱が籠ることを防止できる。第一接続体 6 0 が第一柱部 6 2 を有する態様を採用した場合には、第一電子素子 1 3 と第二電子素子 2 3 との間で所定以上の距離を設けることができ、第一電子素子 1 3 からの熱と第二電子素子 2 3 からの熱が籠ることを防止できる。また、第二接続体 7 0 が第二柱部 7 2 を有する態様を採用した場合には、第二電子素子 2 3 からの熱が第二電子素子 2 3 から距離をもって第一導体層 1 2 又は第二導体層 2 2 に伝達されることから、第二電子素子 2 3 からの熱が籠ることを防止できる。特に、本実施の形態のように電子素子 1 3 , 2 3 が第一基板 1 1 から第二基板 2 1 に向かう方向に沿って延在する態様を採用した場合には、このように第一電子素子 1 3 と第二電子素子 2 3 との間で所定以上の距離を設けることができることは、放熱の観点から有益で

40

50

ある。

#### 【0041】

第一基端部63a, 73a, 82が延在する面内における方向と第二基端部63b, 73b, 83が延在する面内における方向とが異なる方向となっている場合には、電子モジュールの面内方向で熱の流れる方向を異ならせることができ、放熱効果を高めることを期待できる。この観点からすると、第一基端部63a, 73a, 82が延在する面内における方向と第二基端部63b, 73b, 83が延在する面内における方向とが180度異なる方向となっている態様が有益である。特に、本実施の形態のように電子素子13, 23が第一基板11から第二基板21に向かう方向に沿って延在する態様を採用した場合には、熱が籠りやすいことから、このように放熱効果を高めることは非常に有益である。

10

#### 【0042】

接続体60, 70は図2に示すように側方から見た場合(図2では図1の矢印A方向から見た場合を示している。)には細長い矩形状となってもよい。但し、これに限られることはなく、接続体60, 70は図3に示すように、側方から見た場合には突出面71aが設けられてもよい。図2及び図3では、第二接続体70の構成を示しているが、第一接続体60でも図2及び図3に示す第二接続体70と同様の構成となってもよい。

#### 【0043】

### 第2の実施の形態

次に、本発明の第2の実施の形態について説明する。

#### 【0044】

本実施の形態では、図4乃至図6に示すように、チップモジュール100が複数設けられている。本実施の形態では、第1の実施の形態で説明したあらゆる態様を採用することができる。第1の実施の形態で説明した部材については同じ符号を用いて説明する。

20

#### 【0045】

本実施の形態のように複数のチップモジュール100が設けられる場合には、各チップモジュール100において、第一電子素子13及び第二電子素子23が電子モジュールの厚み方向(第一方向)に延在するようにして設けられてもよい。

#### 【0046】

チップモジュール100の配置方向は適宜調整することができる。第一電子素子13から第二電子素子23に向かう方向(図4の左右方向)をチップモジュール100の厚み方向と規定するならば、あるチップモジュール100の厚み方向と他のチップモジュール100の厚み方向とは異なる方向となってもよい。例えば図5に示すように、あるチップモジュール100a(例えば後述する第一チップモジュール100a)の厚み方向と他のチップモジュール100b(例えば後述する第二チップモジュール100b)の厚み方向とは電子モジュールの面内方向(第二方向及び第三方向を含む面内方向)において直交するようになってもよい。また、図6に示すように、あるチップモジュール100aにおける第一電子素子13から第二電子素子23に向かう方向(図6の矢印A1参照)は、他のチップモジュール100bにおける第一電子素子13から第二電子素子23に向かう方向(図6の矢印A2参照)とは180度異なる方向となってもよい。

30

#### 【0047】

例えば図5に示すように、第一チップモジュール100a、第二チップモジュール100b、第三チップモジュール100c及び第四チップモジュール100dが設けられる態様を採用した場合には、第一チップモジュール100aの厚み方向、第二チップモジュール100bの厚み方向、第三チップモジュール100cの厚み方向及び第四チップモジュール100dの厚み方向のうち2つ以上が異なる方向となってもよい。一例としては、図5に示すように、第一チップモジュール100aの厚み方向と第三チップモジュール100cの厚み方向とは合致し、第二チップモジュール100bの厚み方向と第四チップモジュール100dの厚み方向とは合致してもよい。また、図5に示すように、第一チップモジュール100a及び第三チップモジュール100cの厚み方向と、第二チップモジュール100bの厚み方向及び第四チップモジュール100dの厚み方向とは、電子モジュール

40

50

ルの面内方向において直交するようになってよい。また、第一チップモジュール100aにおける第一電子素子13から第二電子素子23に向かう方向(図5の矢印a1参照)は、第三チップモジュール100cにおける第一電子素子13から第二電子素子23に向かう方向(図5の矢印a3参照)とは180度異なる方向となってもよいし、同様に、第二チップモジュール100bにおける第一電子素子13から第二電子素子23に向かう方向(図5の矢印a2参照)は、第四チップモジュール100dにおける第一電子素子13から第二電子素子23に向かう方向(図5の矢印a4参照)とは180度異なる方向となってもよい。

【0048】

### 第3の実施の形態

次に、本発明の第3の実施の形態について説明する。

【0049】

本実施の形態では、第2の実施の形態と同様、チップモジュール100が複数設けられている。そして、図7に示すように、電子モジュールの面内方向(第二方向及び第三方向を含む面内方向)におけるチップモジュール100の間に、チップモジュール100に電気的に接続される第三接続体としてのチップ接続体150が設けられている。本実施の形態では、上記各実施の形態で説明したあらゆる態様を採用することができる。上記各実施の形態で説明した部材については同じ符号を用いて説明する。

【0050】

本実施の形態によれば、電子モジュールの面内方向におけるチップモジュール100の間に、チップモジュール100に電気的に接続されるチップ接続体150が設けられていることから、2つ以上のチップモジュール100をチップ接続体150を介して電気的に接続することができる。このため、複数のチップモジュール100を一つの塊(モジュール)として用いることができる。

【0051】

電子モジュールの面内方向において、チップ接続体150の周りに3つ以上のチップモジュール100が設けられ、これらの3つ以上のチップモジュール100がチップ接続体150によって電気的に接続されてもよい。この態様を採用した場合には、3つ以上のチップモジュール100を一つの塊(モジュール)として用いることができる。

【0052】

チップ接続体150は、電子モジュールの面内方向で延在する第三ヘッド部151と、第三ヘッド部151から他方側に延在する第三柱部152とを有してもよい。

【0053】

### 第4の実施の形態

次に、本発明の第4の実施の形態について説明する。

【0054】

本実施の形態では、図8に示すように、第3の実施の形態と同様、チップ接続体150が設けられている。本実施の形態のチップモジュール100は、チップ接続体150と嵌合する嵌合部79を有している。本実施の形態でも、上記各実施の形態で説明したあらゆる態様を採用することができる。上記各実施の形態で説明した部材については同じ符号を用いて説明する。

【0055】

本実施の形態のような嵌合部79を設ける場合には、チップモジュール100とチップ接続体150との間の位置決めを確実に行うことができ、また複数のチップモジュール100の間の位置決めも確実に行うことができる。

【0056】

本実施の形態の嵌合部79としてチップモジュール100が凹部79aを有してもよい。このような凹部79aが設けられる場合には、当該凹部79a内にチップ接続体150の周縁部が嵌め込まれることになる。図8に示す態様では、一例として、第二接続体70の第二ヘッド部71が凹部79aを有している。

10

20

30

40

50

## 【 0 0 5 7 】

このような態様とは異なり、図 9 に示すように、嵌合部としてチップモジュール 1 0 0 が凸部 1 0 1 を有してもよい。このような凸部 1 0 1 が設けられる場合には、チップ接続体 1 5 0 に当該凸部 1 0 1 を嵌め込むための凹部 1 5 8 が設けられてもよい。

## 【 0 0 5 8 】

第 5 の実施の形態

次に、本発明の第 5 の実施の形態について説明する。

## 【 0 0 5 9 】

本実施の形態でも、図 1 0 に示すように、チップ接続体 1 5 0 a が設けられている。本実施の形態のチップ接続体 1 5 0 a には第一電子部品 1 6 0 が設けられている。この第一電子部品 1 6 0 は導電性接着剤 9 5 を介してチップ接続体 1 5 0 a の載置面に載置されてもよい。本実施の形態でも、上記各実施の形態で説明したあらゆる態様を採用することができる。上記各実施の形態で説明した部材については同じ符号を用いて説明する。

10

## 【 0 0 6 0 】

本実施の形態によれば、チップモジュール 1 0 0 に含まれる第一電子素子 1 3 及び第二電子素子 2 3 と、チップ接続体 1 5 0 a に設けられた第一電子部品 1 6 0 とを電氣的に接続することができる。第一電子部品 1 6 0 としては、リレー回路等を用いることができるが、これに限られることはなく、半導体素子等の電子素子を用いてもよい。

## 【 0 0 6 1 】

図 1 0 に示すように、第一電子部品 1 6 0 の一方側には第一電子部品 1 6 0 を第二導体層 2 2 に接続するための第四接続体 2 6 0 が設けられてもよい。第四接続体 2 6 0 と第一電子部品 1 6 0 との間には導電性接着剤 9 5 が設けられており、また第四接続体 2 6 0 と第二導体層 2 2 との間にも導電性接着剤 9 5 が設けられている。

20

## 【 0 0 6 2 】

図 1 0 に示すような態様を採用した場合には、チップモジュール 1 0 0 と第一電子部品 1 6 0 とを有するサブ電子モジュールを一つの塊として用いることができる。

## 【 0 0 6 3 】

図 1 0 に示すように、本実施の形態では板形状のチップ接続体 1 5 0 a が用いられているが、これに限られることはなく、図 7 乃至図 9 に示すような第三柱部 1 5 2 を有するチップ接続体 1 5 0 を用いてもよい。

30

## 【 0 0 6 4 】

また、図 1 1 に示すように、第一電子部品 1 6 0 の他に第二電子部品 1 7 0 が設けられてもよい。この第二電子部品 1 7 0 としては、リレー回路等を用いることができるが、これに限られることはなく、半導体素子等の電子素子を用いてもよい。

## 【 0 0 6 5 】

第二電子部品 1 7 0 はチップ接続体 1 5 0 の第三柱部 1 5 2 の他方側に位置し、第二電子部品 1 7 0 は第三ヘッド部 1 5 1 の一方側に位置してもよい。図 1 1 に示す態様では、チップ接続体 1 5 0 と第二電子部品 1 7 0 との間には導電性接着剤 9 5 が設けられており、また第二電子部品 1 7 0 と第二導体層 2 2 との間にも導電性接着剤 9 5 が設けられている。

40

## 【 0 0 6 6 】

図 1 1 に示すような態様を採用した場合には、チップモジュール 1 0 0 と第一電子部品 1 6 0 及び第二電子部品 1 7 0 とを有するサブ電子モジュールを一つの塊として用いることができる。

## 【 0 0 6 7 】

また、図 1 2 に示すように、チップ接続体 1 5 0 , 1 5 0 a が 2 つ以上設けられてもよい。そして、チップ接続体 1 5 0 , 1 5 0 a のうちの一方に第一電子部品 1 6 0 が設けられ、他方と第二電子部品 1 7 0 とが電氣的接続されてもよい。図 1 2 に示す態様では、チップ接続体 1 5 0 a に第一電子部品 1 6 0 が設けられ、チップ接続体 1 5 0 と第二電子部品 1 7 0 とが電氣的接続されている。

50

## 【 0 0 6 8 】

図 1 0 乃至図 1 2 に示す態様では嵌合部 7 9 が示されているが、このような嵌合部 7 9 は設けられていなくてもよい。本実施の形態でも、第一電子素子 1 3 及び第二電子素子 2 3 に加えて第一電子部品 1 6 0、第二電子部品 1 7 0 又は第一電子部品 1 6 0 及び第二電子部品 1 7 0 の両方も含めたモジュールをサブ電子モジュールとして事前に準備しておくことも考えられる。

## 【 0 0 6 9 】

第 6 の実施の形態

次に、本発明の第 6 の実施の形態について説明する。

## 【 0 0 7 0 】

上記各実施の形態では、第二接続体 7 0 が用いられている態様を用いて説明したが、このような態様には限られない。図 1 3 に示すように、第二接続体 7 0 が設けられていなくてもよい。本実施の形態では、第二接続体 7 0 の代わりに接続子 4 5 が設けられている。本実施の形態でも、上記各実施の形態で説明したあらゆる態様を採用することができる。上記各実施の形態で説明した部材については同じ符号を用いて説明する。本実施の形態でも、第二接続体 7 0 が設けられていない以外において、効果を得ることができる。

## 【 0 0 7 1 】

上述した各実施の形態の記載及び図面の開示は、請求の範囲に記載された発明を説明するための一例に過ぎず、上述した実施の形態の記載又は図面の開示によって請求の範囲に記載された発明が限定されることはない。また、出願当初の請求項の記載はあくまでも一例であり、明細書、図面等の記載に基づき、請求項の記載を適宜変更することもできる。

## 【 符号の説明 】

## 【 0 0 7 2 】

- 1 1 第一基板
- 1 3 第一電子素子（電子素子）
- 2 1 第二基板
- 2 3 第二電子素子（電子素子）
- 6 0 第一接続体（接続体）
- 6 1 第一ヘッド部（ヘッド部）
- 6 2 第一柱部（柱部）
- 7 0 第二接続体（接続体）
- 7 1 第二ヘッド部（ヘッド部）
- 7 2 第二柱部（柱部）
- 7 9 嵌合部
- 8 0 接続端子
- 1 0 0 チップモジュール
- 1 5 0 チップ接続体

10

20

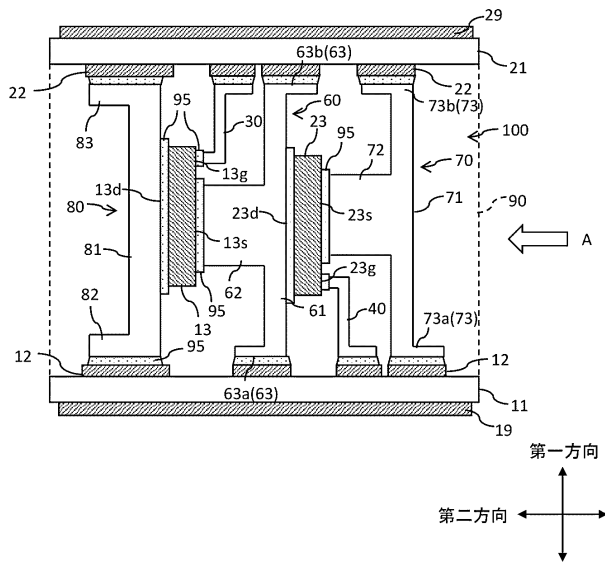
30

40

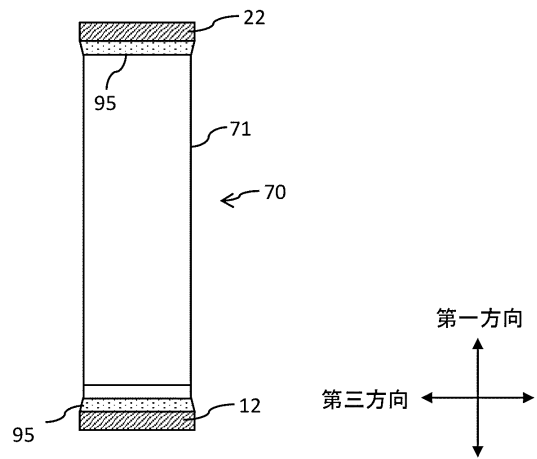
50

【図面】

【図 1】

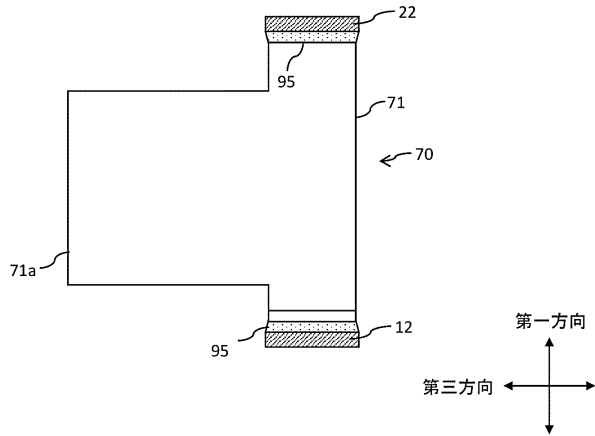


【図 2】

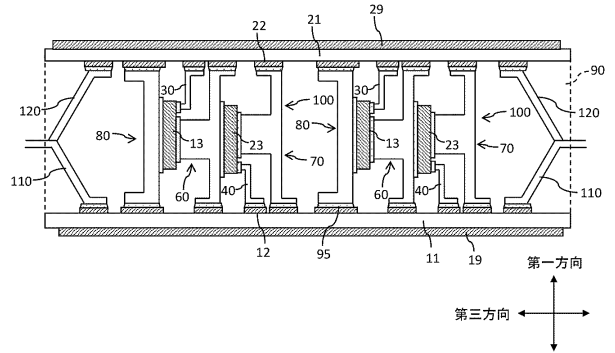


10

【図 3】



【図 4】



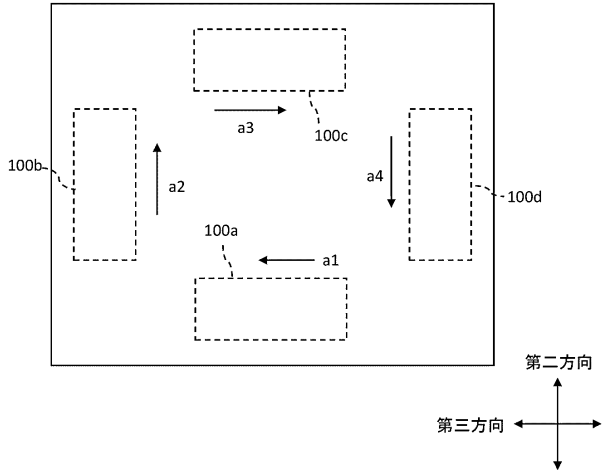
20

30

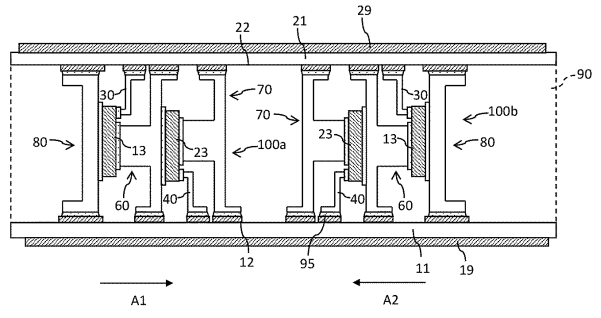
40

50

【 図 5 】

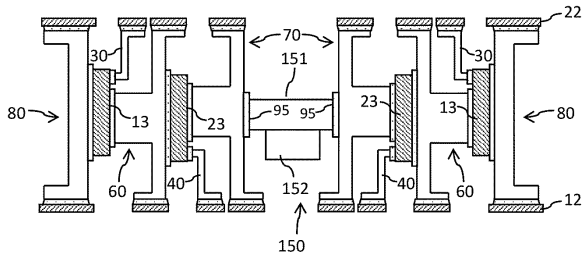


【 図 6 】

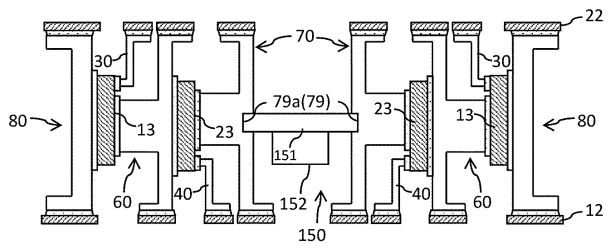


10

【 図 7 】

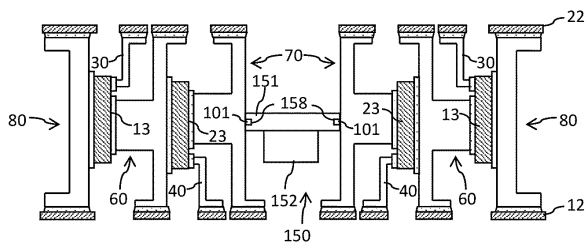


【 図 8 】

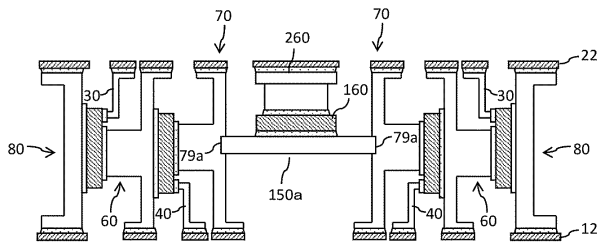


20

【 図 9 】



【 図 10 】

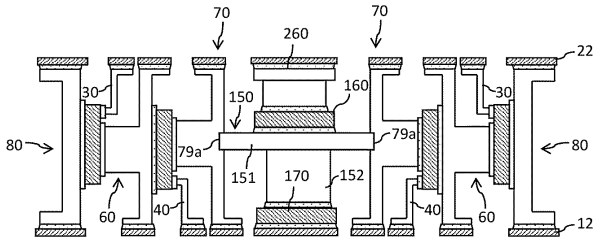


30

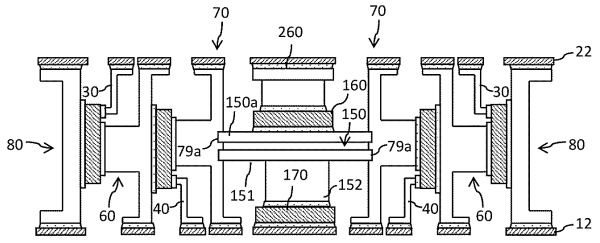
40

50

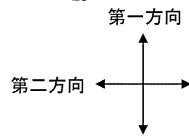
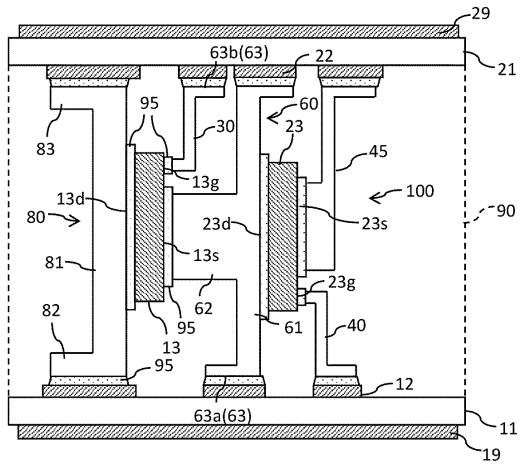
【図 1 1】



【図 1 2】



【図 1 3】



10

20

30

40

50

## フロントページの続き

- (56)参考文献 特開平04 - 345083 (JP, A)  
国際公開第2016 / 174698 (WO, A1)  
特開2010 - 124607 (JP, A)  
特開平11 - 195858 (JP, A)  
特開2008 - 085744 (JP, A)  
特開2013 - 012642 (JP, A)  
特開2008 - 078164 (JP, A)  
特開2006 - 237276 (JP, A)  
国際公開第2013 / 172183 (WO, A1)
- (58)調査した分野 (Int.Cl., DB名)  
H01L 23 / 48  
H01L 25 / 00 - 25 / 18  
H05K 1 / 14  
H05K 3 / 36