

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92141183

※申請日期：92.12.29

※IPC 分類：G11B

G11C 16/10

一、發明名稱：(中文/英文)

具寫入/抹除中止偵測機制之快閃記憶體儲存系統

FLASH STORAGE SYSTEM WITH WRITE/ERASE ABORT
DETECTION MECHANISM

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司

SANDISK CORPORATION

代表人：(中文/英文)

1. 查爾斯 樊 歐登

VAN ORDEN, CHARLES

2. 梅根 康普特

COMPORT, MEGAN

住居所或營業所地址：(中文/英文)

美國加州桑尼貝市卡斯本可特140號

140 CASPIAN COURT, SUNNYVALE, CA 94089, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 傑生 林

LIN, JASON

2. 凱文 M 康雷

CONLEY, KEVIN M.

3. 羅伯特 C 張

CHANG, ROBERT C.

國 籍：(中文/英文)

1.-3.均美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年12月31日；10/751,096

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明一般係關於非揮發性記憶體及其操作，更明確地說係關於決定已中止寫入及抹除操作。

【先前技術】

快閃記憶體EEPROM裝置的一般應用係作為用於電子裝置之大量資料儲存子系統。一般將此類子系統實施為可插入多個主機系統內之可移記憶卡或主機系統內之非可移嵌入式儲存器。兩種實施方案中，子系統皆包括一或多個快閃記憶體裝置，通常還包括一子系統控制器。

快閃記憶體EEPROM裝置由電晶體單元之一或多個陣列組成，各單元可作為一或多個資料位元之非揮發性儲存器。因此快閃記憶體不需要功率來保留程式化至其中的資料。然後一旦得以程式化，必須在可用新資料值重新程式化單元前抹除該單元。該等單元陣列係分割為群組，以提供讀取、程式化及抹除功能之有效實施。用於大量儲存器之典型快閃記憶體架構將大量單元群組配置於可抹除區塊內，其中一區塊包含一次可抹除的最小數量之單元(抹除單位)。

一商業形式中，各區塊包含足夠單元，以儲存使用者資料以及關於該等使用者資料及/或關於所儲存之區塊之一些負擔資料之一區段。一類別之此記憶體系統中一區段內所包括之使用者資料的數量為標準512位元組，但亦可具有其他大小。由於單元之個別區塊的彼此隔離(以便使其

可個別地加以抹除)佔用積體電路晶片上的空間，另一類別之快閃記憶體的區塊明顯較大，使得此隔離所需要之空間更小。但由於同時期望在更小區段內處理使用者資料，通常將各較大區塊進一步分割為可個別定址之頁面，其係讀取及程式化使用者資料之基本單位。各頁面通常儲存一區段之使用者資料，但一頁面可儲存部分區段或多個區段。本文所使用的「區段」指作為單位傳輸至主機及從主機傳輸的使用者資料數量。

較大區塊系統內之子系統控制器執行許多功能，包括藉由記憶體子系統自主機接收之邏輯位址與記憶體單元陣列內之實體位址間的轉換。此轉換通常包含邏輯區塊數量(logical block number; LBN)及邏輯頁面的中間項之使用。控制器還透過一係列命令(經由介面匯流排發送至快閃記憶體裝置)管理低位準快閃記憶體電路操作。控制所執行之另一功能為保持透過各種方式(例如藉由使用錯誤校正碼(error correction code; ECC))儲存於子系統之資料的完整性。

在此一記憶體電路之操作過程中若發生停電之情況，例如若從主機移除記憶卡或具有積體記憶體之裝置損失功率，記憶體可卡在寫入或抹除操作中，導致不完全操作。例如，若正在寫入之一群組的大部分而非全部單元已到達其目標狀態時，記憶體系統在程式化程序過程中損失功率，寫入群組可包含大量錯誤。如本技術中所熟知的，一般將錯誤校正碼(ECC)併入記憶體系統內，以決定並修正

資料錯誤。完成程式化操作前之停電可導致讀取中斷寫入群組時寫入群組處於以下三種情況中：(1)可由ECC修正；(2)無法由ECC修正；以及(3)可發生ECC錯誤偵測。第一種情形中，錯誤範圍足夠小，此處錯誤校正碼可搶救資料。第二種情形中，資料將係錯誤的，但系統會決定此狀況。第三種情形中，資料還將係錯誤的，但由於ECC錯誤偵測，系統不知道此狀況。

若(例如)ECC具有修正最高(例如)4位元之錯誤的能力，但未正確寫入寫入群組內的7位元之資料，可發生此最後一種情形，即ECC錯誤偵測。系統則無法知道未正確寫入之資料，並且視為已修正寫入群組內之任何錯誤來操作，但資料仍為錯誤資料。若抹除程序過程中發生功率損失，可出現相同情況。該等情況使得ECC寫入及抹除中止偵測遠不夠完美，並且對於知道是否已正確輸入資料非常重要的關鍵任務情況特別麻煩。因此，記憶體系統之此方面還有改進餘地。

【發明內容】

依據第一方面，本發明提供一種非揮發性記憶體及其操作方法，其在具有最小化系統性能懲罰之非揮發性記憶體程式化及抹除過程中的功率損失情況中確保用於寫入及抹除中止偵測之可靠機制。一示範性具體實施例中，為確保能在最小性能影響之情況下可靠地偵測寫入中止故障，引入新寫入中止偵測機制。該演算法包括區段負擔資訊內之先前區段狀態旗標(Previous Sector Status；PSS)及最後區

段狀態旗標 (Last Sector Status ; LSS)，其中可藉由 ECC 保護先前區段狀態旗標 (PSS)。

在多區段寫入程序中，即一區塊內之寫入區段 0 至 x，在程式化區段 0 內之資料後，演算法將寫入區段 1 之 PSS 以及區段 1 內之資料，以指示區段 0 已完成程式化並且未發生寫入中止；在程式化區段 1 後，演算法將寫入區段 2 之 PSS 以及區段 2 內之資料，以指示區段 1 已完成程式化並且未發生寫入中止；依此類推，直至程式化最後區段。為指示最後區段已完成程式化而無寫入中止，寫入最後區段之 LSF。因此，僅主機程式命令內之最後區段需要兩次程式化操作，以確保寫入中止偵測。

本發明之另一方面中，若該區段為區塊內之最後程式化區段或區塊之最後實體區段，該機制藉由查看下一實體區段之 PSS 及當前區段之 LSS 確保寫入中止故障偵測。

本發明之另一方面中，可在一成功抹除操作後標記該區塊之第一區段內的一抹除中止旗標 (erase abort flag ; EAF)。使用該等旗標，系統可在下一次電源開啟之下一初始化過程中成功地偵測寫入中止或抹除中止。寫入中止偵測方案對於多狀態記憶體特別有效：(1) 由於需要較長程式化時間，設計硬體來處理多狀態系統變得更困難且昂貴，以及 (2) 同樣由於較長程式化時間要求，每個單一區段不會程式化兩次所獲得之性能遠大於多狀態系統。

本發明之其他方面、特徵與優點包括於以下對範例性具體實施例之說明中，且應結合附圖進行說明。

【實施方式】

範例性非揮發性記憶體系統

為提供特定範例，參考圖1至7，其說明一特定非揮發性記憶體系統，在該非揮發性記憶體系統中實施本發明之各方面。為減少抹除程序中的干擾數量，本發明將未選定儲存元件的控制閘極保持於與其基礎井結構相同的電壓位準。在一示範性具體實施例中，在一井結構上形成儲存元件。在一抹除程序過程，將井的選定與未選定儲存元件都提升至一抹除電壓，同時在井中建立此電壓位準。然後將此電壓保持於井及未選定儲存元件上，從而減小任何抹除相關干擾的機會，而使選定儲存元件可放電，從而產生所需的抹除條件。此外，完成此舉不必增加電路的任何間距區域或增加記憶體陣列中新的導線，從而使添加至電路的額外周邊區域減至最小。

本發明已特別地針對NAND型EEPROM快閃記憶體予以說明，但下文將進一步論述一般化情況。特定言之，本說明書使用美國專利第6,522,580號以及與NAND系統相關的其他申請案所述之系統類型，該專利與該等其他申請案在上文以引用方式併入本文。當以下需要特定的電壓時，可將抹除電壓 V_{erase} 的範圍取為15至20伏特，將低邏輯位準取作接地，以及將高邏輯位準 V_{dd} 的範圍取為1.5至3伏特，不過可使用其他的值，視設計而定。

圖1係一快閃記憶體系統之方塊圖。藉由行控制電路2、列控制電路3、c源極控制電路4及c-p井控制電路5控制記

記憶體單元陣列1，其包括配置於矩陣內之複數個儲存單位M。行控制電路2與記憶體單元陣列1之位元線(bit line；BL)連接，以便讀取儲存於記憶體單元(M)內之資料，在程式操作過程中決定記憶體單元(M)之狀態，以及控制位元線(BL)之電位位準，以促進程式化或抑制程式化。列控制電路3係連接至字元線(word line；WL)，以選擇該等字元線(WL)中的一字元線，進而施加讀取電壓、施加與位元線電位位準(由行控制電路2控制)組合之程式電壓、及進而施加與p形區域(在圖3中標記為「c-p井」11)之電壓耦合之抹除電壓，其中記憶體單元(M)在該等p形區域上形成。c源極控制電路4控制連接至記憶體單元(M)的共用源極線(在圖2中標記為「c源極」)。c-p井控制電路5控制c-p井的電壓。

藉由行控制電路2讀出儲存於記憶體單元(M)內之資料，並經由I/O線及資料輸入/輸出緩衝器6將其輸出至外部I/O線。經由外部I/O線將需要儲存於記憶體單元內之程式資料輸入至資料輸入/輸出緩衝器6，並傳輸至行控制電路2。外部I/O線與控制器20連接。將用於控制快閃記憶體裝置之命令資料輸入至與外部控制線(與控制器20連接)連接的命令介面。命令資料將請求何種操作通知快閃記憶體。將輸入命令傳輸至狀態機8，其控制行控制電路2、列控制電路3、c源極控制電路4、c-p井控制電路5及資料輸入/輸出緩衝器6。狀態機8可輸出用於快閃記憶體之狀態資料，例如READY/BUSY或PASS/FAIL。

控制器20係與或可與主機系統連接，該主機系統可以係個人電腦、數位相機或個人數位助理等。該主機分別啟動命令(例如儲存資料至記憶體陣列1或從記憶體陣列1讀取資料)並提供或接收此類資料。控制器將此類命令轉換為可藉由命令電路7解釋及執行的命令信號。控制器通常亦包含用於使用者資料(寫入記憶體陣列或從記憶體陣列讀取)之緩衝器記憶體。典型記憶體系統包括一個積體電路晶片21(其包括控制器20)與一或多個積體電路晶片22，每一積體電路晶片22包含一記憶體陣列與相關聯之控制、輸入/輸出及狀態機電路。當然，目前之趨勢係將系統之記憶體陣列與控制器電路一起整合在一或多個積體電路晶片上。可能將記憶體系統嵌入主機系統，作為主機系統的一部分，或可能在記憶卡中包括記憶體系統，該記憶卡可以可移除方式插入主機系統之配合插座。該卡可能包括整個記憶體系統，或包括控制器與記憶體陣列，而可在分離的卡中提供相關聯之周邊電路。

參考圖2，其中說明記憶體單元陣列1的一示範性結構。將NAND型快閃記憶體EEPROM作為範例說明。將記憶體單元(M)分割為若干區塊，在一特定範例中為1,024個。同時抹除儲存在每一區塊中之資料。因此，區塊係可同時抹除之單元數量之最小單位。各區塊中具有N行，此範例中N=8,512，其分為左行與右行，如美國專利第6,522,580號所進一步說明。位元線也分成左位元線(BLL)及右位元線(BLR)。串連連接四個記憶體單元(於每一閘極電極連接至

字元線(WL0至WL3))以形成一NAND單元單位。經由一第一選擇電晶體(S)連接該NAND單元單位的一端子至對應位元線(BL)，該第一選擇電晶體(S)的閘極電極係耦合至第一(汲極)選擇閘極線(SGD)，並藉由一第二(源極)選擇電晶體(S)連接該NAND單元單位之另一端子至c源極，該第二(源極)選擇電晶體(S)的閘極電極係耦合至第二選擇閘極線(SGS)。雖然為簡化起見在圖中顯示在每一單元單位中包括四個漂浮閘極電晶體，然而可以使用其他數目之電晶體，例如8、16甚至32個。圖2亦包括一連接，即C-p井，用於供應井電壓。

在每一區塊中，此範例中，將8,512行分為偶數行及奇數行。位元線也分成偶數位元線(BLe)及奇數位元線(BLo)。串連連接四個記憶體單元(於每一閘極電極連接至字元線(WL0至WL3))以形成一NAND單元單位。藉由一第一選擇電晶體(S)連接該NAND單元單位的一端子至對應位元線(BL)，該第一選擇電晶體(S)的閘極電極係耦合至第一選擇閘極線(SGD)，並藉由一第二選擇電晶體(S)連接該NAND單元單位之另一端子至c源極，該第二選擇電晶體(S)的閘極電極係耦合至第二選擇閘極線(SGS)。雖然為簡化起見在圖中顯示在每一單元單位中包括四個漂浮閘極電晶體，然而可以使用更多數目之電晶體，例如8、16甚至32個。

在一組替代性具體實施例中，如2002年2月27日申請並以引用方式併入本文的美國專利申請案序號10/086495中

所述，可將該陣列分為左部與右部，而非奇偶配置。左側及右側可另外具有獨立井結構，而陣列之右側及左側各形成於此分離井結構上，使得電壓位準可藉由圖1之c-p井控制電路5加以獨立設定。另一變更中，此亦可提供小於區塊全部分割的子區塊之抹除。在申請案第10/086495號中亦說明與本發明相符的進一步變更。

在示範性具體實施例中，頁面大小為512位元組，其係小於相同字元線上的單元數目。此頁面大小係基於使用者偏好與習慣。使字元線大小可對應於多個頁面之單元可節省X解碼器(列控制電路3)空間，因為不同頁面的資料可共享解碼器。在本範例中，在讀取使用者資料與程式化操作過程，同時選擇 $N=4,256$ 個單元(M)。所選定之單元(M)具有同一字元線(WL)，例如WL2，並具有同一種類之位元線(BL)。所以，可同時讀取或程式化532位元組的資料。同時加以讀取或程式化之該532B資料邏輯上形成一「頁面」。所以，一區塊可儲存至少八頁面。每一記憶體單元(M)儲存兩位元之資料時，即多級單元之情況，一個區塊在每單元儲存兩位元之情況下儲存16頁面。在本具體實施例中，每一記憶體單元之儲存元件(在本情況下係每一記憶體單元之漂浮閘極)儲存兩位元之使用者資料。

圖3顯示圖2中示意性顯示之NAND型單元單位在位元線(BL)方向之斷面圖。在一p型半導體基板9的一表面上，形成一p型區域c-p井11，並藉由一n型區域10封閉左與右c-p井之每一個，以使該c-p井與該p型基板電絕緣。n型區域

10經由第一接觸孔(contact hole；CB)及n型擴散層12與由第一金屬M0構成之c-p井線連接。p型區域c-p井11亦經由第一接觸孔(CB)及p型擴散層13與c-p井線連接。c-p井線與c-p井控制電路5連接(圖1)。

該示範性具體實施例使用快閃記憶體EEPROM儲存單位，其中各記憶體單元具有一漂浮閘極(FG)，其儲存對應於儲存於單元內之資料的許多電荷，字元線(WL)形成閘極電極，汲極及源極電極由p型擴散層12構成。經由穿隧氧化物膜(14)將漂浮閘極(FG)形成於c-p井表面上。藉由絕緣體膜(15)在漂浮閘極(FG)上堆疊字元線(WL)。藉由第二選擇電晶體(S)與第一接觸孔(CB)連接源極電極至共用源極線(c-源極)，該共用源極線係由第一金屬(M0)構成。連接共用源極線至c-源極控制電路(4)。經由第一選擇電晶體(S)、第一接觸孔(CB)、及第一金屬(M0)與第二接觸孔(V1)之間之中間導線連接汲極電極至由第二金屬(M1)形成之位元線(BL)。連接位元線至行控制電路(2)。

圖4與5分別顯示記憶體單元(圖3之斷面4-4)與選擇電晶體(圖3之斷面5-5)沿字元線(WL2)方向之斷面圖。每行係藉由形成於該基板中的溝渠與相鄰的行隔離，並以隔離材料予以填充，此稱為淺溝渠隔離(shallow trench isolation；STI)。藉由STI與絕緣體膜15及字元線(WL)使漂浮閘極(FG)彼此隔離。因為選擇電晶體(S)之閘極電極(SG)係在與漂浮閘極(FG)及字元線(WL)相同的形成程序步驟中形成，故其顯示一堆疊的閘極結構。此等兩個選擇閘極線

(SG)在線端部處分流。

在一特定範例中，每一記憶體單元之漂浮閘極儲存兩位元，即每一記憶體單元之漂浮閘極具有該等狀態「11」、「10」、「01」、「00」中的一狀態，上文以引用方式併入的美國專利第6,522,580號說明各種施加來操作記憶體單元陣列1之電壓。此處針對選擇字元線「WL2」與位元線「BL_e」用於抹除、讀取或程式化之情況，簡要地說明此點。藉由升高c-p井至 V_{erase} 等於15至20 V之抹除電壓，並將選定區塊之字元線(WL)接地，可抹除選定區塊之資料。由於將未選定區塊之全部字元線(WL)、位元線(BL)、選擇線(SG)與c源極置為漂浮狀態，其也升高至接近 V_{erase} ，此係由於與c-p井之電容性耦合。因此，強電場僅施加於選定記憶體單元(M)之穿隧氧化物膜14(圖4及5)，將選定記憶體單元之資料作為穿過穿隧氧化物膜14之穿隧電流加以抹除。此範例中，抹除之單元為四個可能程式化狀態之一，即「11」。

可使用電荷幫浦(圖1中未顯示)從較低供應值產生抹除與程式化值中所用的高電壓值。此等較高的電壓值可產生於記憶晶片22本身，或從記憶體系統中的另一晶片供應。美國專利第6,282,130號中更全面地論述高電壓源之使用與定位，該案以引用方式併入本文並且在該案中引述額外的參考內容。

圖6示意性說明此一先前技術配置。將三個代表性字元線WL_A、WL_B與WL_C連接至一線107，該線107分別透過電

晶體 101、103 與 105 供應各種電壓位準。電晶體 101、103 與 105 以及線 107 將作為圖 1 之列控制電路 3 之部分。圖 1 之 c-p 井控制電路 5 提供用於井結構 c-p 井 11 的電壓。字元線接著在井結構 11 上繼續至圖 2 所示之記憶體 1 的不同區塊之各字元線的任一字元線上。抹除程序中，若字元線 WL_C 對應於選定字元線及未選定之 WL_A 與 WL_B ，將 c-p 井內之電壓升至(例如)17 伏特之抹除電壓，並將線 107 設定為接地。將電晶體 105 的閘極設定為高位準 V_{dd} ，將字元線 WL_C 取為接地，同時藉由將電晶體 101 與 103 的閘極設定為接地而關閉電晶體 101 與 103，使 WL_A 與 WL_B 漂浮。此可得到如上所述之抹除條件，其中藉由來自井的電容性耦合對未選定的抹除閘極充電(例如，在上文所併入的美國專利第 5,546,341 號中所述)，並將選定的抹除閘極強制為接地。美國專利申請案第 09/956,201 號說明瞭抹除程序的其他方面，該案申請於 2001 年 9 月 17 日，並以引用方式併入本文中。特定言之，美國專利申請案第 09/956,201 號說明可使未選定字元線漂浮的程序，此係可併入本發明各方面之替代性具體實施例的程序。

為了在程式化操作過程在漂浮閘極(FG)中儲存電子，連接選定字元線 WL_2 至程式脈衝 V_{pgm} ，並將選定之位元線 BL_e 接地。另一方面，為了抑制在不進行程式化之記憶體單元(M)上之程式化，連接對應位元線 BL_e 與未選定之位元線 BL_o 至電源供應之 V_{dd} ，例如 3 V。連接未選定之字元線 WL_0 、 WL_1 與 WL_3 至 10 V，連接第一選擇閘極(SGD)至

V_{dd} ，並將第二選擇閘極(SGS)接地。因此，將正在程式化之記憶體單元(M)之通道電位設定為0 V。由於與字元線(WL)之電容性耦合，將程式抑制中之通道電位升高，因而程式抑制中之通道電位升至大約6 V。如以上所說明，在程式化過程僅向記憶體單元(M)之穿隧氧化膜14施加強電場，且穿隧電流以與抹除時之方向相反之方向流過穿隧氧化膜14，然後邏輯狀態從「11」變為「10」、「01」或「00」三個狀態中的一狀態。

為了在程式化操作過程在漂浮閘極(FG)中儲存電子，連接選定字元線WL2至程式脈衝 V_{pgm} ，並將選定之位元線BL_e接地。另一方面，為了抑制在不進行程式化之記憶體單元(M)上之程式化，連接對應之位元線BL_e與未選定之位元線BL_o至電源供應之 V_{dd} ，例如3 V。連接未選定之字元線WL0、WL1與WL3至10 V，連接第一選擇閘極(SGD)至 V_{dd} ，並將第二選擇閘極(SGS)接地。因此，將正在程式化之記憶體單元(M)之通道電位設定為0 V。由於與字元線(WL)之電容性耦合，將程式抑制中之通道電位升高，因而程式抑制中之通道電位升至大約6 V。如以上所說明，在程式化過程僅向記憶體單元(M)之穿隧氧化膜14施加強電場，且穿隧電流以與抹除時之方向相反之方向流過穿隧氧化膜14，然後邏輯狀態從「11」變為「10」、「01」或「00」三個狀態中的一狀態。

在讀取與驗證操作期間，選擇閘極(SGD與SGS)與未選定之字元線(WL0、WL1及WL3)升高至讀取通過電壓(4.5

V)，以使該等選擇閘極與未選定之字元線成為通閘。連接所選定之字元線(WL2)至一針對每一讀取與驗證操作指定的電壓位準，以便決定所關心之記憶體單元之臨界電壓是否達到該位準。例如，在READ 10操作中，將所選定之字元線WL2接地，所以要偵測臨界電壓是否高於0 V。在該讀取之情況下，可以說讀取位準係0 V。在VERIFY 01操作中，連接所選定之字元線WL2至2.4 V，以便驗證臨界電壓是否達到2.4 V。在該驗證之情況下，可以說驗證位準係2.4 V。同樣，對於所說明的所有程序，所述的電壓位準僅係範例性值。

預充電所選定之位元線(BLe)至高位準，例如0.7 V。如果臨界電壓高於讀取或驗證位準，由於係非揮發性記憶體單元(M)，所關心之位元線(BLe)之電位位準保持該高位準。另一方面，如果臨界電壓低於讀取或驗證位準，由於係導通記憶體單元(M)，所關心之位元線(BLe)之電位位準減少至一低位準，例如，小於0.5 V。下面說明讀取與驗證操作之其他詳細內容。

寫入/抹除中止偵測機制範例

本發明之主要方面係在具有最小化系統性能懲罰之非揮發性記憶體程式化及抹除過程中的功率損失事件中確保用於寫入及抹除中止偵測之可靠機制的技術。當使用特定具體實施例作為參考時，本發明將主要就具有前述段落所說明之NAND架構的快閃型記憶體予以說明，儘管該等概念之延伸通常會如以下所詳述。

一種已知的防止寫入中止之方法為新增額外硬體，以保持記憶體 Vdd，直至完成記憶體操作，例如美國專利第 5,418,752 號所說明，其以提及方式併入本文中。一項變更中，可使用具有更快寫入時間之替代形式的非揮發性記憶體，以儲存在功率損失情況中會丟失的資料。此方法存在缺點，因為其較昂貴並且無法始終容易地得以實施。寫入中止偵測的另一方法為在實際程式化操作前以及實際程式化發生後指示保留區域內期望程式化區段之位址，以便再次更新保留區域，從而確認程式化操作之完成。包括資料的實際程式化，此方法關於使用者所執行的每個單一區段寫入將需要三個程式化操作。另一方法為在程式化區段後寫入預定義寫入中止標頭。此方法關於每一區段寫入需要兩個程式化操作。至於抹除，可在抹除前將需要抹除之區塊或區段之位址寫入保留區域，並在完成抹除操作後再次將位址寫入保留區域。本發明之主要方面改進了該等技術。

更明確地說，為確保能在最小性能影響之情況下可靠地偵測寫入中止故障，引入新寫入中止偵測機制。在其示範性具體實施例中，演算法將先前區段狀態旗標(PSS)及最後區段狀態旗標(LSS)引入區段負擔資訊。假定系統正在寫入一區塊內之區段 0 至 x，演算法將寫入區段 1 之 PSS 與區段 1 內之資料，以指示區段 0 已完成程式化，並且未發生寫入中止。此使得 ECC 可保護 PSS 旗標，ECC 為用於包括負擔之整個區段的 ECC 或具有此特徵之具體實施例中的負擔

ECC。同樣，當寫入區段2時，將寫入其PSS以指示區段1已完成程式化而無寫入中止，依此類推，直至到達寫入命令之最後區段。當到達最後區段時，即區段x，其同樣具有對應於在輸入區段x資料的同時輸入之區段(x-1)的PSS旗標，然而由於區段x作為寫入之最後區段，不再有設定對應於區段x之PSS旗標的下一區段。為解決此問題，使用LSS旗標。區段之LSS旗標對應於區段本身，並指示包含LSS旗標之區段已完成程式化而無寫入中止。

在程式化區段x後，演算法可程式化區段x之LSS。此意味著僅主機程式命令內之最後區段需要兩次程式化操作，以確保寫入中止偵測。PSS方案應用於主機原子寫入命令內的全部區段或控制器所快取的一組命令。LSS方案應用於主機原子寫入命令內的最後區段以及(若不允許序列外頁面程式化)區塊之最後實體頁面。記憶體系統可決定需要從主機命令程式化的區段數量，以及藉由使用主機快取來管理具有PSS及LSS之寫入操作，從而最小化系統性能影響。例如，控制器可將多個主機原子寫入分組成記憶體操作之一序列，從而將寫入LSS之負擔分攤在大量區段上，藉此減小性能影響。若該區段為區塊內之最後程式化區段或區塊之最後實體區段，該等機制藉由查看下一實體區段之PSS及當前區段之LSS確保寫入中止故障偵測。

對於抹除，可在一成功抹除操作後標記一抹除中止旗標(EAF)。可將EAF旗標置於預指定位置內，例如區塊之第一區段。應注意對於PSS旗標及EAF旗標兩者(當區塊包含

多個區段時)，一區段內之成功操作的指示正得以保持在另一區段內。使用該等旗標，系統可在下一次電源開啟之下一初始化過程中成功地偵測寫入中止或抹除中止。該等中止偵測方案對於多狀態(MLC)記憶體特別有效，因為由於需要較長程式化及抹除時間，設計硬體來處理MLC變得更困難且昂貴，並且同樣由於通常較長之程式化時間要求，每個單一區段不會程式化兩次所獲得之性能遠大於MLC。

示範性具體實施例在區段位準基礎上使用PSS及LSS旗標。由於區段為主機所處理之最小資料單位，此通常較為方便。更一般而言，可針對資料數量之每次成功寫入設定PSS及LSS旗標，通常係根據某實體資料單位或結構。例如，當資料寫入單位為多區段資料頁面時，可將資料頁面之成功程式化記錄至與下一頁面同時加以程式化的PSS旗標內，而接著針對最後頁面之成功寫入設定LSS旗標。儘管示範性具體實施例之本說明係根據區段-旗標名稱包括「區段」-，該等具體實施例全部可延伸至更一般情況中。同樣，儘管用於示範性具體實施例之EAF旗標依據區塊位準加以使用，由於其係抹除單位，更一般而言其亦可依據不同規模加以使用，例如用於元區塊之單一抹除旗標。

圖6A至C示意性顯示一對示範性具體實施例，圖6A及6C顯示區段結構，圖6B說明各區域。圖6A代表來自記憶體陣列1之數字n之區塊，從區塊i 601至區塊i+n 603。各區

塊內顯示大量區段，例如631及633，各由圖式內之一列代表。圖6B說明各區域。

圖6B內注釋一般區段之各部分。其由儲存使用者資料之資料部分611以及標頭或負擔部分623組成，標頭或負擔部分623包含關於區段之各種資料，例如對應錯誤校正碼(ECC)615及本技術中所熟知的其他種類之負擔(其他資料613)。ECC可用於資料及負擔兩者，或者兩者可具有分離ECC。儘管出於說明目的，該等圖式中所顯示的各區域係分離的，實務中其可混合至實際儲存元件內。此外，亦存在分離儲存負擔之具體實施例，其中實體區段僅包含資料，其他實體位置專用於負擔。新特徵為負擔內之旗標PSS 617、LSS 619及EAF 621之內含項。

返回圖6A，各區段具有PSS旗標617(其可設定為指示已成功寫入先前區段)及LSS旗標619(其可設定為指示已正確寫入該區段本身)兩者。如下所述，該等旗標之各個可由多個位元組成。由於寫入區段前已知PSS旗標之狀態，其與資料及負擔內容同時得以寫入，並且可由ECC加以保護。由於隨後根據已成功寫入之區段的剩餘部分寫入LSS旗標，其不受ECC所保護，ECC先前已得以寫入。

由於區塊內容全部被抹除，示範性具體實施例針對各區塊僅可使用單一抹除中止旗標，EAF 621。本發明採用將EAF旗標(仍可由多個位元組成)置於區塊第一區段(例如區塊Block i 601內之區段631)內之傳統技術。成功完成抹除程序後，設定EAF。因此，示範性具體實施例中，應一直

設定EAF旗標。不加設定的唯一時間為發生抹除中止時，此處設定EAF旗標之操作不會在抹除操作後發生。由於在將資料寫入區塊前已設定EAF旗標，其不會受ECC所保護。(若需要ECC保護EAF旗標，需要抹除EAF旗標，然後與資料一起重新寫入，此導致額外程式化負擔。)儘管較佳具體實施例包括用於抹除中止偵測之EAF旗標以及用於寫入中止偵測之PSS/LSS旗標，應注意本發明具有獨立方面，並且可獨立地併入記憶體裝置內。

圖6A顯示始於區塊i 601之區段0 631並到達區塊i+n 603之區段639的寫入程序成功結束後，狀態區段旗標PSS 617及LSS 619之處置。該等區段之各個的資料部分611將包含驗證資料，因為其全部已得以成功寫入。負擔部分中，僅顯示旗標PSS 617、LSS 619及EAF 621之狀態，其中X指示一設定旗標，開放正方形指示未設定旗標。圖式未顯示負擔其他部分(613及615)之內容。資料部分611可儲存主機所供應之使用者資料或系統資料，資料範例在國際專利文獻WO 03/027828 A1內予以說明，其以提及方式併入本文中。

將EAF旗標621設定在區塊內，因為區塊先前已成功得以抹除，而未發生抹除中止。第一寫入區段631將不設定其PSS旗標617及其LSS旗標619。下一區段633將設定PSS旗標617，其指示前一區段631已成功得以寫入。同樣，各隨後區段，直至並包括寫入之最後區段639，將設定其PSS旗標。最後寫入區段將額外地設定其LSS旗標619，並且成

為唯一設定此旗標的自動寫入程序之區段。(若僅寫入單一區段，則會發生一區段設定其LSS旗標但不設定其PSS旗標之情況。)

圖7係示範性寫入程序之流程圖。此始於步驟701，其中寫入命令用於寫入資料之多個邏輯區段。接著將第一邏輯區段寫入對應實體區段(703)。驗證資料得以正確輸入後(705)，程序繼續至下一區段。當將資料內容寫入下一區段時(707)，亦將PSS旗標設定至其負擔區域內，以指示先前區段得以正確程式化。於步驟709驗證寫入。若此並非最後區段(711「否」)，寫入程序繼續至下一區段，並重複步驟707及709，對前一迴路內之步驟709作出回應，於步驟707中再次設定PSS旗標。一旦寫入並確認最後區段(711「是」)，由於無設定PSS旗標之下一區段，在最後區段內設定LSS旗標。在區塊內寫入區段之順序以及在原子寫入程序中寫入區塊之順序可為固定的或可變的，例如根據美國專利文獻第US 2003/0065899號內之指標結構，其以提及方式併入本文中。(若順序不固定，需要保持順序以便決定哪個區段為對應於PSS旗標之前一區段。由於具有NAND架構之記憶體使用順序區段寫入，結果為圖7之方案內所使用的區段順序寫入。)

返回圖6A及6B，為決定寫入程序是否成功，僅需要檢查PSS 617及LSS 619旗標。該等旗標可用作成功寫入區段之保證。若設定一區段之LSS旗標，該區段及寫入程序之全部先前區段已成功得以程式化。例如，若在寫入程序過

程中存在功率損失，可掃描旗標：若設定LSS旗標619，則完成程式化；若未設定LSS旗標619，藉由往後處理PSS旗標617，第一設定PSS旗標將指示損失功率前已成功寫入該寫入程序內之全部區段。同樣，檢查EAF旗標621可決定已成功完成抹除程序，而不必檢查整個區塊之資料內容。其亦使系統可區分一區塊，該區塊包含恰好全部為零(亦可由PSS及LSS旗標決定)之全部有效資料，以及實際抹除之一區塊。

圖6C為圖6B之具體實施例的變更，其在許多應用中可較佳。此具體實施例中，當寫入完整區塊時，即使寫入繼續至其他區塊內的更多區段時，亦針對區塊內最後區段之寫入設定LSS旗標。因此，圖6C內設定區段635之LSS旗標。由於將區段635之成功寫入記錄至區段635本身內，不必在下一寫入區段內設定PSS旗標，該區段將為另一區塊內之第一區段。因此，即使成功寫入前一區段(此由前一區塊之最後區段的LSS旗標指示)，區段637不設定其PSS旗標。由於各區塊內之第一區段因此而不必設定其PSS旗標，可針對該等區段消除此旗標，如圖6C內之區段631及637所示。至於區段0內的該等位元，其可用於EAF旗標。因此，儘管圖6C內顯示的EAF旗標621不同，在其他區段內將用於PSS之區域可用於區段0內之EAF。

圖6C內之配置的優點為可僅藉由查看區塊內最後區段之LSS旗標檢查區塊內全部區段之狀態。同時其優點為具有區塊內全部區段具有相同數量之資料位元，因為不需要區

段0具有EAF及PSS旗標兩者。

在圖6C之配置中，圖7之流程圖將稍微改變，即步驟707中，若當前區段為區塊之第一區段，則不設定PSS旗標。對於區塊之最後區段，需要在步驟709與711間設定LSS。

考慮到旗標之結構，可係單一位元旗標或多位元旗標。此係設計選擇及旗標強固性與所用空間數量的權衡。同時應考慮，由於旗標內位元數量增加，旗標本身內不良位元或寫入錯誤之概率也會增加，由於旗標目的為決定資料寫入是否成功，若旗標本身面臨增加的錯誤危險，此會影響生產效率。示範性具體實施例使用數位元之旗標，各大致匹配所使用之ECC。此外，對於增加的強固性，可按二進制模式儲存旗標，甚至在多狀態記憶體內。由於在與實際資料相同的MLC程式操作過程設定PSS旗標，使用二進制旗標可使程式化演算法變得稍微複雜，並且在大多數應用中不合需要，因為可使用多位元旗標。在上述示範性具體實施例中，採用較高頁面/較低頁面，較佳的係亦採用對應於較高頁面旗標及較低頁面旗標之多位準方式儲存旗標，以便減小操作複雜性。

如上所述，本發明不僅適用於示範性具體實施例之NAND型快閃記憶體，亦適用於其他架構及記憶體技術。特定言之，其他EEPROM或電荷儲存單元可受益，例如具有井抹除的NOR型快閃記憶體。本發明可簡單地延伸至儲存元件並非漂浮閘極電晶體的情形，例如標題為「採用介電儲存元件之多狀態非揮發性積體電路記憶體系統」的美

國專利申請案中所述種類的介電儲存元件，該案係由 Eliyahou Harari、George Samachisa、Jack H. Yuan 與 Daniel C. Guterman 於 2002 年 10 月 25 日申請並且以提及方式併入本文中。儘管迄今說明集中於採用電荷儲存裝置之具體實施例，例如漂浮閘極 EEPROM 或 FLASH 單元，本發明可應用於其他具體實施例，例如亦可使用 NROM 及 MNOS 單元，如 Eitan 的美國專利第 5,768,192 號及 Sato 等人的美國專利第 4,630,086 號所分別說明，或者磁性 RAM 及 FRAM 單元，如 Gallagher 等人的美國專利第 5,991,193 號及 Shimizu 等人的美國專利第 5,892,706 號所分別說明，其全部以提及方式併入本文中。

雖然結合特定具體實施例說明本發明之各方面，但應瞭解，係在所附申請專利範圍之完整範圍內保護本發明。

【圖式簡單說明】

圖 1 係說明要實施之本發明各方面之非揮發性記憶體系統的方塊圖；

圖 2 說明圖 1 之記憶體陣列係 NAND 型時之現有電路與組織；

圖 3 顯示形成於半導體基板上之 NAND 型記憶體陣列沿一行之斷面圖；

圖 4 係圖 3 之記憶體陣列沿其斷面 4-4 所取的斷面圖；

圖 5 係圖 3 之記憶體陣列沿其斷面 5-5 所取的斷面圖；

圖 6A 至 C 示意性顯示依據示範性具體實施例之區塊結構；以及

圖 7 係示範性寫入程序之流程圖。

【主要元件符號說明】

1	記憶體單元陣列
2	行控制電路
3	列控制電路
4	c源極控制電路
5	c-p井控制電路
6	資料輸入/輸出緩衝器
7	命令電路
8	狀態機
9	p型半導體基板
10	n型區域
11	c-p井
12	n型擴散層
13	p型擴散層
14	穿隧氧化物膜
15	絕緣體膜
20	控制器
21	積體電路晶片
22	積體電路晶片
101	電晶體
103	電晶體
105	電晶體
107	線

601	區塊 i
603	區塊 i+n
611	資料部分
613	其他資料
615	錯誤校正碼
617	PSS旗標
619	LSS旗標
621	EAF旗標
623	標頭
631	區段
633	區段
635	區段
637	區段
639	區段

五、中文發明摘要：

本發明揭示一種非揮發性記憶體及其操作方法，其在具有最小化系統性能懲罰之非揮發性記憶體程式化及抹除過程中的功率損失事件中確保用於寫入及抹除中止偵測之可靠機制。在一多區段寫入程序過程中，在寫入該隨後區段之資料內容的同時，將一區段內成功寫入的一指示寫入該隨後區段之負擔中。最後寫入之區段另外具有寫入其負擔之自身成功寫入的一指示。對於抹除，可在一成功抹除操作後，標記一抹除中止旗標於該區塊之第一區段內。

六、英文發明摘要：

十一、圖式：

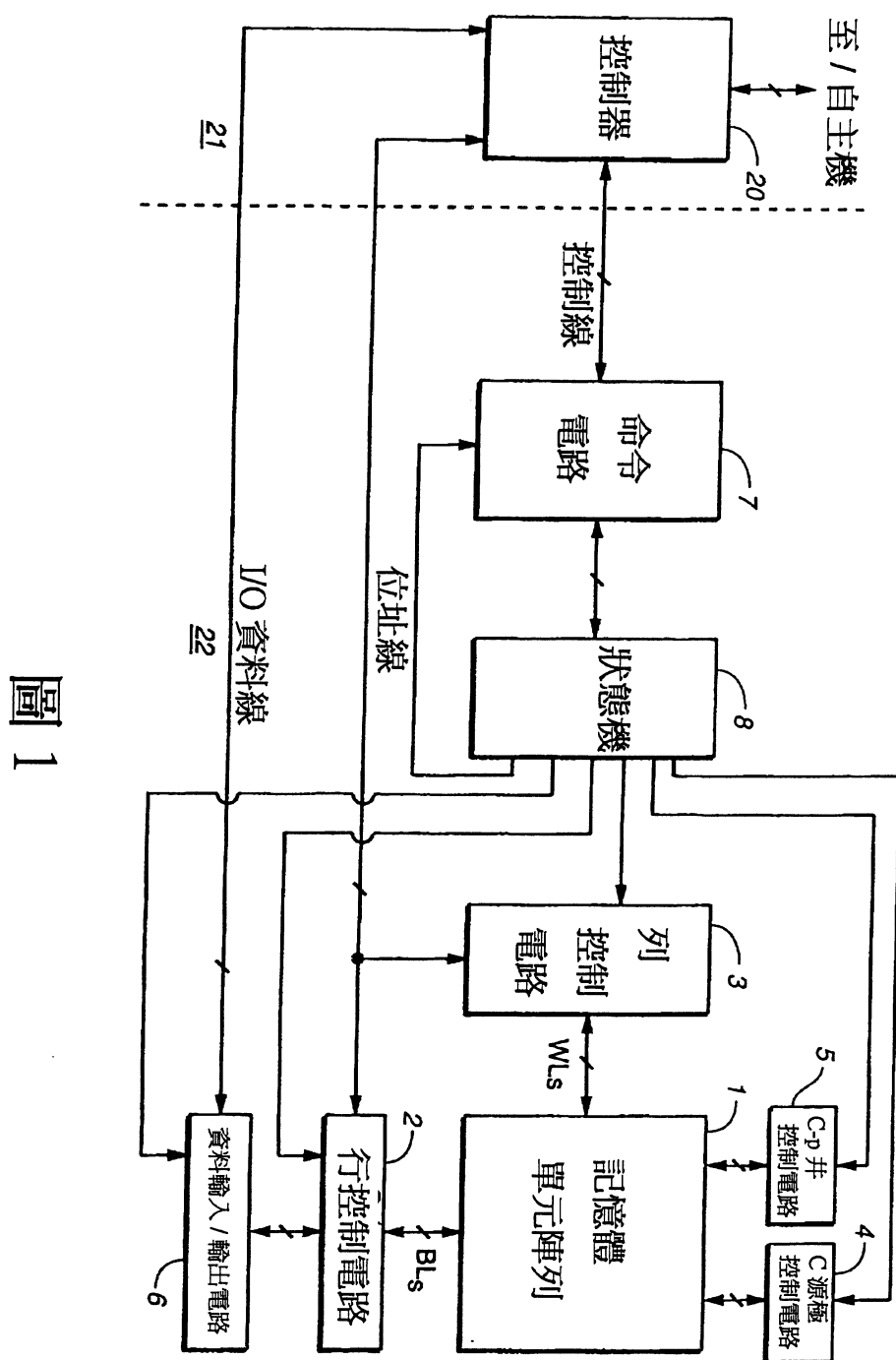


圖 1

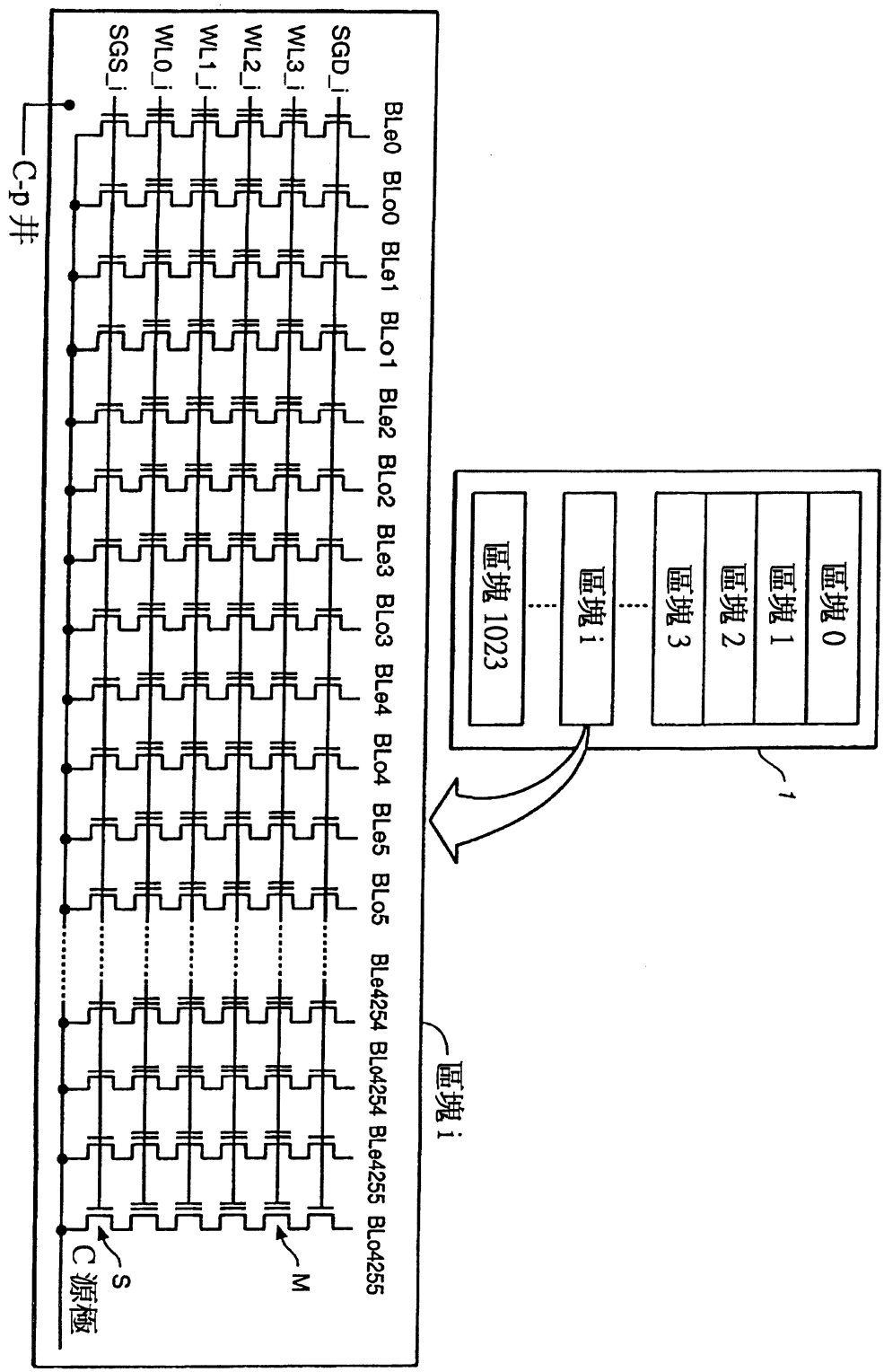


圖 2

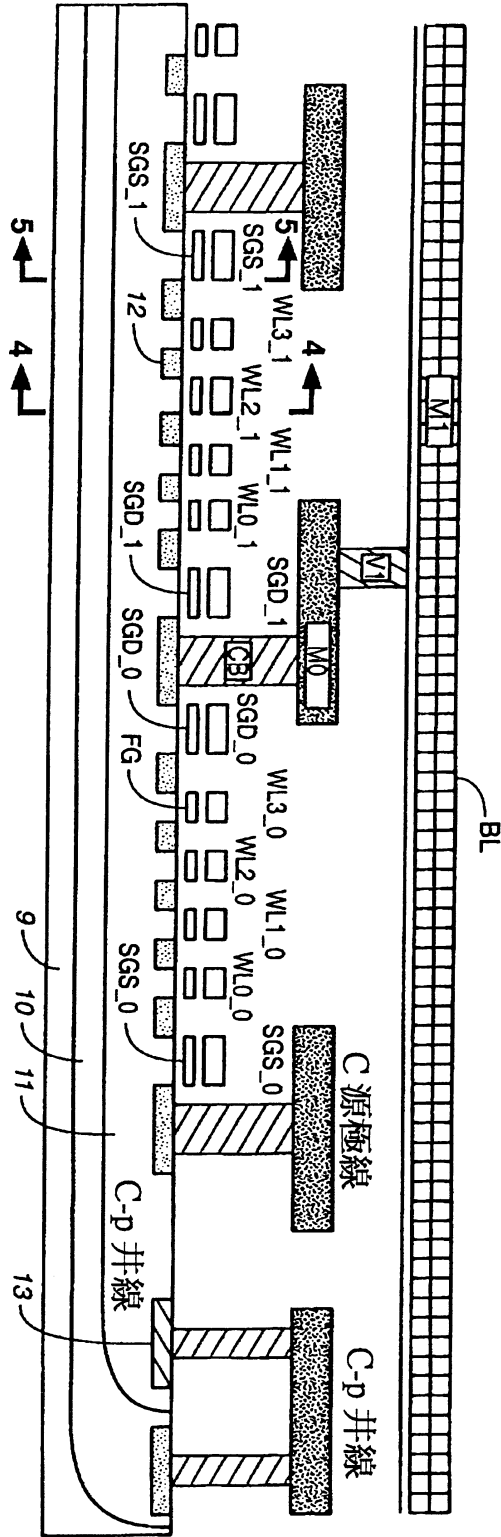


圖 3

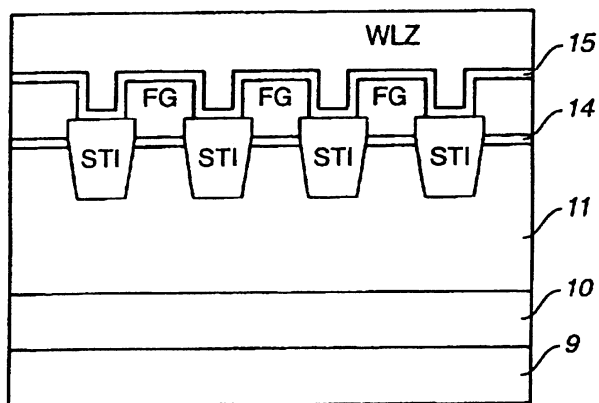


圖 4

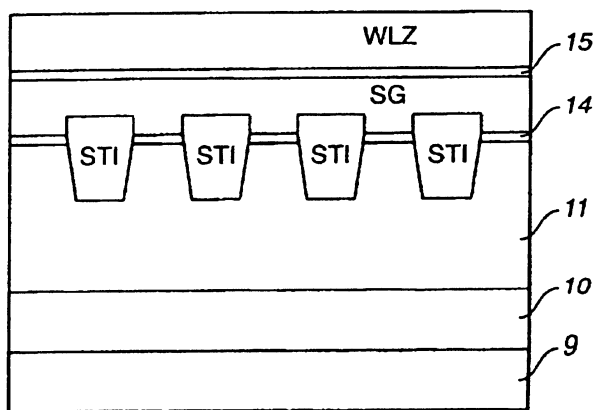


圖 5

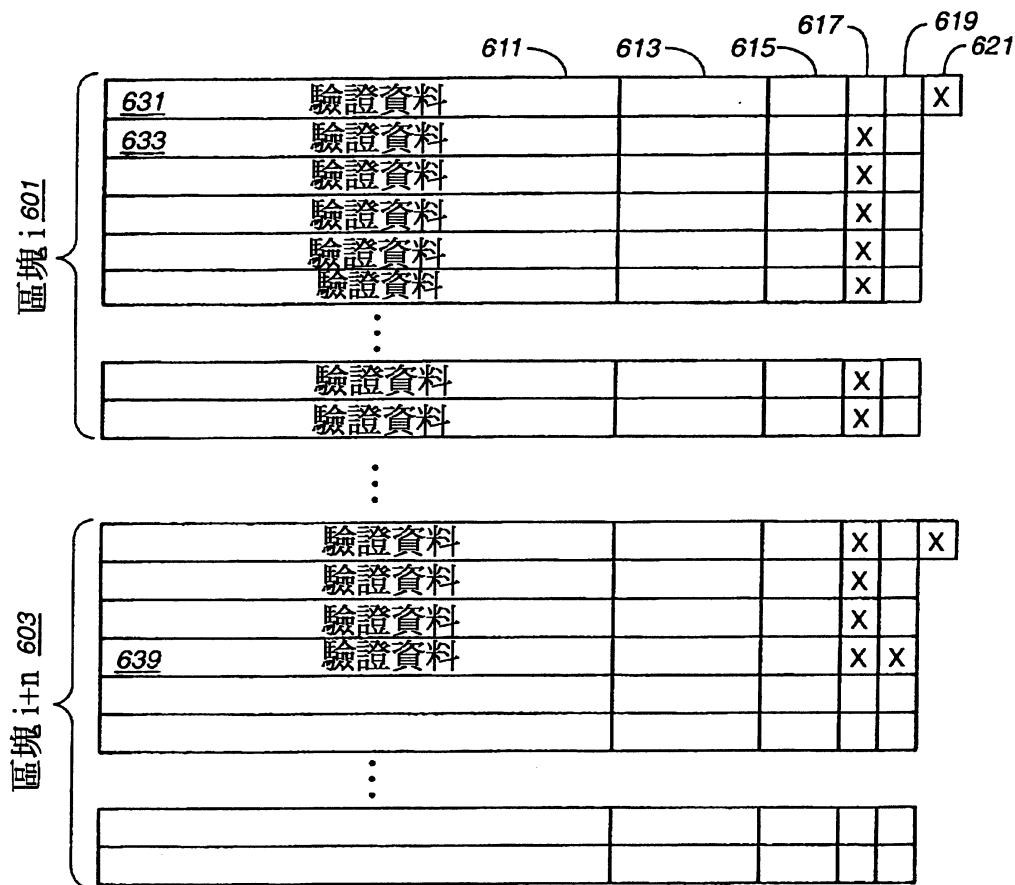


圖 6A

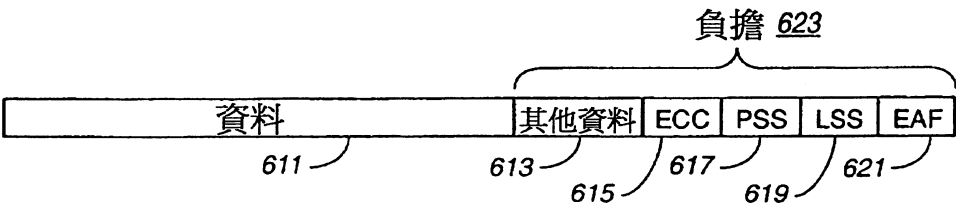


圖 6B

區塊 i 601	<u>631</u>	驗證資料	611	613	615	617	619	621
								X
	<u>633</u>	驗證資料				X		
		驗證資料				X		
		驗證資料				X		
		驗證資料				X		
		驗證資料				X		
...		驗證資料				X		
	<u>635</u>	驗證資料				X	X	
區塊 i+n 603	<u>637</u>	驗證資料						X
		驗證資料				X		
		驗證資料				X		
	<u>639</u>	驗證資料				X	X	
...								

圖 6C

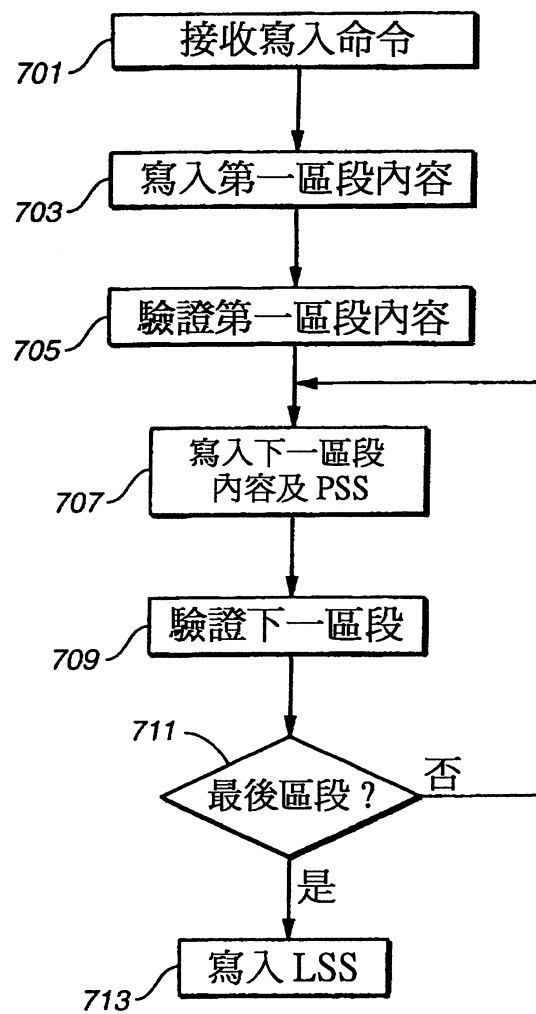


圖 7

七、指定代表圖：

(一)本案指定代表圖為：第 (6C) 圖。

(二)本代表圖之元件符號簡單說明：

601	區塊 i
603	區塊 i+n
611	資料部分
613	其他資料
615	錯誤校正碼
617	PSS旗標
619	LSS旗標
621	EAF旗標
623	標頭
631	區段
633	區段
635	區段
637	區段
639	區段

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種非揮發性記憶體，其包括複數個資料儲存區域，每一該等資料儲存區域包含：
一使用者資料部分；以及
一負擔資料部分，其中各資料儲存區域之該負擔資料部分包含一第一旗標，其指示另一個該等資料儲存區域已正確寫入。
2. 如請求項1之非揮發性記憶體，其中該等資料儲存區域之各個的該負擔資料部分進一步包含一第二旗標，其用於指示正確寫入該資料儲存區域本身。
3. 如請求項1之非揮發性記憶體，其中該等資料儲存區域之各個對應於資料之一區段。
4. 如請求項1之非揮發性記憶體，其中將該等資料儲存區域組織成複數個抹除單位，以及其中在該等抹除單位之各個中的一預定資料儲存單位之該負擔資料部分進一步包含一第三旗標，其用於指示該預定資料儲存單位所屬之該抹除單位已完成一抹除操作。
5. 如請求項1之非揮發性記憶體，其中將該等資料儲存區域組織成複數個抹除單位，以及其中該等區塊之各個進一步包含一額外資料儲存區域，其負擔資料部分具有該第二旗標且不具有該第一旗標。
6. 如請求項5之非揮發性記憶體，其中不具有該第一旗標之該等資料儲存區域之各個的該負擔資料部分包含一第三旗標，其用於指示不具有該第一旗標之該資料儲存區

域所屬的該抹除單位已完成一抹除操作。

7. 如請求項6之非揮發性記憶體，其中依據一預定序列寫入該等資料儲存區域，其中該等資料儲存區域之該另一個為該序列內之該前一資料儲存區域，以及其中不具有該第一旗標之該等資料儲存區域為其所屬之該等個別區塊內之該序列中的該等第一資料儲存區域。
8. 如請求項1之非揮發性記憶體，其中該等第一旗標各由多個位元組成。
9. 如請求項1之非揮發性記憶體，其中依據一預定序列寫入該等資料儲存區域，以及其中該等資料儲存區域之該另一個為該序列內之該前一資料儲存區域。
10. 如請求項1之非揮發性記憶體，其中該等第一旗標及該等使用者資料部分之該內容由錯誤校正碼(ECC)加以保護。
11. 一種非揮發性記憶體，其包括複數個抹除單位，每一該等抹除單位具有複數個資料儲存區域，每一該等資料儲存區域包含：
 - 一使用者資料部分；以及
 - 一負擔資料部分，其中在該等抹除單位之各個中的一預定資料儲存單位之該負擔資料部分進一步包含一旗標，其用於指示該預定資料儲存單位所屬之該抹除單位已完成一抹除操作。
12. 如請求項11之非揮發性記憶體，其中該旗標由多個位元組成。

13. 一種記憶體，其包含：

一非揮發性記憶體，其包含複數個資料儲存區域，
以及

一控制器，其用於對該記憶體之該資料讀取及寫入，
其中在資料進入兩個或更多該等資料儲存區域之一順序
寫入程序過程，對於該第一資料儲存區域後的各資料儲
存區域，將該前一資料儲存區域之該寫入的一指示寫入
該當前資料儲存區域，作為其寫入程序之部分。

14. 如請求項13之記憶體，其中在該順序寫入程序過程，對
於該順序程序內之該等資料儲存區域的該隨後資料儲存
區域，將該等資料儲存區域之該最後資料儲存區域的該
寫入之一指示寫入該等資料儲存區域之該最後資料儲存
區域。

15. 如請求項14之記憶體，其中該等資料儲存區域之各個包
括一資料部分及一負擔部分，以及其中將該等指示寫入
該負擔部分。

16. 一種非揮發性記憶體之操作方法，其包含：

將包括使用者資料之第一內容程式化至一第一資料儲
存區域內；

驗證該第一內容係正確程式化至該第一資料儲存區域
內；

隨後將包括使用者資料之第二內容程式化至一第二資
料儲存區域內；以及

與第二內容之該程式化同時，將正確程式化該第一資

料儲存區域之一指示寫入該第二資料儲存區域。

17. 如請求項16之方法，其進一步包含：

在第二內容之該程式化後，驗證該第二內容係正確程式化至該第二資料儲存區域內；

隨後將正確程式化該第二資料儲存區域之一指示寫入該第二資料儲存區域。

18. 如請求項16之方法，其中以一預定順序寫入該等資料儲存區域。

19. 如請求項18之方法，其中將資料儲存區域分組為抹除單位，該方法進一步包含：

在第二內容之該程式化後，驗證該第二內容係正確程式化至該第二資料儲存區域內；

當該第二資料儲存區域係以該預定順序寫入該第二資料儲存區域所屬之該抹除單位的該等資料儲存區域之該最後資料儲存區域時，隨後將該第二資料儲存區域正確地程式化的一指示寫入該第二資料儲存區域。

20. 如請求項16之方法，其中該第二內容及該第一資料儲存區域正確地程式化的該指示由錯誤校正碼(ECC)加以保護。

21. 一種決定是否已正確地程式化複數個依順序寫入區段之方法，其包含：

根據該隨後區段之該內容決定該序列內除該初始區段外的每一區段是否已正確地程式化；

根據該隨後區段之內容尋找未指示已正確地程式化的

一 第一區段；以及

根據該第一區段本身之該內容，決定該第一區段是否已正確地程式化。

22. 如請求項21之方法，其中該隨後區段之該內容包括一旗標，其指示該前一區段係正確地程式化。

23. 如請求項22之方法，其中指示該前一區段正確地程式化的該旗標係由多個位元組成。

24. 如請求項22之方法，其中指示該前一區段正確地程式化的該旗標係由錯誤校正碼(ECC)加以保護。

25. 如請求項21之方法，其中該第一區段本身之該內容包括一旗標，其指示該第一區段正確得以程式化。

26. 如請求項25之方法，其中指示該第一區段正確地程式化的該旗標係由多個位元組成。

27. 一種操作非揮發性記憶體之方法，其包含：

抹除該非揮發性記憶體之一區塊的該資料內容，其中該區塊包含複數個區段，該等區段各具有一資料部分及一負擔部分；

驗證該區塊成功得以抹除；以及

將一代表該區塊成功地被抹除之指示寫入該等區段之一指定區段的該負擔部分。

28. 如請求項27之方法，其中該指示包含一旗標。

29. 如請求項28之方法，其中該旗標由多個位元組成。

30. 一種操作非揮發性記憶體之方法，其具有複數個區段，且每一該等區段皆具有一資料部分及一負擔部分，該方

法包含：

改變至少一第一區段之該資料內容；

隨後驗證該改變至少一第一區段之資料內容已成功完成；以及

隨後將該改變至少一第一區段之資料內容已成功完成的一指示記錄至一第二區段之該負擔部分內。

31. 如請求項30之方法，其中該改變該資料內容為一程式化操作。

32. 如請求項30之方法，其中該等第一及第二區段屬於該相同區塊，該改變該資料內容為一抹除操作。