



(12) 发明专利申请

(10) 申请公布号 CN 102593151 A

(43) 申请公布日 2012. 07. 18

(21) 申请号 201210067729. 1

(22) 申请日 2012. 03. 12

(30) 优先权数据

100150022 2011. 12. 30 TW

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行二路 1 号

(72) 发明人 张华罡 蔡宗廷

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 祁建国

(51) Int. Cl.

H01L 27/32(2006. 01)

G09F 9/33(2006. 01)

G09G 3/32(2006. 01)

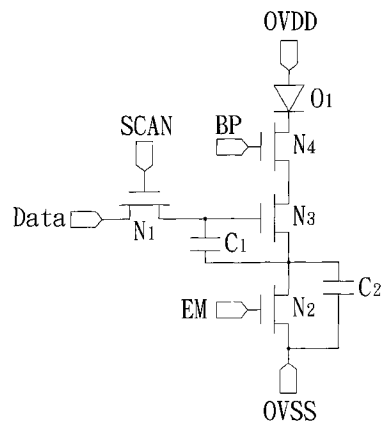
权利要求书 2 页 说明书 7 页 附图 6 页

(54) 发明名称

像素结构、其驱动方法及使用其的自发光显示器

(57) 摘要

本发明提出一种像素结构、其驱动方法及使用其的自发光显示器。此像素结构使用四个晶体管与两个电容,控制像素结构在同步发光与非同步发光的状况下皆有适当的亮度补偿效果。



1. 一种自发光显示器的像素结构,电性耦接至一数据线、一第一电压源线、一第二电压源线、一第一控制信号线、一第二控制信号线与一第三控制信号线,该像素结构包括:

一第一晶体管,具有第一端、第二端与控制端,该第一晶体管的第一端电性耦接至该数据线,该第一晶体管的控制端电性耦接至该第一控制信号线;

一第二晶体管,具有第一端、第二端与控制端,该第二晶体管的第一端电性耦接至该第一电压源,该第二晶体管的控制端电性耦接至该第二控制信号线;

一第三晶体管,具有第一端、第二端与控制端,该第三晶体管的第一端电性耦接至该第二晶体管的第二端,该第三晶体管的控制端电性耦接至该第一晶体管的第二端;

一第四晶体管,具有第一端、第二端与控制端,该第四晶体管的第一端电性耦接至该第三晶体管的第二端,该第四晶体管的控制端电性耦接至该第三控制信号线;

一第一电容,该第一电容的一端电性耦接至该第一晶体管的第二端,另一端电性耦接至该第三晶体管的第一端;

一第二电容,该第二电容的一端电性耦接至该第三晶体管的第一端,另一端电性耦接至该第一电压源线;以及

一发光元件,一端电性耦接至该第四晶体管的第二端,另一端电性耦接至该第二电压源线。

2. 如权利要求1所述的像素结构,其特征在于,该第一、第二、第三与第四晶体管皆为P型晶体管。

3. 如权利要求1所述的像素结构,其特征在于,该第一、第二、第三与第四晶体管皆为N型晶体管。

4. 一种自发光显示器的像素结构,接收一第一电压源与一第二电压源,该像素结构包括:

一第一晶体管,具有第一端、第二端与控制端,该第一晶体管的第一端用以接收一数据信号,该第一晶体管的控制端用以接收一第一控制信号;

一第二晶体管,具有第一端、第二端与控制端,该第二晶体管的第一端用以接收该第一电压源,该第二晶体管的控制端用以接收一第二控制信号;

一第三晶体管,具有第一端、第二端与控制端,该第三晶体管的第一端电性耦接至该第二晶体管的第二端,该第三晶体管的控制端电性耦接至该第一晶体管的第二端;

一第四晶体管,具有第一端、第二端与控制端,该第四晶体管的第一端电性耦接至该第三晶体管的第二端,该第四晶体管的控制端用以接收该第三控制信号;

一第一电容,该第一电容的一端电性耦接至该第一晶体管的第二端,另一端电性耦接至该第三晶体管的第一端;

一第二电容,该第二电容的一端电性耦接至该第三晶体管的第一端,另一端用以接收该第一电压源;以及

一发光元件,一端电性耦接至该第四晶体管的第二端,另一端用以接收该第二电压源。

5. 如权利要求4所述的像素结构,其特征在于,:

该第一晶体管系用以使该数据信号选择性提供至该第一电容的第二端;

该第二晶体管系用以使第一电压源选择性提供至该第三晶体管的第一端、该第二电容的第二端与该第一电容的一端;

该第三晶体管系用以使该第一电容的第二端选择性电性耦接至该第四晶体管的第一端；以及

该第四晶体管系用以使该第三晶体管的第二端选择性电性耦接至该发光元件的第一端。

6. 一种自发光显示器, 包含:

多个如权利要求 4 所述的像素结构;

一数据驱动器, 电性耦接该些像素结构, 用以提供每一该些像素结构的该数据信号;

一扫描驱动器, 电性耦接该些像素结构, 用以提供每一该些像素结构的该第一控制信号、该第二控制信号以及该第三控制信号; 以及

一电源供应器, 电性耦接该些像素结构, 用以提供每一该些像素结构的该第一电压源以及该第二电压源。

7. 一种像素结构的驱动方法, 适于驱动如权利要求 1 所述的像素结构, 该驱动方法包括:

于一第一时段中, 在该数据线上提供一参考电位并设定该第一控制信号线与该第二控制信号线的电位, 藉此导通该第一晶体管与该第二晶体管;

在该第一时段后的一第二时段中, 设定该第二控制信号线与该第三控制信号线的电位, 藉此截止该第二晶体管但导通该第四晶体管;

在该第二时段后的一第三时段中, 维持该第二晶体管为截止, 并在该第三时段内, 提供一数据信号至该数据线, 且设定该第一控制信号线的电位以使该第三晶体管的控制端的电位根据该数据电位经过该第一晶体管而被设定; 以及

在该第三时段后的一第四时段中, 设定该第一控制信号线、该第二控制信号线与该第三控制信号线的电位, 使该第一晶体管截止且该第二晶体管与该第四晶体管导通。

8. 如权利要求 7 所述的驱动方法, 其特征在于, 该第四晶体管在该第一、第二、第三与第四时段内皆保持为导通。

9. 如权利要求 7 所述的驱动方法, 其特征在于, 该第三控制信号线的电位被设定以使该第四晶体管仅在该第二与第四时段内保持为导通, 而在该第一与第三时段中则保持为截止。

10. 如权利要求 9 所述的驱动方法, 其特征在于, 提供该数据电位至该数据线, 且设定该第一控制信号线的电位以使该数据电位经过该第一晶体管而被导入至该第三晶体管的控制端的时间长度, 仅为该第三时段中的一部分时段。

## 像素结构、其驱动方法及使用其的自发光显示器

### 技术领域

[0001] 本发明是有关于一种自发光显示器的像素结构,且特别是有关于一种同步显示的自发光显示器的像素结构、其驱动方法及使用其的自发光显示器。

### 背景技术

[0002] 有机发光二极管 (Organic Light Emitting Diode, OLED) 依驱动方式可分为被动式矩阵驱动 (Passive Matrix OLED, PMOLED) 与主动式矩阵驱动 (Active Matrix OLED, AMOLED) 两种。PMOLED 是当数据未写入时并不发光,只在数据写入期间发光。这种驱动方式结构简单、成本较低、较容易设计,早期的业者皆朝此技术发展。主要应用于中小尺寸的显示器。

[0003] AMOLED 与 PMOLED 最大的差异在于每一像素皆有一电容储存数据,让每一像素皆维持在发光状态。由于 AMOLED 耗电量明显小于 PMOLED,加上其驱动方式适合发展大尺寸与高解析度的显示器,使得 AMOLED 成为未来发展的主要方向。如图 6 所示,其为 AMOLED 面板中的一个像素结构。在此像素结构中包含了两个晶体管  $T_{R1}$  与  $T_{R2}$ 、一个储存电容  $C_S$  以及发光元件  $O_1$ 。只有在数据要被写入这个像素结构的时候,控制信号 Scan N 才会使晶体管  $T_{R1}$  导通,并将数据信号的电位  $V_{data}$  导入晶体管  $T_{R2}$  的控制端,之后再调整控制信号 Scan N 以使晶体管  $T_{R1}$  被截止,并利用之前数据信号电位  $V_{data}$  被导入之后储存在储存电容  $C_S$  两端的电压来控制晶体管  $T_{R2}$  的导通程度,进而控制流经发光元件  $O_1$  的电流。

[0004] 虽然 AMOLED 具有省电、适合大尺寸与全彩化的应用,但是却也延伸出许多设计上的问题。例如 OLED 本身或做为开关或驱动元件之用的薄膜晶体管 (Thin Film Transistor, TFT) 的材料特性的变异与材料老化程度不同而造成面板显示的不均匀就是一个相当严重的问题。过去也已经有许多相关的文献提出不同的补偿电路来改善这方面的问题,主要分为电压式与电流式两种方法。

[0005] 然而,随着三度空间 (three-dimension, 3D) 立体显示装置的需求上升,传统的非同步 (non-simultaneously) 显示方式因为容易使左右眼画面间互相产生干扰,所以厂商另外设计出同步 (simultaneously) 显示方式。在同步显示方式中,显示数据被依序提供到各像素结构中,并在最后才一起发光以显示对应的内容。

[0006] 然而,先前提出的各种补偿电路仅能应用在非同步显示方式中,没办法适用于新的同步显示方式。因此,如何对采用同步显示方式的显示面板进行相关的显示均匀性的补偿,就成了一个重要的课题。

### 发明内容

[0007] 本发明的目的之一就是在提供一种自发光显示器的像素结构,其可适用于使用同步与非同步显示方式的显示面板。

[0008] 本发明的再一目的是提供一种像素结构的驱动方法,其可驱动上述像素结构,并在各类显示面板中进行显示补偿。

[0009] 本发明的又一目的是提供一种自发光显示器。

[0010] 本发明提出一种自发光显示器的像素结构,其电性耦接至数据线、第一与第二电压源线以及第一、第二与第三控制信号线。此像素结构包括:第一至第四晶体管、第一与第二电容以及发光元件。各晶体管分别具有第一端、第二端与控制端。其中,第一晶体管的第一端电性耦接至数据线,第一晶体的控制端电性耦接至第一控制信号线;第二晶体管的第一端电性耦接至第一电压源,第二晶体的控制端电性耦接至第二控制信号线;第三晶体管的第一端电性耦接至第二晶体的第二端,第三晶体的控制端电性耦接至第一晶体的第二端;第四晶体管的第一端电性耦接至第三晶体的第二端,第四晶体的控制端电性耦接至第三控制信号线;第一电容的一端电性耦接至第一晶体的第二端,另一端电性耦接至第三晶体的第一端;第二电容的一端电性耦接至第三晶体的第一端,另一端电性耦接至第一电压源线;发光元件的一端电性耦接至第四晶体的第二端,另一端则电性耦接至第二电压源线。

[0011] 本发明另外提出一种自发光显示器的像素结构,其可接收第一电压源与第二电压源。此像素结构包括第一~第四晶体管、第一与第二电容以及发光元件,且各晶体管各具有第一端、第二端与控制端。其中,第一晶体管的第一端用以接收数据信号,第一晶体的控制端用以接收第一控制信号;第二晶体管的第一端用以接收第一电压源,第二晶体的控制端用以接收第二控制信号;第三晶体管的第一端电性耦接至第二晶体的第二端,第三晶体的控制端电性耦接至第一晶体的第二端;第四晶体管的第一端电性耦接至第三晶体的第二端,第四晶体的控制端用以接收第三控制信号;第一电容的一端电性耦接至第一晶体的第二端,另一端电性耦接至第三晶体的第一端;第二电容的一端电性耦接至第三晶体的第一端,另一端用以接收第一电压源;发光元件的一端电性耦接至第四晶体的第二端,另一端则用以接收第二电压源。

[0012] 本发明还提出一种自发光显示器。此自发光显示器包含多个前述的像素结构、数据驱动器、扫描驱动器以及电源供应器。其中,数据驱动器电性耦接各像素结构,用以提供每一像素结构的数据信号;扫描驱动器电性耦接至像素结构,用以提供每一像素结构的第一控制信号、第二控制信号以及第三控制信号;电源供应器则电性耦接各像素结构,用以提供每一像素结构的第一电压源以及第二电压源。

[0013] 本发明另外提出一种像素结构的驱动方法,其适于驱动前述的像素结构。此驱动方法于第一时段中,在数据线上提供参考电位并设定第一控制信号线与第二控制信号线的电位,藉此导通第一晶体管与第二晶体管;之后则在第二时段中设定第二控制信号线与第三控制信号线的电位,藉此截止第二晶体管但导通第四晶体管;接下来在第三时段中维持第二晶体管为截止,并在第三时段内提供数据电位至数据线,且设定第一控制信号线的电位以使数据电位经过第一晶体管而被导入至第三晶体的控制端;之后再于第四时段中设定第一、第二与第三控制信号线的电位,使第一晶体管截止且第二晶体管与第四晶体管导通。

[0014] 在本发明的一个实施例中,上述的第四晶体管在第一、第二、第三与第四时段内皆保持为导通。

[0015] 在本发明的另一个实施例中,上述的第三控制信号线的电位被设定以使第四晶体管仅在第二与第四时段内保持为导通,而在第一与第三时段中则保持为截止。

[0016] 本发明另外提出一种像素结构的驱动方法,其适于驱动前述的像素结构。此驱动方法于第一时段中,在数据线上提供参考电位并设定第一、第二及第三控制信号线的电位,藉此导通第一晶体管与第二晶体管、第四晶体管;之后则在第二时段中设定第二控制信号线与第三控制信号线的电位,藉此截止第二晶体管但导通第四晶体管;接下来在第三时段中维持第二晶体管为截止且关闭第四晶体管,并在第三时段内提供数据电位至数据线,且设定第一控制信号线的电位以使数据电位经过第一晶体管而被导入至第三晶体的控制端;之后再于第四时段中设定第一、第二与第三控制信号线的电位,使第一晶体管截止且第二晶体管与第四晶体管导通。

[0017] 本发明因采用上述的像素结构,因此可以有效的依据不同需求而分别采用不同的驱动方式;再者,无论在哪一种显示方式中,影像亮度补偿的机制都以同样的方式在操作,因此可以同时适用于同步与非同步显示方式的显示装置中。

[0018] 为了让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举较佳实施例,并配合附图,作详细说明如下。

#### 附图说明

[0019] 图 1 为根据本发明一实施例的像素结构的电路图。

[0020] 图 2 为根据本发明另一实施例的像素结构的电路图。

[0021] 图 3 为根据本发明一实施例的自发光显示装置的电路方块图。

[0022] 图 4 为根据本发明一实施例的像素结构的驱动方法在同步显示方式下所得波形的时序图。

[0023] 图 5A 为对本发明所提供的像素结构进行对应的驱动操作后所得的数据信号电压与发光元件电流间的关系曲线图。

[0024] 图 5B 为对 2T1C 像素结构进行对应的驱动操作后所得的数据信号电压与发光元件电流间的关系曲线图。

[0025] 图 6 为先前技术中所常用的 2T1C 像素结构的电路方块图。

[0026] 附图标记说明

[0027] 30 :自发光显示装置

[0028] 310 ~ 318 :数据驱动器

[0029] 320 :扫描驱动器

[0030] 330 :电源供应器

[0031]  $C_1$ 、 $C_2$  :电容

[0032]  $C_s$  :储存电容

[0033]  $M_1 \sim M_4$  :P 型晶体管

[0034]  $N_1 \sim N_4$  :N 型晶体管

[0035] Data :数据信号

[0036] EM、BP、SCAN :控制信号

[0037] OVDD、OVSS :电压源

[0038]  $O_1$  :发光元件

[0039]  $T_1$ 、 $T_2$ 、 $T_3$ 、 $T_4$ 、 $T_{H1}$ 、 $T_{H2}$  :时段

- [0040]  $T_{R1}$ 、 $T_{R2}$  :晶体管  
 [0041]  $EM_1 \sim EM_n$ 、 $BP_1 \sim BP_n$ 、 $SCAN_1 \sim SCAN_n$  :控制信号线  
 [0042]  $D_1 \sim D_m$  :数据线  
 [0043]  $OVDD_1 \sim OVDD_m$ 、 $OVSS_1 \sim OVSS_m$  :电源线  
 [0044]  $P_{11} \sim P_{nm}$  :像素结构  
 [0045]  $V_{th}$  :阈值  
 [0046]  $V_{ref}$  :参考电位  
 [0047] DA :数据信号  
 [0048]  $V_{data}$  :数据信号的电位

### 具体实施方式

[0049] 请参照图 1,其为根据本发明一实施例的像素结构的电路图。此实施例所示的像素结构包括四个 P 型晶体管  $M_1$ 、 $M_2$ 、 $M_3$  与  $M_4$ 、两个电容  $C_1$  与  $C_2$  以及一个发光元件  $O_1$ 。如图所示, P 型晶体管  $M_1$  的一端接收数据信号 Data, P 型晶体管  $M_1$  的控制端接收控制信号 SCAN, 而 P 型晶体管  $M_1$  的另一端则电性耦接至电容  $C_1$  的其中一端以及 P 型晶体管  $M_3$  的控制端。P 型晶体管  $M_2$  的一端电性耦接至电压源 OVDD 以及电容  $C_2$  的其中一端, P 型晶体管  $M_2$  的控制端接收控制信号 EM, 而 P 型晶体管  $M_2$  的另一端则电性耦接至电容  $C_1$  的其中一端、电容  $C_2$  的其中一端以及 P 型晶体管  $M_3$  的一端。P 型晶体管  $M_3$  除了上述的电性耦接关系之外, 还有一端是电性耦接至 P 型晶体管  $M_4$  的其中一端。P 型晶体管  $M_4$  除了电性耦接至 P 型晶体管  $M_3$  之外, 还有一端电性耦接至发光元件  $O_1$  的一端, 并有控制端电性耦接至控制信号 BP。最后, 发光元件  $O_1$  的另一端电性耦接至电源电压 OVSS。

[0050] 上述的像素结构是完全使用 P 型晶体管所完成的, 除此之外, 也可以完全使用 N 型晶体管来完成本发明所提供的像素结构。请参照图 2, 其为根据本发明另一实施例的像素结构的电路图。此实施例所示的像素结构包括四个 N 型晶体管  $N_1$ 、 $N_2$ 、 $N_3$  与  $N_4$ 、两个电容  $C_1$  与  $C_2$  以及一个发光元件  $O_1$ 。

[0051] 如图所示, N 型晶体管  $N_1$  的一端接收数据信号 Data, N 型晶体管  $N_1$  的控制端接收控制信号 SCAN, 而 N 型晶体管  $N_1$  的另一端则电性耦接至电容  $C_1$  的其中一端以及 N 型晶体管  $N_3$  的控制端。N 型晶体管  $N_2$  的一端电性耦接至电压源 OVSS 以及电容  $C_2$  的其中一端, N 型晶体管  $N_2$  的控制端接收控制信号 EM, 而 N 型晶体管  $N_2$  的另一端则电性耦接至电容  $C_1$  的其中一端、电容  $C_2$  的其中一端以及 N 型晶体管  $N_3$  的一端。N 型晶体管  $N_3$  除了上述的电性耦接关系之外, 还有一端是电性耦接至 N 型晶体管  $N_4$  的其中一端。N 型晶体管  $N_4$  除了电性耦接至 N 型晶体管  $N_3$  之外, 还有一端电性耦接至发光元件  $O_1$  的一端, 并有控制端电性耦接至控制信号 BP。最后, 发光元件  $O_1$  的另一端电性耦接至电源电压 OVDD。

[0052] 此外, 上述的 P 型晶体管与 N 型晶体管可以使用其他的晶体管元件来替换, 但应能符合制程上的相关规定, 上述的晶体管可以例如是场效晶体管、薄膜晶体管或薄膜场效晶体管。此外, 上述的发光元件可以例如是发光二极管或是有机发光二极管。

[0053] 接下来请参照图 3, 其为根据本发明一实施例的自发光显示装置的电路方块图。在本实施例中, 自发光显示装置 30 包含了多个像素结构  $P_{11}$ 、 $P_{12}$ 、 $P_{1m}$ 、 $P_{21}$ 、 $P_{22}$ 、 $P_{2m}$ 、 $P_{n1}$ 、 $P_{n2}$ ... 与  $P_{nm}$  等, 多个数据驱动器 310 至 318 (也可仅使用单一个数据驱动器 310), 一个扫描驱动器

320, 以及一个电源供应器 330。其中, 像素结构  $P_{xy}$  表示的是位于第  $x$  列第  $y$  栏处的像素结构, 且图中各元件的数量并不限于所示的图式中的数量。数据驱动器 310 与 312 透过数据线  $D_1$ 、 $D_2$ ... 与  $D_m$  来传递数据信号 Data。扫描驱动器 320 透过控制信号线  $SCAN_1$ 、 $SCAN_2$ ... 与  $SCAN_n$  来传递控制信号 SCAN, 透过控制信号线  $EM_1$ 、 $EM_2$ ... 与  $EM_n$  来传递控制信号 EM, 并透过控制信号线  $BP_1$ 、 $BP_2$ ... 与  $BP_n$  来传递控制信号 BP。电源供应器 330 则透过电源线  $OVDD_1$ 、 $OVDD_2$ ... 与  $OVDD_m$  来传递电压源 OVDD 所提供的电位, 并透过电源线  $OVSS_1$ 、 $OVSS_2$ ... 与  $OVSS_m$  来传递电压源 OVSS 所提供的电位。其中电源线  $OVDD_1$ 、 $OVDD_2$ ... 与  $OVDD_m$  传递的电压源 OVDD 可以是相同电压大小的电压源。相同的, 电源线  $OVSS_1$ 、 $OVSS_2$ ... 与  $OVSS_m$  传递的电压源 OVSS 可以是相同电压大小的电压源。

[0054] 如图所示, 一个像素结构会分别电性耦接至一条数据线  $D_T$ 、一条控制信号线  $SCAN_S$ 、一条控制信号线  $EM_S$ 、一条控制信号线  $BP_S$ 、一条电源线  $OVDD_T$  与一条电源线  $OVSS_T$ 。其中,  $1 \leq S \leq n$  且  $1 \leq T \leq m$ 。

[0055] 举例来说, 像素结构  $P_{12}$  会电性耦接至数据线  $D_2$ 、控制信号线  $SCAN_1$ 、 $EM_1$  与  $BP_1$ , 以及电源线  $OVDD_2$  与  $OVSS_2$ 。设若像素结构  $P_{12}$  是采用如图 1 所示的像素结构, 则 P 型晶体管  $M_1$  的一端会电性耦接至数据线  $D_2$  以接收数据信号, 且 P 型晶体管  $M_1$  的控制端会电性耦接至控制信号线  $SCAN_1$  以接收控制信号 SCAN, 并根据控制信号 SCAN 而使数据信号被选择性地提供至 P 型晶体管  $M_1$  与 P 型晶体管  $M_3$  的控制端电性耦接的一端。再者, P 型晶体管  $M_2$  的一端会电性耦接至电源线  $OVDD_2$  以接收电压源 OVDD 的电位, 且 P 型晶体管  $M_2$  的控制端会电性耦接至控制信号线  $EM_1$  以接收控制信号 EM, 并根据控制信号 EM 而使电压源 OVDD 的电位被选择性地提供至 P 型晶体管  $M_2$  与 P 型晶体管  $M_3$ 、电容  $C_1$  及电容  $C_2$  电性耦接的一端。此外, P 型晶体管  $M_3$  会根据其控制端上的电位, 使电容  $C_1$  与 P 型晶体管  $M_2$  电性耦接的一端能选择性地电性耦接至 P 型晶体管  $M_3$  与 P 型晶体管  $M_4$  电性耦接的一端; P 型晶体管  $M_4$  的控制端会电性耦接至控制信号线  $BP_1$  以接收控制信号 BP, 并根据控制信号 BP 而使 P 型晶体管  $M_4$  与 P 型晶体管  $M_3$  电性耦接的一端能选择性地电性耦接至发光元件  $O_1$  的一端。

[0056] 接下来请参照图 4, 其为根据本发明一实施例的像素结构的驱动方法在同步 (simultaneously) 显示方式下所得波形的时序图。请同时参照图 1、图 3 与图 4, 以下将使用像素结构  $P_{11}$  为例来进行说明。

[0057] 首先, 在时段  $T_1$  中, 数据驱动器 310 会在数据线  $D_1$  上提供一个参考电位  $V_{ref}$  做为数据信号 Data 的电位, 而且控制信号线  $SCAN_1$  所提供的控制信号 SCAN 的电位会被设定为逻辑低, 控制信号线  $EM_1$  所提供的控制信号 EM 的电位会被设定为逻辑低, 控制信号线  $BP_1$  所提供的控制信号 BP 的电位则会被设定为逻辑高。藉此, P 型晶体管  $M_1$  与  $M_2$  都会因为控制端上的电位为逻辑低而导通, 但 P 型晶体管  $M_4$  则会因为控制端上的电位为逻辑高而截止。P 型晶体管  $M_1$  的导通会使数据信号 Data (此时电位为  $V_{ref}$ ) 被传送到 P 型晶体管  $M_3$  的控制端, 换言之, 根据电位  $V_{ref}$  而设定 P 型晶体管  $M_3$  的控制端的电位, 而 P 型晶体管  $M_2$  的导通则会使电压源 OVDD 的电位被传送到 P 型晶体管  $M_2$  与 P 型晶体管  $M_3$  电性耦接的一端, 换言之, 根据电压源 OVDD 的电位而设定 P 型晶体管  $M_2$  与 P 型晶体管  $M_3$  电性耦接的一端的电位。

[0058] 接下来, 在时段  $T_2$  之中, 数据线  $D_1$  与控制信号线  $SCAN_1$  上的电位保持不变, 但是控制信号线  $EM_1$  所提供的控制信号 EM 的电位会被设定为逻辑高, 而控制信号线  $BP_1$  所提供的控制信号 BP 的电位则会被设定为逻辑低。如此一来, P 型晶体管  $M_2$  会变成截止, 但 P 型晶



晶体管  $M_4$  则会被导通。此时, P 型晶体管  $M_3$  的控制端上的电位会被维持在  $V_{ref}$ , 而 P 型晶体管  $M_3$  与 P 型晶体管  $M_2$  电性耦接的一端上面的电位, 则会从原本为电压源 OVDD 的电位逐渐改变, 直到电位变成  $V_{ref}-V_{th}$  而使 P 型晶体管  $M_3$  截止才会停止变化。其中,  $V_{th}$  是 P 型晶体管  $M_3$  的阈值 (threshold value)。

[0059] 接下来, 在时段  $T_3$  之中, 控制信号线  $EM_1$  所提供的控制信号 EM 的电位会被维持在逻辑高, 而控制信号线  $BP_1$  所提供的控制信号 BP 的电位则会被设定为逻辑高。在此条件下, P 型晶体管  $M_2$  会维持在截止的状况, 而 P 型晶体管  $M_4$  也会成为截止的状况。

[0060] 由于所示者为进行同步显示的状况, 所以在时段  $T_3$  中, 不同位置的像素结构在被写入电压时需要保持在不发光的状态, 于是 P 型晶体管  $M_4$  必须在时段  $T_3$  中被维持在截止的状况下。另外, 在时段  $T_3$  中必须对各像素结构进行数据信号的充电操作, 所以在时段  $T_3$  中会有一段时间使得控制信号 SCAN 的电位变成逻辑低, 并且在同时于数据线  $D_1$  上提供正确的数据信号 DA (假设电位为  $V_{data}$ ), 以使数据信号 DA 能被传递到 P 型晶体管  $M_3$  的控制端上, 换言之, 根据数据信号 DA 设定 P 型晶体管  $M_3$  的控制端的电位。由于一条数据线会同时电性耦接到多个像素结构, 所以在同一条数据线上势必要有不同的时段来分别提供数据信号到这些像素结构中。因此, 在数据线上所传递的数据信号是要提供给特定像素结构的时段内, 电性耦接到这一条数据线上的其他像素结构中的 P 型晶体管  $M_1$  就必须被截止, 以防止这些像素结构接收到错误的数据信号。这些时段被称为数据维持 (data holding) 时段, 其正如图 4 所示的时段  $T_{H1}$  与  $T_{H2}$  处。

[0061] 随着数据信号 DA 被传递到 P 型晶体管  $M_3$  的控制端, P 型晶体管  $M_3$  与 P 型晶体管  $M_2$  电性耦接的一端会因为电容  $C_1$  与  $C_2$  的分压而使得电位变成  $V_{ref}-V_{th}+dV$ , 其中  $dV$  为  $(V_{data}-V_{ref})*C_1/(C_1+C_2)$ 。

[0062] 当所有的数据信号都被写入对应的像素结构之后, 像素结构的操作期间就会离开时段  $T_3$  并进入时段  $T_4$ 。在时段  $T_4$  中, 控制信号线  $SCAN_1$  所提供的控制信号 SCAN 的电位会被设定为逻辑高, 而控制信号线  $EM_1$  所提供的控制信号 EM 的电位会被设定为逻辑低, 控制信号线  $BP_1$  所提供的控制信号 BP 的电位也会被设定为逻辑低。藉此, P 型晶体管  $M_1$  就不会导通, 而 P 型晶体管  $M_2$  与  $M_4$  则会被导通, 并使得发光元件  $O_1$  开始发光。

[0063] 在时段  $T_4$  中, 因为 P 型晶体管  $M_2$  被导通, 所以 P 型晶体管  $M_2$  与 P 型晶体管  $M_3$  电性耦接的一端上的电位会再度变成电压源 OVDD 所提供的电位。因此, P 型晶体管  $M_3$  的控制端上的电位会因为电容  $C_1$  的耦合效应而被从原先的数据信号的电位  $V_{data}$  变为  $V_{data}+OVDD-V_{ref}+V_{th}-dV$ 。

[0064] 由于发光元件的亮度与流通的电流有关, 而发光元件上所流通的电流  $I$  又跟 P 型晶体管  $M_3$  的控制端与源极端的电位差异  $V_{GS}$  以及其阈值  $V_{th}$  有关, 具体如下:

$$[0065] \quad I = k*(V_{GS}-V_{th})^2$$

[0066] 因此, 若将  $V_{GS}$  以上述的 P 型晶体管  $M_3$  的控制端与源极端的电位分别代入, 则发光元件  $O_1$  上的电流  $I$  就会变成:

$$[0067] \quad I = k*[(V_{data}+OVDD-V_{ref}+V_{th}-dV)-(OVDD)-V_{th}]^2$$

[0068] 也就是说:

$$[0069] \quad I = k*[(V_{data}-V_{ref}-dV)]^2$$

[0070] 因此, 发光元件  $O_1$  的发光能力就与各晶体管之间的特性差异变化无关。

[0071] 除了上述的做法之外,本发明还可以进一步适用于非同步 (non-simultaneously) 显示方式。由于在非同步显示方式中不需要在全部的像素结构都被充电之后才一起进行显示,所以 P 型晶体管  $M_4$  在时段  $T_1$  与  $T_3$  中不需要变成截止的状态。也就是说,除了 P 型晶体管  $M_4$  在时段  $T_1$  与时段  $T_3$  中变成导通状态之外(换言之,BP 可一值维持逻辑低准位),其余的操作方式及操作原理都与图 4 所示的实施例相同,在此不再赘述。

[0072] 经过实验,发明人证明了上述像素结构及相关操作方法的确对于因为晶体管阈值的变异所造成的亮度不均匀现象有良好的改善效果。请参照图 5A 与 5B,其中,图 5A 为对本发明所提供的像素结构进行对应的驱动操作后所得的数据信号电压与发光元件电流间的关系曲线图,图 5B 则是对如图 6 所示的像素结构进行对应的驱动操作后所得的数据信号电压与发光元件电流间的关系曲线图。由图 5A 可知,在不同的晶体管阈值下,例如晶体管阈值没有飘移 (shift)、飘移 +0.3V 或飘移 -0.3V 的情况下,其数据信号电压与发光元件电流间的关系几近是一致的。对比起图 5B 而言,其改善程度甚为明显。

[0073] 综上所述,本发明所提供的像素结构可以同时在同步及非同步显示方式中进行显示亮度的补偿,并且可以补偿因为晶体管阈值的变异所造成的亮度不均匀现象,但在实际使用上有更大的适用范围。

[0074] 虽然本发明已以较佳实施例公开如上,然其并非用以限定本发明,任何本领域技术人员在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围以权利要求书为准。

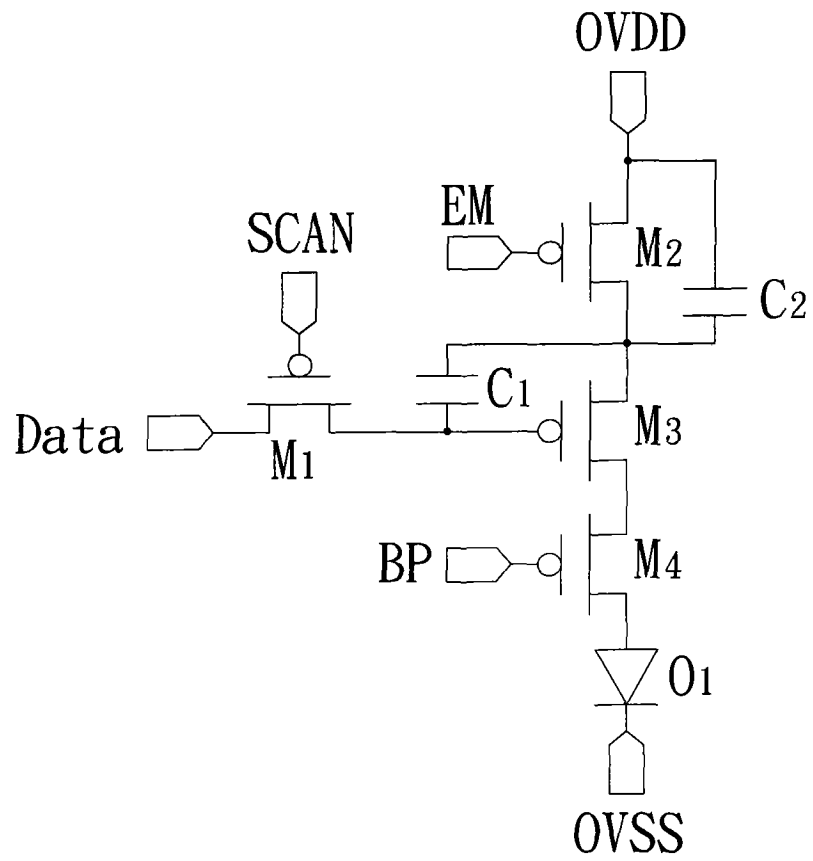


图 1

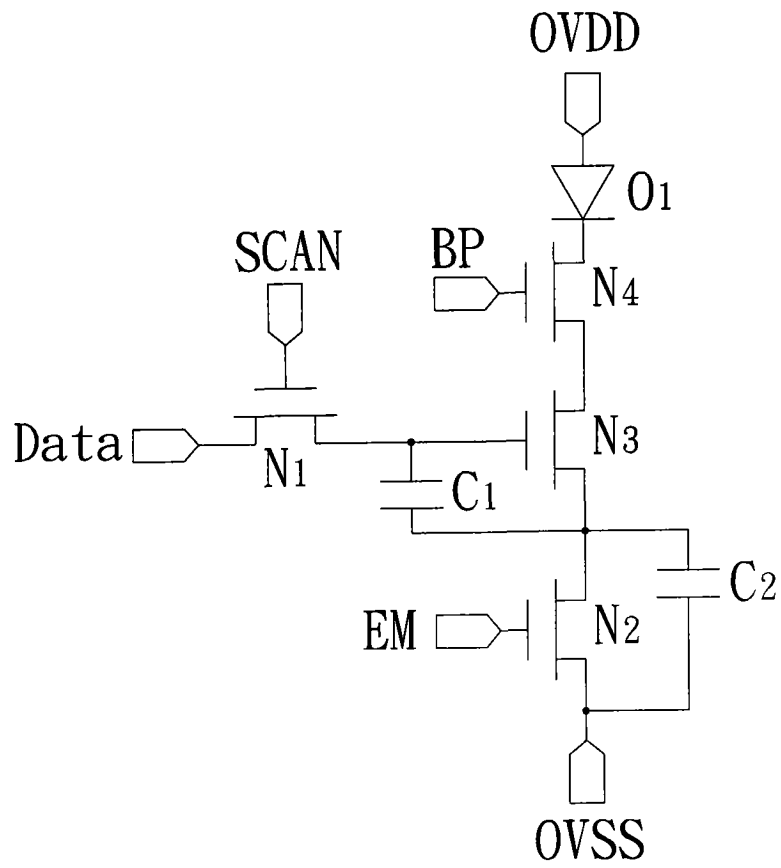


图 2

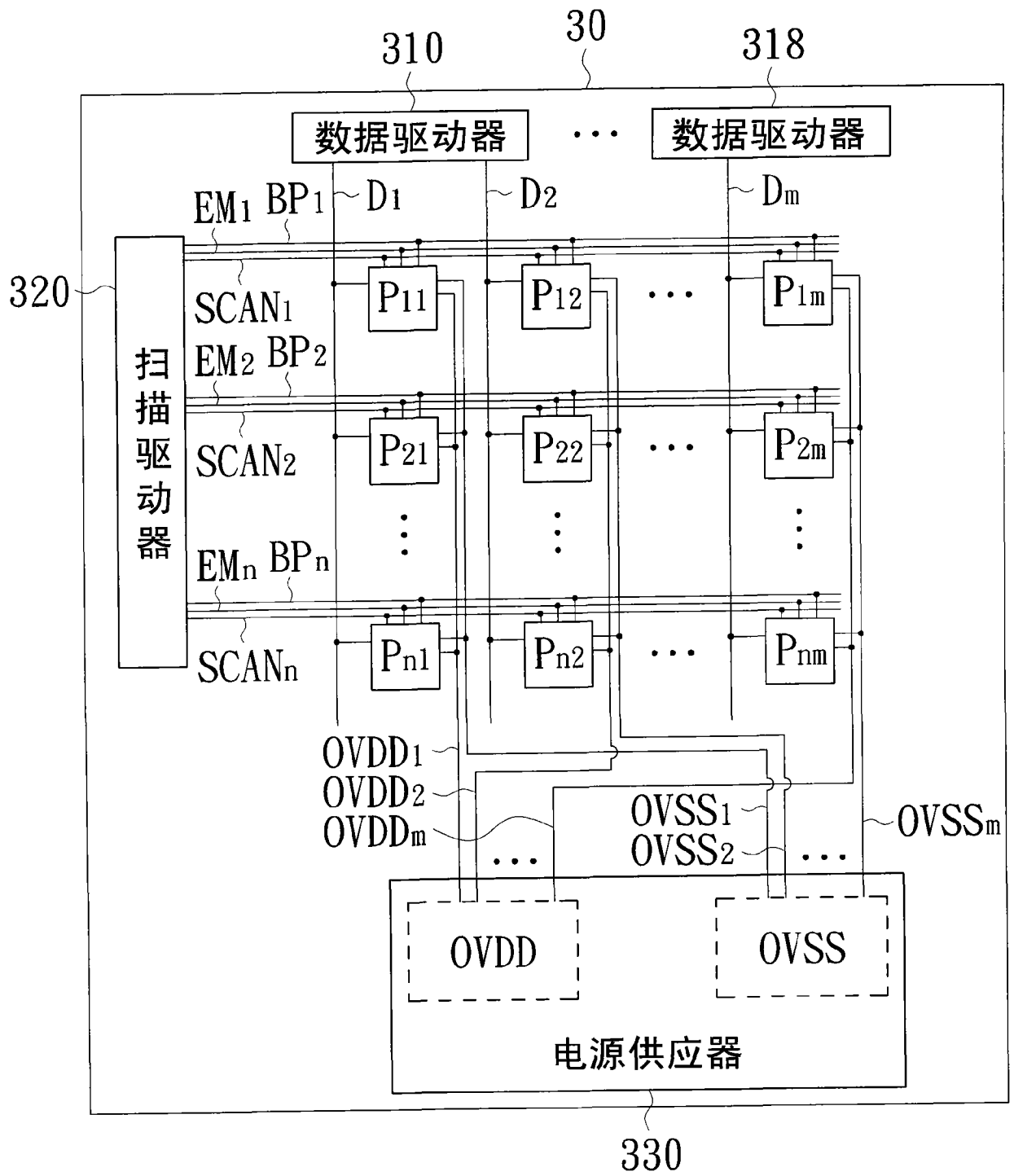


图 3

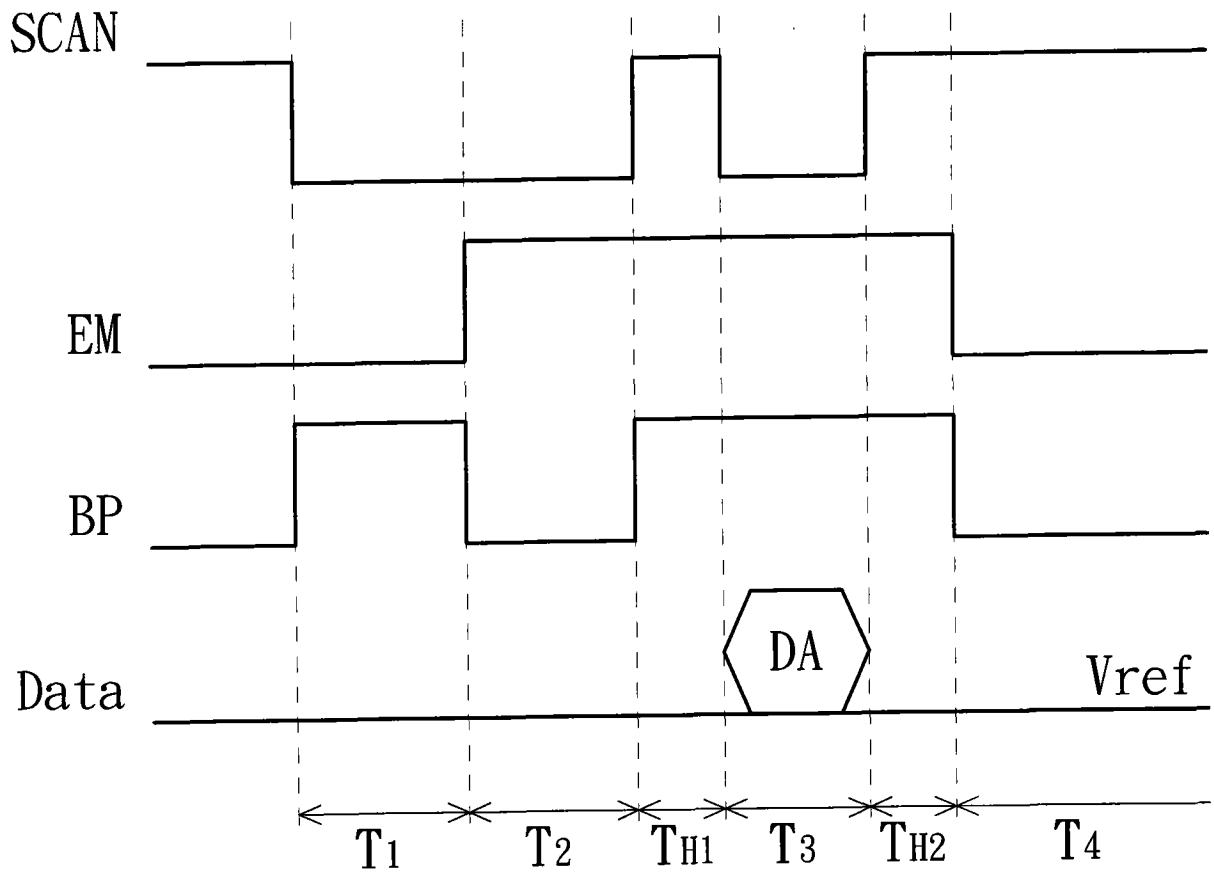


图 4

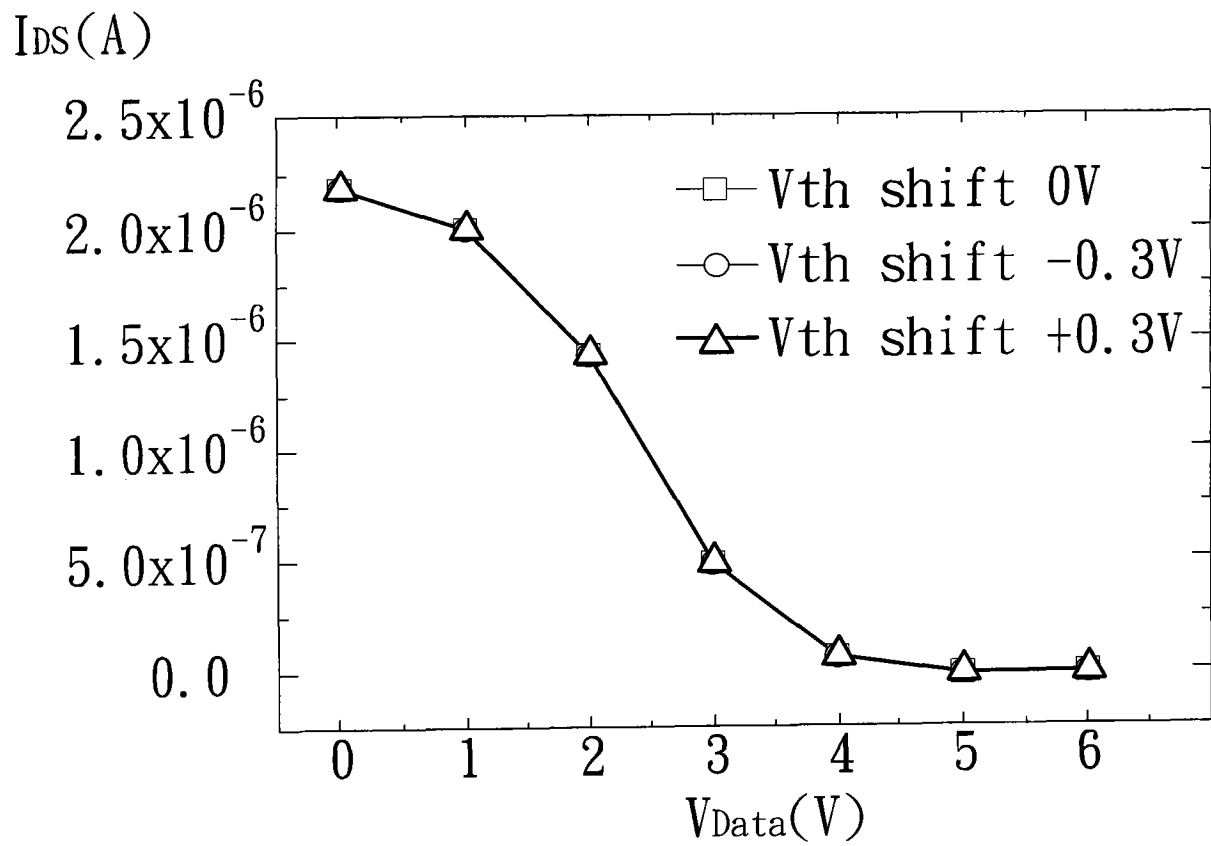


图 5A

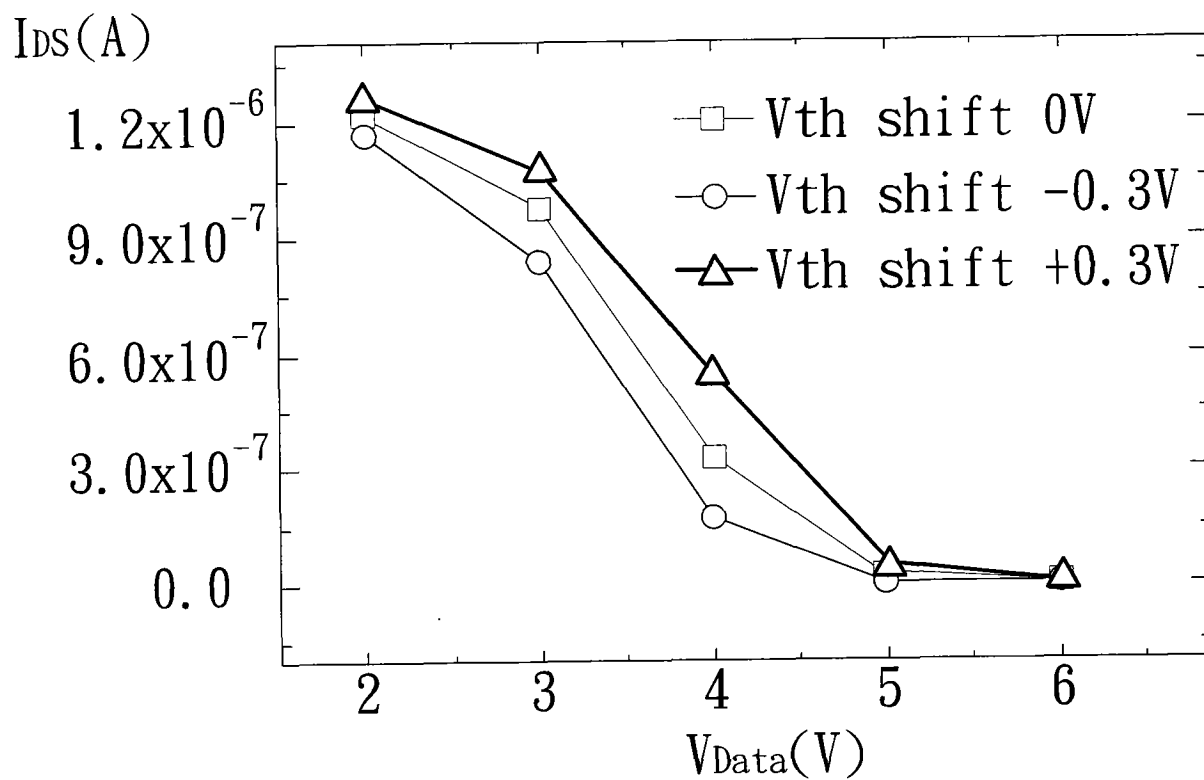


图 5B

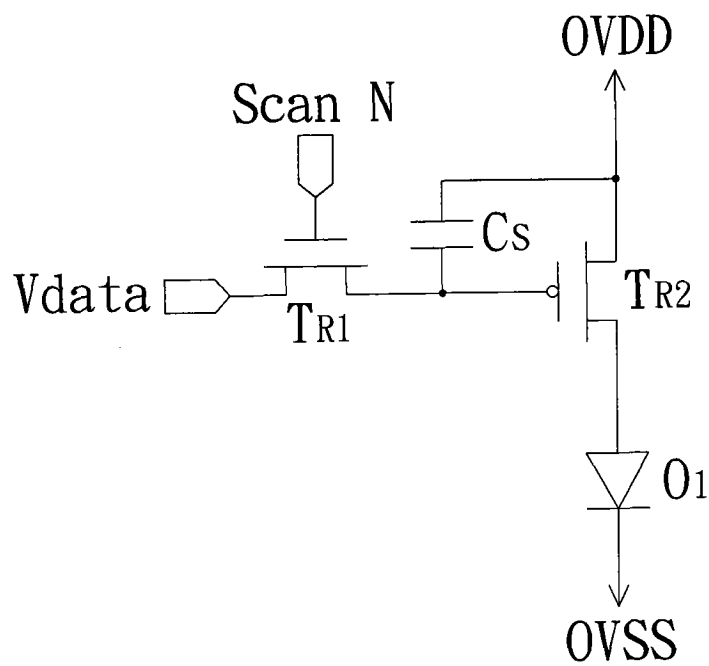


图 6