



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0027858
(43) 공개일자 2010년03월11일

(51) Int. Cl.

H03L 7/18 (2006.01) H03K 21/00 (2006.01)

(21) 출원번호 10-2008-0086945

(22) 출원일자 2008년09월03일

심사청구일자 2008년09월03일

(71) 출원인

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

민준기

경기 수원시 영통구 매탄동 1217-7번지 삼성3차아파트 1동 508호

이재성

서울특별시 마포구 신공덕동 삼성1차아파트 109-2002

(뒷면에 계속)

(74) 대리인

특허법인 씨엔에스·로고스

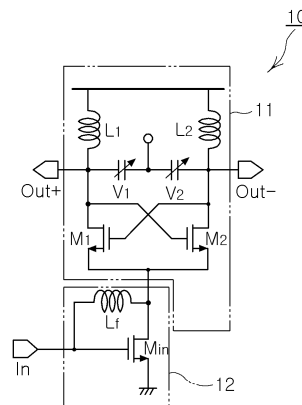
전체 청구항 수 : 총 2 항

(54) 주입동기 주파수 분배기

(57) 요약

인덕티브 피드백을 이용한 주파수 주입 방식을 적용함으로써 동기 범위(locking range)를 증가시킬 수 있는 주입 동기 주파수 분배기가 개시된다. 상기 주입동기 주파수 분배기는, LC 탱크부 및 상호 게이트-드레인 교차결합을 형성하는 제1 및 제2 트랜지스터를 포함하며, 상기 LC 탱크부와 상기 제1 및 제2 트랜지스터 각각의 연결 노드로 주파수를 출력하는 출력회로부 및 주입 주파수가 게이트로 입력되고, 상기 제1 및 제2 트랜지스터의 공통 소스에 드레인이 연결된 입력 트랜지스터 및 상기 입력 트랜지스터의 드레인 및 게이트 사이에 연결된 피드백 인덕터를 포함하는 입력회로부를 포함할 수 있다.

대표도 - 도1



(72) 발명자

서승우

서울특별시 성북구 보문동2가 82번지 302호

김기홍

경기 수원시 영통구 영통동 969-1 태영아파트
933-901

황성호

경기 수원시 영통구 영통동 벽적골8단지아파트
833-1701

박용운

경기 수원시 영통구 영통동 황골마을2단지아파트
241-303

특허청구의 범위

청구항 1

LC 탱크부 및 상호 게이트-드레인 교차결합을 형성하는 제1 및 제2 트랜지스터를 포함하며, 상기 LC 탱크부와 상기 제1 및 제2 트랜지스터 각각의 연결 노드로 주파수를 출력하는 출력회로부; 및

주입 주파수가 게이트로 입력되고, 상기 제1 및 제2 트랜지스터의 공통 소스에 드레인이 연결된 입력 트랜지스터 및 상기 입력 트랜지스터의 드레인 및 게이트 사이에 연결된 피드백 인덕터를 포함하는 입력회로부

를 포함하는 주입동기 주파수 분배기.

청구항 2

제1항에 있어서, 상기 LC 탱크부는,

전원전압과 상기 제1 및 제2 트랜지스터의 드레인 사이에 각각 연결된 제1 및 제2 인덕터; 및

상기 제1 및 제2 트랜지스터의 드레인 사이에 직렬 연결된 제1 및 제2 바랙터를 포함하는 것을 특징으로 하는 주입동기 주파수 분배기.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 주입동기 주파수 분배기에 관한 것으로, 더욱 상세하게는 인덕티브 피드백을 이용한 주파수 주입 방식을 적용함으로써 동기 범위(locking range)를 증가시킬 수 있는 주입동기 주파수 분배기에 관한 것이다.

배경 기술

[0002] 최근 반도체 소자의 성능이 크게 개선되면서 밀리미터파(mm-wave) 영역에서 동작하는 집적회로 및 이들의 응용에 대한 관심이 크게 늘고 있다. 또한 60 GHz 근방의 주파수 대역이 미국, 일본 등에 이어 최근 우리나라에서도 언라이센스 대역(unlicensed band)으로 지정되면서 이 주파수 대역을 사용한 근거리 광대역 무선통신 응용에 큰 시장이 형성될 것으로 예상되고 있다.

[0003] 밀리미터파 영역에서 동작하는 송수신기의 프론트 엔드(front-end)를 제작하는데 있어, 위상동기루프(Phase-locked loop: PLL) 회로의 성능은 송수신기 전체 성능을 결정하는 중요한 위치를 차지한다. 이러한 위상동기회로에 일반적으로 사용되는 주파수 분배기(frequency divider)로는 고정 주파수 분배기(static frequency divider), 가변 주파수 분배기(dynamic frequency divider) 및 주입동기 주파수 분배기(injection locked frequency divider: ILFD)가 알려져 있다. 고정 주파수 분배기 및 가변 주파수 분배기는 넓은 동기 범위(locking range)를 갖는 장점이 있지만 고주파 영역에서 동작하기 위해서는 많은 전력을 소모하는 단점이 있어서 상대적으로 낮은 주파수 영역에서 적용되고 있다. 반면, 주입동기 주파수 분배기는 작은 파워를 소모하면서도 우수한 고주파 동작 특성을 가지므로 밀리미터파 영역에 널리 적용될 수 있을 것으로 기대되고 있다. 그러나, 상기 주입동기 주파수 분배기는 동기 범위가 좁은 단점이 있다. 위상동기루프(PLL) 회로에 주입동기 주파수 분배기를 적용하기 위해서는 넓은 동기 범위를 확보할 필요가 있기 때문에, 최근에 주입동기 주파수 분배기의 동기 범위를 확대시키기 위한 많은 연구가 이루어지고 있다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명은 넓은 동기 범위(locking range)를 갖는 주입동기 주파수 분배기를 제공하는 것을 해결하고자 하는 기술적 과제로 한다.

과제 해결수단

- [0005] 상기 기술적 과제를 해결하기 위한 수단으로서 본 발명은,
- [0006] LC 탭크부 및 상호 게이트-드레인 교차결합을 형성하는 제1 및 제2 트랜지스터를 포함하며, 상기 LC 탭크부와 상기 제1 및 제2 트랜지스터 각각의 연결 노드로 주파수를 출력하는 출력회로부; 및
- [0007] 주입 주파수가 게이트로 입력되고, 상기 제1 및 제2 트랜지스터의 공통 소스에 드레인이 연결된 입력 트랜지스터 및 상기 입력 트랜지스터의 드레인 및 게이트 사이에 연결된 피드백 인덕터를 포함하는 입력회로부를 포함하는 주입동기 주파수 분배기를 제공한다.
- [0008]
- [0009] 본 발명의 일 실시형태에서, 상기 LC 탭크부는, 전원전압과 상기 제1 및 제2 트랜지스터의 드레인 사이에 각각 연결된 제1 및 제2 인덕터; 및 상기 제1 및 제2 트랜지스터의 드레인 사이에 직렬 연결된 제1 및 제2 바랙터를 포함하는 것을 특징으로 하는 주입동기 주파수 분배기를 포함할 수 있다.

효 과

- [0010] 본 발명의 주입동기 주파수 분배기에 따르면, 위상동기루프 회로에 적용하기에 충분한 동기 범위(locking range)를 확보할 수 있다. 따라서, 파워 소모가 큰 고정 주파수 분배기(static frequency divider) 또는 가변 주파수 분배기(dynamic frequency divider)를 대체하여 위상동기루프 회로에 적용되는 경우 위상동기루프 회로에 의한 파워 소모를 현저하게 감소시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0011] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시형태를 보다 상세하게 설명한다. 그러나, 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명되는 실시형태로 한정되는 것은 아니다. 본 발명의 실시형태는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에 도시된 구성요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다는 점을 유념해야 할 것이다.
- [0012] 도 1은 본 발명의 일 실시형태에 따른 주입동기 주파수 분배기의 회로도이다.
- [0013] 도 1을 참조하면, 본 발명의 일 실시형태에 따른 주입동기 주파수 분배기(10)는, 외부에서 주파수를 유입하기 위한 입력 회로부(12)와, 트랜지스터의 교차결합(cross-coupled) 구조를 포함하는 출력회로부(11)를 포함하여 구성될 수 있다.
- [0014] 상기 출력회로부(11)는, LC 탭크부 및 상호 게이트-드레인 교차결합을 형성하는 제1 및 제2 트랜지스터(M1, M2)를 포함하며, 상기 LC 탭크부와 상기 제1 및 제2 트랜지스터 각각의 연결 노드(OUT+, OUT-)로 주파수를 출력할 수 있다.
- [0015] 상기 LC 탭크부는, 전원전압과 상기 제1 및 제2 트랜지스터(M1, M2)의 드레인 사이에 각각 연결된 제1 및 제2 인덕터(L1, L2) 및 상기 제1 및 제2 트랜지스터(M1, M2)의 드레인 사이에 직렬 연결된 제1 및 제2 바랙터(V1, V2)를 포함할 수 있다. 상기 제1 및 제2 바랙터(V1, V2)의 연결노드에는 역바이어스 전압이 인가되어 상기 제1 및 제2 바랙터(V1, V2)가 가변 캐패시터로 동작하게 한다.
- [0016] 상기 입력회로부(12)는 상기 제1 및 제2 트랜지스터(M1, M2)의 공통 소스에 드레인이 연결된 입력 트랜지스터(Min) 및 상기 입력 트랜지스터(Min)의 드레인 및 게이트 사이에 연결된 피드백 인덕터(Lf)를 포함할 수 있다.
- [0017] 상기 입력회로부(12)의 입력 트랜지스터(Min)는 외부로부터 주파수를 입력받는 입력단을 제공함과 동시에 출력회로부(11)의 DC 바이어스 경로로 동작할 수 있다. 상기 입력 트랜지스터(Min)의 게이트는 외부로부터 주파수가 입력되는 입력단(In)이 된다. 주입동기 주파수 분주회로에서는 상기 입력 트랜지스터(Min)의 게이트로 입력된 주파수가 분배되어 상기 출력회로부(11)의 출력단(OUT+, OUT-)으로 고정된(locking) 주파수로 출력되게 한다.
- [0018] 상기 입력회로부(12)의 피드백 인덕터(Lf)는 외부로부터 DC 바이어스를 별도로 인가하는 통상적인 방식 대신 입력 트랜지스터(Min)으로 이루어지는 입력회로부(12)에 피드백 회로를 형성함으로써 내부 전위에 의해 결정되는 DC 바이어스가 인가될 수 있게 한다.
- [0019] 도 2는 본 발명의 일 실시형태에 따른 주입동기 주파수 분배기의 동작 특성을 도시한 그래프이다. 더욱 상세하게, 도 2는 도 1에 도시된 입력회로부(12)의 입력 트랜지스터(Min)의 게이트의 파워와 드레인의 파워의 변동을 피드백 인덕터(Lf)의 인덕턴스의 크기에 따라 도시한 그래프이다.

[0020] 도 3의 (a)는 종래의 주입동기 주파수 분배기의 회로도이다. 도 3의 (a)에 도시된 종래의 주입동기 주파수 분배기는, 출력회로부(11)가 도 1에 도시된 본 발명의 일 실시형태에 따른 주입동기 주파수 분배기의 출력회로부(11)와 동일한 구조를 가질 수 있으며, 입력회로부(12)에서 바이어스 전압(Vbias)이 초크 저항(Rbias)을 통해 입력 트랜지스터(Min)의 게이트에 인가되는 구조를 갖는다. 도 3의 (b)는 도 3의 (a)에 도시된 종래의 주입동기 주파수 분배기의 동작 특성으로 도시한 그래프로서 입력 트랜지스터(Min)의 게이트의 파워와 드레인의 파워의 변동을 초크 저항의 저항값에 따라 도시한 그래프이다.

[0021] 도 4는 본 발명의 일 실시형태에 따른 주입동기 주파수 분배기와 종래의 주파수 분배기의 동기 범위를 비교한 그래프이다.

[0022] 이하, 첨부도면을 참조하여 본 발명의 일 실시형태에 따른 주입동기 주파수 분배기의 작용 효과에 대해 종래의 주입동기 주파수 분배기와 대비하여 더욱 상세하게 설명하기로 한다.

[0023] 전술한 바와 같이, 출력회로부(11)의 교차결합된 트랜지스터의 공통 소스에 입력회로부(12)가 연결된 구조의 주입동기 주파수 분배기 토폴로지의 경우, 입력 트랜지스터(Min)는 외부로부터 주파수를 주입하기 위한 통로를 제공할 뿐만 아니라 출력회로부에 DC 바이어스를 제공하기 위한 경로로도 이용된다. 본 발명의 일 실시형태에 따른 입력회로부(12)는 초크 저항(Rbias)을 이용하여 외부로부터 DC 바이어스를 별도로 인가하는 종래의 입력회로부(12')와 같은 방식 대신, 인덕터를 피드백 회로에 적용하여 내부 전위에 의해 결정되는 DC 바이어스를 인가할 수 있는 구조를 채택한다. 이와 같은 본 발명의 입력회로부(12)에 따르면 주입된 주파수의 손실을 현저하게 감소시킬 수 있다.

[0024] 이러한 손실 감소를 확인하기 위하여 컴퓨터 시뮬레이션을 통해 본 발명의 입력회로부(12) 내의 입력 트랜지스터(Min)의 게이트에서 드레인으로 전달되는 파워 및 종래의 입력회로부(12') 내의 입력 트랜지스터(Min)의 게이트에서 드레인으로 전달되는 파워를 측정하였다. 이러한 측정 결과는 도 2 및 도 3의 (b)에 도시된다. 이 시뮬레이션에서 본 발명 및 종래 기술에 대해 입력 트랜지스터(Min)의 바이어스 조건은 0.6 V로 동일 조건을 설정하였고, 외부로부터 주입되는 주파수는 54 GHz, 그 파워는 0 dBm으로 설정하였다.

[0025] 먼저, 도 3의 (b)에 도시된 것과 같이, 종래의 입력회로부(12')에서는 주입되는 주파수의 파워는 입력 트랜지스터(Min)를 통과하면서 큰 손실이 생겨, 실제 출력회로부(11)에 인가되는 입력 트랜지스터(Min)의 드레인에서는 크게 감소된 파워값을 나타내었다. 이러한 파워 손실은 입력 트랜지스터(Min)의 기생 캐패시턴스에 기인한 것이다. 전술한 바와 같이, 입력 트랜지스터(Min)는 외부로부터 주파수를 주입하기 위한 통로를 제공할 뿐만 아니라 출력회로부에 DC 바이어스를 제공하기 위한 경로로도 이용되어야 하므로 큰 사이즈의 트랜지스터가 요구되며 이로 인해 큰 기생 캐패시턴스를 발생시켜 파워손실이 증가하고 이에 따라 동기 범위(locking range)의 축소를 야기하게 된다.

[0026] 이에 비해, 도 2에 도시된 것과 같이, 본 발명의 인덕터를 피드백 회로로 적용한 입력회로부(12)는, 특정 인덕턴스 값의 경우 입력 트랜지스터(Min)의 드레인에서 측정된 파워가 0 dBm 이상 되는 영역이 존재함을 알 수 있다. 이는 피드백 인덕터(Lf)로 인한 효과이다. 상기 피드백 인덕터(Lf)가 설치되지 않은 경우 입력 트랜지스터(Min)의 게이트와 드레인 사이의 전달함수를 구하면 하기 식 1과 같으며, 그 크기는 하기 식 2와 같다.

[0027] [식 1]

$$H(j\omega) = -\frac{g_m' R}{1 + j\omega C_p R}$$

[0028]

[0029] [식 2]

$$|H(j\omega)| = \frac{g_m' R \sqrt{(1 + \omega^2 C_p^2 R^2)}}{1 + \omega^2 C_p^2 R^2} \leq 1$$

[0030]

[0031] 상기 식 1 및 식 2에서, R은 입력회로부(12)에서 출력회로부(11) 측으로 바라본 입력 임피던스이고, Cp는 입력 트랜지스터(Min)의 드레인으로부터 그라운드 사이의 기생 임피던스이고, gm'는 입력 트랜지스터(Min)의 트랜스

컨덕턴스이다.

[0032] 이에 비교하여, 피드백 인덕터(Lf)를 입력 트랜지스터(Min)의 드레인과 게이트 사이에 연결하는 경우, 전달함수는 하기 식 3과 같다.

[0033] [식 3]

$$H(j\omega) \approx - \frac{1 + j\omega(C_p R - g_m' L)}{1 - \omega^2 C_p L + j\omega C R}$$

[0034]

[0035] 상기 식 3에 나타난 바와 같이, 피드백 인덕터를 설치한 경우 적절한 피드백 인덕터의 인덕턴스값에 의하여 이득이 1보다 커지게 되고 따라서 외부로부터 입력되는 주파수의 파워보다 더 큰 파워가 출력 회로부에 인가될 수 있다. 이를 통해 결과적으로 동기 범위(locking range)의 증가를 가져오게 된다.

[0036] 진술한 시뮬레이션 결과에 의하면, 종래의 주입동기 주파수 분배기에서 쇼크 저항(Rbias)를 사용하여 DC 바이어스를 인가한 경우에 비해 본 발명의 피드백 인덕터(Lf)를 사용한 경우, 외부로부터 입력된 주파수의 전달 파워를 현저하게 향상시킬 수 있다. 이를 통해 본 발명의 주입동기 주파수 분배기는 더 넓은 동기 범위(locking range)를 확보할 수 있다. 도 4는 입력 파워를 주파수의 함수로 도시한 것으로, 도 4에서 각 입력 파워에서의 곡선 간 간격이 고정(locking) 될 수 있는 입력 주파수 범위를 의미한다. 도 4를 참조하면, 본 발명에 의하면 종래의 주입동기 주파수 분배기에 비해 현저하게 더 넓은 동기 범위(locking range)를 확보할 수 있음을 확인할 수 있다.

[0037] 통상적으로 고정 주파수 분배기(static frequency divider) 또는 가변 주파수 분배기(dynamic frequency divider)를 채용한 밀리미터파 대역에서 동작하는 위상동기루프(PLL) 회로는 매우 큰 파워를 소모하게 되는데 이는 주파수 분배기의 영향이 크다. 파워 소모를 감소시키기 위해서는 주입동기 주파수 분배기를 채용할 필요성이 존재하지만, 기존의 주입동기 주파수 분배기는 좁은 동기 범위(locking range)의 문제로 인해 위상동기루프 회로에 적용되지 못하였다. 그러나 본 발명에 따른 피드백 인덕터를 적용한 주입동기 주파수 분배기는 충분히 넓은 동기 범위를 제공할 수 있으므로 위상동기루프 회로에 적용될 수 있으며, 이를 통해 위상동기루프 회로 전체의 파워소모를 현저하게 감소시킬 수 있는 효과를 기대할 수 있다.

[0038] 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되지 않으며, 후술되는 특허청구의 범위 및 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

[0039] 도 1은 본 발명의 일실시형태에 따른 주입동기 주파수 분배기의 회로도이다.

[0040] 도 2는 본 발명의 일실시형태에 따른 주입동기 주파수 분배기의 동작 특성을 도시한 그래프이다.

[0041] 도 3의 (a)는 종래의 주입동기 주파수 분배기의 회로도이고, (b)는 종래의 주입동기 주파수 분배기의 동작 특성으로 도시한 그래프이다.

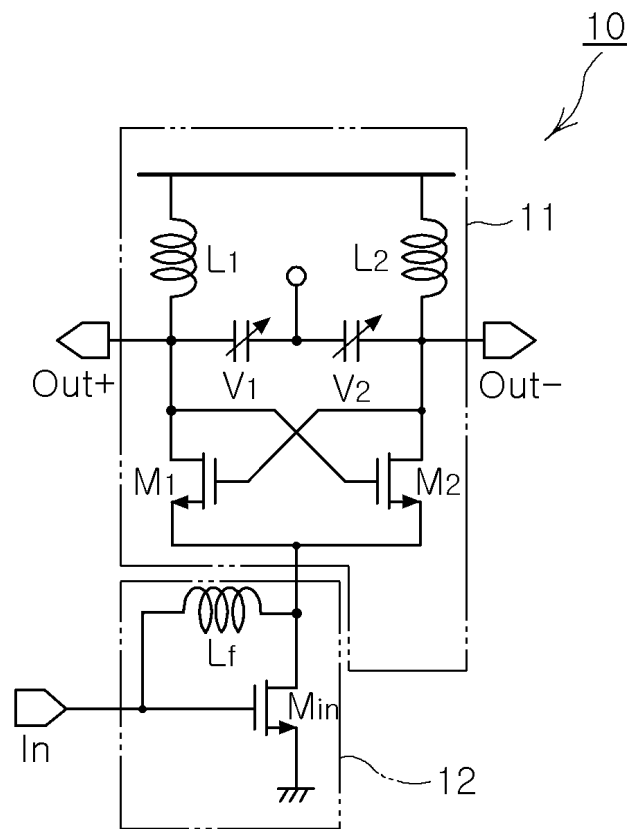
[0042] 도 4는 본 발명의 일실시형태에 따른 주입동기 주파수 분배기와 종래의 주파수 분배기의 동기 범위를 비교한 그래프이다.

[0043] *도면의 주요부분에 대한 부호의 설명*

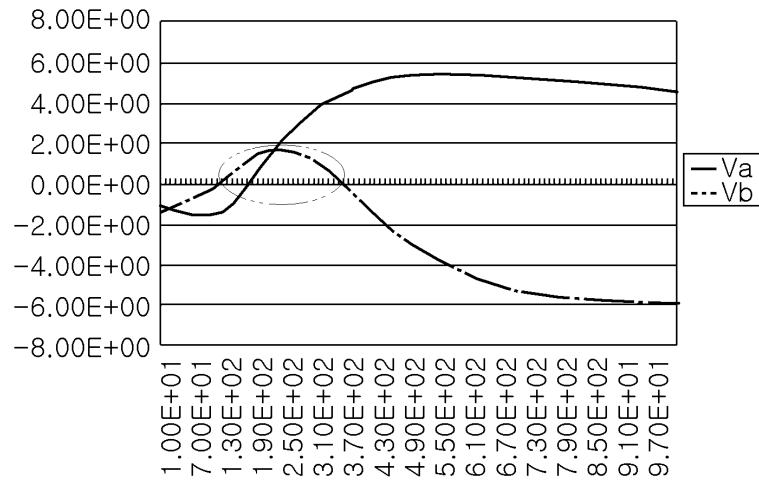
[0044] 10: 주입동기 주파수 분배기	11: 출력 회로부
[0045] 12: 입력 회로부	L1, L2: 제1,2 인덕터
[0046] V1, V2: 제1,2 바랙터	M1, M2: 제1,2 트랜지스터
[0047] Min: 입력 트랜지스터	Lf: 피드백 인덕터

도면

도면1

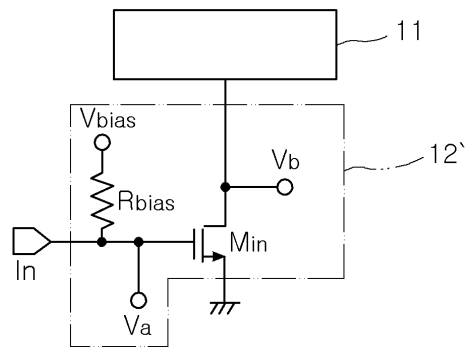


도면2

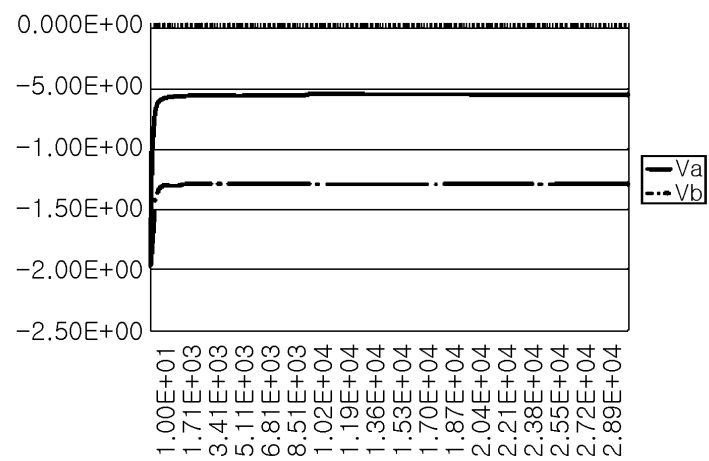


도면3

(a)



(b)



도면4

